



1. Stratix III デバイス・ファミリの概要

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIII51001-1.3

はじめに

Stratix® III ファミリは、市場で最も先進的なアーキテクチャを持つ、高性能かつ低消費電力 FPGA です。

Stratix III FPGA は、アルテラの革新的なプログラマブル・パワー・テクノロジーによって必要な場所では性能を高め、それ以外では消費電力を抑えることによって消費電力を低減します。また、選択可能なコア電圧と最新シリコン・プロセス最適化の採用により、低消費電力で高性能の FPGA を実現します。

Stratix III FPGA ファミリは、使いやすさと迅速なシステム統合を重視して設計されており、多様なアプリケーションのニーズを満たす 3 種類のタイプが用意されています。

- Stratix III L ファミリは、汎用アプリケーション向けにバランスのとれたロジック、メモリおよび乗算器比を提供します。
- Stratix III E ファミリは、データ処理を中心としたアプリケーション向けに豊富なメモリと乗算器を搭載しています。

バーティカル・マイグレーションが可能な共通バンク構造を持つモジュール・ベースの I/O バンクにより、高速 I/O の効率と柔軟性が高まります。On-Chip Termination (チップ内終端) を備えたパッケージおよびダイの機能強化、出力遅延、およびドライブ能力コントロールは、クラス最高のシグナル・インテグリティを提供します。

1.1 V、65 nm の全層銅配線 SRAM プロセスをベースにした Stratix III ファミリは、カスタム ASIC とプログラマブル・プロセッサのプログラマブルな代替デバイスであり、高性能ロジック、デジタル信号処理 (DSP)、およびエンベデッド・デザインおよび設計のために使用できます。

Stratix III デバイスは、揮発性または不揮発性 256 ビット高度暗号化規格 (Advanced Encryption Standard、略称: AES) 暗号化による最適なコンフィギュレーション・ビットストリーム・セキュリティを備えています。Stratix III デバイスは自動エラー検出回路を内蔵し、きわめて高い信頼性が求められる場所では、コンフィギュレーション・ランダム・アクセス・メモリ (CRAM) セルおよびユーザ・メモリ・セル内のソフト・エラーによるデータ破壊を検出します。

特長

Stratix III デバイスは、次の特長を備えています。

- 48,000～338,000個の等価ロジック・エレメント (LE)。表 1-1 を参照。
- 3種類のサイズのRAMブロックで構成される2,430～20,497Kビットの拡張 TriMatrix メモリにより、トゥルー・デュアル・ポート・メモリおよび FIFO (First-In First-Out) バッファを実装
- 高速 DSP ブロックにより、 9×9 、 12×12 、 18×18 、 36×36 乗算器 (最大 550 MHz)、積和ファンクション、および有限インパルス応答 (FIR) フィルタの専用ファンクションを提供
- オン・ダイおよびオン・パッケージ・デカップリングとともに I/O:GND:PWR 比を 8:1:1 とすることで、堅牢なシグナル・インテグリティを実現
- プログラマブル・パワー・テクノロジーにより、デバイス性能を最大化しながら消費電力を低減
- 低電圧デバイス (製品コードのサフィックスが L) で利用できる、選択可能なコア電圧により、最低消費電力動作または最高性能動作を選択できます。
- 1 デバイスあたり最大 16 のグローバル・クロック、88 のリージョナル・クロック、および 116 のペリフェラル・クロック
- 1 デバイスあたり最大 12 個の PLL (Phase-Locked Loop) により、PLL リコンフィギュレーション、クロック・スイッチオーバー、プログラマブル帯域幅、クロック合成、およびダイナミック位相シフトをサポート
- すべての I/O バンクで専用 DQS ロジックによるメモリ・インタフェースのサポート
- 最大 24 個のモジュール・ベースの I/O バンクに、DDR、DDR2、DDR3 SDRAM、RLDRAM II、QDR II、および QDR II + SRAM などを含む高速外部メモリ・インタフェースのサポート
- 業界標準 I/O 規格を幅広くサポートする 24 個のモジュール・ベースの I/O バンクに、最大 1,104 のユーザ I/O ピンを配列
- すべての I/O バンクでオート・キャリブレーションのサポートを備えたダイナミック On-Chip Termination (OCT)
- 1.25 Gbps のシリアライザ/デシリアライザ (SERDES) とダイナミック・フェーズ・アラインメント (DPA) 回路による高速差動 I/O サポート
- SPI-4.2、SFI-4、SGMII、Utopia IV、10 Gigabit Ethernet XSLI、Rapid I/O、および NPSI などの高速ネットワークおよび通信バス規格をサポート
- 揮発性および不揮発性の 256 ビット (AES) セキュリティ・キーによるデザイン保護をサポートする、唯一の高集積、高性能 FPGA
- 堅牢なオンチップ・ホット・ソケットおよびパワー・シーケンスのサポート

- 重大エラーの判定機能を備えたコンフィギュレーション・メモリ・エラー検出のための統合 CRC (Cyclical Redundancy Check) によって可用性の高いシステムをサポート
- 誤り訂正コード (ECC) 回路を内蔵し、SEU イベントに起因するコンフィギュレーションまたはユーザ・メモリ・エラーを検出および訂正
- Nios II エンベデッド・プロセッサのサポート
- アルテラの MegaCore® ファンクションおよび AMPP (Altera Megafunction Partners Program) の多数の IP (Intellectual Property) メガファンクションをサポート

表 1-1 に、Stratix III FPGA ファミリの特長の一覧を示します。

| | デバイス / 機能 | ALM 数 | 等価 LE 数 | M9K ブロック数 | M144K ブロック数 | MLAB ブロック数 | トータル・エンベデッド RAM (Kビット) | MLAB (Kビット) | トータル・メモリ (Kビット) | 18×18 ビット乗算器数 (FIRモード) | PLL |
|----------------------------|-----------------|-------|---------|-----------|-------------|------------|------------------------|-------------|-----------------|------------------------|-----|
| Stratix III ロジック・ファミリ | EP3SL50 | 19K | 47.5K | 108 | 6 | 950 | 1,836 | 594 | 2,430 | 216 | 4 |
| | EP3SL70 | 27K | 67.5K | 150 | 6 | 1,350 | 2,214 | 844 | 3,058 | 288 | 4 |
| | EP3SL110 | 43K | 107.5K | 275 | 12 | 2,150 | 4,203 | 1,344 | 5,547 | 288 | 8 |
| | EP3SL150 | 57K | 142.5K | 355 | 16 | 2,850 | 5,499 | 1,781 | 7,280 | 384 | 8 |
| | EP3SL200 | 80K | 200K | 468 | 36 | 4,000 | 9,396 | 2,500 | 11,896 | 576 | 12 |
| | EP3SE260 | 102K | 255K | 864 | 48 | 5,100 | 14,688 | 3,188 | 17,876 | 768 | 12 |
| | EP3SL340 | 135K | 337.5K | 1,040 | 48 | 6,750 | 16,272 | 4,219 | 20,491 | 576 | 12 |
| Stratix III エンハンスト・ファミリ | EP3SE50 | 19K | 47.5K | 400 | 12 | 950 | 5,328 | 594 | 5,922 | 384 | 4 |
| | EP3SE80 | 32K | 80K | 495 | 12 | 1,600 | 6,183 | 1,000 | 7,183 | 672 | 8 |
| | EP3SE110 | 43K | 107.5K | 639 | 16 | 2,150 | 8,055 | 1,344 | 9,399 | 896 | 8 |
| | EP3SE260 (1) | 102K | 255K | 864 | 48 | 5,100 | 14,688 | 3,188 | 17,876 | 768 | 12 |

表 1-1 の注：

- (1) EP3SE260 デバイスは、LE、メモリ、乗算器のリソースが豊富です。したがって、このデバイスはロジック・ファミリ (L) とエンハンスト・ファミリ (E) の両方の特長を兼ね備えています。

Stratix III ロジック・ファミリ (L) は、バランスがとれたロジック、メモリ、および乗算器を備え、幅広いアプリケーションに対応します。エンハンスト・ファミリ (E) は、ロジックあたりより豊富なメモリと乗算器を備え、無線、医療用画像処理、および軍用アプリケーションに理想的です。

Stratix III デバイスは、実装スペースを節減する FineLine BGA パッケージで提供されています (表 1-2 および表 1-3 を参照)。

表 1-2 に、Stratix III FPGA パッケージのオプションと I/O ピン数を示します。

| デバイス | 484 ピン FineLine BGA (2) | 780 ピン FineLine BGA (2) | 1,152 ピン FineLine BGA (2) | 1,517 ピン FineLine BGA (3) | 1,760 ピン FineLine BGA (3) |
|----------|-------------------------------|-------------------------------|---------------------------------|---------------------------------|---------------------------------|
| EP3SL50 | ▲ 296 | ▲ 488 | — | — | — |
| EP3SL70 | ▲ 296 | ▲ 488 | — | — | — |
| EP3SL110 | — | 488 | ▲ 744 | — | — |
| EP3SL150 | — | 488 | ▲ 744 | — | — |
| EP3SL200 | — | 488 (5) | 744 | 976 | — |
| EP3SL340 | ▼ — | — | 744 (4) | ▲ 976 | 1,120 |
| EP3SE50 | ▼ 296 | 488 | 744 | — | — |
| EP3SE80 | — | 488 | 744 | — | — |
| EP3SE110 | — | 488 | 744 | — | — |
| EP3SE260 | — | ▼ 488 (5) | ▼ 744 | ▼ 976 | — |

表 1-2 の注：

- (1) 矢印はバーティカル・マイグレーションを示しています。
- (2) すべての I/O ピン数には、データ入力に使用可能な 8 本の専用クロック入力 (CLK1p、CLK1n、CLK3p、CLK3n、CLK8p、CLK8n、CLK10p、および CLK10n) が含まれます。
- (3) すべての I/O ピン数には、データ入力に使用可能な 8 本の専用クロック入力 (CLK1p、CLK1n、CLK3p、CLK3n、CLK8p、CLK8n、CLK10p、および CLK10n) および 8 本の専用コーナー PLL クロック入力 (PLL_L1_CLKp、PLL_L1_CLKn、PLL_L4_CLKp、PLL_L4_CLKn、PLL_R4_CLKp、PLL_R4_CLKn、PLL_R1_CLKp および PLL_R1_CLKn) が含まれます。
- (4) EP3SL340 デバイスは、H1152 パッケージでのみ提供されており、F1152 パッケージでは提供されていません。
- (5) EP3SE260 および EP3SL200 デバイスは、H780 パッケージでのみ提供されており、F780 パッケージでは提供されていません。

すべての Stratix III デバイスは、同一パッケージにおけるバーティカル・マイグレーションをサポートしています (例えば、780 ピン FineLine BGA パッケージの EP3SL50 と EP3SL70 デバイス間でマイグレーション可能です)。バーティカル・マイグレーションにより、同一のパッケージならば、専用ピン、コンフィギュレーション・ピン、および電源ピンのボード上のレイアウトを変更することなく、異なるデバイス間でマイグレーションできます。

ボード・レイアウトが1つのパッケージでマイグレーション可能な集積度をサポートするように、Quartus®II ソフトウェア (Assignments メニュー > Device > Migration Devices) でパーティカル・パスを適用させます。使用可能な LE 数を増やすことなく、L ファミリから E ファミリへのマイグレーションが可能です。これにより、パーティカル・マイグレーションのコストが抑えられます。

表 1-3 に、Stratix III の FBGA パッケージのサイズを示します。

| 寸法 | 484 ピン | 780 ピン | 1,152 ピン | 1,517 ピン | 1,760 ピン |
|-----------------------|--------|--------|----------|----------|----------|
| ピッチ (mm) | 1.00 | 1.00 | 1.00 | 1.00 | 1.00 |
| 面積 (mm ²) | 529 | 841 | 1,225 | 1,600 | 1,849 |
| 長さ / 幅 (mm/mm) | 23/23 | 29/29 | 35/35 | 40/40 | 43/43 |

表 1-4 に、Stratix III の HBGA パッケージのサイズを示します。

| 寸法 | 780 ピン | 1,152 ピン |
|-----------------------|--------|----------|
| ピッチ (mm) | 1.00 | 1.00 |
| 面積 (mm ²) | 1,089 | 1,600 |
| 長さ / 幅 (mm/mm) | 33/33 | 40/40 |

Stratix III デバイスは、-2、-3、および -4 の最高3つのスピード・グレードで提供されており、-2 が最も高速です。Stratix III デバイスは、商業およびインダストリアル温度範囲定格の両方で提供され、有鉛パッケージと無鉛パッケージに対応しています。選択可能なコア電圧は、特別にマーキングされた低電圧デバイス (製品コードのサフィックスが L) で提供されます。

アーキテク チャの特長

次の項では、FPGA の Stratix III ファミリの様々な機能について簡単に説明します。

ロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール

ロジック・アレイ・ブロック (LAB) は、ロジック・ファンクション、演算ファンクション、およびレジスタ・ファンクションを実装するようにコンフィギュレーションできるアダプティブ・ロジック・モジュール (ALM) として知られる基本ビルディング・ブロックで構成されています。各 LAB は、10 個の ALM、キャリア・チェーン、共有演算チェーン、LAB コントロール信号、ローカル・インタコネクト、およびレジスタ・チェーン接続ラインで構成されています。ALM は、高速性能、実装面積の最小化、消費電力の低減を実現するユニークで革新的なロジック構造の一部です。ALM は、従来の 4 入力ルック・アップ・テーブル・アーキテクチャを最大 7 入力まで拡張し、LE、ロジック・レベルおよび関連する配線を削減することにより性能を向上します。さらに、ALM は加算器ツリーおよびその他の複雑な演算機能を効率的に実行する専用機能を備えており、DSP 性能の最大化を実現します。Quartus II コンパイラは LAB または隣接 LAB 内に関連ロジックを生成し、ローカル接続、共有演算チェーン接続、およびレジスタ・チェーン接続の使用を可能にして性能と面積効率を高めます。

Stratix III のロジック・アレイ・ブロック (LAB) は、メモリ LAB (または MLAB) と呼ばれる新しいデリバティブを備えており、LAB に SRAM メモリ機能を追加します。MLAB は LAB のスーパーセットで、LAB の機能をすべて備えています。MLAB は、最大 640 ビットのシンプル・デュアル・ポートのスタティック・ランダム・アクセス・メモリ (SRAM) をサポートしています。1 個の MLAB 内の各 ALM を、 64×1 または 32×2 ブロックとしてコンフィギュレーションして、1 個の MLAB 内で 64×10 または 32×20 のコンフィギュレーションのシンプル・デュアル・ポート SRAM ブロックを得ることができます。MLAB ブロックと LAB ブロックは、すべての Stratix III ファミリーに常にペアとして存在し、最大 50% のロジック (LAB) をメモリ (MLAB) と交換することができます。



LAB および ALM について詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール」の章を参照してください。



MLAB のモード、特長およびデザインに関する検討事項について詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの TriMatrix エンベデッド・メモリ・ブロック」の章を参照してください。

MultiTrack インタコネクト

Stratix III アーキテクチャでは、ALM、TriMatrix メモリ、DSP ブロック、およびデバイス I/O ピン間の接続は、DirectDrive テクノロジーによる MultiTrack インタコネクト構造によって提供されます。MultiTrack インタコネクトは、一定間隔で配置され、性能が最適化された連続するロウとカラムのインタコネクトで構成されています。すべてのデバイスに対して一定した長さのリソースを持つ配線構造のため、集積度の異なるデバイスへの移行時にも予測可能で再現性のある性能を実現します。MultiTrack インタコネクトは、34 個の隣接 LAB へは 1 HOP、96 個の隣接 LAB へは 2 HOP、160 個の隣接 LAB へは 3 HOP の接続を提供します。

DirectDrive テクノロジーは、任意のファンクションに対して、デバイス内の配置とは無関係に理想的な配線リソース使用量を保証する確定的配線テクノロジーです。MultiTrack インタコネクトおよび DirectDrive テクノロジーは、一般にデザインの変更や追加が伴う最適化の繰り返しをなくすことによって、ブロック・ベース・デザインの集積化ステップを簡略化します。また、Quartus II のコンパイラは、デザインのクリティカルパスを自動的に高速ラインに配置して、デザイン・パフォーマンスを向上させます。



詳細については、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの DSP ブロック」の章を参照してください。

TriMatrix エンベデッド・メモリ・ブロック

TriMatrix エンベデッド・メモリ・ブロックには、3 種類のサイズのエンベデッド SRAM があり、Stratix III FPGA デザインのニーズに効率的に対応できます。TriMatrix メモリには以下のブロックがあります。

- 640 ビット MLAB ブロック。フィルタのディレイ・ライン、小型 FIFO バッファ、およびシフト・レジスタの実装に最適化されています。
- 9K ビット M9K ブロック。汎用メモリ・アプリケーションに使用できます。
- 144K ビット M144K ブロック。プロセッサ・コードのストレージ、パケットおよびビデオ・フレームのバッファリングに理想的です。

各エンベデッド・メモリ・ブロックは、Quartus II MegaWizard を使用して、シングルまたはデュアル・ポート RAM、ROM、またはシフト・レジスタとして個別にコンフィギュレーションできます。また、ブロックのタイプが同じであれば複数のブロックを 1 つにまとめて、最小のタイミング・ペナルティでより大きなメモリを作成することも可能です。TriMatrix メモリは、最大 600 MHz で動作可能な最大 16,272 K ビットのエンベデッド SRAM を提供します。



TriMatrix メモリ・ブロック、モード、機能、およびデザインに関する検討事項について詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの TriMatrix エンベデッド・メモリ・ブロック」の章を参照してください。

DSP ブロック

Stratix III デバイスは、高データ・スループットが要求される DSP アプリケーションに最適化された専用の高性能デジタル信号処理 (DSP) ブロックを備えています。Stratix III デバイスでは、様々な高性能 DSP ファンクションを容易に実装できます。WiMAX、3GPP WCDMA、CDMA2000、Voice over Internet Protocol (VoIP)、H.264 ビデオ圧縮、および高精細テレビ (HDTV) などの複雑なシステムは、データを処理するために高性能 DSP ブロックを必要とします。これらのシステム・デザインは一般的に DSP ブロックを使用して、有限インパルス応答 (FIR) フィルタ、複合 FIR フィルタ、無限インパルス応答 (IIR) フィルタ、高速フーリエ変換 (FFT) ファンクション、および離散コサイン変換 (DCT) ファンクションを実装します。

Stratix III デバイスは、最大 112 の DSP ブロックを備えています。Stratix III DSP ブロックのアーキテクチャについて特に注目すべき点は以下のとおりです。

- 高性能で、消費電力が最適化され、完全にパイプライン化された乗算処理
- 9 ビット、12 ビット、18 ビット、または 36 ビット・ワード長をネイティブ・サポート
- 18 ビットの複雑な乗算をネイティブ・サポート
- 浮動小数点演算形式を効率的にサポート (単精度では 24 ビット、倍精度では 53 ビット)
- 符号付きおよび符号なし入力サポート
- 加算、減算、および累算ユニットを内蔵して、乗算結果を効率的に結合
- 18 ビット入力バスをカスケードして、タップ・ディレイ・ラインを形成
- 44 ビット出力バスをカスケードして、あるブロックから次のブロックに出力結果を伝播
- 豊富でフレキシブルな演算丸めおよび飽和ユニット
- 効率的なバレル・シフタ・サポート
- 適応型フィルタリングをサポートするループバック機能

DSP ブロックの乗算器は、ユーザ・コンフィギュレーションに応じて、ブロック内の加算器 / 減算器または乗算累積器にオプションで信号を供給できます。これにより、すべての接続とブロックが DSP ブロック内にあるため、ALM の配線リソースが節約されて性能が向上します。さらに DSP ブロックの入力レジスタは FIR フィルタ・アプリケーション用のシフト・レジスタを効率的に実装でき、Stratix III DSP ブロックは丸め処理および飽和処理をサポートします。Quartus II デザイン・ソフトウェアには、ユーザのパラメータ設定に基づいて DSP ブロックの動作モードを制御するメガファンクションが含まれています。



詳細については、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの DSP ブロック」の章を参照してください。

クロック・ネットワークおよび PLL

Stratix III デバイスは、専用のグローバル・クロック・ネットワーク (GCLK)、リージョナル・クロック・ネットワーク (RCLK)、およびペリフェラル・クロック・ネットワーク (PCLK) を提供します。これらのクロックは階層的なクロック構造に編成され、Stratix III デバイス内で最大 104 個の固有のクロック・ドメイン (16 GCLK + 88 RCLK) を提供し、1 デバイス・エリアあたり最大 38 個 (16 GCLK + 22 RCLK) の固有の GCLK/RCLK クロック・ソースを許容できます。

Stratix III は豊富な PLL リソースを提供し、1 デバイスあたり最大 12 個の PLL と 1 PLL あたり最大 10 個の出力を備えています。各出力は個別にプログラムし、他の入力または出力クロックと一定の関係を持たない固有のカスタマイズ可能なクロック周波数を作成できます。固有のジッタ・フィルタリング、および逡倍、分周比、ダイナミック・フェーズ・シフトのリコンフィギュレーションに対する微細な調整を制御することによって、今日の高速アプリケーションに必要な高性能精度を提供します。Stratix III デバイスの PLL は豊富な機能を備え、クロック・スイッチオーバー、リコンフィギュレーション可能な位相シフト、PLL リコンフィギュレーション、およびリコンフィギュレーション可能な帯域幅など、先進的な機能をサポートしています。PLL は、逡倍、位相シフト、およびプログラマブル・デューティ・サイクルをサポートする汎用クロック管理に使用できます。また、Stratix III の PLL は、外部フィードバック・モード、スペクトラム拡散入力クロック追跡、およびポスト・スケール・カウンタ・カスケードもサポートしています。



詳細については、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのクロック・ネットワークおよび PLL」の章を参照してください。

I/O バンクおよび I/O 構造

Stratix III デバイスは、最大 24 個のモジュール・ベースの I/O バンクを備え、各 I/O バンクには 24、32、36、40、または 48 個の I/O があります。このモジュール・ベースの I/O バンク構造は、ピン使用効率を向上し、デバイスの移行を容易にします。左側および右側にある I/O バンクには、最大 333 MHz のスピードの外部メモリ・インタフェースをサポートする回路と、最大 1.25 Gbps 性能を満たす高速差動 I/O インタフェースがあります。トップとボトムにある I/O バンクには、最大 400 MHz のスピードで外部メモリ・インタフェースをサポートする回路と、それぞれ最大 800 MHz と 500 MHz で動作する高速差動入力および出力があります。

Stratix III デバイスは、シングル・エンド、電圧リファレンス形式のシングル・エンド、および差動 I/O 規格などの I/O 規格を幅広くサポートします。Stratix III の I/O は、プログラマブル・バス・ホールド、プログラマブル・プルアップ抵抗、プログラマブル・スルー・レート、プログラマブル出力遅延コントロール、およびオープン・ドレイン出力をサポートします。また、Stratix III デバイスは、シングル・エンド I/O 規格に対しては自動キャリブレーションによるチップ内直列 (R_S) 終端とチップ内並列 (R_T) 終端をサポートし、左右の I/O バンクの LVDS I/O 規格に対してはチップ内差動終端 (R_D) をサポートします。ダイナミック OCT はすべての I/O バンクの双方向 I/O ピンでもサポートされています。



詳細については、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの I/O 機能」の章を参照してください。

外部メモリ・インタフェース

Stratix III の I/O 構造は完全に新しく再設計されています。これにより、柔軟性を提供し、最大 400 MHz の周波数で DDR、DDR2、DDR3、QDRII、QDRII+、RLDRAMII などの新旧両方のメモリ規格に対する高性能サポートを可能にします。

Stratix III の I/O は、ダイナミック On-Chip Termination、配線パターン・ミスマッチ補正、リード / ライト・レベリング、ハーフ・レート・レジスタ、4 ~ 36 ビット・プログラマブル DQ グループ幅などの機能をパックし、外部メモリ・インタフェースを迅速かつ堅牢に実装するために必要な機能を内蔵しています。DDR (Double Data Rate) は、Stratix III デバイスのすべてのサイドでサポートされます。Stratix III デバイスは効率的なアーキテクチャを備え、必要な場所で幅広い外部メモリ・インタフェースに迅速かつ容易に適合します。

セルフ・キャリブレート・ソフト IP コア (ALTMEMPHY) は、新しい Quartus II タイミング解析ツール (TimeQuest) の他にも Stratix III デバイス I/O を利用するように最適化されており、プロセスの電圧と温度の全域にわたって最も信頼性の高い動作周波数に対するトータル・ソリューションを提供します。



外部メモリ・インタフェースについて詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの外部メモリ・インタフェース」の章を参照してください。

DPA 搭載の高速差動 I/O インタフェース

Stratix III デバイスは、最大 1.25 Gbps の速度で差動規格をサポートする専用回路を内蔵しています。高速差動 I/O 回路は、Utopia IV、SPI-4.2、SFI-4、10 ギガビット・イーサネット XSLI、Rapid I/O、および NPSI などの高速 I/O インタコネクタ規格およびアプリケーションをサポートします。Stratix III デバイスは、高速差動 I/O インタフェースに対しては 2x、4x、6x、7x、8x、および 10x SERDES モードをサポートし、専用 DPA 回路を使用する場合は 4x、6x、7x、8x、および 10x SERDES モードをサポートします。DPA により、ビット・エラーが最小になり、高速データ転送のための PCB レイアウトとタイミング管理が簡略化され、高速データ転送システムにおけるチャンネル間およびチャンネル・クロック間スキューが排除されます。また、ソフト CDR を実装して、低コスト 1.25 Gbps クロック・エンベデッド・シリアル・リンクを可能にすることもできます。

Stratix III デバイスは、高速差動 I/O サポートのための以下の専用回路を備えています。

- 差動 I/O バッファ
- トランスミッタ・シリアライザ
- 受信デシリアライザ
- データ・リアラインメント
- ダイナミック・フェーズ・アライナ (DPA)
- ソフト CDR 機能
- シンクロナイザ (FIFO バッファ)
- PLL



詳細については、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの DPA を使用した高速差動 I/O インタフェース」の章を参照してください。

ホット・ソケットおよびパワー・オン・リセット

Stratix III デバイスはホット・ソケット仕様に準拠しています。また、ホット・ソケットは、外部デバイスを使用しないパワー・シーケンスのサポートであり、ホット・プラグ・インまたはホット・スワップとも呼ばれます。安定したオンチップ・ホット・ソケットおよびパワー・シーケンスのサポートにより、パワーアップ・シーケンスに関係なく適切なデバイスの動作が保証されます。ユーザは、動作中のシステム・バスやシステムに実装されたボードに影響を与えることなく、システムの動作中に Stratix III ボードをシステムに取り付けたり、取り外すことができます。

ホット・ソケット機能によって、3.3 V、3.0 V、2.5 V、1.8 V、1.5 V、および 1.2 V デバイスが混在して実装されたプリント基板 (PCB) 上の Stratix III デバイスの使用がより容易になります。Stratix III のホット・ソケット機能により、ユーザはボード上のデバイスごとに適切なパワーアップ・シーケンスを確保する必要がなくなります。



詳細については、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのホット・ソケットおよびパワー・オン・リセット」の章を参照してください。

コンフィギュレーション

Stratix III デバイスは、次の 4 つのコンフィギュレーション方法の 1 つを使用してコンフィギュレーションされます。

- ファースト・パッシブ・パラレル (FPP)
- ファースト・アクティブ・シリアル (AS)
- パッシブ・シリアル (PS)
- JTAG (Joint Test Action Group)

すべてのコンフィギュレーション手法では、外部コントローラ (MAX[®] II デバイスまたはマイクロプロセッサなど)、コンフィギュレーション・デバイス、またはダウンロード・ケーブルを使用します。

Stratix III デバイスは、コンフィギュレーション・メモリ・スペースおよび時間を節減するコンフィギュレーション・データの復元をサポートします。この機能により、圧縮されたコンフィギュレーション・データをコンフィギュレーション・デバイスまたはその他のメモリに格納し、この圧縮されたビットストリームを Stratix III デバイスに送信することができます。コンフィギュレーションの間、Stratix III デバイスはリアルタイムでビットストリームを復元し、SRAM セルをプログラムします。

Stratix III デバイスは、FPP (MAX II デバイス / マイクロプロセッサ + Flash 使用時)、ファースト AS および PS コンフィギュレーション手法で復元をサポートしています。Stratix III の復元機能は、FPP でエンハンスド・コンフィギュレーション・デバイスを使用する場合、および JTAG を使用してコンフィギュレーションする場合には使用できません。



詳細については、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのコンフィギュレーション」の章を参照してください。

リモート・システム・アップグレード

Stratix III デバイスは、リモート・システム・アップグレードを特長としており、遠方から安全で信頼性の高い方式でエラー・フリーのシステム・アップグレードが可能です。Stratix III デバイスに実装されたソフト・ロジック (Nios II エンベデッド・プロセッサまたはユーザ・ロジック) は、遠隔地から新しいコンフィギュレーション・イメージをダウンロードし、それをコンフィギュレーション・メモリに格納し、さらに専用リモート・システム・アップグレード回路にリコンフィギュレーション・サイクルの開始を指示することもできます。この専用回路は、コンフィギュレーション・プロセス中およびプロセスの後にエラー検出を実行し、安全なコンフィギュレーション・イメージに戻ることによってエラー状態から回復し、エラー・ステータス情報を提供します。この専用リモート・システム・アップグレード回路は、Stratix シリーズ FPGA 独自のもので、システム・ダウンタイムの回避に役立ちます。



詳細については、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのリモート・システム・アップグレード」の章を参照してください。

IEEE 1149.1 (JTAG) バウンダリ・スキャン・テスト

Stratix III デバイスは、JTAG IEEE Std. 1149.1 規格をサポートしています。バウンダリ・スキャン・テスト (BST) アーキテクチャでは、物理的なテスト・プローブを使用せずにピンの接続をテストすることができ、またデバイスの通常動作中に機能データをキャプチャします。Stratix III デバイスのバウンダリ・スキャン・セルは信号をピンに強制的に出力するか、ピンまたはロジック・アレイ信号からデータをキャプチャします。強制テスト・データはバウンダリ・スキャン・セルにシリアルにシフト・インされます。キャプチャされたデータはシリアルにシフト・アウトされ、外部で期待値と比較されます。BSTに加えて、Stratix III デバイスのイン・サーキット・リコンフィギュレーション (ICR) に IEEE Std. 1149.1 コントローラを使用することができます。



詳細については、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの IEEE 1149.1 (JTAG) バウンダリ・スキャン・テスト」の章を参照してください。

デザイン・セキュリティ

Stratix III デバイスは、揮発性および不揮発性の 256 ビット・セキュリティ・キーによってデザインのコピー、リバース・エンジニアリング、および改ざんを防止する唯一の高集積、高性能 FPGA です。Stratix III デバイスは、高度暗号化規格 (Advanced Encryption Standard、略称: AES) アルゴリズムを使用してコンフィギュレーション・ビットストリームを暗号化する機能を備えています。このアルゴリズムは、FIPS-197 認定の業界標準暗号化アルゴリズムで、256 ビット・セキュリティ・キーを必要とします。

デザイン・セキュリティ機能を使用できるのは、ファースト・パッシブ・パラレル (FPP) コンフィギュレーション・モードと外部ホスト (MAX II デバイスまたはマイクロプロセッサ) を使用して Stratix III FPGA をコンフィギュレーションする場合、またはファースト・アクティブ・シリアル (AS) またはパッシブ・シリアル (PS) コンフィギュレーション手法を使用する場合です。



デザイン・セキュリティ機能について詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのデザイン・セキュリティ」の章を参照してください。

SEU の緩和

Stratix III デバイスはエラー検出回路を内蔵し、コンフィギュレーション・ランダム・アクセス・メモリ (CRAM) セル内のソフト・エラーによるデータ破壊を検出します。この機能により、ユーザ・モード動作時に CRAM のすべての内容を継続的にリードおよび検証し、コンフィギュレーション計算済みの CRC 値に一致させることができます。エンハンスド CRC 回路とフレーム・ベース・コンフィギュレーション・アーキテクチャにより、複数ビット・エラー、単一ビット・エラー、および隣接ビット・エラーの検出とエラー箇所の特定が可能になり、リファレンス・デザインとして供給されるソフト回路とともに使用することで、デバイスの動作中に CRAM 内の無関係のソフト・エラーを無視することができます。そのため、有効なソフト・エラー・レートが段階的に減少し、システムの信頼性が向上します。

オン・チップ・メモリ・ブロックのSEUを緩和することもできます。これは、MLAB および M9K ブロックに対しては第9ビットと Quartus II のコンフィギュレーション可能なメガファンクションを使用して行われ、M144K メモリ・ブロックにはエラー訂正コード (ECC) 回路が内蔵されています。



専用エラー検出回路について詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III での SEU の緩和」の章を参照してください。

プログラマブル・パワー

Stratix III は、今日の消費電力および性能要件のバランスを図るユーザ・プログラマブル・パワー・オプションを備えた唯一の FPGA です。Stratix III デバイスは、様々なプロセス、回路、アーキテクチャの最適化および技術革新など、最先端の省電力技術を利用しています。また、ユーザ制御可能な省電力技術により、Stratix III FPGA にコンフィギュレーションされるデザインごとに性能と省電力化が最適なバランスで提供されます。Quartus II ソフトウェア (バージョン 6.1 から) は、デザイン・フローを変更する必要なしに、自動的に性能目標を満たすようにデザインを自動的に最適化しつつ、Stratix III FPGA のプログラマブル省電力オプションを利用します。



Stratix III デバイスのプログラマブル・パワーについて詳しくは、以下の資料を参照してください。

- 「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのプログラマブル・パワーおよび温度検知ダイオード」の章
- 「AN 437: Stratix III FPGA の消費電力の最適化」
- 「Stratix III プログラマブル・パワー・ホワイトペーパー」

シグナル・インテグリティ

Stratix III デバイスは、複数のチップ、パッケージ、およびボード・レベルの機能強化を通じてシグナル・インテグリティの課題を簡略化し、デバイスの効率的な高速データ転送を可能にします。これらの機能強化には、次のものがあります。

- ユーザ I/O/Gnd/Vcc 比を 8:1:1 として、パッケージ内のループ・インダクタンスを低減します。
- 各 I/O バンク (1 バンクあたり I/O 数を 24 ~ 48 に制限) に専用電源があり、同時スイッチング・ノイズを制限します。
- 最大 4 つの設定でのプログラマブル・スルー・レートのサポートにより、希望の I/O 規格、コントロール・ノイズ、およびオーバシユートに適合します。

- 最大 4 つの設定でのプログラマブル出力電流ドライブ能力のサポートにより、希望の I/O 規格性能に適合します。
- プログラマブル出力遅延のサポートにより、立ち上がり / 立ち下がり時間の制御とデューティ・サイクルの調整を行い、スキューを補正し、同時スイッチング出力 (SSO) ノイズを低減します。
- 直列および並列 OCT に対するオート・キャリブレーション・サポートを備えたダイナミック OCT と、左右のバンクの LVDS I/O 規格に対する差動 OCT サポート。



Quartus II の SI サポートについて詳しくは、「[Quartus II ハンドブック](#)」を参照してください。

参照および製品コード

次の項では、Stratix III デバイスのソフトウェア・サポートおよび製品コードについて説明します。

ソフトウェア

Stratix III デバイスは、system-on-a-programmable-chip (SOPC) デザインに包括的な環境を提供するアルテラの Quartus II デザイン・ソフトウェア Ver. 6.1 でサポートされています。Quartus II ソフトウェアには、HDL および回路図によるデザイン入力、コンパイルおよび論理合成、完全なシミュレーションおよび最新のタイミング解析、SignalTap® II ロジック解析、およびデバイス・コンフィギュレーションなどの機能が含まれています。Quartus II ソフトウェアの機能について詳しくは、「[Quartus II ハンドブック](#)」を参照してください。

Quartus II ソフトウェアは、Windows Vista (32 ビットと 64 ビット)、Windows XP Professional x64、Windows XP/2000、Sun Solaris 8/9 (32 ビットと 64 ビット)、Red Hat Enterprise Linux 3.0/4.0 (32 ビットと 64 ビット)、および SUSE Enterprise Linux 9 (32 ビットと 64 ビット) の各オペレーティング・システムをサポートしています。最新情報はウェブサイト[を参照してください](#)。また、NativeLink® インタフェースによる業界をリードする EDA ツールとのシームレスなインテグレーションもサポートしています。

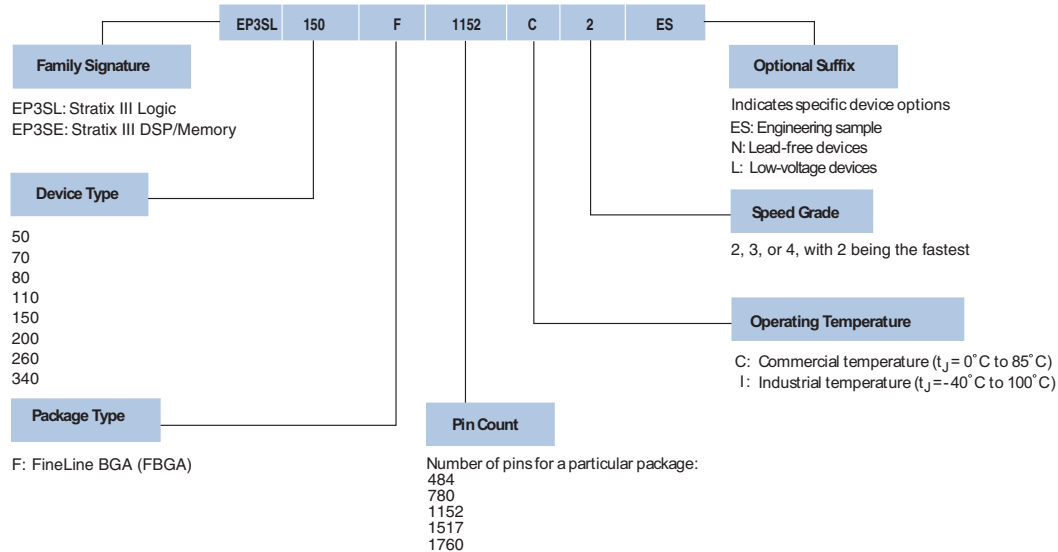
製品コード

図 1-1 は、Stratix III デバイスの製品コードを説明したものです。



各パッケージについて詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのパッケージ情報」の章を参照してください。

図 1-1. Stratix III デバイスの製品コード情報



参考資料

この章では以下のドキュメントを参照しています。

- 「AN 437: Stratix III FPGA の消費電力の最適化」
- 「Stratix III デバイスのクロック・ネットワークおよび PLL」
- 「Stratix III デバイスのコンフィギュレーション」
- 「Stratix III デバイスのデザイン・セキュリティ」
- 「Stratix III デバイスの DSP ブロック」
- 「Stratix III デバイスの外部メモリ・インタフェース」
- 「Stratix III デバイスの高速差動 I/O インタフェースおよび DPA」
- 「Stratix III デバイスのホット・ソケットおよびパワー・オン・リセット」
- 「Stratix III デバイスの IEEE 1149.1 (JTAG) バウンダリ・スキャン・テスト」
- 「Stratix III デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール」
- 「Stratix III デバイスの MultiTrack インタコネクト」
- 「Stratix III デバイスのプログラマブル・パワーおよび温度検知ダイオード」
- 「Quartus II ハンドブック」
- 「Stratix III デバイスのリモート・システム・アップグレード」
- 「Stratix III デバイスにおける SEU の緩和」
- 「Stratix III デバイスの I/O 機能」
- 「Stratix III デバイスのパッケージ情報」
- 「Stratix III デバイスの TriMatrix エンベデッド・メモリ・ブロック」

改訂履歴

表 1-5 に、本資料の改訂履歴を示します。

| 表 1-5. 改訂履歴 | | |
|-------------------|--|----|
| 日付 & ドキュメント・バージョン | 変更内容 | 概要 |
| 2007 年 11 月 v1.3 | <ul style="list-style-type: none"> ● 表 1-1 を更新。 ● 表 1-2 を更新。 | — |
| 2007 年 10 月 v1.2 | <ul style="list-style-type: none"> ● マイナーな誤字脱字修正。 ● 表 1-4 を追加。 ● 「参考資料」の項を追加。 ● 参照にライブ・リンクを追加。 | — |
| 2007 年 5 月 v1.1 | フォーマットのマイナー・チェンジ、表 1-1 の PLL 数、ALM、LE および MLAB ビット数を更新。 | — |
| 2006 年 11 月 v1.0 | 初版 | — |