



## 10. Stratix II GX デバイスの高速ソース・シンクロナス差動 I/O インタフェース

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIIGX52005-1.1

### はじめに

テレコム市場の拡大とインターネット利用の増加により、システムはかつてないほど多量のデータをより高速に転送することが求められています。この要求に対処するために、差動信号および RapidIO™ 規格、POS-PHY 4、SFI-4、XSBI など、新たに登場した高速インタフェース規格のようなソリューションを使用することができます。

これらの新しいプロトコルは、1Gbps 以上の差動データ・レートをサポートします。このような高いデータ・レートでは、クロックとデータ信号間のスキューの管理がさらに困難な課題となります。この課題に対する 1 つのソリューションは、クロック・データ・リカバリ (CDR) 機能を使用してデータ・チャンネルとクロック信号間のスキューを除去することです。もう 1 つの可能性のあるソリューションは、前述したプロトコルのいくつかによって組み込まれているダイナミック・フェーズ・アライメント (DPA) です。

Stratix® II GX デバイスは、エンベデッド DPA を備えています。この章では、DPA 回路を利用してシステムの効率と帯域幅を向上させる方法について説明します。また、高速ソース・シンクロナス・システムのスキューの問題にも言及し、Stratix II GX デバイスでのソース・シンクロナス回路についても簡単に説明します。

Stratix II GX デバイスのソース・シンクロナス高速インタフェースは、プログラマブル・ロジック・デバイス (PLD) に組み込まれた専用回路で、高速ソース・シンクロナス通信を簡単に低消費電力で実装できます。

### スキューおよび DPA

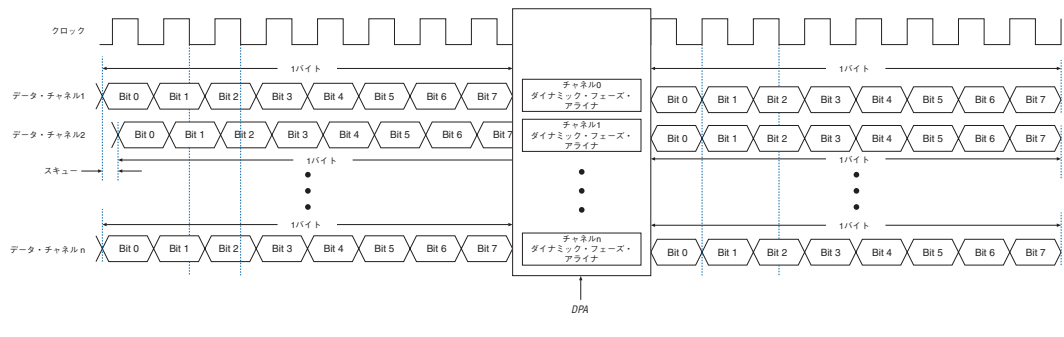
クロックまたはデータ信号の遷移が互いに異なる時間で発生する場合 (図 10-1 参照)、レシーバは正しいタイミングでデータをサンプリングせず、システム・エラーが生じます。この問題は、以下の本質的な複合スキューに起因します。

- トランスミッタ・デバイス
- 配線パターン長および容量性負荷の相違
- スレッショルド電圧の変動
- 伝送線路の終端不良
- システム・リコンフィギュレーション

このスキューによって、あるポイントから別のポイントへのデータ伝送が不正確になり、システム内のコンポーネント間の通信が中断されます。

ダイナミックなクロック - データ・シンクロナイゼーション (CDS) またはダイナミック・フェーズ・アライメントによるソリューションは、信号対ノイズ比を最適化するための“実行時”フェーズ・アライメントを提供するので、高速ソース・シンクロナス・システムに最適です。Stratix II GX での DPA の実装は、各レシーバ・チャンネルに個別のアナログ PLL (Phase-Locked Loop) を使用してスキューを補正する (CDR ソリューション) デバイスよりも低い消費電力を実現します。Stratix II GX デバイスの DPA は、多くのレシーバ・チャンネルと同じコンポーネントを共有するため消費電力が低減されます。

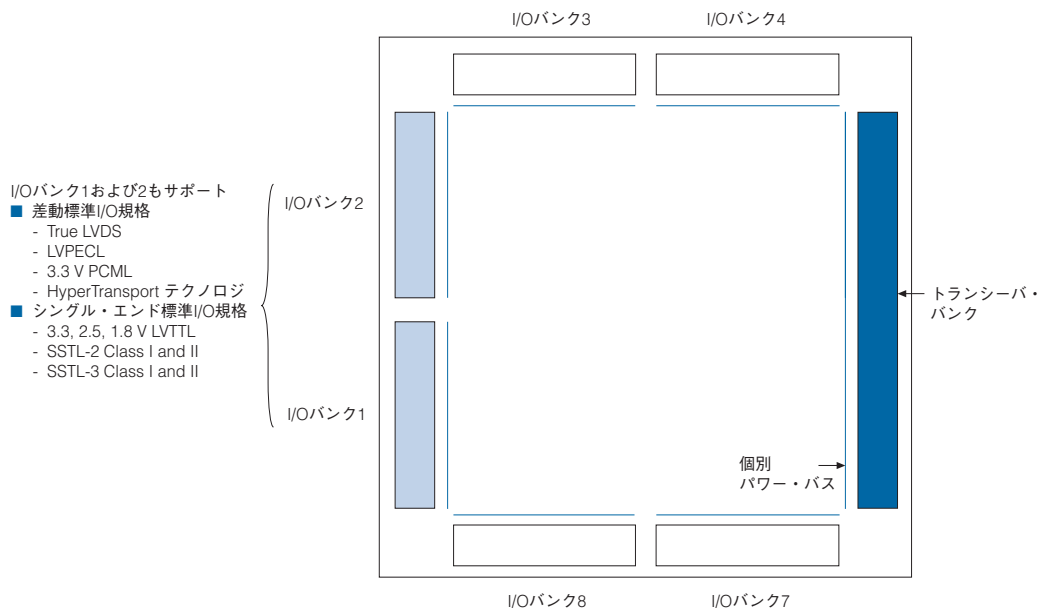
図 10-1. クロック - データ間スキュー



## I/O バンク

図 10-2 に示すように、Stratix II GX デバイスは、6 個の汎用 I/O バンク (バンク 1、2、3、4、7、および 8) とトランシーバ・バンクを備えています。

図 10-2. Stratix II GX デバイスの DPA サポート



LVDS によってサポートされる入力と出力は、バンク 1 および 2（デバイスのサイドに位置する）に配置されます。これら 2 つのバンクは、ソース・シンクロナス・インタフェース内にエンベデッド DPA も内蔵しています。DPA は、スキューによって生じるクロック・ラインとデータ・ライン間の位相差を連続的に補正します。DPA（使用されている場合）は、自動的かつ連続的に動作し、ソース・シンクロナス回路がチャンネル・クロック間スキューに関係なくデータを正確にキャプチャできるようにします。

表 10-1 に、DPA 回路の一般特性を示します。

データ・レート (1)	150 ~ 1,040 Mbps
デシリアライゼーション・ファクタ (2)	1、2、4、5、6、7、8、9、および 10
クロック周波数 (3)	16 ~ 717 MHz
インタフェース・ピン	I/O バンク 1 および 2
DPA ラン・レングス	6,400 UI
DPA ジッタ許容	0.44 UI

表 10-1 の注：

- (1) データ・レートは、コンポーネントのスピード・グレードによって異なります。「Stratix II GX データシート」の「DC & スイッチング特性」の章を参照してください。
- (2) DPA を使用する場合、この値は 8 または 10 に限定されます。
- (3) クロック周波数は、コンポーネントのスピード・グレードによって異なります。「Stratix II GX データシート」の「DC & スイッチング特性」の章を参照してください。

表 10-2 に、Stratix II GX デバイスの差動チャネルの総数を示します。左側のバンクにある専用ではないクロックは、データ・レシーバ・チャネルとしても使用することができます。レシーバ・チャネルの総数には、これらの 4 個の専用ではないクロック・チャネルが含まれます。同じのパッケージの異なるサイズのデバイスに、ピン・マイグレーションを使用できます。

デバイス	780 ピン FineLine BGA	1,152 ピン FineLine BGA	1,508 ピン FineLine BGA
EP2SGX30	29 個のトランスミッタ・チャネル、31 個のレシーバ・チャネル		
EP2SGX60	29 個のトランスミッタ・チャネル、31 個のレシーバ・チャネル	42 個のトランスミッタ・チャネル、42 個のレシーバ・チャネル	
EP2SGX90		45 個のトランスミッタ・チャネル、46 個のレシーバ・チャネル	59 個のトランスミッタ・チャネル、59 個のレシーバ・チャネル
EP2SGX130			78 個のトランスミッタ・チャネル、78 個のレシーバ・チャネル

表 10-2 の注：

- (1) ピン数には専用 PLL 入力および出力ピンは含まれていません。
- (2) レシーバ・チャネルの総数は、データ・チャネルとして利用可能な 4 個の専用ではないクロック・チャネルを含みます。

## 専用ソース・シンクロナス回路

Stratix II GX デバイスの I/O バンク 1 および 2 の差動 I/O チャンネルは、ソース・シンクロナス・モードで、LVDS、LVPECL、または 3.3 V PCML 規格にインタフェースできます。Stratix II GX デバイスは、クロックに同期してシリアル・チャンネルで送信または受信を行います。

受信側の Stratix II GX デバイスは、低速クロック (RXCLKIN) を係数 1、2、4、8、または 10 で通倍することができます。この通倍係数は、 $W$  としても知られています。fast PLL の出力でのクロックは、 $RXCLKIN \times W$  の周波数に等しくなります。 $W$  は、周波数のデータ (RXIN) に適合するように設定しなければなりません。

$$\text{Freq (RXIN)} = \text{Freq (RXCLKIN)} \times W$$

SERDES (シリアル / パラレル変換) 係数には、4、8、または 10 (DPA では 8 または 10 のみ) を使用でき、これによってロジック・アレイにドライブするパラレル・バスの幅が決まります。この係数は  $J$  としても知られており、クロック通倍値  $W$  と等しくなくてもかまいません。Stratix II GX デバイスは、シリアル / パラレル変換係数 1 または 2 ( $J = 1$  または 2) の専用 SERDES (シリアライザ / デシリアライザ) をバイパスすることができます。SERDES 係数が 2 の場合、I/O エlement (IOE) はダブル・データ・レート (DDR) 入力および出力を使用します。表 10-3 に、Stratix II GX デバイスがサポートするクロック通倍係数 ( $W$ ) および SERDES 係数 ( $J$ ) を示します。

表 10-3. クロック通倍係数	
係数	整数
クロック通倍 $W$	1、2、4、8、または 10
SERDES $J$ (1)	4、8、または 10

表 10-3 の注：

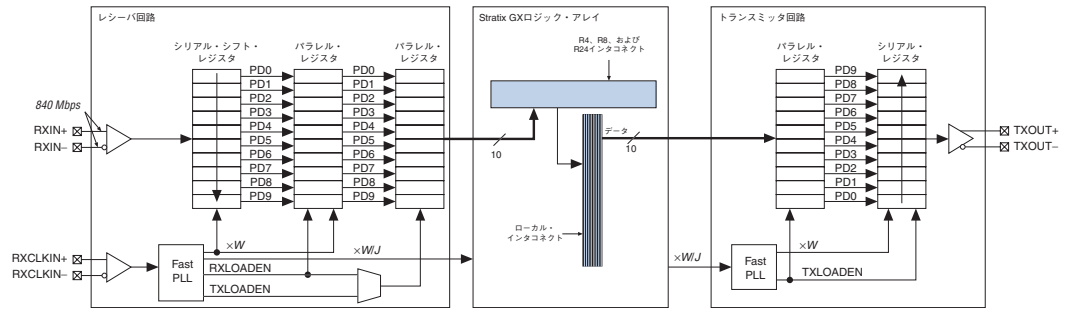
(1) DPA を使用する場合、SERDES 係数  $J$  の値は 8 または 10 に限定されます。

レシーバ回路の fast PLL は、シフト・レジスタを介してシリアル・データをパラレル変換するための高周波クロックと低周波クロックの 2 つのクロックを生成します。高周波クロックの周波数は、 $RXCLKIN \times W$  です。低周波クロック周波数は、 $RXCLKIN \times W / J$  です。パラレル・データは低周波クロックに同期し、レシーバは両方のクロックをロジック・アレイに送ります。

トランスミッタ側では、ロジック・アレイからのパラレル・データが、最初に低周波クロックに同期したパラレルイン / シリアルアウト・シフト・レジスタに供給され、出力バッファから送信されます。

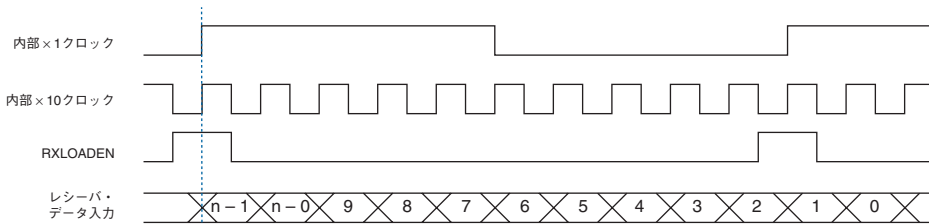
図 10-3 に、専用レシーバおよびトランスミッタ・インタフェースを示します。

図 10-3. ソース・シンクロナス差動 I/O レシーバ/トランスミッタ・インタフェース



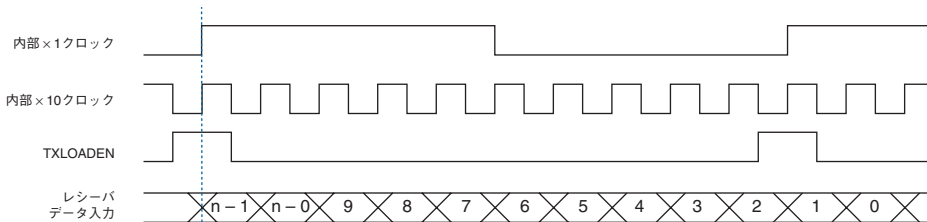
イネーブル信号 RXLOADEN は、いずれのモード (DPA ありまたはなし) でも低周波クロックの 2 番目の立ち上がりエッジで、パラレル・データを次のパラレル・レジスタにロードします。図 10-4 に、レシーバにおけるクロックとデータの関係を示します。

図 10-4. レシーバのタイミング図



イネーブル信号 TXLOADEN は、パラレル・データをパラレル・レジスタからシリアル・レジスタにロードします。図 10-5 に、トランスミッタにおけるクロックとデータの関係を示します。

図 10-5. トランスミッタのタイミング図

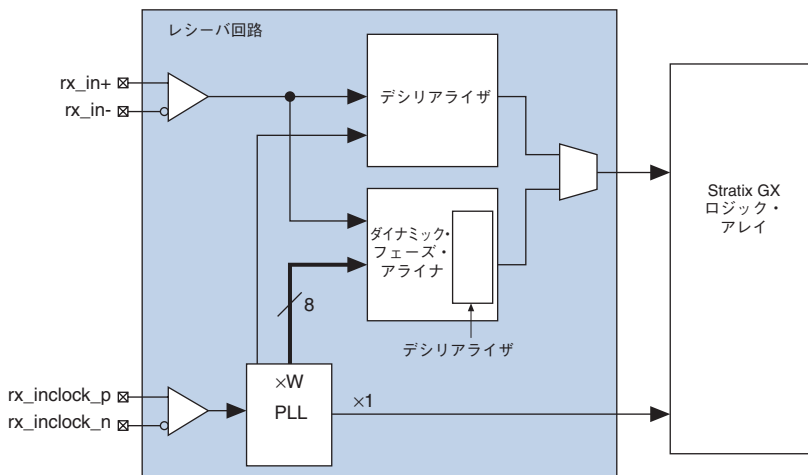


## DPA ブロックの概要

Stratix II GX の各レシーバ・チャンネルは、DPA ブロックを備えています。このブロックには、位相の検出および選択のためのダイナミック・フェーズ・セレクタ、SERDES、シンクロナイザ、およびデータ・リアライナ回路が含まれています。図 10-6 に示す個別のデシリアライザを使用すると、チャンネルの基本的なソース・シンクロナス動作に影響を与えずに DPA をバイパスすることができます。

DPA はソース・クロックとシリアル・データの両方を使用します。DPA は、システム・バリエーションに起因する変動を自動的かつ連続的に追跡し、通信されたクロックとシリアル・データ間の位相スキューを排除するよう自己調整します。図 10-6 に、Stratix II GX のソース・シンクロナス回路と Stratix II GX の DPA 付きソース・シンクロナス回路の関係を示します。

図 10-6. レシーバ回路



## DPA 動作

ここでは、DPA 動作、同期化、およびデータ・リアラインメントについて説明します。DPA 動作は、チャンネル単位でイネーブルまたはディセーブルできます。DPA モードで動作する SERDES では、ソース・クロックは専用クロック入力ピンを介して fast PLL に送られます。シリアル・データ・レートと一致させるために、このクロックは逡倍値  $W$  で逡倍されます。図 10-7 を参照してください。

DPA レシーバ回路には、以下のものが実装されています。

- ダイナミック・フェーズ・セクタ
- デシリアライザ
- シンクロナイザ
- データ・リアライナ
- fast PLL

図 10-7. DPA レシーバ回路

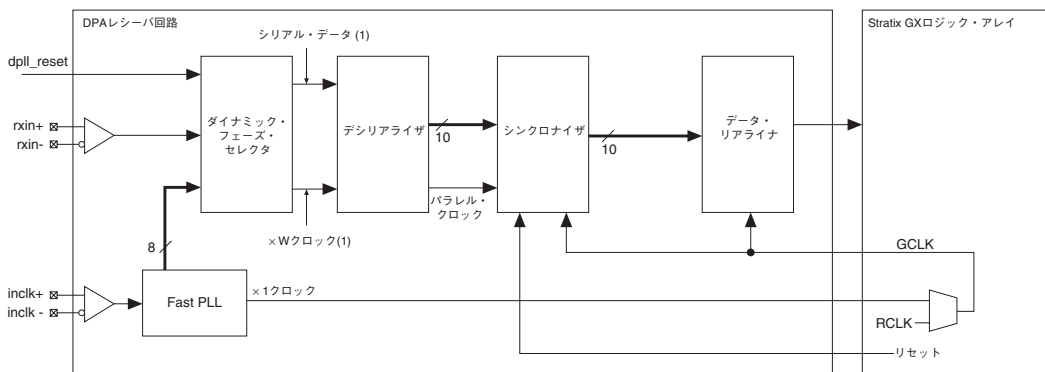


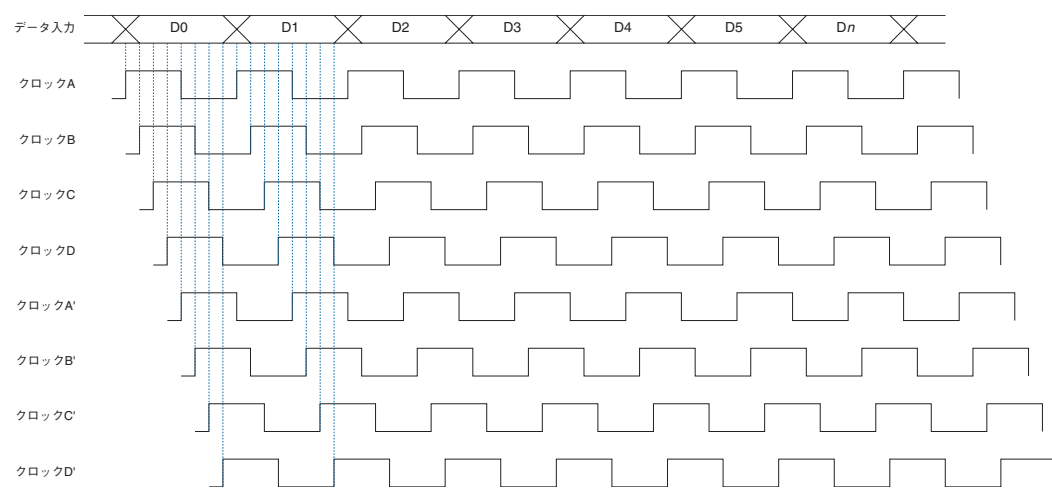
図 10-7 の注：

- (1) ダイナミック・フェーズ・セクタの出力でのクロックおよびデータは、リタイミングされ位相がマッチングされます。

ダイナミック・フェーズ・セクタは、高速クロックと高速データをデシリアライザに送る前にそれらの位相を一致させます。

fast PLL は、同じクロックの 8 つの位相（それぞれが 4 段差動電圧制御発振器（VCO）からの個別タップ）を、選択された fast PLL に関連付けられたすべての差動チャンネルに信号を供給します。各チャンネル内のダイナミック・フェーズ・セレクタは、シリアル・データの位相に最も近い位相にロックし、リタイミングされたデータと選択されたクロックをデシリアライザに送ります。各チャンネルの DPA 回路は、単独で異なるクロック位相を選択できます。データ・フェーズの検出とクロック位相の選択プロセスは、自動的かつ連続的に実行されます。8 つのクロック位相は DPA 回路に UI（Unit Interval）の 1/8、すなわち 1 Gbps で 125 ps の粒度を与えます。図 10-8 に、fast PLL 回路で生成されるクロックとそれらのデータ・ストリームとの関係を示します。

図 10-8. DPA 回路



### プロトコル、トレーニング・パターンおよびDPAロック時間

DPA は fast PLL（クロック逡倍用）とダイナミック・フェーズ・セレクタ（位相検出用）を使用します。DPA はダイナミック・フェーズ・セレクタからの高速クロックを使用して、高速データをパラレル変換します。ダイナミック・フェーズ・セレクタは、クロックの各立ち上がりエッジで、クロックとデータ間の位相差を判断し、データとクロック間の位相差を自動的に補償します。

異なるデータ・パターンに対する実際のロック時間は、データの遷移密度（データが1と0の間で切り替わる頻度）とジッタ特性によって決まります。DPA 回路は、回路が現在および将来のプロトコルで動作するように、十分な遷移密度を持つ任意のデータ・パターンにロックするように設計されています。実験とシミュレーションは、DPA 回路は表 10-4 に示すデータ・パターンが指定された回数だけ繰り返されるとロックすることを示しています。表 10-4 に示されていない他の適切なパターンやパターン長もありますが、ロック時間は変動することがあります。回路は、動作中に発生するいかなる位相変動にも対応できます。

表 10-4. 異なるプロトコルに対するトレーニング・パターン		
プロトコル	トレーニング・パターン	繰り返し数
SPI-4、NPSI	0 が 10 個、1 が 10 個 (0000000000011111111111)"	256
RapidIO	0 が 4 個、1 が 4 個 (00001111) または 1 が 1 個、0 が 2 個、1 が 1 個、0 が 4 個 (10010000)	
その他のデザイン	1 と 0 が交互に合計 8 個 (10101010 または 01010101)"	
SFI-4、XSBI	未指定	

ダイナミック・フェーズ・セレクタがロックを喪失した場合、DPA 回路は各チャンネルのロック喪失信号をロジック・アレイに送ります。次に、ダイナミック・フェーズ・セレクタの RESET 信号を Low にプルダウンして、ダイナミック・フェーズ・セレクタをリセットすることができます。dp11\_reset ノードをアサートして DPA 動作をリセットすることもできます。

## フェーズ・シンクロナイザ

各レシーバは独自の DPA を備えています。各レシーバの DPA は、すべてのレシーバからのパラレル・データの位相を 1 つのグローバル・クロックに揃えます。各チャンネルのシンクロナイザは、グローバル・クロック (GCLK) とパラレル・クロックによってクロック制御される FIFO (First-In First-Out) バッファで構成されます。シンクロナイザへのグローバル・クロック (GCLK) およびパラレル・クロック入力は、周波数が同じで位相のみ異なっている必要があります。したがって、動作にはエンブティ/フル・フラグ信号やリード/ライト・イネーブル信号は不要です。ダイナミック・フェーズ・セクタは、各データ信号の周波数が同じになるように、各データ信号をグローバル・クロックの 8 つの位相の 1 つに揃えます。各シンクロナイザは、受信データの位相に応じて、異なるクロック位相で書き込まれます。グローバル・クロックはすべてのシンクロナイザを読み出すため、すべてのデータが同じ位相になりロジック・アレイで使用できます。

## DPA モードのレシーバ・データ・リアライメント

DPA 動作は、着信クロックの位相を着信データの位相に揃えますが、並列化境界またはバイト境界を保証していません。DPA がデータ・ビットをリアライメントすると、図 10-9 に示すように、ビットをバイト・アライメントからシフト・アウトさせることができます。

図 10-9. ミスアライメントのキャプチャ・ビット

正しいアライメント

0	1	2	3	4	5	6	7
---	---	---	---	---	---	---	---

正しくないアライメント

3	4	5	6	7	0	1	2
---	---	---	---	---	---	---	---

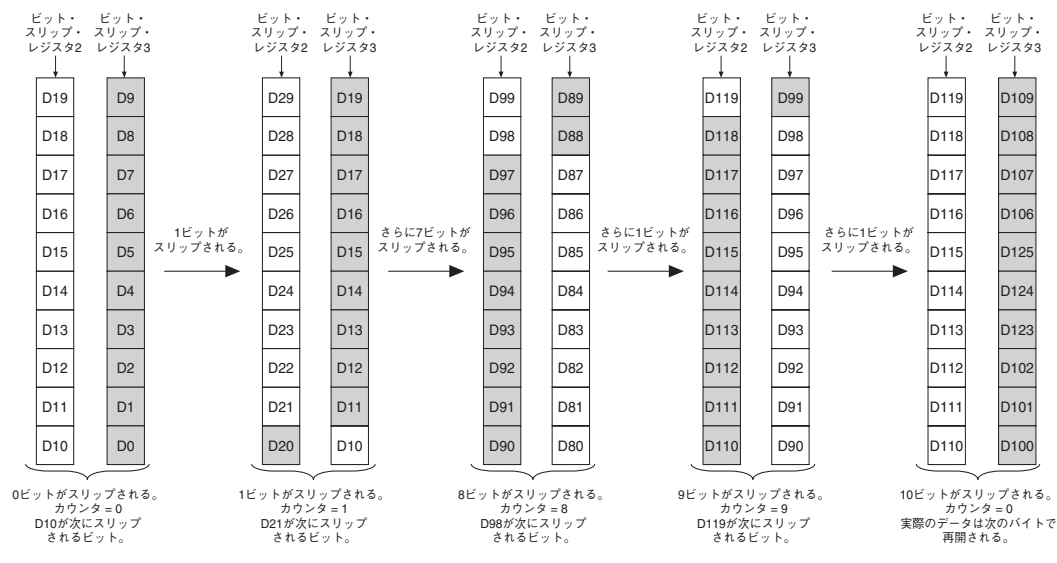
ダイナミック・フェーズ・セクタとシンクロナイザは、両方の通信デバイスのパワーアップとチャンネル間スキューに基づいてクロックとデータを揃えます。ただし、ダイナミック・フェーズ・セクタとシンクロナイザはバイト境界を判断できないので、データをバイト境界にアライメントする必要がある場合もあります。DPA のデータ・リアライメント回路は、データ・ビットをシフトしてビットのミスアライメントを補正します。

Stratix II GX 回路には、ロジック・アレイで制御されるデータ・リアラインメント機能が含まれています。Stratix II GX デバイスは、デシリアライゼーション・ブロックの後にあるパラレル・データに対してデータ・リアラインメントを実行できます。データ・リアラインメントは、柔軟性を向上させるためにチャンネルごとに実行できます。データ・リアラインメント動作には、特定のパターンを認識するためのステート・マシンが必要です。手順では、着信データをバイト境界の先頭に正しく揃えるために、データ・ストリーム上でビットをスリップさせる必要があります。

DPA は、データ・リアラインメントのために自身のリアラインメント回路とグローバル・クロックを使用します。デバイス・ピンまたはロジック・アレイのいずれかが内部ノード `rx_channel_data_align` をアサートすると、DPA データ・リアラインメント回路がアクティブになります。このノードを **Low** から **High** に切り替えるとリアラインメント回路がアクティブになり、ロジック・アレイに転送されているデータが 1 ビットだけシフトします。ステート・マシンと追加ロジックによって、着信パラレル・データをモニタして、事前に定義された既知のパターンと比較しなければなりません。着信データ・パターンが既知のパターンと一致しない場合は、`rx_channel_data_align` ノードを再度アクティブにすることができます。既知のデータのパターンと着信パラレル・データのパターンが一致するまで、このプロセスを繰り返します。

DPA データ・リアラインメント回路によって、通倍係数  $J$  で可能なリアラインメント範囲を越えるリアラインメントが可能です。通倍係数  $J$  は 8 ~ 10 に設定できます。ただし、データは低速クロック・サイクルごとに連続してクロックしなければならないので、データ・リアラインメント・ロジックのカウンタが  $n-1$  を超えるたびに、リアラインメントする次のビットと前の  $n-1$  ビットのデータが選択されます。このとき、カウンタが 0 にリセットされると、ビット・スリップ・レジスタ 3 からデータ全体が選択されます (図 10-10 参照)。ロジック・アレイは、次の分周低速クロック・サイクルで新しい有効データ・バイトを受け取ります。図 10-10 に、ロジック・アレイからの連続的なデータ・スリップ要求時の現行カウンタ値に基づく、データ・リアラインメント・レジスタ 2 および 3 内のデータからのデータ・リアラインメント・ロジック出力の選択を示します。

図 10-10.DPA データ・リアライナ



デバイス内で `rx_channel_data_align` 信号を使用して、データ・アライナをアクティブにします。 `rx_channel_data_align` 信号は、内部ロジックまたは外部ピンを使用して制御できます。 `rx_channel_data_align` 信号の立ち上がりエッジがコントロール・ロジックに確実にラッチされるように、 `rx_channel_data_align` 信号は2低周波数クロック・サイクル以上 High 状態に維持する必要があります。データのバイト境界は、 `rx_channel_data_align` 信号の各立ち上がりエッジで1ビットずつシフトされます。したがって、データがスリップするたびに1ビットずつ失われます。

アラインメント手順に対処できるように、FPGA のロジック・アレイ内にステート・マシンを構築してリアライメント信号を生成する必要があります。以下のガイドラインに、このステート・マシンの要求条件の概要を示します。

- データが  $xW/J$  クロックに確実に同期するように、デザインに入力同期レジスタが含まれていなければなりません。
- ステート・マシン後に、別の同期レジスタを使用して、生成された `rx_channel_data_align` 信号をキャプチャし、それを  $xW/J$  クロックに同期させます。
- この同期レジスタの出力から PLL までのパスにおけるスキューは不定なので、ステート・マシンは1つの  $xW/J$  クロック周期の間、High 状態のパルスを生成しなければなりません。

- `rx_channel_data_align` ジェネレータ回路は、各 `rx_channel_data_align` パルスに対し1つの短いクロック周期のパルスしか生成しないので、着信データとアラインメント・パターンを比較する信号が Low にリセットされるまで、追加の `rx_channel_data_align` パルスを生成できません。
- ステート・マシンがシングル・ビットをシフトするために誤って複数の `rx_channel_data_align` パルスを生成しないように、ステート・マシンはパルスとパルスの間で最低3つ以上の  $\times 1$  クロック周期の間 `rx_channel_data_align` 信号を Low に保持しなければなりません。

## DPA 対 CDR 付きソース・シンクロナス回路

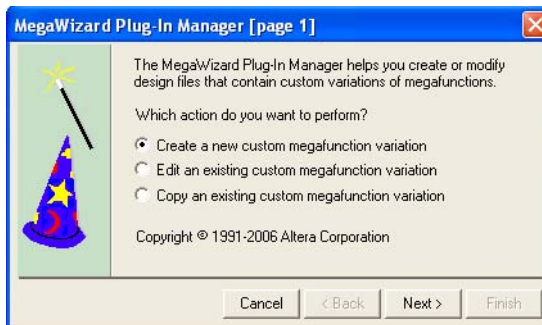
DPA 機能およびソース・シンクロナス・チャンネルは、高速トランシーバ・ブロックと一緒に使用される Stratix II GX デバイス内のコンプリメンタリ機能です。デバイスのトランシーバ側のチャンネルは、最大 6.375 Gbps の周波数でシステム・ボードとの間でシリアル・データ・ストリームを送受信するための専用エンベデッド回路を使用します。これらのチャンネルは、それぞれ4つのチャンネルが実装され、複雑なエンコーディング / デコーディング方式に対応するシリアル・トランシーバ・ブロック (4 分割エリア) でクラスタ化されています。システムが 20 を超える高速チャンネルを必要とする、複雑なエンコーディング / デコーディング方式を使用できない、または最大データ・レートが 1.0 Gbps 以下の場合、I/O バンク 1 および 2 のチャンネルを使用して DPA とのソース・シンクロナス・インタフェースを実装することができます。ただし、DPA ではすべてのクロックおよびデータ・チャンネルが同じクロックでドライブされる必要があります。

## ソフトウェア・サポート

Quartus® II ソフトウェアの MegaWizard® Plug-In Manager を使用して、Stratix II GX LVDS トランスミッタおよびレシーバ・ブロックをコンフィギュレーションすることができます。MegaWizard Plug-In Manager は、`altlvds` メガファンクション用の GUI ベースのポートおよびパラメータ・セクタです。ここでは、Stratix II GX LVDS トランスミッタおよびレシーバに使用可能なオプションについて説明します。

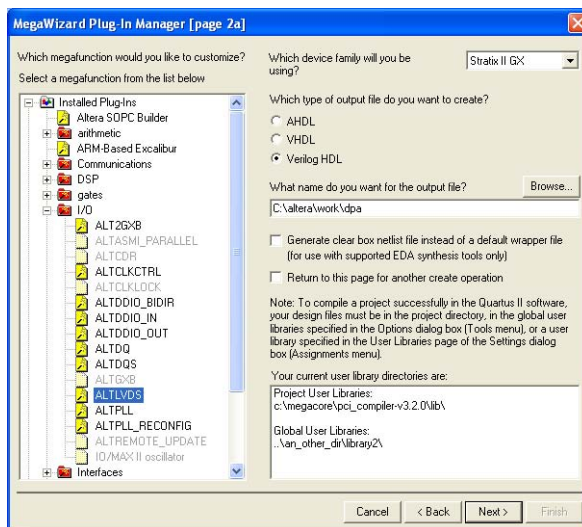
図 10-11 に、MegaWizard Plug-In Manager のページ 1 を示します。このページでは、メガファンクションの新規作成、既存のメガファンクションの編集、または既存のメガファンクションのコピーによる派生メガファンクションの作成を行うことができます。このセクションでは、新しいメガファンクションの作成方法を説明します。

図 10-11.MegaWizard Plug-In Manager (ページ 1)



MegaWizard Plug-In Manager のページ 2 では、コンフィギュレーションするメガファンクションを選択し、またデバイス・ファミリーを選択することができます。さらに、作成する出力ファイルのタイプ (AHDL、VHDL、または Verilog HDL) を選択することもできます。回路図入力のために、任意の HDL を選択できます。出力ファイルのベース名を指定する必要があります。図 10-12 に、MegaWizard Plug-In Manager のページ 2a を示します。

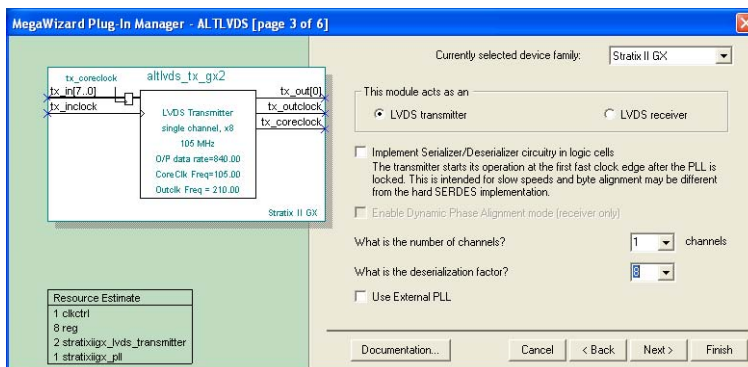
図 10-12.MegaWizard Plug-In Manager (ページ 2a)



## Stratix II GX LVDS トランスミッタ

図 10-13 に、ウィザードのページ 3 で Stratix II GX LVDS トランスミッタのセットアップ方法を示します。ページ 3 では、**Currently selected device family** オプションのどのデバイスにメガファンクションを適用するかを選択できます。この選択によって、各デバイス・ファミリーで使用可能なオプションがアクティブになります。

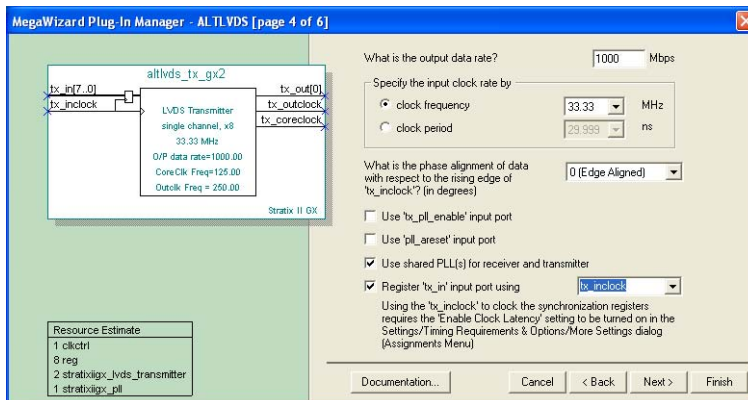
図 10-13. MegaWizard Plug-In Manager - ALTLVDS トランスミッタ (ページ 3/6)



また、altlvds メガファンクションのこのインスタンスをトランスミッタまたはレシーバのどちらでコンフィギュレーションするかを決定し、チャンネル数とデシリアライゼーション・ファクタを設定することもできます。デシリアライゼーション・ファクタによって、PLD コア内のパラレル・クロック周波数とワード幅が決まります。

まず、トランスミッタの選択について説明します。図 10-14 にウィザードのページ 4 を示します (このメガファンクションをトランスミッタとしてコンフィギュレーションする場合)。このページでは、データ・レートとトランスミッタ・クロッキングを選択することができます。最大入力クロック周波数については、「Stratix II GX ハンドブック」の「DC & スイッチング特性」の章を参照してください。

図 10-14. MegaWizard Plug-In Manager - ALTLVDS トランスミッタ (ページ 4/6)



What is the phase alignment of the data with respect to the rising edge of “tx\_inclock”? (“tx\_inclock” の立ち上がりエッジに対するデータの位相アラインメントは何ですか) オプションで、着信データと基準クロックの位相関係を調整することができます。

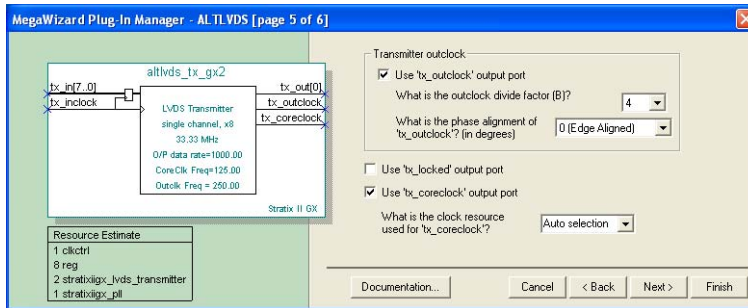
tx\_pll\_enable ポートおよび pll\_aset ポートをイネールすることができます。tx\_pll\_enable ポートは、現在のインスタンスに使用されている fast PLL をディセーブルまたはイネールします。pll\_aset は、fast PLL に対するすべてのカウンタをリセットします。

**Use shared PLL(s) for receiver and transmitter (レシーバおよびトランスミッタに共用 PLL を使用する)** オプションを使用すると、正しい条件下 (同じデータ・レート、SERDES 係数、および入力クロック周波数) でレシーバ用およびトランスミッタ用の PLL をマージできます。

このページでは、トランスミッタ用のオプションのポートを設定することができます。必要に応じて **Register ‘tx\_in’ input port using (…を使用したレジスタの tx\_in 入力ポート)** オプションを使用して、PLD からトランスミッタへデータを転送します。PLD とトランスミッタとのインタフェースの前に、すでにレジスタ・レイヤが実装されているデザインの場合は、このオプションをオフにします。レジスタへのクロックの供給は、PLD コア内のデータ・パスへのクロック供給に応じて、tx\_inclock または tx\_coreclock から供給されます。

図 10-15 に、ウィザードのページ 5 (トランスミッタ・オプションの最後のページ) を示します。

図 10-15. MegaWizard Plug-In Manager - ALTLVDS トランスミッタ (ページ 5/6)



tx\_lockedポートおよびtx\_coreclockポートをイネーブすることができます。tx\_locked信号は、fast PLLが基準クロックにロックされているかどうかを示します。tx\_coreclockポートは、PLDにクロックを供給し、tx\_inclockの周波数がSERDES係数で分周されたデータ・レートにマッチしない場合に役立ちます。

特定のクロック・リソースを使用するようにtx\_coreclockを設定できます。あるいは、**Auto selection**を選択すれば、Quartus IIソフトウェアが自動的に使用可能なクロック・リソースを割り当てます。

出力クロックの分周係数と位相は入力クロックと関係なく設定します。

## DPA なし Stratix II GX LVDS レシーバ

DPA なしの Stratix II GX LVDS レシーバのセットアップはページ 1 から開始します。チャンネル数およびデシリアライゼーション・ファクタは、トランスミッタの場合と同様です。DPA オプションは Stratix II GX ファミリで使用できます。図 10-16 に、ウィザードのページ 3 を示します。DPA モードは選択されていません。

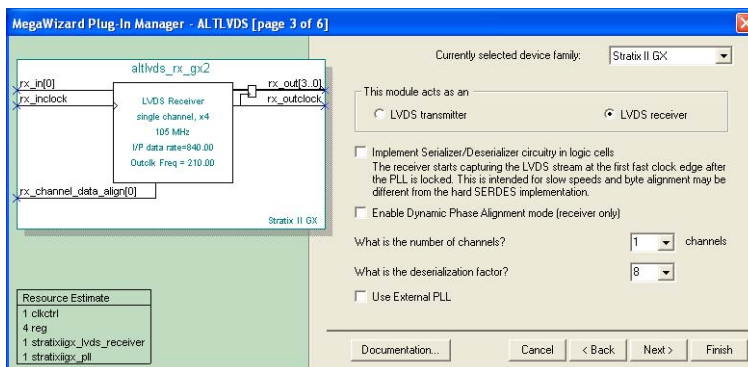
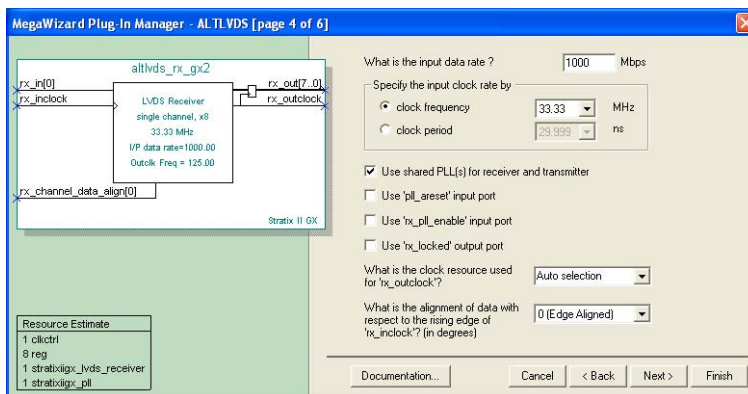
**図 10-16. MegaWizard Plug-In Manager - DPA なし ALTLVDS レシーバ (ページ 3/6)**


図 10-17 に、ウィザードのページ 4 を示します。このページでは、データ・レートとレシーバ・クロックを選択します。DPA なしおよび DPA モードの場合の最大データ・レートについては、「Stratix II GX ハンドブック」の「DC & スイッチング特性」の章を参照してください。

**Use shared PLL(s) for receiver and transmitter (レシーバおよびトランスミッタに共用 PLL を使用する)** オプションを使用すると、正しい条件下 (同じデータ・レート、SERDES 係数、および入力クロック周波数) でレシーバ用およびトランスミッタ用の PLL をマージできます。

**図 10-17. MegaWizard Plug-In Manager - DPA なし ALTLVDS レシーバ (ページ 4/6)**


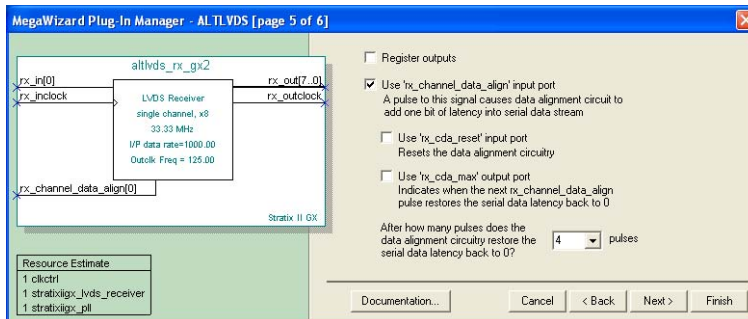
What is the phase alignment of data with respect to the rising edge of 'rx\_inclock'(in degrees)? (rx\_inclock の立ち上がりエッジに対するデータの位相アラインメントは何ですか (度数で表示)) オプションを使用し、rx\_inclock と rx\_in の位相関係を選択することができます。

特定のクロック・リソースを使用するように rx\_coreclock を設定できます。あるいは、**Auto selection (自動選択)** を選択すれば、Quartus II ソフトウェアが自動的に使用可能なクロック・リソースを割り当てます。

このページでは、pll\_areset、rx\_pll\_enable、および rx\_locked ポートをイネーブルすることができます。pll\_areset は、fast PLL 内のすべてのカウンタをリセットします。rx\_pll\_enable ポートは、このレシーバ・インスタンス内の FPLL をディセーブルまたはイネーブルします。rx\_locked ポートは、PLL が rx\_inclock の周波数と位相にロックしていることを示します。

図 10-18 に、ウィザードのページ 5 を示します。これは、DPA なし ALTLVDS レシーバの最後のコンフィギュレーション・ページです。

図 10-18. MegaWizard Plug-In Manager - DPA なし ALTLVDS レシーバ (ページ 5/6)



このページでは、**Register outputs (レジスタ出力)** オプションをオンにすると、SERDES から PLD への適切なデータ転送を容易に達成できます。レイテンシを低減するために SERDES の前にすでにレジスタ・レイヤが実装されている場合は、このオプションをオフにすることができます。

rx\_cda\_reset 信号と rx\_cda\_max 信号をイネーブルすることができます。rx\_cda\_reset 信号はアライナをリセットします。

rx\_cda\_max は、“バレル・ロール”が完全に 1 回転したことを示します。

## DPA あり Stratix II GX LVDS レシーバ

DPA 付き Stratix II GX LVDS レシーバ・セットアップはページ 1 から開始します。チャンネル数およびデシリアライゼーション・ファクタは、トランスミッタの場合と同じです。Stratix II GX ファミリには DPA オプションを使用できます。図 10-19 に、DPA が選択された状態のウィザードのページ 3 を示します。

このウィザードは前述のページ (DPA なしの場合) と同様で、唯一の違いは DPA が選択されていることです。

図 10-19. MegaWizard Plug-In Manager - DPA あり ALTLVDS レシーバ (ページ 3/7)

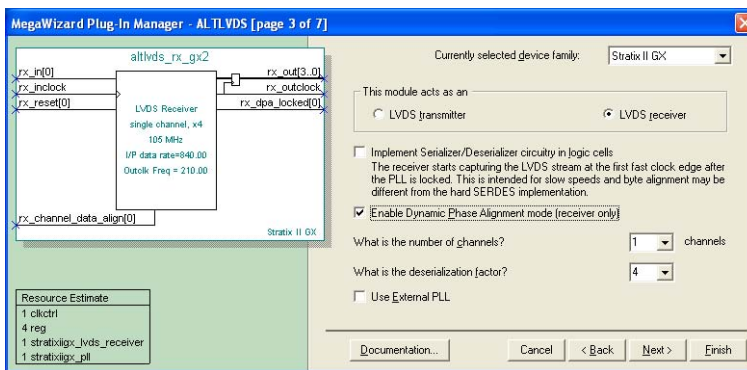
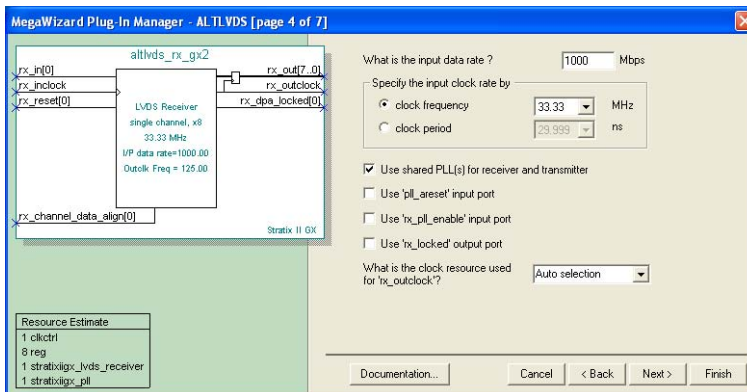


図 10-20 に、ウィザードのページ 4 を示します。

図 10-20. MegaWizard Plug-In Manager - DPA あり ALTLVDS レシーバ (ページ 4/7)



このページでは、レシーバのデータ・レートと入力クロッキングを選択します。最大データ・レートについては、「Stratix II GX ハンドブック」の「DC & スイッチング特性」の章を参照してください。

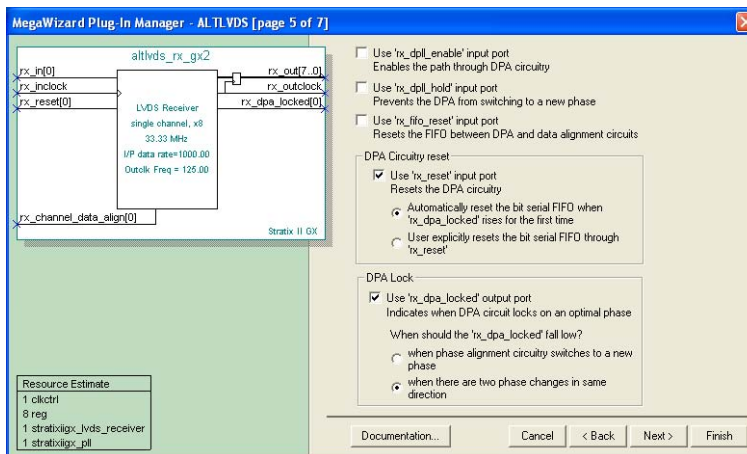
**Use shared PLL(s) for receiver and transmitter (レシーバおよびトランスミッタに共用 PLL を使用する)** オプションを使用すると、正しい条件下 (同じデータ・レート、SERDES 係数、および入力クロック周波数) でレシーバ用およびトランスミッタ用の PLL をマージできます。

特定のクロック・リソースを使用するように rx\_outclock を設定できます。あるいは、**Auto selection (自動選択)** を選択すれば、Quartus II ソフトウェアが自動的に使用可能なクロック・リソースを割り当てます。

その他のポートはすべて、上記の DPA なしレシーバで述べた同じページと同様です。

図 10-21 に、ウィザードのページ 5 を示します。

図 10-21. MegaWizard Plug-In Manager - DPA あり ALTLVDS レシーバ (ページ 5/7)



これは、DPA モードのレシーバに対する DPA 専用のコンフィギュレーション・ページです。

- rx\_dp11\_enable が有効の場合、データは DPA を通過 (バイパスなし) できます。
- rx\_dp11\_lock では、DPA がデータに対する別のクロック位相を選択できないようにします。

- rx\_fifo\_reset はリセット・ポートです。

リセット・オプション用の DPA 回路リセットと、ロッキング用の DPA ロックの 2つのブロックがあります。

図 10-22 に、ウィザードのページ 6 を示します。

### 図 10-22. MegaWizard Plug-In Manager - ALTLVDS レシーバ (ページ 6/7)

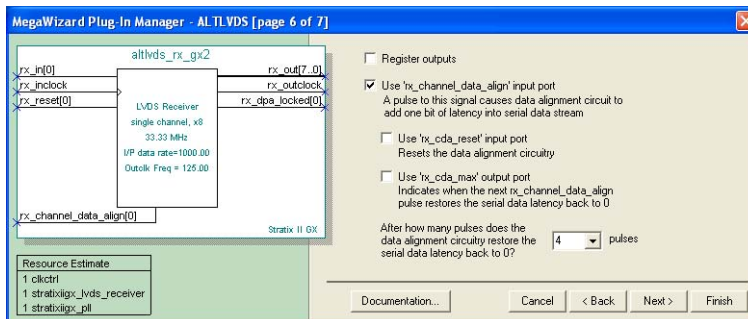
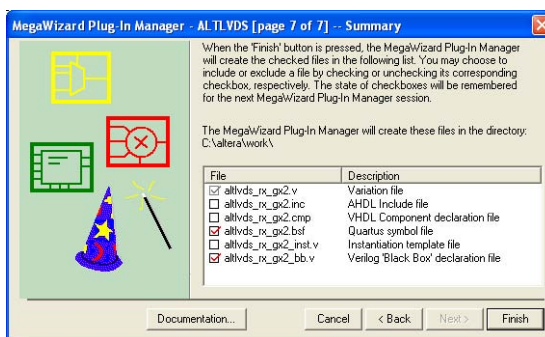


図 10-23 に、ウィザードのページ 7 を示します。このページは、Quartus II ソフトウェアが前のページでユーザが選択したオプションを使用して生成するファイルを示します。バリエーション・ファイルは必須ですが、それ以外はオプションです。

### 図 10-23. MegaWizard Plug-In Manager - ALTLVDS (ページ 7/7)



## まとめ

DPA テクノロジは、レシーバ・チャンネルでのシリアル・データとソース・クロックの位相マッチングの制約をなくします。したがって、DPA によって厳密なボード配線とトポロジ上の制約がなくなり、チャンネル間スキューの計算が簡略化され、システム性能が向上します。Stratix II GX デバイスは、DPA テクノロジと 6.375 Gbps トランシーバを組み合わせることによって、多様なアプリケーションへの対応が可能であり、またプロトコル間に効果的にシリコン・ブリッジを実装できます。