

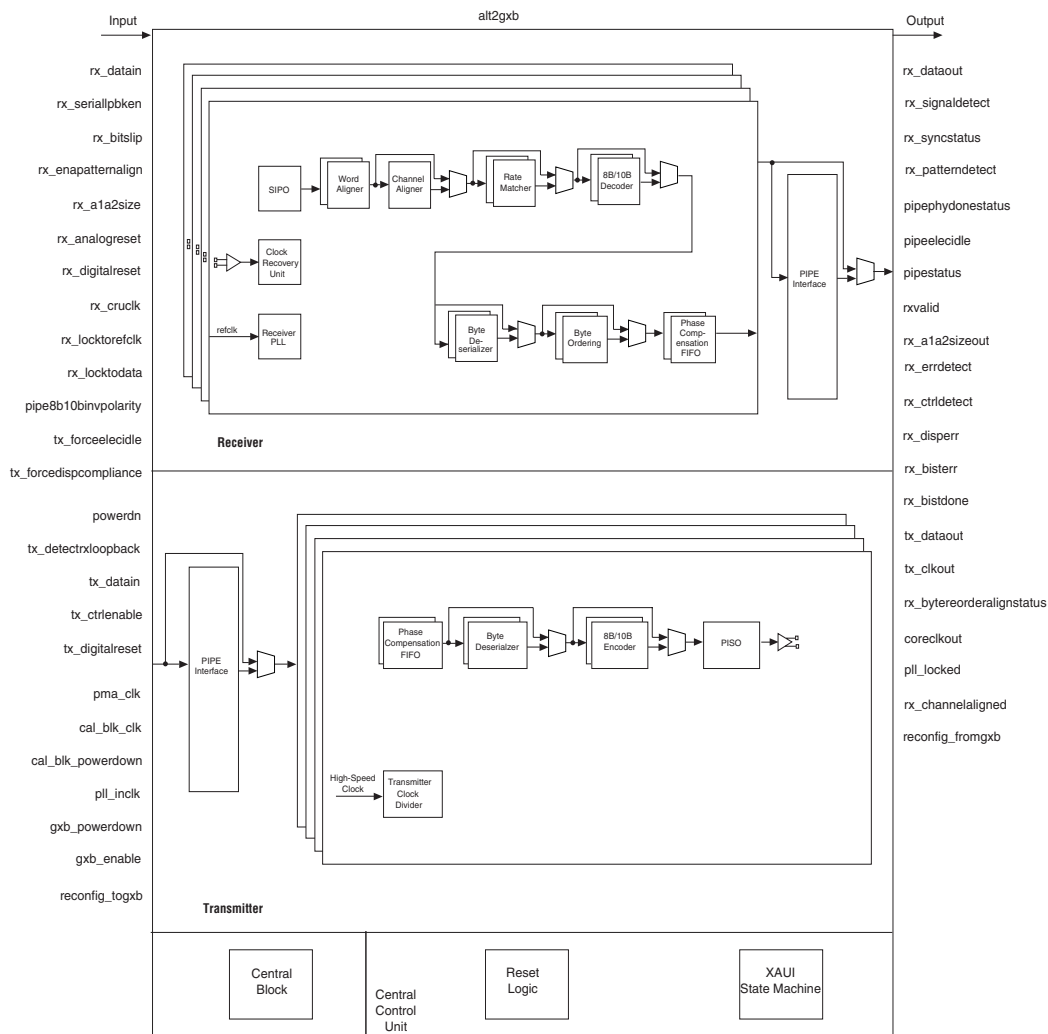
この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIIGX52002-3.0

概要

この章では、Stratix[®] II GX トランシーバのアーキテクチャの詳細情報を提供しています。図 2-1 に、Stratix II GX トランシーバのブロック図を示します。

図 2-1. Stratix II GX トランシーバのブロック図



Stratix II GX の alt2gxb ポート・リスト

表 2-1 に、Stratix II GX ポートに関する情報を記載しています。

表 2-1. Stratix II GX の alt2gxb ポート (1 / 6)			
ポート名	入力/ 出力	説明	対象
受信側フィジカル・コーディング・サブレイヤ (PCS) ポート			
rx_dataout	出力	レシーバ・パラレル・データ出力。バス幅は、チャンネル幅にインスタンスあたりのチャンネル数を乗算した値で決まります。	
rx_clkout	出力	レシーバ・チャンネルからの復元クロック	チャンネル
rx_enapatternalign	入力	ワード・アライナをイネーブルしてカンマに揃えます。このポートは、ワード・アライナ・モードに応じて、エッジ・センシティブまたはレベル・センシティブのいずれかにすることができます。Double-width モードでは、このポートはエッジ・センシティブのみです。	チャンネル
rx_bitslip	入力	ワード・アライナ・ビット・スリップ・コントロール。ワード・アライナは、この信号の立ち上がりエッジごとに現在のワード境界の 1 ビットをスリップさせます。	チャンネル
rx_rlv	出力	ラン・レングス違反インジケータ。ラン・レングスが違反を検出すると、High のパルスが与えられます。	チャンネル
rx_byteorderalignstatus	出力	バイト・オーダリング・ブロックからの出力。バイト・オーダリング・ブロックが PCS 出力のバイトを正しくアラインメントすると、High のパルスが与えられます。	チャンネル
pipe8b10binvpolarity	入力	8B/10B デコーダ入力での Physical Interface for PCI Express (PIPE) 極性反転です。このポートは、8B/10B デコーダの入力でデータを反転させます。	チャンネル
pipestatus	出力	PIPE レシーバ・ステータス・ポート。複数ステータス信号の場合、数値の小さい信号が優先されます。 000 - データ OK を受信 001 - 1 スキップ追加 (サポートされていません) 010 - 1 スキップ削除 (サポートされていません) 011 - 受信検出 100 - 8B/10B デコーダ・エラー 101 - エラスティック・バッファ・オーバフロー 110 - エラスティック・バッファ・アンダフロー 111 - ディスパリティ・エラーを受信	チャンネル

表 2-1. Stratix II GX の alt2gxb ポート (2 / 6)

ポート名	入力/ 出力	説明	対象
pipephydonestatus	出力	PIPE はモード移行の完了、電力遷移および rx_detect を示します。パルスが与えられます。	チャンネル
rx_pipedatavalid	出力	rx_dataout ポートでの PIPE 有効データ・インジケータです。	チャンネル
pipeelecidle	出力	PCI Express に対する PIPE 信号検出です。	チャンネル
rx_digitalreset	入力	レシーバ PCS ブロックのリセット・ポート。このポートは、レシーバ・チャンネル内のすべてのデジタル・ロジックをリセットします。最小パルス幅は、2 パラレル・クロック・サイクルです。	チャンネル
rx_bisterr	出力	ビルトイン・セルフ・テスト (BIST) のブロック・エラー・フラグ。このポートは、エラーが検出された場合は High にラッチします。rx_digitalreset をアサートすると、BIST ベリファイアがリセットされ、エラー・フラグがクリアされます。	チャンネル
rx_bistdone	出力	ビルトイン・セルフ・テスト・ベリファイア完了フラグ。このポートは、レシーバがテスト・シーケンスの受信を終了すると High になります。	チャンネル
rx_ctrlldetect	出力	レシーバ・コントロール・コード・インジケータ・ポート。rx_dataout の出力のデータがコントロール・ワードかデータ・ワードかを示します。8B/10B デコーダと共に使用します。	チャンネル
rx_errrdetect	出力	8B/10B コード・グループ違反信号。rx_dataout の出力のデータにコード違反またはディスパリティ・エラーがあることを示します。ディスパリティ・エラー信号と共に使用して、コード・グループ・エラーとディスパリティ・エラーを区別します。	チャンネル
rx_syncstatus	出力	ワード・アライナが新しいワード境界に整列する場合か (Single-width モードでは、rx_patterndetect ポートはレベル・センシティブ)、再同期化が必要である場合 (Single-width または Double-width モードでは、rx_patterndetect はエッジ・センシティブ)、または再同期化が達成されたかどうか (Single-width モードでは、専用の同期ステート・マシンが使用される) を示します。	チャンネル
rx_disperr	出力	8B/10B ディスパリティ・エラー・インジケータ・ポート。rx_dataout の出力のデータにディスパリティ・エラーがあることを示します。	チャンネル
rx_patterndetect	出力	ワード・アライナが現在のワード境界内でアラインメント・パターンを検出したことを示します。	チャンネル

表 2-1. Stratix II GX の alt2gxb ポート (3 / 6)			
ポート名	入力/ 出力	説明	対象
rx_ala2size	入力	SONET OC-12およびOC-48モードでのみ提供され、以下の2つのワード・アラインメント・オプションのいずれかを選択できます。 0-16ビット A1A2 1-32ビット A1A1A2A2	チャンネル
rx_ala2sizeout	出力	SONET OC-12およびOC-48モードでのみ提供され、以下の2つのワード・アラインメント・オプションのいずれかを示します。 0-16ビット A1A2 1-32ビット A1A1A2A2	チャンネル
受信側フィジカル・メディア・アタッチメント (PMA)			
rx_pll_locked	出力	レシーバ PLL ロック信号。レシーバ PLL が CRU 基準クロックに位相ロックされているかどうかを示します。	チャンネル
rx_analogreset	入力	レシーバ・アナログ・リセット。レシーバ PMA 内のすべてのアナログ回路をリセットします。	チャンネル
rx_freqlocked	出力	CRU モード・インジケータ・ポート。CRU がデータ・モードにロックされているか、基準クロック・モードにロックされているかを示します。 0-レシーバ CRU は、Lock-To-Reference クロック・モードです。 1-レシーバ CRU は、Lock-To-Data モードです。	チャンネル
rx_signaldetect	出力	信号検出ポート。指定された範囲に適合する信号がレシーバ・バッファの入力に存在するかどうかを示します。	チャンネル
rx_serialpbken	入力	シリアル・ループバック・コントロール・ポート。 0-シリアル・ループバックのない通常のデータ・パス。 1-シリアル・ループバック	チャンネル
rx_locktodata	入力	CRU に対する Lock-To-Data コントロールです。 rx_locktorefcclk と共に使用します。	チャンネル
rx_locktorefcclk	入力	CRU に対する Lock-To-Reference ロック・モードです。rx_locktodata と共に使用します。 rx_locktodata/rx_locktorefcclk 0/0 - CRU が自動モード 0/1 - CRU が Lock-To-Reference クロック 1/0 - CRU が Lock-To-Data モード 1/1 - CRU が Lock-To-Data モード	チャンネル
rx_cruclk	入力	レシーバ PLL/CRU 基準クロック。	チャンネル

表 2-1. Stratix II GX の alt2gxb ポート (4 / 6)

ポート名	入力/ 出力	説明	対象
トランスミッタ PCS			
tx_datain	入力	トランスミッタ・パラレル・データ入力。バス幅は、チャンネル幅にインスタンスのチャンネル数を乗算した値で決まります。	チャンネル
tx_clkout	出力	トランシーバから PLD への PLD ロジック・アレイ・クロックです。シングル・チャンネル・モードでは、1 チャンネルに tx_clkout が 1 つあります。	チャンネル
tx_detectrxloopback	入力	PIPE 受信検出 / ループバック・ピン。パワーダウン・ステートに応じて、この信号は受信検出またはループバックのいずれかをアクティブにします。	チャンネル
tx_forceelecidle	入力	PIPE Electrical Idle モード。	チャンネル
tx_forcedispcpliance	入力	準拠パターンを送信するために PIPE で強制された負のディスパリティ・ポートです。パターンは負のディスパリティで開始する必要があります。最初のバイトでこのポートをアサートすると、最初のバイトが負のディスパリティを持ちます。このポートは、最初のバイト以降にデアサートする必要があります。	チャンネル
powerdn	入力	PIPE パワー・モード・ポート。このポートは、関連する PCI Express チャンネルのパワー・モードを設定します。パワー・モードは以下のとおりです。 2'b00: P0 – 通常動作 2'b01: P0s – 低回復時間レイテンシ、省電力ステート 2'b10: P1 – 長回復時間 (最大 64 us) レイテンシ、低電力ステート 2'b11: P2 – 最小電力ステート	チャンネル
tx_digitalreset	入力	トランスミッタ PCS ブロックのリセット・ポート。このポートは、送信チャンネル内のすべてのデジタル・ロジックをリセットします。最小パルス幅は、2 パラレル・クロック・サイクルです。	チャンネル
tx_ctrlnable	入力	トランスミッタ・コントロール・コード・インジケータ・ポート。tx_datain ポートのデータがコントロール・ワードかデータ・ワードかを示します。このポートは 8B/10B エンコーダと共に使用します。	チャンネル
送信側 PMA			
fixedclk	入力	rx_detect 用 125-MHz クロック。	チャンネル

表 2-1. Stratix II GX の alt2gxb ポート (5 / 6)			
ポート名	入力/ 出力	説明	対象
CCU			
rx_channelaligned	出力	10-Gigabit Attachment Unit Interface (XAUI) デスクュー FIFO 整列フラグ。この信号は、チャンネル・アライナが IEEE 802.3ae 仕様に従うチャンネル・アラインメントを獲得した後、High になります。	トランシーバ・ブロック
coreclkout	出力	x4 モード出力。これはセントラル・クロック生成ブロックからのクロック出力です。x8 モードでは、下位トランシーバからのセントラル・クロック・ジェネレータ・ブロックがこのクロックを生成します。XAUI、PCI Express、x4、および x8 モードで使用します。	トランシーバ・ブロック
reconfig_togxb	入力	リコンフィギュレーション・コントローラからのダイナミック・リコンフィギュレーション用入力。	トランシーバ・ブロック
reconfig_fromgxb	出力	リコンフィギュレーション・コントローラへの出力。	トランシーバ・ブロック
CMU PMA			
gxb_powerdown	入力	トランシーバ・ブロック・リセットおよびパワー・ダウン。この入力は、トランシーバ・ブロック内のすべての回路をリセットおよびパワー・ダウンします。REFCLK バッファおよび基準クロック・ラインへの影響はありません。	トランシーバ・ブロック
pll_locked	出力	トランスミッタ PLL 用 PLL ロック・インジケータ。	トランシーバ・ブロック
pll_inclk	入力	トランスミッタ PLL 用基準クロック。	トランシーバ・ブロック
キャリブレーション・ブロック			
cal_blk_clk	入力	トランシーバ・ターミネーション・ブロック用キャリブレーション・クロック。このクロックは、10 MHz から 125 MHz までの周波数をサポートします。	デバイス
cal_blk_powerdown	出力	キャリブレーション・ブロック用パワーダウン信号。この信号をアサートすると、データの送信および受信が中断することがあります。温度や電圧の変動のために必要な場合、この信号を使用して終端抵抗のリキャリブレーションを行います。	デバイス
外部信号			
tx_dataout	出力	トランスミッタ・シリアル出力ポート。	チャンネル
rx_datain	入力	レシーバ・シリアル入力ポート。	チャンネル

表 2-1. Stratix II GX の alt2gxb ポート (6 / 6)

ポート名	入力/ 出力	説明	対象
rrefb (1)	出力	基準抵抗ポート。このポートは常に使用され、接地された 2K-Ω 抵抗に接続する必要があります。このポートはノイズの影響を大きく受けます。このポートにノイズがカップリングされてはなりません。	デバイス
refclk (1)	入力	トランシーバ専用基準クロック入力 (トランシーバ・ブロックごとに 2 つ) です。バッファ構造はレシーバ・バッファに類似していますが、終端はキャリブレートされません。	トランシーバ・ブロック
gxb_enable	入力	専用のトランシーバ・ブロック・イネーブル・ピン。このポートは、専用のギガビット・トランシーバ・ブロック・イネーブル入力ピンに接続する必要があります。	トランシーバ・ブロック

表 2-1 の注:

(1) トランシーバの専用ピンです。MegaWizard® Plug-In Manager では表示されません。

トランスミッタ・モジュール

この項では、Stratix II GX トランシーバのトランスミッタ・パスについて説明します。また、以下のモジュールについて説明します。

- クロック・マルチプライヤ・ユニット (CMU)
- トランスミッタ位相補償 FIFO バッファ
- バイト・デシリアライザ
- 8B/10B エンコーダ
- シリアライザ
- トランスミッタ・バッファ

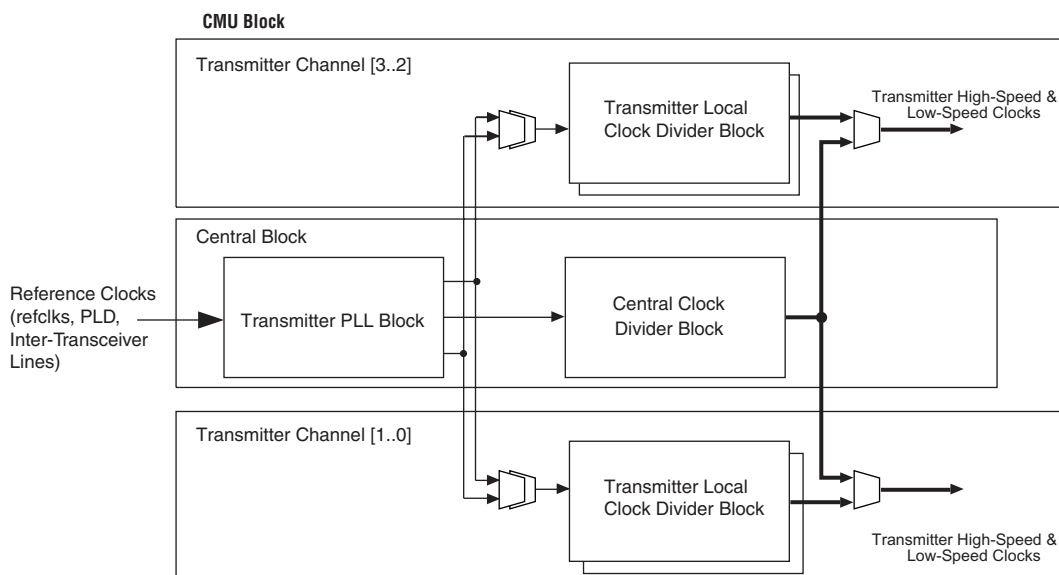
クロック・マルチプライヤ・ユニット

Stratix II GX デバイスの CMU は、PLD または専用の基準クロック入力 (refclk0 および refclk1) のいずれかから基準クロックを受け取り、トランスミッタ・ロジック、シリアライザ、レシーバ PLL 基準クロック、および PLD クロックに使用されるクロックを合成します。各トランシーバ・ブロックには、さらに以下の 3 つの CMU サブブロックに分割される専用の CMU ブロックがあります。

- トランスミッタ PLL ブロック
- セントラル・クロック・ディバイダ・ブロック
- トランスミッタ・ローカル・クロック・ディバイダ・ブロック

トランスミッタ PLL ブロックおよびセントラル・クロック・ディバイダ・ブロックは、トランシーバ・ブロックのセントラル・ブロックに配置されています。トランスミッタ・ローカル・クロック・ディバイダ・ブロックは、トランシーバ・ブロックの各トランスミッタに配置されています。各トランシーバ・ブロックには、専用の CMU ブロックと、その CMU に供給される 2 つの専用基準クロック入力があります (図 2-2 参照)。

図 2-2. クロック・マルチプライヤ・ユニットのブロック図



Quartus® II ソフトウェアによって CMU 設定が簡単になり、プロトコル・モードの場合は大部分が自動的に設定されます。alt2gxb MegaWizard® Plug-In Manager にデータ・レートを入力し、入力クロック周波数を選択するだけで設定できます。表 2-2 に、サポートされるプロトコルのデータ・レートおよび入力基準クロック周波数を示します。

表 2-2. 入力基準クロック周波数のオプション (1 / 2)

プロトコル機能モード	入力基準 クロック周波数 (MHz)	シリアル・ データ・レート (Mbps)
XAUI	156.25	3125
PIPE	100	2500

表 2-2. 入力基準クロック周波数のオプション (2 / 2)

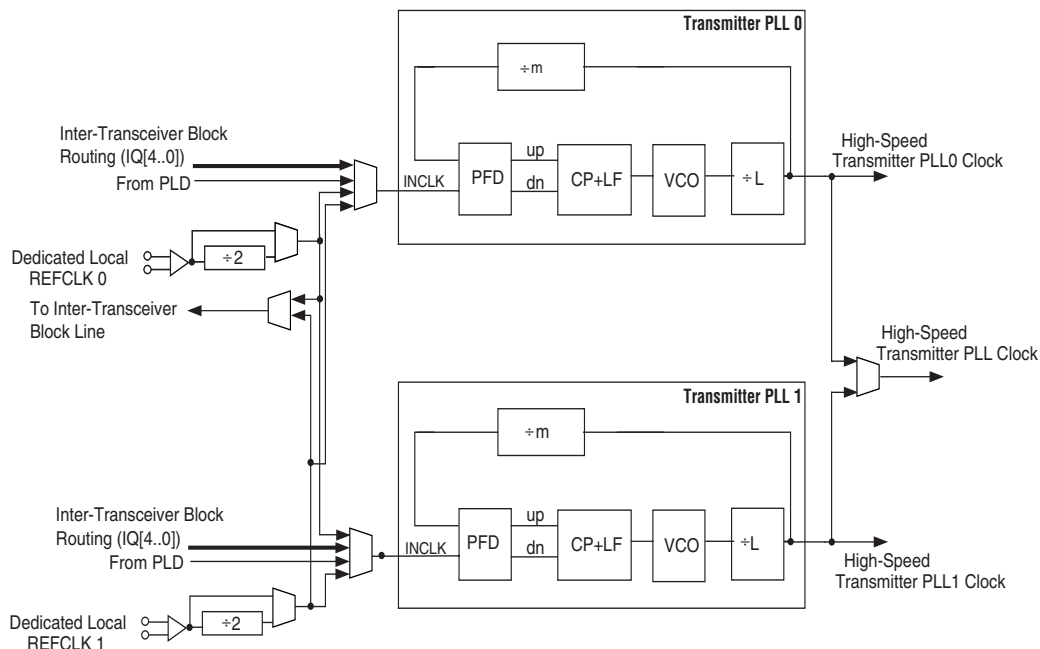
プロトコル機能モード	入力基準 クロック周波数 (MHz)	シリアル・ データ・レート (Mbps)
GIGE	62.5	1250
	125	
(OIF) CEI PHY Interface	156.25	6250
	622.08	6220.8
SONET Backplane - OC12	62.2	622
	311	
SONET Backplane - OC-48	77.76	2488.32
	155.52	
	311.04	
	622.08	
SONET Backplane - OC-96	124.4	4976

トランスミッタ PLL ブロック

図 2-3 に示すように、トランスミッタ PLL ブロックにはトランシーバ・ブロックごとに 2 個のトランスミッタ PLL (トランスミッタ PLL0 およびトランスミッタ PLL1) があります。トランスミッタ PLL ブロックは、シリアル・データ・レートをサポートするのに必要な周波数に基準クロックを乗算します。トランスミッタ PLL0 およびトランスミッタ PLL1 は、622 Mbps から 6.375 Gbps までのデータ・レートをサポートできます。各 PLL には、PLL が基準クロックにロックされていることを示す PLD ロジック・アレイに供給される専用のロック信号 (p11_locked) があります。

トランスミッタ PLL0 とトランスミッタ PLL1 を個別に使用して、基礎となる高速クロックをトランシーバ・ブロック全体に供給することができます。図 2-3 に、トランスミッタ PLL ブロックを示します。

図 2-3. トランスミッタ PLL ブロック



トランスミッタ PLL

各 CMU にはトランスミッタ PLL (トランスミッタ PLL0 およびトランスミッタ PLL1) があります。トランスミッタ PLL0 およびトランスミッタ PLL1 は、5つのトランシーバ間ライン (詳しくは、[2-15 ページの「トランシーバ間ライン配線」](#)を参照) の1つ、PLD からのグローバル・クロック・ライン、または専用基準クロック REFCLK0 または REFCLK1 (両方の基準クロック・ピンともトランスミッタ PLL0 またはトランスミッタ PLL1 のいずれかをドライブ可能) から基準クロックを受け取ります。REFCLK ピンからの基準クロックを2で分周すれば、より高い基準クロック周波数をサポートできます。

トランスミッタ PLL0 およびトランスミッタ PLL1 には、シリアル・データ・ストリームの半分のレートで動作するハーフ・レート VCO があります。これらの VCO の範囲は、1 Gbps ~ 6.375 GHz のネイティブ・データ・レートをサポートするには、500 MHz ~ 3.1875 GHz となります。追加クロック・ディバイダを経由することにより、さらに低いデータ・レート (622 Mbps ~ 1 Gbps) がサポートされます (詳しくは、[2-13 ページの「クロック合成」](#)を参照)。

PLL は、基準クロックを乗算して必要なデータ・レートをサポートするために、PLL フィードバック・ループ内に 2 つの乗算器ブロックを内蔵しています。Quartus II ソフトウェアは、すべてのデバイスに対する値を自動的に選択します。ユーザはデータ・レートを入力し、入力クロック周波数を選択する必要があります。

PLL 出力は、高速トランスミッタの PLL クロック・マルチプレクサを介してセントラル・クロック・デバイス・ブロックに供給されるか、または高速トランスミッタの PLL クロックを介して、各トランスミッタ・チャンネル内のトランスミッタ・ローカル・クロック・デバイス・ブロックに供給されます。

セントラル・クロック・デバイス・ブロック

セントラル・クロック・デバイス・ブロックは、トランシーバ・ブロックのセントラル・ブロックに配置されています (2-8 ページの図 2-2 参照)。このブロックは、シリアルライザに高速クロックを、そして 4 レーン・モードにおいてトランシーバ・ブロック内のトランシーバの PCS ロジックに低速クロックを供給します。Physical Interface for PCI Express (PIPE) ×8 モードでは、セントラル・クロック・デバイス・ブロックはさらに、隣接する上側のトランシーバ・ブロック用に高速および低速クロックを供給し、関連するトランシーバ・ブロックに高速および低速クロックを供給します。PLL、セントラル・クロック・デバイス・ブロック、およびトランスミッタ・ローカル・クロック・デバイスは、8 レーン・コンフィギュレーションでは隣接する上側のトランシーバ・ブロック内でパワー・ダウンされます。

図 2-4 にセントラル・クロック・デバイス・ブロックを示します。÷4、5、8、および 10 ブロックは、シリアルライゼーション・ファクタに基づく低速クロックを生成します。PIPE モードの 8 レーン・コンフィギュレーションでは、低速クロックは下側のトランシーバ・ブロックから多重化されます。高速クロックは、クロック・マルチプレクサを介して各チャンネルのシリアルライザに直接送られます。

図 2-4. セントラル・クロック・ディバイダ・ブロック

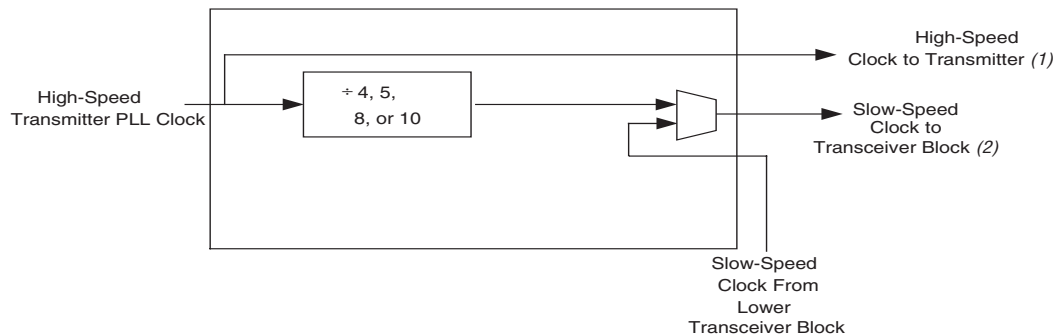
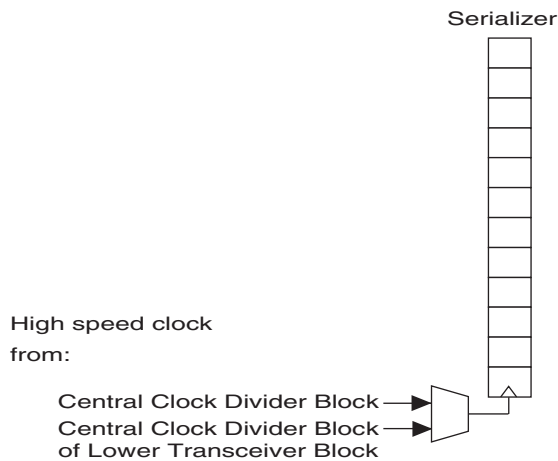


図 2-4 の注：

- (1) トランシーバおよび上記の隣接トランシーバ・ブロック内でトランスミッタに供給します。
- (2) PCS ロジックに供給します。

図 2-5 に、シリアライザに対するクロック選択を示します。

図 2-5. シリアライザの高速クロック接続

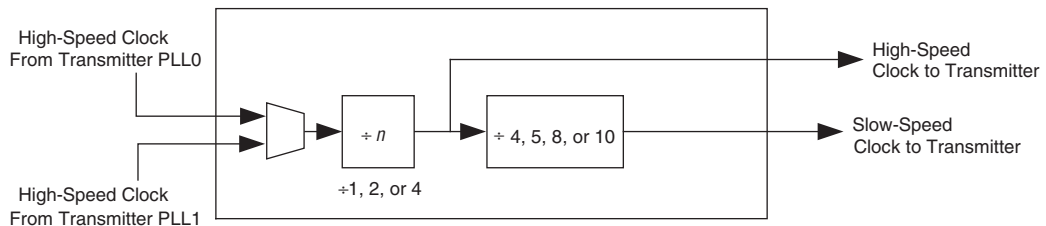


セントラル・クロック・ディバイダ・ブロックは、トランシーバ・ブロック内のすべてのチャンネルに信号を供給し、PIPE x8 モードでは隣接する上側トランシーバ・ブロックにも供給します。これによって、各チャンネル出力のシリアライザは同じビット番号を同時に出力し、チャンネル間スキューを最小にします。

トランスミッタ・ローカル・クロック・ディバイダ・ブロック

図 2-6 にトランスミッタ・ローカル・クロック・ディバイダ・ブロックを示します。

図 2-6. トランスミッタ・ローカル・クロック・ディバイダ・ブロック



各トランスミッタ・ローカル・クロック・ディバイダ・ブロックは独立して動作するため、各チャンネルが同じビットを同時に送出する保証はありません。

クロック合成

トランシーバ・ブロック内の各 PLL は、基準クロックを受け取って、クロック・ジェネレータ・ブロックに転送される高速クロックを生成します。クロック・ジェネレータには、次の 2 つのタイプがあります。

- トランスミッタ・ローカル・クロック・ディバイダ・ブロック
- セントラル・クロック・ディバイダ・ブロック

トランスミッタ・ローカル・クロック・ディバイダ・ブロックは、送信チャンネルにあり、高速シリアル・クロック（シリアライザが使用）と低速クロック（トランスミッタの PCS ロジックが使用）を合成します。セントラル・クロック・ディバイダ・ブロックは、送信チャンネルまたは受信チャンネル外部のトランシーバ・ブロックにあります。このブロックは、高速シリアル・クロック（シリアライザが使用）と低速クロック（トランシーバ・ブロックの PCS ロジックすなわちトランスミッタとレシーバが使用、レート・マッチャ使用時）を合成します。PLD クロックはセントラル・クロック・ディバイダ・ブロックからも供給され、バイト・シリアライザ/デシリアライザが使用される場合は、 $\div 2$ ブロック（トランシーバ・ブロックのセントラル・ブロックに配置されている）を通過します。

トランシーバの PLL には、データ・ストリームの半分のレートで動作するハーフ・レート VCO があります。個別チャンネル・モードのとき、トランスミッタ・ロジックおよびシリアルライザ用の低速クロックは、 $\times 8$ および $\times 10$ のシリアルライゼーション・ファクタをサポートするには、 $\div 4$ または $\div 5$ ディバイダであることが必要です。 $\times 16$ および $\times 20$ のシリアルライゼーション・ファクタは、 $\div 8$ および $\div 10$ クロック・ディバイダによってサポートされます。表 2-3 に、使用可能なシリアルライゼーション・ファクタを得るためのディバイダ設定を示します。

シリアルライゼーション・ファクタ	ディバイダ設定
$\times 8$	$\div 4$
$\times 10$	$\div 5$
$\times 16$	$\div 8$
$\times 20$	$\div 10$

4 レーン・モードでは、セントラル・クロック・ディバイダ・ブロックは、トランシーバ・ブロック全体に必要なすべてのクロックを供給します。

基準クロックの範囲は、62.2 MHz ~ 62.08 MHz です。位相周波数検知器 (PFD) の入力周波数は、上限が 325 MHz です。基準クロックの周波数を下げて PFD の限界を超えないようにするために、各専用基準クロック入力 (REFCLK) で $\div 2$ プリディバイダを利用できます。入力クロック周波数の選択に基づいて、Quartus II ソフトウェアは自動的にプリディバイダに対する正しい設定を選択します (表 2-4 参照)。

トランスミッタ PLL 基準クロック・ソース	基準クロック・プリディバイダ	$\div M$ (2)	$\div L$
トランシーバ内部配線	1, 2 (1)	1, 4, 5, 8, 10, 16, 20, 25	1, 2, 4
専用ローカル基準クロック	1, 2	1,4,5,8,10,16,20, 25	1, 2, 4

表 2-4 の注：

- (1) $\div 2$ は、ドライブしている REFCLK ピンにプリディバイダを使用することによって実現します。
- (2) M、L カウンタは、選択されたデータ・レートおよびプロトコル、そして基準クロック周波数に基づいて、Quartus II ソフトウェアが自動的に選択します。

表 2-5 に、Basic モードの乗算値を示します。

表 2-5. Basic モードで許される乗算値		
プロトコル機能モード	基準クロック・プリディバイダ	÷M
Basic、Single-width	1, 2	4, 5, 8, 10
Basic、Double-width	1, 2	8, 10, 16, 20

トランスミッタ PLL 帯域幅の設定

トランシーバの Stratix II GX トランスミッタ PLL には、プログラム可能な帯域幅設定があります。PLL の帯域幅が入力クロックとジッタを追跡する能力の尺度になります。この帯域幅は、PLL の閉ループ・ゲインの -3dB 周波数によって決まります。

帯域幅の設定には、High、Medium、および Low の 3 つがあります。High の帯域幅設定では、内部 VCO ノイズの周波数より高い入力クロックに追従するため、VCO から内部ノイズが除去されます。Low の帯域幅設定では、入力基準クロックのノイズが VCO の内部のノイズよりも大きい場合、PLL は PLL の閉ループ・ゲインの -3dB 周波数より高いノイズが除去されます。Medium 帯域幅設定は、High 設定と Low 設定の中間的なものです。

これらの設定の -3dB 周波数は、回路の非線形性および周波数依存性が原因で変動することがあります。これらの 3 つの帯域幅設定を試み、ユーザ・システムにおいて最良の性能が得られる設定を選択することをお勧めします。

トランシーバ間ライン配線

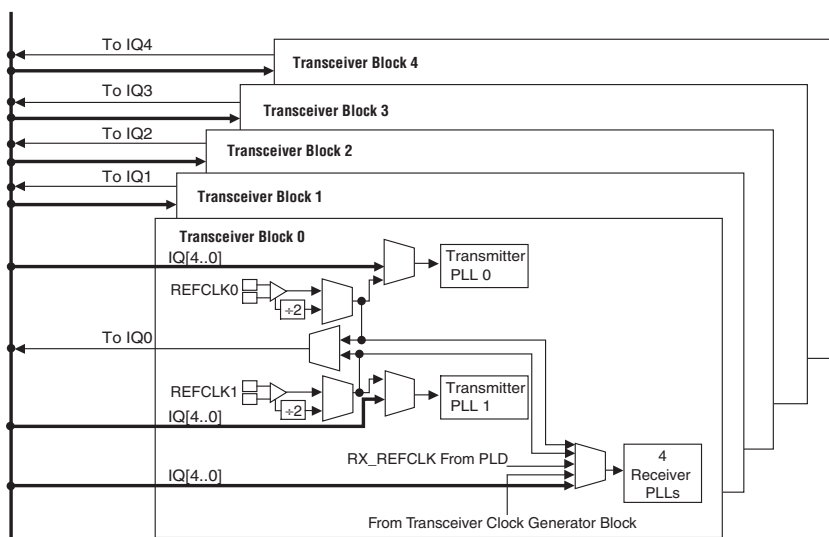
トランシーバ間ラインにより、1 つのトランシーバ・ブロックの REFCLK は他のトランシーバ・ブロックをドライブできます。Stratix II GX ファミリの各デバイスでは、最大で 5 つのトランシーバ間クロック配線ラインを利用できます。各トランシーバ・ブロックは、その関連する REFCLK ピンの 1 本からの 1 つのトランシーバ間ラインをドライブできます。トランシーバ間ラインは、デバイス内のトランスミッタ PLL およびレシーバ PLL の一部またはすべてをドライブできます。トランシーバ間ラインによって、個別トランシーバ・ブロックの複数チャンネルで共通の基準クロック周波数を共有する際に柔軟に行うことができます。トランシーバ間ラインは、基準クロックを分配するだけで、各 PLL およびクロック・ディバイダは独立して動作するため、チャンネル・ボンディングに使用することはできません。

また、トランシーバ間ラインは、REFCLK ピンからの基準クロックを PLD ファブリックにドライブし、同一周波数の複数クロックをデバイスにドライブする必要性を緩和します。

Quartus II ソフトウェアは、トランシーバ・ブロックが別のトランシーバ・ブロックの専用基準クロック (REFCLK) ピンでクロックされている場合は、自動的に適切なトランシーバ間ラインを使用します。

図 2-7 に、ギガビット・トランシーバ・ブロック内のトランシーバおよび PLD へのトランシーバ間ライン・インタフェースを示します。トランシーバ・ブロック 0 の接続を示します。他の接続もトランシーバ・ブロックがドライブするトランシーバ間ライン番号を除いて同じです。

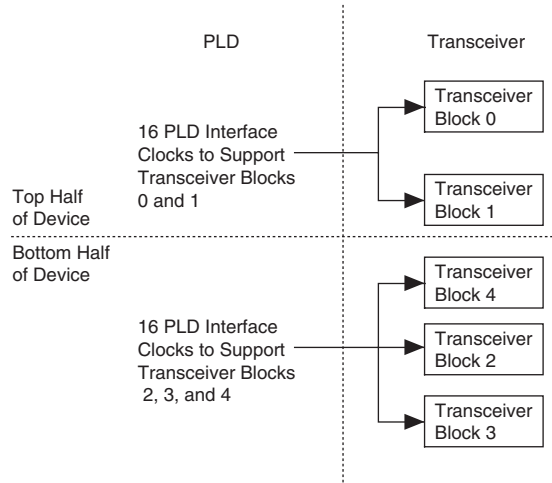
図 2-7. 5 つのトランシーバ・ブロック・デバイスのトランシーバ間ライン (2SGX130G)



PLD インタフェース・クロック

PLD ロジックとトランシーバ・ブロックの間に、32 の PLD インタフェース・クロックがあります。32 の PLD インタフェース・クロックは、デバイスの上半分および下半分で均等 (デバイスの上半分に 16 の PLD インタフェース・クロック、下半分に 16 の PLD インタフェース・クロック) に分割されます。PLD インタフェース・クロックは、レシーバおよびトランスミッタの位相補償 FIFO クロックとして使用されます。図 2-8 に、PLD クロック・インタフェースを示します。

図 2-8. PLD インタフェース・クロック (2SGX130G)



1 つのトランシーバ・ブロックで必要となる PLD インタフェース・クロックの最小数は 1 です。これは、すべてのレシーバ・チャンネルでレート・マッチャを使用し、専用の `refclk` ピンを利用し、トランシーバ・ブロック内のすべてのチャンネルに対するデータ・レートを同じにすることによって実現されます。レート・マッチャを使用しない場合、1 つのトランシーバ・ブロックで必要な PLD インタフェース・クロック数は、トランスミッタ・チャンネル用に 1 つ、レシーバの位相補償 FIFO クロック用に 4 つの合計 5 つです（それぞれの復元クロックは、関連付けられている位相補償 FIFO に自動的にルーティングされます）。4 つまたは 5 つのトランシーバ・ブロック・デバイスでは、利用可能な PLD インタフェース・クロック数を超える可能性があります。例えば、PLD から PLL 基準クロックを供給しながら、すべてのトランシーバ・ブロック上で異なるデータ・レートを使用するとします。この場合、1 つのトランシーバ・ブロック内で同様なデータ・レート・チャンネルを組み合わせるか、デバイスの上半分および下半分にチャンネルを分配することによって、PLD インタフェース・クロック・リソースを管理する必要があります。

トランシーバ・クロックの分配

この項では、高速および低速トランシーバ・クロックに対するシングル・レーン、4レーン、および8レーンのコンフィギュレーションについて説明します。すべてのプロトコル・サポートは、4レーンおよび8レーン PIPE モードおよび XAUI を除いて、シングル・レーン・コンフィギュレーションに分類されます。4レーン PIPE モードは4レーン・コンフィギュレーションを使用します。8レーン PIPE モードは8レーン・コンフィギュレーションを使用します。

シングル・レーン

シングル・レーン・コンフィギュレーション (図 2-9 参照) では、セントラル・ブロックの PLL は、高速クロックおよびクロック・ジェネレーション・ブロックに信号を供給します。


 4チャンネルをインスタンス化し、PIPE x4 または XAUI モードでない場合、Quartus II ソフトウェアは自動的にシングル・レーン・コンフィギュレーションを選択します。

図 2-9. 個別チャンネル・コンフィギュレーションに対するクロック分配

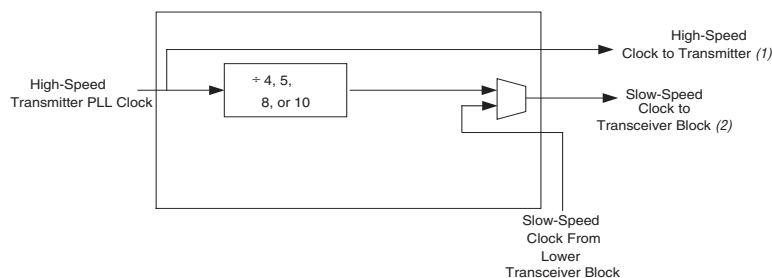


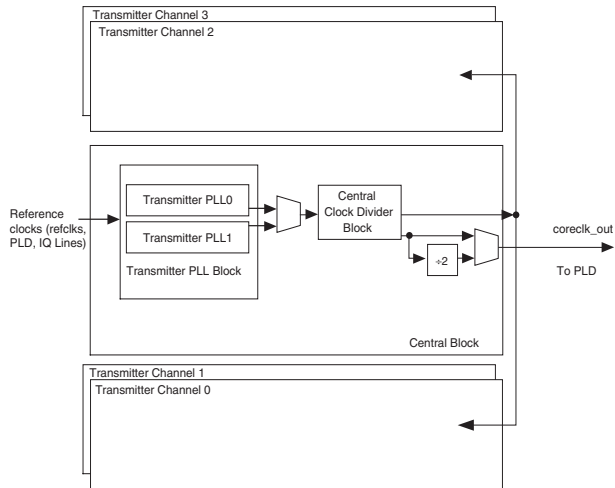
図 2-9 の注：

- (1) トランシーバ・ブロックと上隣のトランシーバ・ブロック内のトランスミッタに供給します。
- (2) PCS ロジックに供給します。

4レーン・モード

4レーン・コンフィギュレーション (図 2-10) では、セントラル・ブロックが、トランシーバ内のトランスミッタ・チャンネルに供給されるパラレル・クロックおよびシリアル・クロックを生成します。トランシーバ内のすべてのチャンネルは、同じデータ・レートで動作する必要があります。このコンフィギュレーションは、PIPE x4 モードと XAUI モードでのみサポートされます。

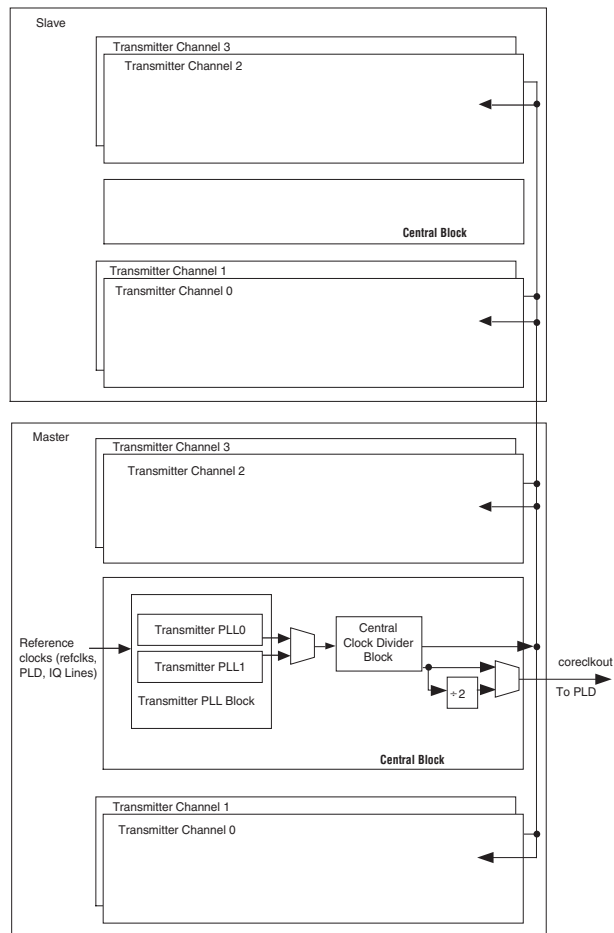
図 2-10. 4 レーン・コンフィギュレーションに対するクロック分配



8 レーン・モード

8 レーン・モード (図 2-11 参照) は、PIPE \times 8 専用として確保されています。下側のトランシーバのセントラル・ブロックは、8 トランスミッタ・チャンネルすべてに平行・クロックとシリアル・クロックを供給します。クロック分配は、トランスミッタのチャンネル間スキュー仕様に対応して低スキューとなる専用 8 レーン・クロック配線を使用します。高速および低速クロックは、この専用の 8 レーン・クロック・ツリーを使用して転送されます。上側のトランシーバ・ブロックのセントラル・ブロック、およびすべてのトランスミッタ・クロック生成ブロックは未使用であり、このモードではパワー・ダウンされます。PLD へのクロック (coreclkout) は、マスタ・トランシーバ・ブロックのセントラル・クロック生成ブロック (下側のトランシーバ・ブロック) によって生成されます。

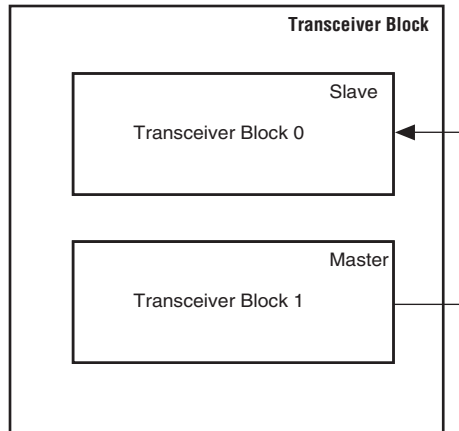
図 2-11. 8 レーン・モードでのクロック分配



指定された下側のトランシーバ・ブロック（トランシーバ・ブロック 1 および 3）のみマスタとして使用でき、指定された上側のトランシーバ・ブロック（トランシーバ・ブロック 0 および 2）は、下側のマスタ・トランシーバ・ブロックに結合されている限り、スレーブとして使用できます。配置を割り当てない場合、Quartus II ソフトウェアは、自動的に正しいトランシーバ・ブロックを x8 モードで利用します。そのため（ピン・アサインメントにより）マスタおよびスレーブ・トランシーバ・ブロックを配置しない場合、フィット・エラーは発生しません。

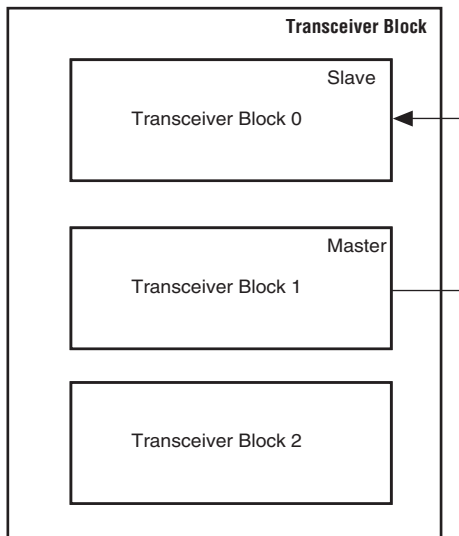
シングル・トランシーバ・ブロックのデバイス（EP2SGX30C および EP2SGX60C）は、PCI-E x8 モードには使用できません。図 2-12 に、ダブル・トランシーバ・ブロックのデバイス（EP2SGX30D および EP2SGX60D）を PCI-E x8 モードにコンフィギュレーションする方法を示します。下側のトランシーバ・ブロックはマスタとして、上側のトランシーバ・ブロックはスレーブとしてコンフィギュレーションする必要があります。

図 2-12. 1つの x8 PCI-E リンクを使用した 2 トランシーバ・デバイス



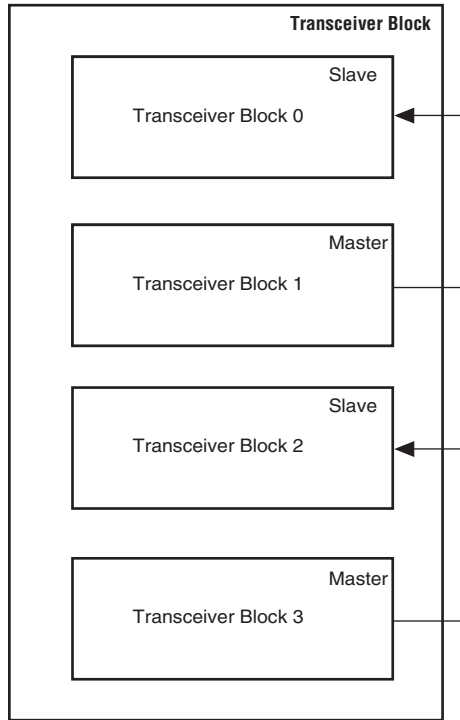
3 トランシーバ・ブロック・デバイス（EP2SGX60E および EP2SGX90E）は、PCI-E x8 リンクを 1 つのみサポートします。図 2-13 に、PCI-E x8 コンフィギュレーションを示します。トランシーバ・ブロック 1 をマスタとして、トランシーバ・ブロック 0 をスレーブとしてコンフィギュレーションします。トランシーバ・ブロック 2 はアクティブとなることができ、他のプロトコルをサポートするのに使用できます。

図 2-13. 1つの PCI-E リンクを使用した 3 トランシーバ・デバイス



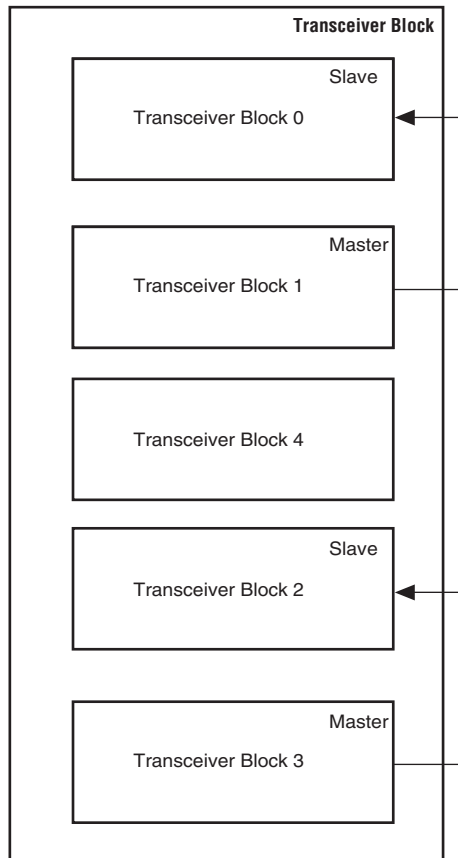
4 トランシーバ・ブロックのデバイス (EP2SGX90F) は、最大で 2 つの PCI-E x8 リンクをサポートします (図 2-14 参照)。トランシーバ・ブロック・ペアは、ブロック 0 と 1、およびブロック 2 と 3 です。1 つの PCI-E x8 リンクのみ使用される場合、他のトランシーバ・ブロックはアクティブとすることができ、他のプロトコルのサポートに使用できます。

図 2-14. 2つの x8 PCI-E リンクを使用した 4 トランシーバ・デバイス



5 トランシーバ・デバイス (EP2SGX130G) は、最大で 2 つの PCI-E x8 リンクをサポートします (図 2-15 参照)。トランシーバ・ブロック・ペアは 4 トランシーバ・デバイスの場合と同じで、ブロック 0 と 1、およびブロック 2 と 3 です。ブロック 4 は、PCI-E x8 モードには使用されません。PCI-E x8 モードで使用しないトランシーバ・ブロックはどれでも、他のプロトコルのサポートに使用できます。

図 2-15. 2つの x8 PCI-E リンクを使用した 5 トランシーバ・デバイス



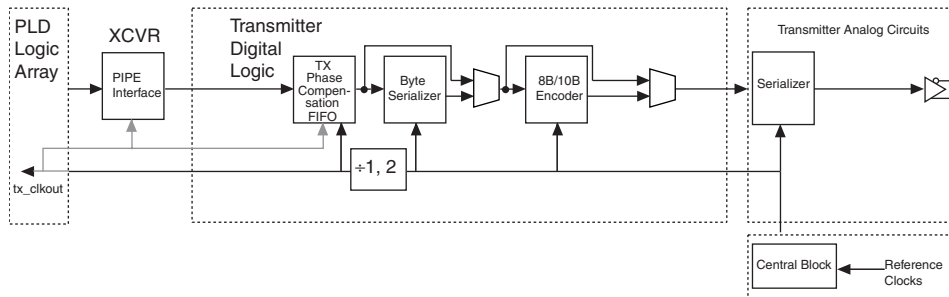
チャンネル・クロックの分配

この項では、Basic、SONET、PIPE x1 モード、GIGE、および (OIF) CEI PHY Interface モードの個別チャンネル、そして XAUI、PIPE x4、および PIPE x8 モードでのボンド・チャンネルに対する、各チャンネル内のクロック動作について説明します。

個別チャネルのクロッキング

Basic、SONET、PIPE x1、GIGE および (OIF) CEI PHY Interface モードでは、トランスミッタ・ロジックはクロック・デバイダ・ブロックからの低速クロックによってクロックされます。トランスミッタ位相補償 FIFO バッファおよび PIPE インタフェース (PIPE モード) は、PLD ロジックからトランスミッタ・チャネルにフィードバックされるチャネルの tx_clkout クロックによってクロックされます。図 2-16 に、トランスミッタ・チャネルに対するクロック配線を示します。

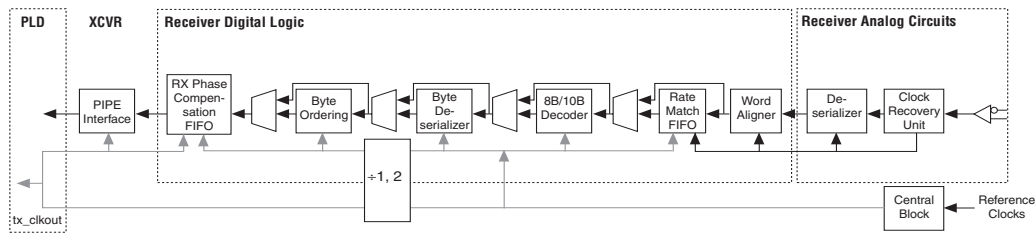
図 2-16. 個別チャネル・トランスミッタ・ロジックのクロッキング



レシーバ・ロジック・クロッキングには、レート・マッチングが使用される場合と使用されない場合の2つのクロッキング方法があります。

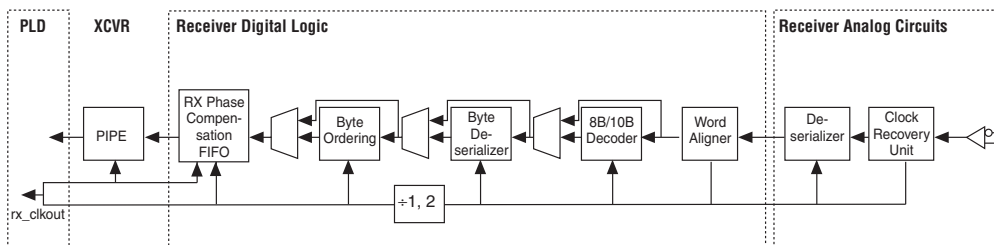
レート・マッチングが使用される場合 (PIPE、GIGE、および Basic モード)、シリアライザからレート・マッチャへのレシーバ・ロジックは、関連チャネルからの復元クロックによってクロックされます。その他のロジックは、関連チャネルのクロック・デバイダ・ブロックからの低速クロックによってクロックされます。位相補償FIFOバッファおよびPIPEインタフェース (PIPE モードの場合) の読み出し側は、PLD ロジックを介してフィードバックされる tx_clkout によってクロックされます。図 2-17 に、レート・マッチャによるレシーバ・ロジックのクロッキングを示します。

図 2-17. レート・マッチングによる個別チャンネル・レシーバ・ロジックのクロッキング



レート・マッチングが使用されない場合 (Basic および SONET モード)、レシーバ・ロジックはその関連するチャンネルの復元クロックによってクロックされます (図 2-18)。レシーバの位相補償 FIFO バッファのリード・ポートは、PLD ロジック・アレイから rx_clkout として供給される復元クロックによってクロックされます。

図 2-18. レート・マッチングを使用しない個別のチャンネル・レシーバ・ロジック・クロッキング

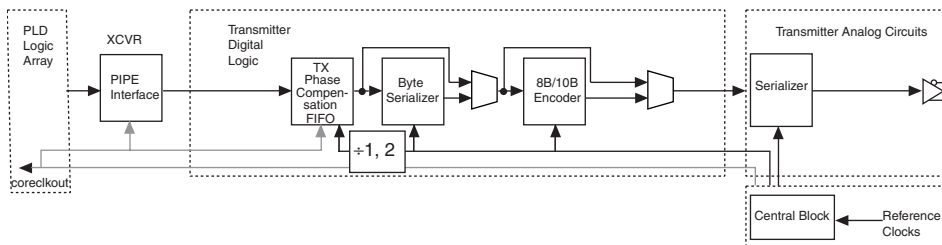


トランスミッタのクロッキング (ボンド・チャンネル)

XAUI、PIPE x4、および PIPE x8 のボンド・チャンネル・モードでのクロッキング (図 2-19) は、個別チャンネルのクロッキングとは異なります。すべてのトランスミッタは、セントラル・ブロックの同じトランスミッタ PLL およびクロック・ディバイダに同期化されます。XAUI、PIPE x4、および PIPE x8 (マスタ・トランシーバ) では、チャンネルはセントラル・ブロック内の同じトランスミッタ PLL によってドライブされます。PIPE x8 (スレーブ・トランスミッタ) では、マスタ・トランシーバのセントラル・ブロック内のトランスミッタ PLL がチャンネルをドライブします。

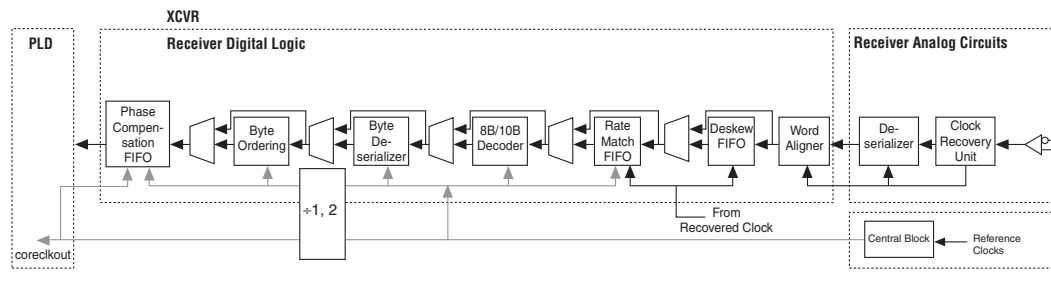
トランスミッタ位相補償 FIFO バッファのリード・ポートまでのトランスミッタ・ロジックは、セントラル・ブロックからの低速クロックによってクロックされます。PIPE インタフェースおよびトランスミッタ位相補償 FIFO バッファのライト・ポートは、PLD から配線された coreclkout 信号によってクロックされます。PIPE x8 スレーブ・トランシーバでは、関連トランシーバのセントラル・ブロックはアクティブではなく、トランスミッタ位相補償 FIFO バッファのリード・ポートへのトランスミッタ・ロジックは、マスタ・トランシーバからの低速クロックによってクロックされます。PIPE インタフェースおよびトランスミッタ位相補償 FIFO バッファのライト・ポートは、マスタ・トランシーバの coreclkout 信号によってクロックされます。CMU はパワー・ダウンされるため、スレーブ・トランシーバは coreclkout 信号を出力しません。

図 2-19. トランシーバ・モードでのトランスミッタ・チャンネルのクロッキング



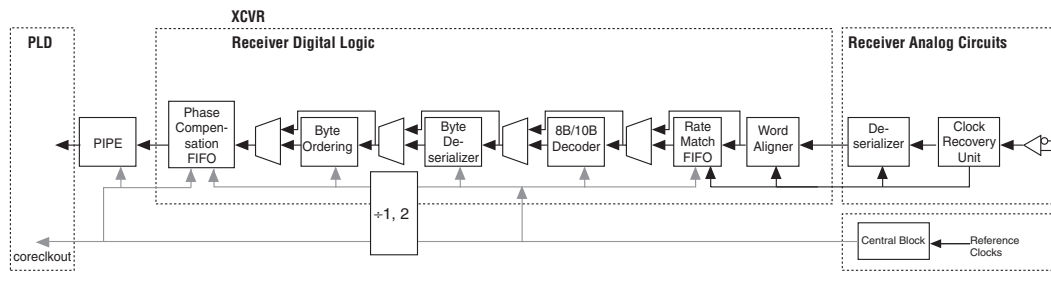
XAUI モードのレシーバ・ロジック (図 2-20) では、ローカルの復元クロックが、デスキュー FIFO バッファのライト・クロックまでのロジックに供給されます。channel[0] からの復元クロックが、デスキュー FIFO バッファのリード・クロックおよびレート・マッチャのライト・ポートに供給されます。セントラル・ブロックからの低速クロックが、位相補償 FIFO バッファのライト・ポートまでの残りのロジックに供給されます。セントラル・ブロックから PLD を通して転送される coreclkout 信号が、位相補償 FIFO バッファの読み出し側に供給されます。

図 2-20. XAUI モードでのレシーバ・チャンネルのクロッキング



PIPE ×4 および PIPE ×8 モード (図 2-21) では、ローカルの復元クロックが、レート・マッチャ FIFO バッファのライト・ポートまでのロジックに供給されます。セントラル・ブロックからの低速クロックが、位相補償 FIFO バッファのライト・ポートまでの残りのロジックに供給されます。セントラル・ブロックから PLD を通して転送される coreclkout 信号が、位相補償 FIFO バッファの読み出し側に供給されます。PIPE ×8 では、スレーブ・トランシーバは、マスタ・トランシーバのセントラル・ブロックからクロックを受け取ります。スレーブ・トランシーバの個別チャンネル・クロックの分配は、マスタ・トランシーバと同じです。

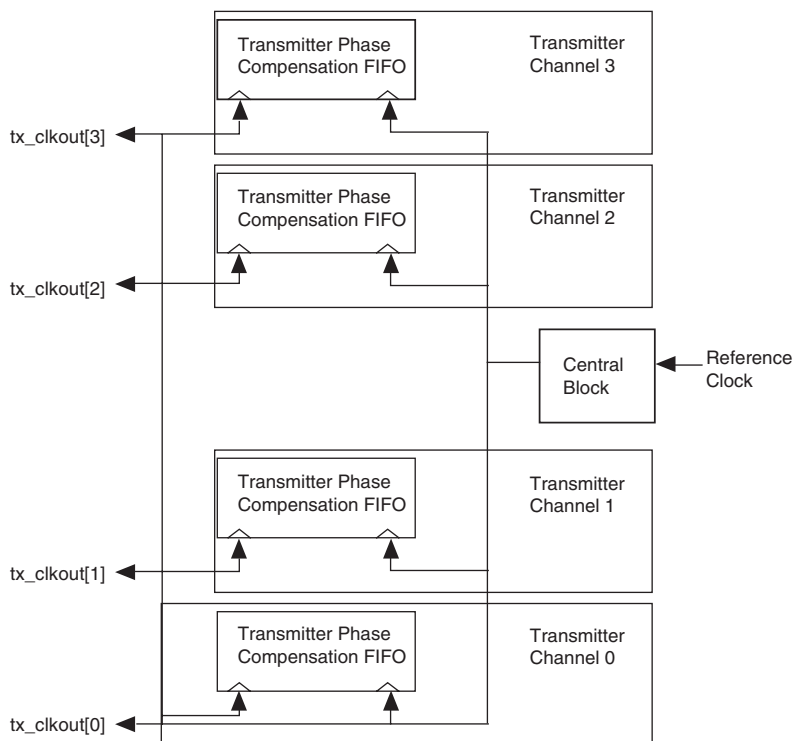
図 2-21. レシーバ・チャンネル、PIPE ×4 および ×8 モード



PLD およびトランシーバ・インタフェース

各チャンネルはセントラル・クロック・ディバイダ・ブロックを介して共通の PLL によってドライブされるため、シングル・チャンネルからの tx_clkout をトランシーバの残りの部分に供給できます。現在、Quartus II ソフトウェアは、チャンネル 0 から全チャンネルのトランスミッタ位相補償 FIFO バッファのライト・ポートに自動的に tx_clkout を接続します。PLD に供給される各チャンネルからの個別 tx_clkout ポートがありますが、[図 2-22](#) に示すようにすべてチャンネル 0 に接続されます。PLD ロジック・アレイのすべての tx_clkout ポートを使用することも、1 つのみ使用することもできます。これは、PLD ロジック・アレイの tx_clkout ポートはすべてチャンネル 0 の tx_clkout ポートでドライブされるためです。全チャンネルからの tx_clkout ポートが使用されている場合、より多くの PLD グローバル・クロック・ラインを利用できることがあります。[図 2-22](#) に、現在の Quartus II ソフトウェアがトランシーバの tx_clkout ポートを接続する方法を示します。

図 2-22. Quartus II 5.1 ソフトウェアでの個別トランスミッタ・チャンネルに対するトランシーバのクロッキング



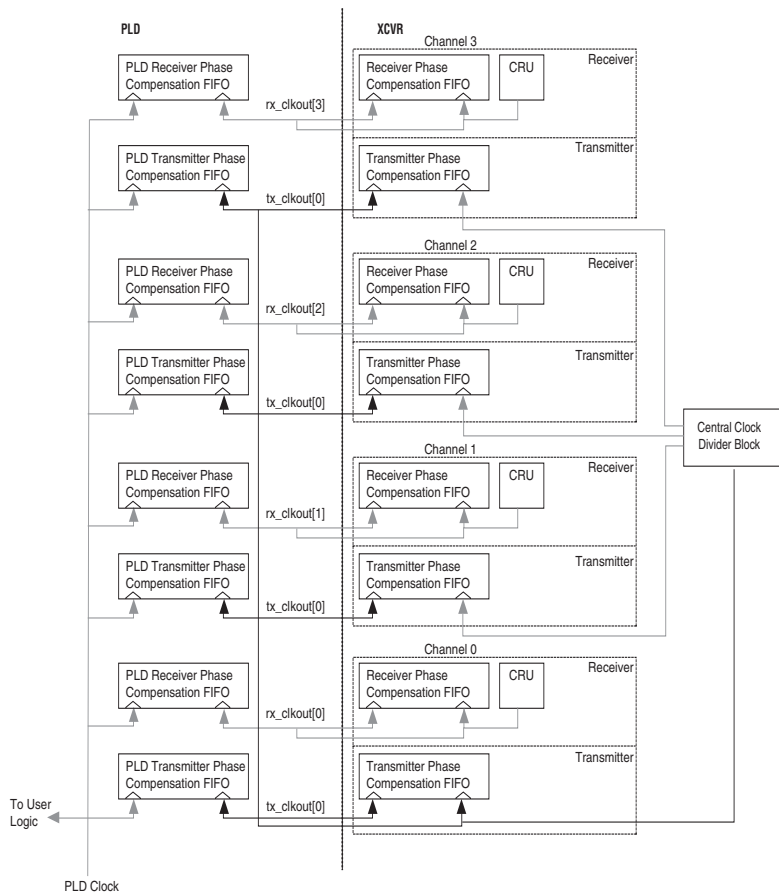
現在、Stratix II GX デバイスは、トランシーバ・クロック・ドメイン間から PLD ロジック・アレイのシステム・クロック・ドメインへのデータ転送を容易にするために、PLD ロジック・アレイ内に位相補償 FIFO バッファを必要とします。

図 2-23 に、同期システム用の推奨クロッキング方式を示します。PLD クロック、復元クロック、およびトランシーバ基準クロックは、同じクロック・ソースから派生していることが必要です。これまでに述べたいずれのクロックの間にも、正味の周波数誤差があってはなりません。

tx_clkout[0] ポートは、トランスミッタ・ロジック用のトランシーバ・クロックとして使用されます。PLD トランスミッタ位相補償 FIFO バッファは、独立した FIFO である必要はありません。PLD トランスミッタ位相補償 FIFO バッファはそれぞれ、書き込み側の PLD システム・クロックによってクロックされます。読み出し側では、チャンネル 0 からの tx_clkout によってクロックされます。前述のように、tx_clkout[0] は、各チャンネルのクロック出力を表す複数の tx_clkout ポートに分割されます。アルテラでは、PLD グローバル・クロック・リソースが節約されるため（以前の方法で 4 つ必要であったグローバル・クロックを 1 つのみ使用）、PLD トランスミッタ・ロジックのクロックには tx_clkout[0] のみを使用することを推奨しています。送信側の全チャンネルは tx_clkout[0] を使用するため、より幅の広いシングル PLD FIFO バッファを使用して、すべてのチャンネルに平行・データを書き込むことができます。

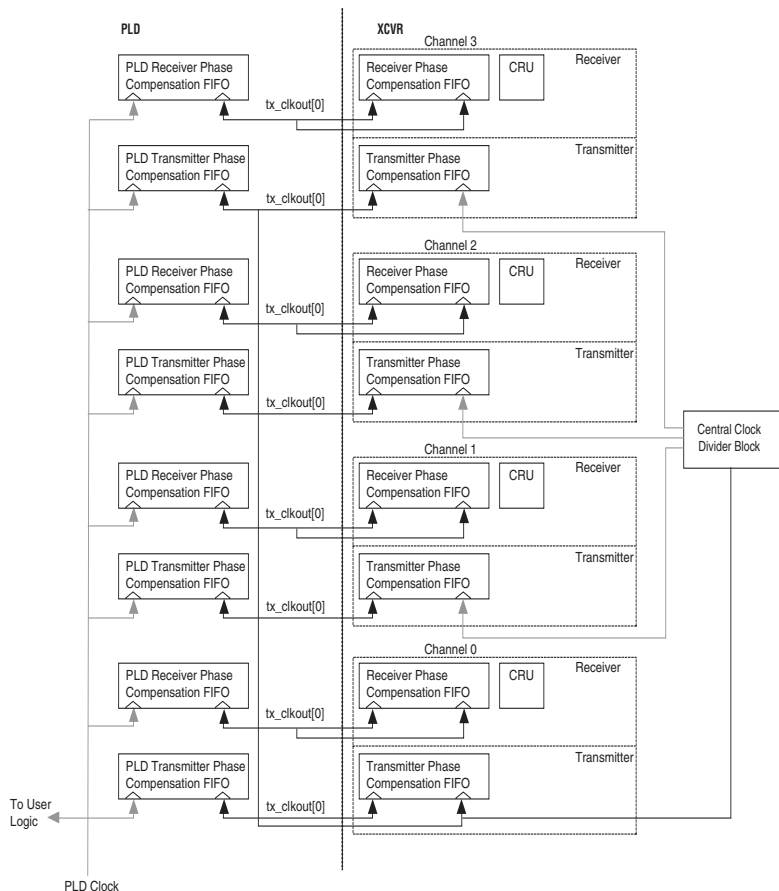
受信側では、個別の位相補償 FIFO バッファが必要です。位相補償 FIFO バッファのライト・ポートは、関連チャンネルの復元クロックによってクロックされます。読み出し側は PLD システム・クロックによってクロックされます。

図 2-23. 同期システムに対する個別チャンネル・クロッキングの推奨事項



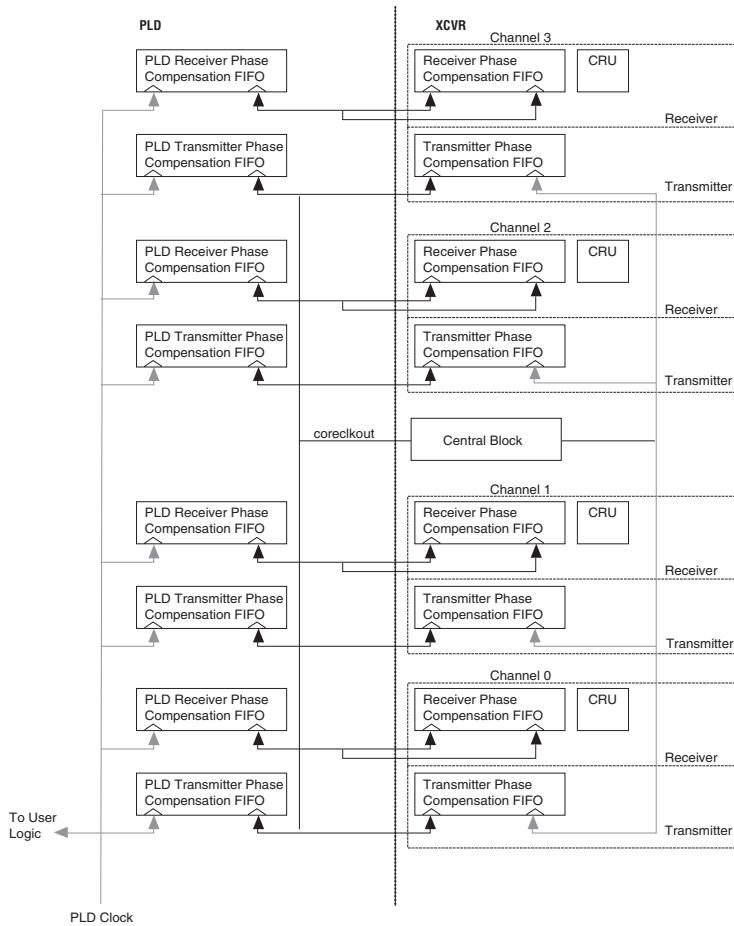
非同期システム (図 2-24) では、ポインタ処理、シンボル挿入および削除など、何らかの形のレート・マッチングが必要です。この項では、ビルトイン・レート・マッチャを使用したシンボル挿入および削除方法についてのみ説明します。同期モードではトランスミッタ位相補償 FIFO バッファのみクロックされますが、内部レート・マッチャ使用時には、トランスミッタおよびレシーバ位相補償 FIFO バッファが `tx_clkout[0]` によってクロックされます。2 つのクロック・ドメインのみデカップルする必要があるため、すべての PLD 位相補償 FIFO バッファが同じポインタを共有できます。すべての PLD レシーバ位相補償 FIFO バッファを組み合わせるとより幅の広いシングル FIFO バッファを形成でき、すべての PLD トランスミッタ位相補償 FIFO バッファを組み合わせるとより幅の広いシングル FIFO バッファを形成できます。これにより、FIFO バッファの PLD ロジック使用率が低下します。

図 2-24. 非同期システムに対する個別チャンネル・クロッキングの推奨事項



4 レーン (×4) および 8 レーン (×8) モードでは、システムが同期または非同期にかかわらず、自動的にレート・マッチャが使用されます。レシーバ内のクロック・ドメイン・デカップリングは、レート・マッチャで発生します。PLD クロッキングは、PLD ロジックに転送されるトランシーバ・クロックがチャンネル 0 の `tx_clkout` ではなく、`coreclkout` (セントラル・ブロックから) になることを除いて、非同期システム方式用の個別チャンネルのクロッキングと同様です。図 2-25 を参照してください。

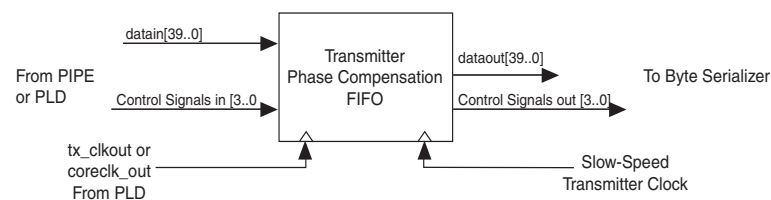
図 2-25. 同期システムに対するボンド・チャンネル・クロッキングの推奨事項



トランスミッタ位相補償 FIFO バッファ

トランスミッタ位相補償 FIFO バッファ (図 2-26) は、トランスミッタ・ブロック内のデバイスのロジック・アレイ・インタフェースに配置され、トランスミッタ・クロックと PLD からのクロックの間の位相差を補償します。トランスミッタ位相補償 FIFO バッファは、低レイテンシ・モードと高レイテンシ・モードの2つのモードで動作します。低レイテンシ・モードでは、FIFO バッファは4ワードの深さになります。FIFO バッファを介したレイテンシは、2～3 PLD パラレル・クロック・サイクルです。Quartus II ソフトウェアは、PCI-Express PIPE モード (自動的に高レイテンシ・モードを使用) を除くすべてのモードに対して、自動的に低レイテンシ・モードを選択します。高レイテンシ・モードでは、FIFO バッファは8ワードの深さになります。FIFO バッファを介したレイテンシは、4～5 PLD パラレル・クロック・サイクルです (特性評価中)。

図 2-26. トランスミッタ位相補償 FIFO バッファ



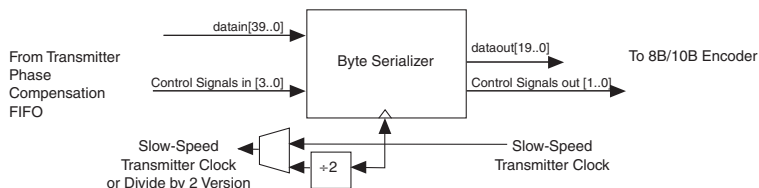
位相補償 FIFO バッファのリード・ポートは、トランスミッタ PLL クロックによってクロックされます。ライト・クロックは、シングル・チャンネル・コンフィギュレーションでの関連チャンネルの tx_clkout によって供給されます。FIFO バッファのライト・クロックは、4チャンネルまたは8チャンネル・コンフィギュレーションでの coreclkout によってクロックされます。

トランスミッタ位相補償 FIFO バッファは常に使用され、バイパスすることはできません。トランスミッタ位相補償 FIFO バッファの入力は、PIPE モードの PLD ロジック・アレイまたは PIPE インタフェースからのデータです。

バイト・シリアライザ

バイト・シリアライザ (図 2-27) は、2 バイトまたは 4 バイト・インタフェースを、PLD インタフェースからのトランシーバのための 1 バイトまたは 2 バイト幅データ・パスに変換します。PLD インタフェースには 250 MHz の制限があるため、バイト・シリアライザはパラレル・データを剥離してシングル幅またはダブル幅トランシーバ・データ・パスにする必要があります。6.375 Gbps では、トランシーバ・ロジックは、 $\times 20$ シリアライザ・ファクタにより 318.75 MHz で動作するダブル・バイト幅データ・パスを持ちます。バイト・シリアライザを使用することにより、PLD インタフェース幅は 2 倍の 40 ビット (8B/10B エンコーダ使用時は 36 ビット) になり、インタフェース速度は 159.375 MHz に低下します。

図 2-27. バイト・シリアライザ



バイト・シリアライザは、位相補償 FIFO バッファから 40 ビット、32 ビット、20 ビット、または 16 ビット幅の入力を受け取り、それぞれ 20 ビット、16 ビット、10 ビット、または 8 ビットにシリアル化します (表 2-6 参照)。同時に、クロック周波数も 2 倍になります。

表 2-6. バイト・シリアライザの入力および出力データ幅

入力データ幅 (ビット)	バイト・シリアル化後の出力データ幅 (ビット)
40	20
32	16
20	10
16	8

シリアル化後に、バイト・シリアライザは最下位バイトを最上位バイトに転送します。トランスミッタ PLL がロックを失うと、常にトランスミッタ・デジタル・リセットを使用して、バイト・シリアライザ FIFO ポインタをリセットします。リセット・シーケンスについて詳しくは、2-159 ページの「リセット・コントロールおよびパワーダウン」の項を参照してください。

図 2-28 に、20 ビット入力を 10 ビットにシリアル化するときのバイト・シリアライザの入力信号と出力信号を示します。tx_datain 信号は、トランスミッタ位相補償 FIFO バッファをすでに通過した FPGA のロジック・アレイからの入力です。

図 2-28. トランスミッタ・バイト・シリアライザ

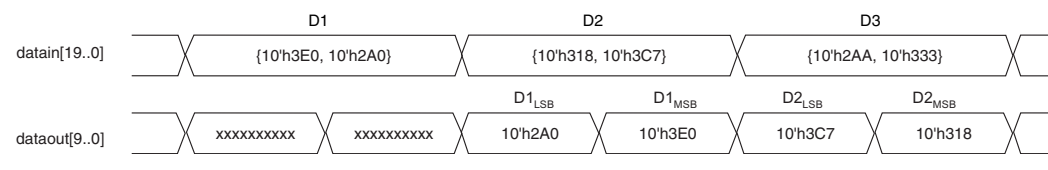


図 2-28 では、LSB はトランスミッタ・バイト・シリアライザの MSB の前に送信されます。D1 が入力されると、出力は最初に D1_{LSB}、続いて D1_{MSB} になります。

8B/10B エンコーダ

8B/10B エンコーダ (図 2-29 参照) は、Stratix II GX トランシーバ・デジタル・ブロックの一部で、バイト・シリアライザとシリアライザの間にあります。8B/10B エンコーダは、Single-width と Double-width の 2 つのモードで動作し、8B/10B エンコーダが使用されない場合はバイパスできます。Single-width モードでは、8B/10B エンコーダは、8 ビット・データと 1 ビット・コントロール識別子から 10 ビットのコード・グループを生成します。Double-width モードでは、互いにカスケード接続されて、2 つの 8 ビット・データと対応するコントロール識別子から 2 つの 10 ビット・コード・グループを生成する 2 つの 8B/10B エンコーダが存在します。8B/10B エンコーダは、IEEE 802.3 1998 edition 標準規格に適合します。

図 2-29. 8B/10B エンコーダ

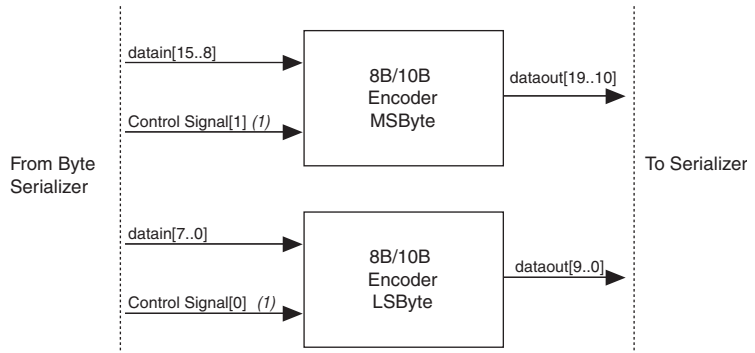


図 2-29 の注：

(1) コントロール信号は、tx_ctrlenable です。

Single-width モード

Single-width モードでアクティブな 8B/10B エンコーダ・データ・パスを図 2-30 にハイライトします。

図 2-30. 8B/10B エンコーダ、Single-width モード

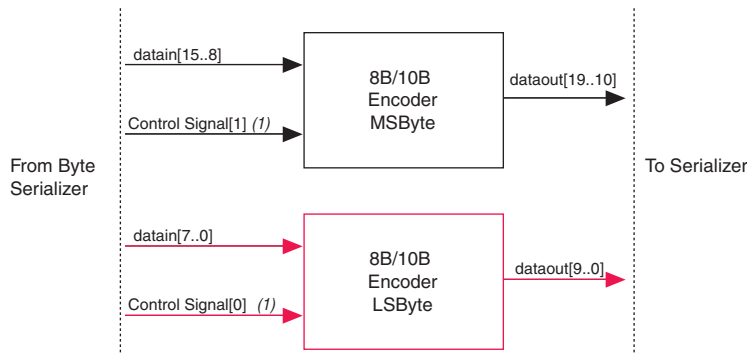


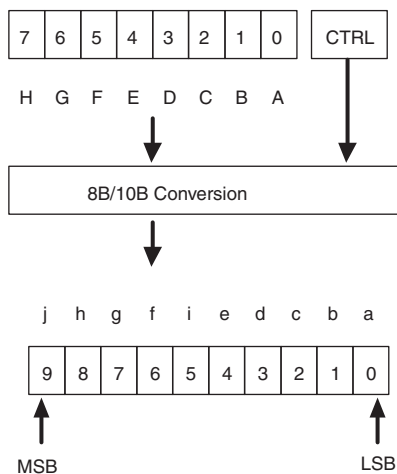
図 2-30 の注：

(1) コントロール信号は、tx_ctrlenable です。

10 ビット・エンコーディング

Single-width モードでは、8B/10B エンコーダは 8 ビット・データまたは 8 ビット・コントロール・キャラクタ（コントロール識別子で限定）を適切なディスペリティを持つ 10 ビット・コード・グループに変換します。図 2-31 に、変換フォーマットを示します。LSB が最初に送信されます。8B/10B コードに関する追加情報は、「Stratix II GX ハンドブック Volume 2」の「仕様および追加情報」の章を参照してください。

図 2-31. 8B/10B 変換フォーマット



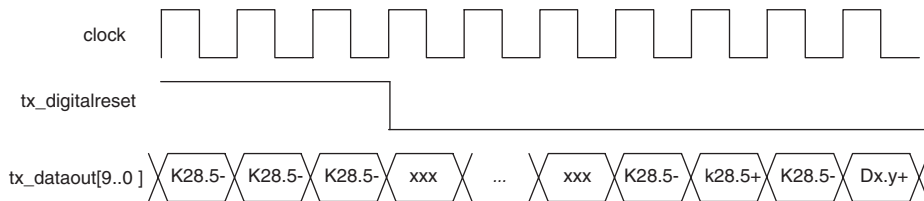
リセット状態

tx_digitalreset 信号は 8B/10B エンコーダをリセットします。リセットの間、動作中のディスペリティ・レジスタおよびデータ・レジスタはクリアされます。8B/10B エンコーダは、tx_digitalreset が Low になるまで、RD- カラムから連続して K28.5 パターンを出力します。入力データおよび tx_ctrlenable 信号は、リセット・ステータス中は無視されます。リセット状態から抜けると、8B/10B エンコーダは負のディスペリティ（RD-）で開始し、同期化のために 3 つの K28.5 コード・グループを送信してから、tx_datain ポート上のデータのエンコードと送信を開始します。

tx_digitalreset 信号がアサートされている間、8B/10B デコーダは、無効コード・エラー、同期化エラー、コントロール検出、および / またはディスペリティ・エラーの形でエラーを受け取ります。

図 2-32 に、8B/10B エンコーダのリセット動作を示します。リセット状態 (tx_digitalreset が High) のとき、K28.5- (RD- カラムからの K28.5 10 ビット・コード・グループ) は、tx_digitalreset が Low になるまで継続的に送信されます。最初の 3 つの K28.5 が送信されるまで、トランスミッタ・チャンネルのパイプライン化のために、何らかの「don't cares (10'hxxx)」が発生します。ユーザ・データは 3 番目の K28.5 の後に続きます。

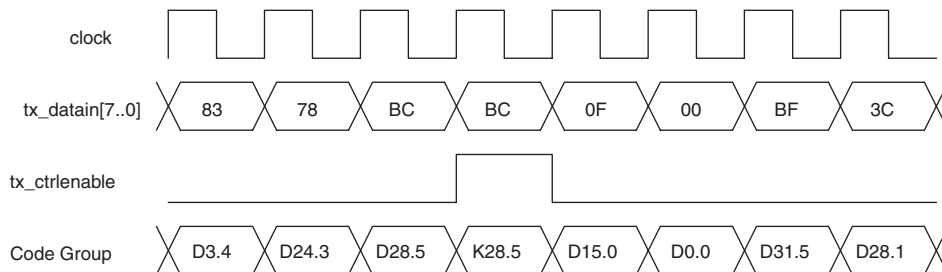
図 2-32. リセット状態時のトランスミッタ出力




コントロール・コード・エンコーディング

tx_ctrlenable ポートは、tx_datain ポートの 8 ビット・データがコントロール・ワード (Kx.y) としてエンコードされるかどうかを判別します。このポートが使用されていない場合、コントロール・ワードを送出する方法はありません。tx_ctrlenable が Low のとき、トランシーバの tx_datain ポートのバイトはデータ (Dx.y) としてエンコードされます。tx_ctrlenable が High のとき、tx_datain ポートのデータは Kx.y コード・グループとしてエンコードされます。図 2-33 の波形は、2 番目の 0xBC がコントロール・ワード (K28.5) としてエンコードされていることを示しています。tx_datain バイトの残りはデータ (Dx.y) としてエンコードされます。

図 2-33. コントロール・ワード識別波形



 8B/10B エンコーダは、入力されたコード・ワードが 12 の有効コードのうちの1つかどうか確認するためのチェックは行いません。有効なコントロール・コードを入力した場合、結果的に得られる 10 ビットのコード・グループは、入力した値に応じて、無効コード（有効な Dx.y または Kx.y コードにマップしない）、または予期しない有効 Dx.y コードとしてエンコードされることがあります。

8B/10B デコーダは、コード・エラー・フラグをアサートすることなく、有効な Dx.y コードにエンコードされた無効なコントロール・ワードをデコードする可能性があります。例えば、現在ランニング・ディスパリティに応じて、無効コード K24.1 (tx_datain = 8'h38 + tx_ctrl = 1'b1) は 10'b0110001100 (0x18C) にエンコードされる可能性があり、これは D24.6+ (RD+ カラムからの 8'hD8) に等しくなります。無効なコントロール・ワードは送信しないことをお勧めします。

Double-width モード

Double-width モードでは、8B/10B エンコーダはカスケード・モードで動作します。最下位バイトは、最上位バイトの前に送信されます。図 2-34 に、Double-width モードでのアクティブな 8B/10B エンコーダ・ブロックを示します。

図 2-34. Double-width モードでアクティブな 8B/10B エンコーダ

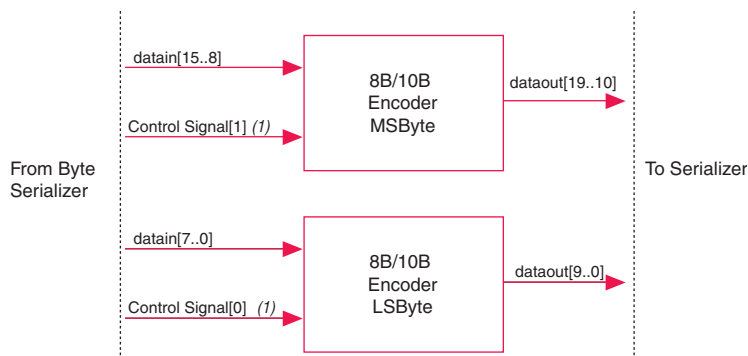


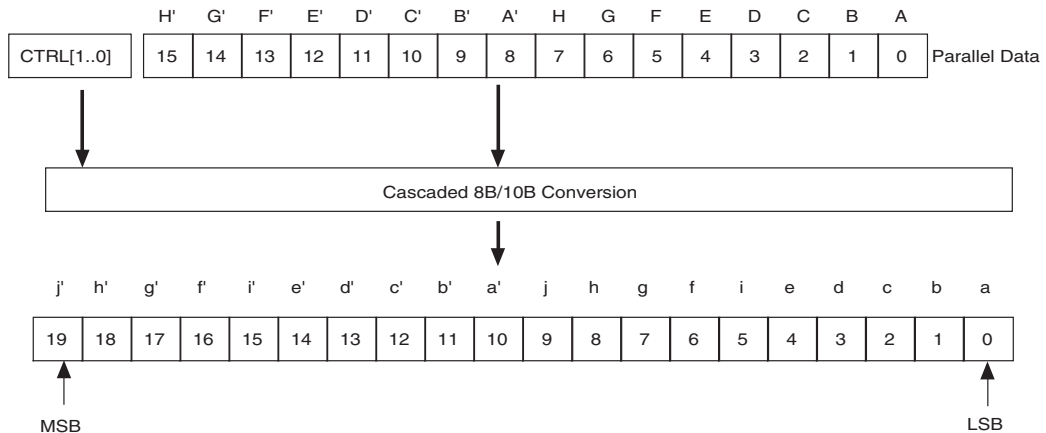
図 2-34 の注：

(1) コントロール信号は、tx_ctrlenable です。

20 ビット・エンコーディング

Double-width モードでは、8B/10B エンコーダは、2つの8ビット・データとそれらの対応するコントロール識別子から2つの10ビット・コード・グループを生成します。詳しくは、[図 2-35](#)を参照してください。LSBが最初に送信されます。[図 2-35](#)に20ビット・エンコーディングを示します。

図 2-35. 8B/10B 変換フォーマット



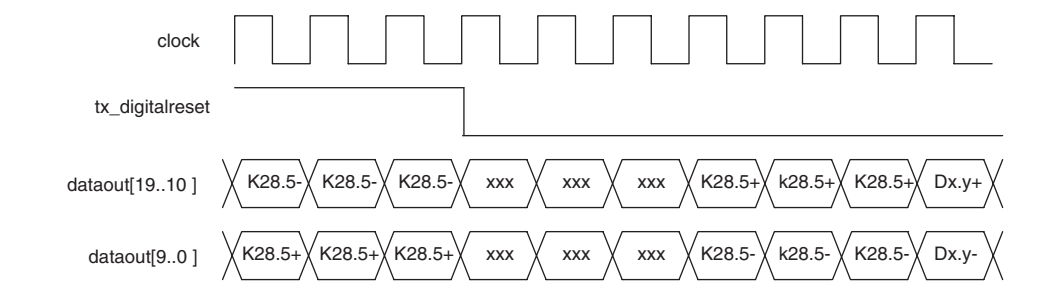
リセット状態

tx_digitalreset 信号は 8B/10B エンコーダをリセットします。リセット中に、動作中のディスパリティ・レジスタおよびデータ・レジスタはクリアされます。また、8B/10B エンコーダは、tx_digitalreset が Low になるまで継続的に K28.5 パターンを出力します。tx_datain および tx_ctrlenable ポートは、リセット・ステート中には無視されます。リセットを抜けると、8B/10B エンコーダは負のディスパリティ (RD-) バイアスを伴う LSByte、正のディスパリティ (RD+) を伴う MSByte を開始し、同期化のために6つの K28.5 コード・グループ (LSByte エンコーダに3つおよび MSByte エンコーダに3つ) を送信してから、tx_datain 上のデータのエンコーディングと送信を開始します。

8B/10B エンコーダのリセット信号がアサートされた場合、データを受信している 8B/10B デコーダは、tx_digitalreset が High の間に、無効コード・エラー、同期化エラー、コントロール検出、および / またはディスパリティ・エラーを受け取ることがあります。

図 2-36 に、8B/10B エンコーダのリセット動作を示します。リセット状態 (tx_digitalreset が High) のとき、K28.5- コード・グループは、tx_digitalreset が Low になるまで継続的に送信されます。最初の K28.5 が送信されるまで、トランスミッタ・チャネルのパイプライン化のために、何らかの「don't cares (10hxxx)」が発生します (図 2-36 に、6 つの「don't cares」を示します。ただし、数値は変化する場合があります)。LSByte および MSByte の両方が 3 つの K28.5 コード・グループを送信した後に、tx_datain ポートのデータがエンコードされて送信されます。

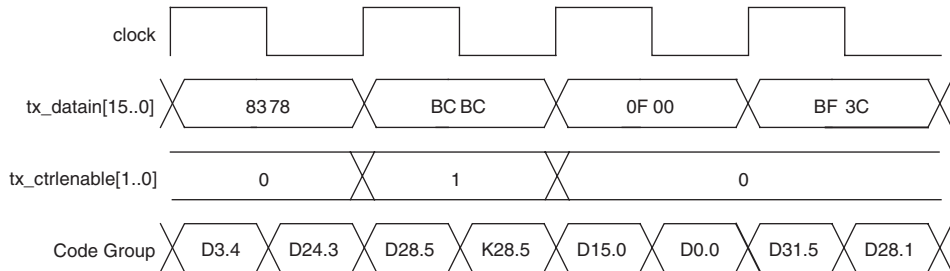
図 2-36. リセット状態中のトランスミッタ出力



コントロール・コード・エンコーディング

tx_ctrlenable ポートは、コントロール・ワードとしてエンコードされた 8 ビット・データを識別します。このポートが使用されていない場合、コントロール・ワードは送信できません。Double-width モードでは、tx_ctrlenable ポートには 2 つのビットがあります。下位ビットは LSByte と関連付けられ、上位ビットは MSByte と関連付けられています。tx_ctrlenable が Low の場合、トランシーバの tx_datain ポートのバイトはデータ (Dx.y) としてエンコードされ、それ以外の場合はコントロール・コード (Kx.y) としてエンコードされます。図 2-37 は、tx_datain (8'hBC) の第 2 バイトの下位バイトがコントロール・コードとしてエンコードされることを示しています。コントロール・コードは、これは下位 tx_ctrlenable ビットの第 2 クロック・サイクルが High になると識別されます。

図 2-37. コントロール・ワード識別波形



8B/10B エンコーダは、入力されたコード・ワードが 12 の有効コードのうちの一つかどうか確認するためのチェックは行いません。有効なコントロール・コードを入力した場合、結果的に得られる 10 ビット・コードは、入力した値に応じて、無効コード（有効な $Dx.y$ または $Kx.y$ コードにマップしない）、または予期しない有効 $Dx.y$ コードとしてエンコードされることがあります。

8B/10B デコーダは、コード・エラー・フラグをアサートすることなく、有効な $Dx.y$ コードにエンコードされた無効なコントロール・ワードをデコードする可能性があります。例えば、現在ランニング・ディスパリティに応じて、無効コード $K24.1$ ($tx_datain = 8'h38 + tx_ctrl = 1'b1$) は $10'b0110001100$ ($0x18C$) にエンコードされる可能性があり、これは $D24.6+$ (RD+ カラムからの $8'hD8$) に等しくなります。無効なコントロール・ワードは送信しないことをお勧めします。

シリアライザ

シリアライザ・ブロックは、トランスミッタ出力バッファでパラレル・データをシリアル・データに変換します。シリアライザ・ブロックは 8 ビット (図 2-38)、10 ビット、16 ビット、および 20 ビット・ワードをサポートします。8 ビットおよび 10 ビット動作は、Single-width モードで使用するためのもので、622 Mbps ~ 3.125 Gbps のデータ・レート範囲をサポートします。16 ビットおよび 20 ビット動作は、Double-width モードで使用するためのもので、3.125 ~ 6.375 Gbps のデータ・レート範囲をサポートします。

シリアライザ・ブロックは、下の図に示すように、シリアル・データを出力バッファにドライブします。シリアライザ・ブロックは、622 Mbps ~ 6.375 Gbps のデータ・レート範囲でシリアル・ビット・ストリームをドライブします。シリアライザ・ブロックはワードの LSB を最初にネイティブで送信します。

図 2-38. 8 ビット・モードでのシリアライザ・ブロック

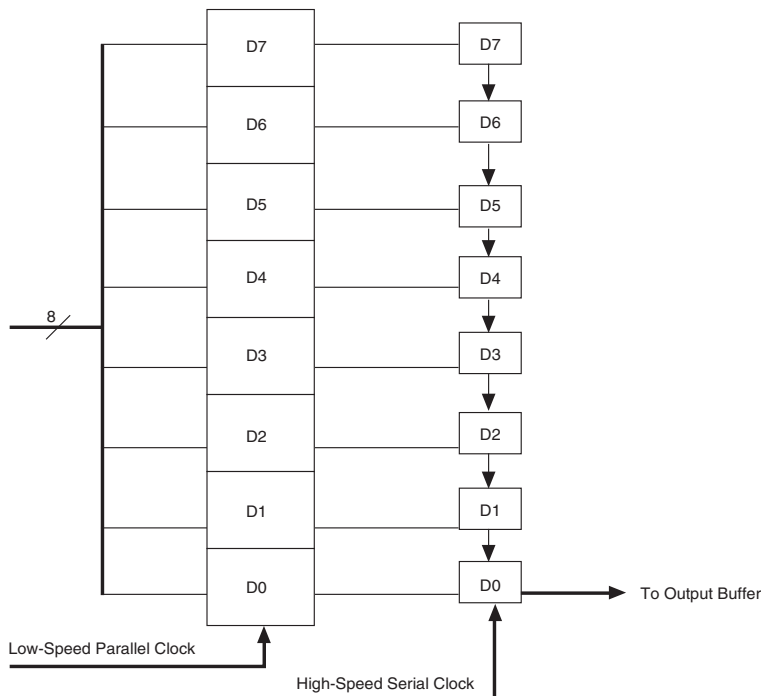
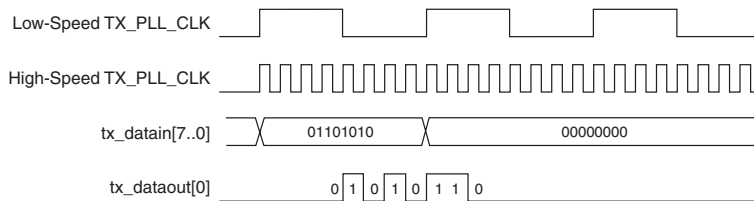


図 2-39 に、シリアライザ・ブロック出力のシリアル・ビットの順序を示します。この例では、8'h6A (01101010) の定数がシリアル化され、シリアル・データが LSB から MSB の順に送信されます。

図 2-39. シリアライザ・ビット順序

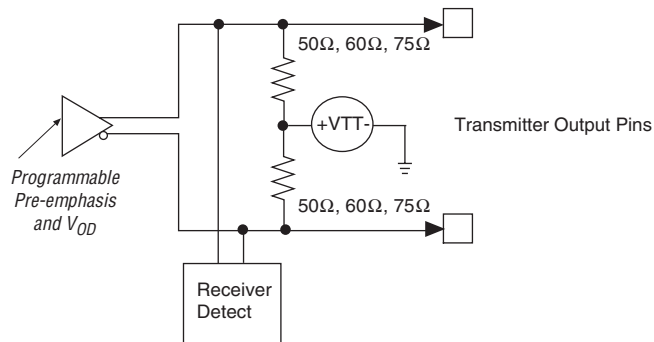


個別チャンネル・モードでは、シリアライザ・ブロックは PLD および トランシーバ・パラレル・クロックを供給します。シリアライザは、クロック・ディバイダ・ブロックから $\div 8$ または $\div 10$ パラレル・クロックを受け取り、関連トランスミッタ・チャンネル内でトランスミッタの PCS ロジックに分配します。Single-width モードでは、クロックは不変です。Double-width モードでは、シリアライゼーション・ファクタに応じて、シリアライザ・ブロックは、クロック・ディバイダ・ブロックによって供給されるクロックから $\div 16$ または $\div 20$ クロックを生成します。

トランスミッタ・バッファ

Stratix II GX トランスミッタ・バッファは、最大 6.375 Gbps の 1.2 V および 1.5 V 擬似電流モード・ロジック (PCML) をサポートし、2 個のコネクタで 40 インチの FR4 トレースをドライブできます。トランスミッタ・バッファ (図 2-40 参照) は、シグナル・インテグリティを改善するための付加回路 (プログラム可能な出力電圧、プログラム可能な 3 タップ・プリエンファシス回路、および内部終端回路) と、ダウンストリーム・レシーバの存在を検出する機能を備えています。

図 2-40. トランスミッタ・バッファ



プログラマブル差動出力電圧 (V_{OD})

Stratix II GX デバイスでは、異なるトレース長、各種バックプレーン、およびレシーバ要件 (図 2-41 参照) に対応するために、差動出力電圧 (V_{OD}) をカスタマイズできます。表 2-7 に示すように、 V_{OD} は 200 ~ 1,400 mV の範囲から選択します。

図 2-41. V_{OD} (差動) 信号レベル

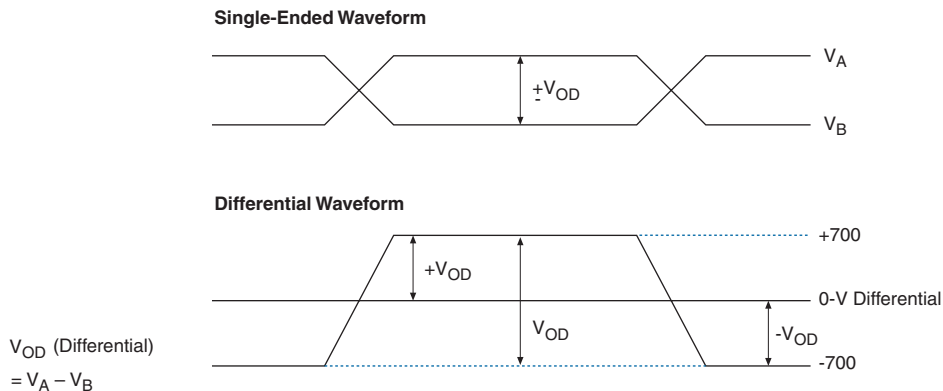


表 2-7 に、各オンチップ・トランスミッタのプログラマブル終端値に対する供給電圧ごとに、差動出力電圧 V_{OD} 設定を示します。

表 2-7. プログラマブル V_{OD} 注 (1)					
V_{OD} 差動ピーク・トゥ・ピーク					
1.2 V VCC			1.5 V VCC		
100 Ω (mV)	120 Ω (mV)	150 Ω (mV)	100 Ω (mV)	120 Ω (mV)	150 Ω (mV)
160	192	240	200	240	300
320	384	480	400	480	600
480	576	720	600	720	900
640	768	960	800	960	1,200
800	960		1,000	1,200	
960			1,200		
			1,400		

表 2-7 の注：

(1) この表の値は暫定仕様です。

V_{OD} 値はウィザードで設定します。

トランスミッタ・バッファには、1.2 V または 1.5 V 電源のいずれかが供給されます。alt2gxb MegaWizard Plug-In Manager (**What is the transmit buffer power (V_{CCHTX})?** オプション) で、トランスミッタ・バッファ電源 (V_{CCHTX}) を選択します。Stratix II GX デバイスのトランスミッタ・バッファ電源は、トランシーバをベースにしています。1.2 V 電源は 1.2 V PCML 規格をサポートします。

V_{OD} 設定は、ウィザードを使用するか、またはダイナミック・リコンフィギュレーション・コントローラを使用してダイナミックに指定します。詳しくは、[2-165 ページの「ダイナミック・リコンフィギュレーション」](#)の項を参照してください。

プログラマブル・プリエンファシス

各トランスミッタ・バッファのプログラマブル・プリエンファシス・モジュールは、伝送メディアで減衰する可能性がある送信データ信号中の高周波を増幅します。プリエンファシスを使用することによって、遠端レシーバでのデータ・アイ開口部を最大化できます。

伝送線路の転送機能は、周波数領域でロー・パス・フィルタとして表すことができます。-3dB 周波数以下の周波数成分はすべて、最小限の損失で通過します。-3dB 周波数よりも大きい周波数成分は減衰します。このような周波数応答の変動により、データ依存ジッタおよびその他の ISI 効果が得られます。プリエンファシスを適用することによって、高周波成分が増幅、すなわちプリエンファシスされます。プリエンファシスは、レシーバでの周波数応答を均等化するため、低周波成分と高周波成分の差が低減され、伝送メディアからの ISI 効果が小さくなります。

プリエンファシス要件は、レガシ・バックプレーンを介したデータ・レートが増大するにつれて増加します。Stratix II GX トランスミッタ・バッファは、最大 500% のプリエンファシスで伝送メディア中の損失を補正するプリエンファシス回路を採用しています。

プリエンファシス設定は、alt2gxb MegaWizard Plug-In Manager のスライダ・メニューで設定します。プリエンファシス設定（プリエンファシス・コントロール・プリタップ、プリエンファシス第1ポスト・タップ、およびプリエンファシス第2ポスト・タップ）は、ウィザードで指定するか、またはダイナミック・リコンフィギュレーション・コントローラを使用してダイナミックに指定します。ダイナミック・リコンフィギュレーション・コントローラをイネーブルするには、まず alt2gxb ウィザードでダイナミック・リコンフィギュレーションのオプションをイネーブルする必要があります。このオプションをイネーブルした後、Quartus II ソフトウェアで alt2gxb_reconfig MegaWizard Plug-In Manager (Stratix II GX デバイス・ファミリー) の設定をコンフィギュレーションする必要があります。詳しくは、2-165 ページの「[ダイナミック・リコンフィギュレーション](#)」の項を参照してください。

プログラマブル・トランスミッタ終端

Stratix II GX トランスミッタ・バッファは、100 Ω、120 Ω、150 Ω のプログラム可能なチップ内差動終端を内蔵しています。この抵抗はキャリブレーション・ブロックのオンチップ・キャリブレーション回路で調整され（詳しくは、2-163 ページの「[キャリブレーション・ブロック](#)」の項を参照）、この調整により、温度、電圧、プロセス変動が補償されます。トランシーバ内の Stratix II GX トランスミッタ・バッファは、電流モード・ドライバなので、最終的な V_{OD} はトランスミッタ終端値の関数になります。最終的な V_{OD} 値について詳しくは、2-47 ページの「[プログラマブル差動出力電圧 \(\$V_{OD}\$ \)](#)」の項を参照してください。On-Chip Termination（チップ内終端）をディセーブルして、外部終端を使用することができます。外部終端を選択した場合、トランスミッタのコモン・モードもトライ・ステートになります。

トランスミッタ終端は、Quartus II ソフトウェアで選択します (Assignments メニューで Assignment Organizer、Options for Individual Nodes Only、Stratix II GX Termination Value を順に選択)。デフォルトでは、この値は 100 Ω です。100 Ω 終端を使用する予定の場合、コンパイル時に Quartus II ソフトウェアが自動的に設定します。

トランスミッタ終端の設定は、alt2gxb ウィザードのプルダウン・メニューを使用して設定します。

プログラマブル・コモン・モード

Stratix II GX デバイスではコモン・モードを 600 mV または 700 mV に設定できます。1.2 V PCML 規格では 600 mV 設定を使用します。1.5 V PCML 規格では 700 mV 設定を使用します。表 2-8 に、提供されているコモン・モード設定を示します。

コモン・モード設定	1.2 V PCML 規格	1.5 V PCML 規格	データ・レート (Mbps)
600 mV	√		622 ~ 3125
600 mV		√	3125 ~ 6375
700 mV		√	622 ~ 3125

表 2-8 の注：

- (1) PIPE プロトコルでは、1.2 V PCML の 600 mV コモン・モードの設定のみが可能です。1.5 V PCML と 700 mV の組み合わせは使用できません。

PCI Express のレシーバ検出

Stratix II GX トランスミッタ・バッファは、PIPE モードで使用するビルトイン・レシーバ検出回路を備えています。この回路は、コモン・モードのトランスミッタでパルスを送出し、その反射をモニタしてダウンストリームにレシーバがあるかどうかを検出します。このモードでは、トランスミッタ・バッファがトライ・ステートになること (Electrical Idle モード)、および On-Chip Termination の使用が要求されます。

この機能は PIPE モードでのみ使用でき、tx_forceelecidle ポートと tx_detectrxloopback ポートを 1'b1 に設定するとイネーブルできます。powerdn ポートは 2'b10 に設定し、トランスミッタを PCI-Express P1 パワー・ダウン状態にする必要があります。レシーバ検出の結果は、pipestatus ポートにエンコードされます。

PCI Express Electrical Idle

Stratix II GX トランスミッタ・バッファは、PCI Express Electrical Idle (または個別トランスミッタ・トライ・ステート) をサポートします。この機能は PIPE モードでのみアクティブになります。トランスミッタ・バッファは、tx_forceelecidle ポートによって Electrical Idle モードになります。このポートは、PCI Express のすべてのパワーダウン・モードで利用でき、モードごとに用途が異なります。表 2-9 に各パワー・モードの用途を示します。

パワー・モード	用途
P0	tx_forceelecidle をアサートする必要があります。この信号がデアサートされている場合、有効データが存在することを示します。
P1	tx_forceelecidle をアサートする必要があります。
P2	デアサートされている場合、ビーコン信号を送信する必要があります。2-111 ページの「PCI Express (PIPE) モード」の項を参照してください。

レシーバ・モジュール

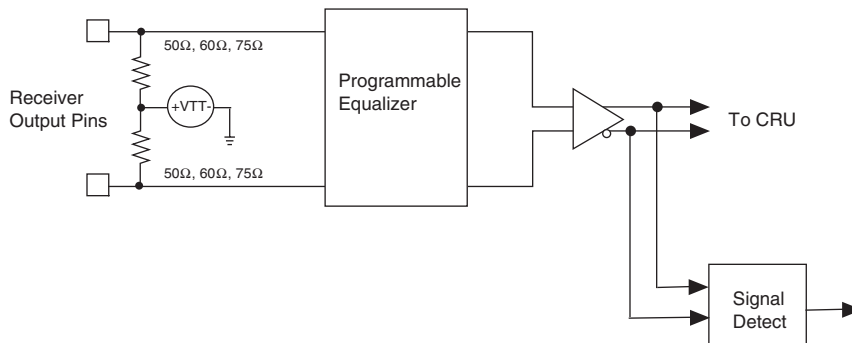
この項では、Stratix II GX トランシーバのレシーバ・パスについて説明します。また、以下のモジュールについて説明します。

- レシーバ・バッファ
- レシーバ PLL
- クロック・リカバリ・ユニット
- デシリアライザ
- ワード・アライナ
- チャンネル・アライナ (デスクュー)
- レート・マッチャ
- 8B/10B デコーダ
- バイト・デシリアライザ
- バイト・オーダリング
- レシーバ位相補償 FIFO バッファ

レシーバ・バッファ

Stratix II GX レシーバ・バッファは、1.2 V、1.5 V、LVDS、LVPECL、および 3.3 V PCML 擬似電流モード・ロジック (PCML) をサポートします。レシーバ・バッファは 622 Mbps ~ 6.375 Gbps のデータ・レートをサポートし、2 個のコネクタで最大 40 インチの FR4 トレースを補償できます。レシーバ・バッファ (図 2-42) は、プログラマブル・イコライゼーション回路と内部終端回路を含む、シグナル・インテグリティを改善するための追加回路を内蔵しています。またレシーバ・バッファは、信号検出回路により、レシーバに事前に定義された振幅の信号が存在しているかを検出することも可能です。


図 2-42. レシーバ・バッファ



プログラマブル・レシーバ終端

Stratix II GX レシーバ・バッファは、100 Ω、120 Ω、または 150 Ω のオプションのプログラマブル・チップ内差動終端を備えています。レシーバ終端抵抗の設定は、2 つの方法のいずれかを使用して行うことができます。

- On-Chip Termination を使用する場合、ウィザードでレシーバ終端抵抗オプションを設定します。100 Ω、120 Ω、150 Ω の設定が可能です。デザインが外部受信終端を要求する場合は、**Use external Receiver termination** オプションをチェックします。
- 差動終端は Quartus II ソフトウェアで、ピン単位で割り当てます (Assignments メニューで Assignment Organizer, Options for Individual Nodes Only、Stratix II GX GXB Termination Value を順に選択)。

 コンパイル前に、レシーバ終端設定を確認して設定します。

信号スレッショルド検出回路

信号検出 / 損失スレッショルド検出器は、レシーバ・バッファに指定された電圧レベルが存在するかどうかを検知します。この検出器はヒステリシス応答機能を持ち、シンボル間干渉によって引き起こされる高周波リングや伝送メディアの高周波損失を除去します。rx_signaldetect 信号は、信号が信号検出設定に適合するかどうかを示します。High レベルは信号が設定に適合していることを示し、Low レベルは信号が設定に適合しないことを示します。

信号検出レベルは特定評価により決定されます。信号検出レベルは、データ・パターンの変更のために変化する場合があります。

信号 / 検出損失スレッショルド検出器は、またレシーバ PLL/CRU を Lock-to-Reference モードから Lock-to-Data モードに切り替えます。Lock-to-Reference モードと Lock-to-Data モードは、クロック・リカバリ・ユニット (CRU) の VCO が基準クロックでトレーニングされるか、データ・ストリームでトレーニングされるかによります。このプロセスについて詳しくは、2-59 ページの「[Lock-to-Reference モードと Lock-to-Data モード](#)」の項を参照してください。

信号 / 検出損失スレッショルド検出回路は、ウィザードで Forced Signal Detect オプションを選択するとバイパスできます。この方法は、電圧スレッショルドが最小電圧スレッショルド設定に適合しない場合がある、損失の多い環境で役立ちます。この信号を High に強制すると、基準クロックに基づく VCO トレーニングから、有効電圧スレッショルドの検出を行わない着信データにレシーバ PLL を切り替えることができます。

受信コモン・モード

Stratix II GX デバイスの受信コモン・モードを変更することができます。コモン・モードの選択は 0.85 V に設定されており、これは 1.2 V PCML、1.5 V PCML、3.3 V PCML、3.3 V LVPECL、および LVDS の各規格で使用できます (表 2-10)。この設定は、622 Mbps ~ 6.375 Gbps のデータ・レート範囲で有効です。

コモン・モード設定	標準 I/O 規格	データ・レート (Mbps)
0.85 V	1.2 V PCML、1.5 V PCML、3.3 V PCML、3.3 V LVPECL、LVDS	622 ~ 6375

プログラマブル・イコライゼーション

Stratix II GX デバイスは、ノイズ・マージンを向上させ、高周波損失の影響を軽減するのに役立つために、各ギガビット・トランシーバ・ブロックのレシーバ・チャンネルにイコライゼーション回路を搭載しています。プログラマブル・イコライザは、周波数応答の等化処理を行って、信号に歪みをもたらした伝送メディアのノイズ・マージンを低減する高周波損失を補償します。Stratix II GX デバイスには、イコライザに 16 通りの設定が許されています（イコライゼーションを行わない設定を含む）。イコライゼーション以外に、Stratix II GX デバイスはイコライザ DC ゲイン・オプションも備えています。DC ゲインの正当な設定が 3 つあります。イコライザの設定（イコライゼーション設定と DC ゲイン）は、ウィザードを使用するか、ダイナミック・リコンフィギュレーション・コントローラを使用してダイナミックに指定します。ダイナミック・リコンフィギュレーション・コントローラをイネーブルするには、まず alt2gxb MegaWizard Plug-In Manager でダイナミック・コンフィギュレーションのオプションをイネーブルします。このオプションをイネーブルした後、Quartus II ソフトウェアで alt2gxb_reconfig MegaWizard Plug-In Manager (Stratix II GX デバイス・ファミリー) の設定をコンフィギュレーションする必要があります。詳しくは、2-165 ページの「[ダイナミック・リコンフィギュレーション](#)」の項を参照してください。

伝送線路の転送機能は、周波数領域でロー・パス・フィルタとして表すことができます。-3dB 周波数以下の周波数成分はすべて、最小限の損失で通過します。-3dB 周波数以上の周波数成分は減衰します。このような周波数応答の変動により、データ依存ジッタやその他の ISI の影響が生じます。イコライゼーションを適用することによって、低周波数成分は減衰します。その結果、周波数応答が等化されて、低周波数成分と高周波数成分の差が縮小し、伝送メディアからの ISI の影響が最小限に抑えられます。

レシーバ PLL

各トランシーバ・ブロックには、4 個のレシーバ PLL が搭載されており、それぞれ基準クロックを受信して VCO をトレーニングします。CRU はこの VCO を使用して、基準クロックの位相と周波数を一致させます。図 2-43 に、レシーバ PLL がアクティブなときの lock-to-reference 部分のブロック図を示します。表 2-11 に、PLL 仕様の一部を示します。表 2-12 に、レシーバ PLL 内で利用可能な /M と /L の値を示します。

図 2-43. レシーバ PLL のブロック図

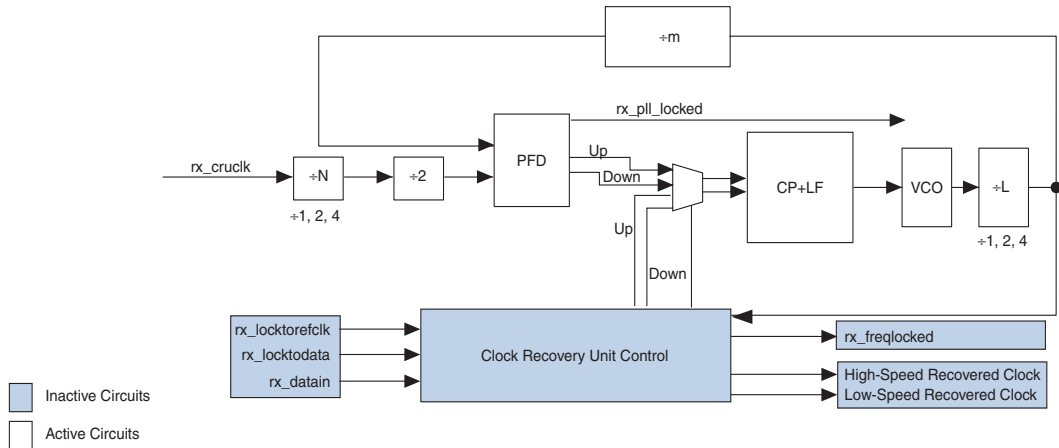


図 2-43 の注：

- (1) /M と /L カウンタの値は、表 2-12 に規定されています。Quartus II ソフトウェアは、データ・レートと選択された基準クロック周波数に基づいて、自動的にこれらの値を選択します。



この項では、lock-to-reference モードの場合のレシーバ PLL のみを扱っています(レシーバは lock-to-data モードではアクティブになりません)。lock-to-data モードについては、2-58 ページの「クロック・リカバリ・ユニット」の項で説明しています。lock-to-reference モードと lock-to-data モードでの動作については、2-59 ページの「Lock-to-Reference モードと Lock-to-Data モード」の項を参照してください。

レシーバ PLL は、オプションのロック・インジケータ rx_pll_locked を備えています。このインジケータは、レシーバ PLL の位相と周波数が基準クロックにロックされていることを示します。rx_pll_locked はアクティブ High 信号です。High 信号は、PLL の位相と周波数が基準クロックにロックされていることを示し、Low 信号は PLL が基準クロックにロックされていないことを示します。CRU が着信データにロックされると、rx_pll_locked ポートが切り替わる (アサートとデアサート) 場合があります。これは復元クロックと基準クロックの位相と周波数、またはそのいずれかがロックの喪失を引き起こすのに十分な大きさになるためです。レシーバ PLL は lock-to-data モードでは非アクティブであり、rx_pll_locked 信号は CRU が lock-to-data モードのときには無視されるため、これは予期される動作です。

表 2-11. クロック・リカバリ・ユニットの仕様

パラメータ	仕様
入力基準周波数範囲	62.2 MHz to 650 MHz
データ・レポート・サポート	622 Mbps to 6.375 Gbps

表 2-12. レシーバ PLL 内で利用可能な /M & /L 値

RX PLL 基準クロック・ソース	/M	/L
rx_cruclk	1, 4, 5, 8, 10, 16, 20, 25	1, 2, 4

クロック合成

レシーバPLLの位相周波数検出器(PFD)の最大入力周波数は、325 MHz です。この限界を上回る基準クロック周波数を達成するために、専用ローカル REFCLK パスの $\div 2$ プリディバイダによる分周が、Quartus II ソフトウェアにより自動的にイネーブルされます。これにより、基準クロック周波数が 2 で分周され、周波数の差は $\div m$ 係数により補正されます。例えば、データ・レート 2,488 Mbps、基準クロック 622 MHz の場合、基準クロックを REFCLK ポートに割り当てる必要があります。このポートでは 622 MHz の基準クロックが 2 分周され、PFD では 311 MHz クロックが生成されます。VCO はデータ・レートの 1/2 で動作するため、選択される乗算係数によって 1244 MHz の高速クロックが得られるはずですが、この場合、Quartus II ソフトウェアは自動的に乗算係数 4 を選択し、分周された 311 MHz クロックから 1244 MHz クロックを生成します。

基準クロック (RX_CRUCLK) が 325 MHz を超える場合、このクロックは専用のローカル基準クロック・ピン REFCLK で供給する必要があります。Quartus II ソフトウェアは、基準クロックが 325 MHz を超え、基準クロック・ソースが REFCLK ポートに存在しない場合は、フィッタ・エラーを表示します。REFCLK パスのプリディバイダは、その他の乗算係数もサポートでき、必要に応じてコンパイル時に Quartus II ソフトウェアによってアクティブになります。

プリディバイダと乗算係数は、Quartus II ソフトウェアで自動的に設定されます。ウィザードはデータ・レート入力を取り込み、サポートされるユーザ選択可能な乗算係数となる基準クロック周波数のリストを表示します。違法な乗算係数はウィザードによって除外されます。

PPM 周波数スレッシュホールド検出器

PPM 周波数スレッシュホールド検出器は、クロック・リカバリ・ユニット (CRU) への着信基準クロックと CRU の PLL VCO が規定される PPM (周波数誤差) 許容範囲内にあるかどうかを検知します。有効なパラメータは、62.5、100、125、200、250、300、500、1,000 PPM です。割り当てが行われない場合のデフォルト・パラメータは 1,000 PPM です。PPM 周波数スレッシュホールド検出器の出力は、rx_freqlocked 信号をアサートする変数の 1 つです。rx_freqlocked 信号について詳しくは、[2-59 ページの「自動ロック・モード」](#)の項を参照してください。

レシーバ帯域幅のタイプ

CRU の Stratix II GX レシーバ PLL では、プログラマブル帯域幅設定が行われます。PLL の帯域幅は入力データとジッタを追従する能力の尺度になります。この帯域幅は、PLL の閉ループ・ゲインの -3dB 周波数によって決まります。

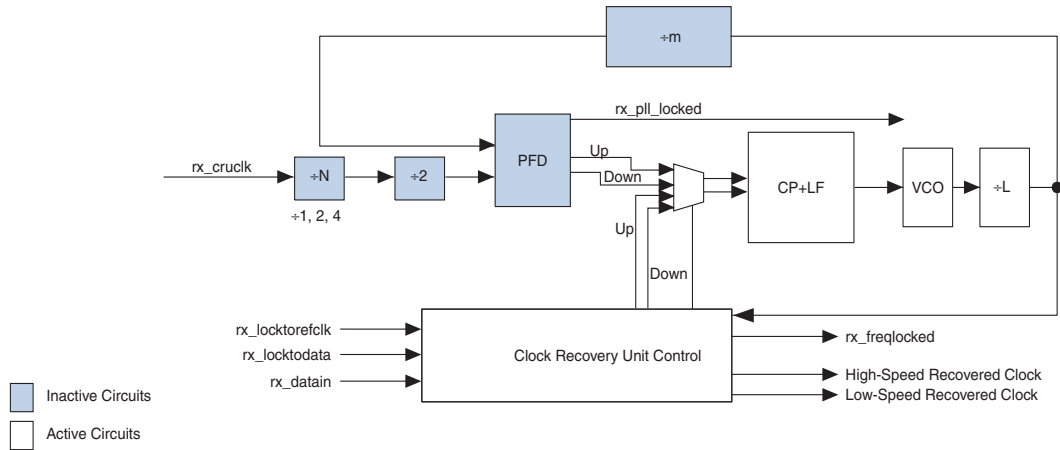
帯域幅設定を高くすると、VCO および電源からノイズを除去するのに役立ちます。帯域幅を低く設定すると、高周波数データ入力のジッタをより多く除去できます。

有効なレシーバ帯域幅の設定は、Low、Medium、High です。これらの設定の -3dB 周波数は、回路の非線形性および周波数依存性により変動します。帯域幅を変えて、特定のシステムの性能を調整およびカスタマイズすることができます。

クロック・リカバリ・ユニット

Stratix II GX の各トランシーバ・チャネルの CRU ([図 2-44](#) を参照) は、rx_datain のシリアル・データ・ストリームからクロックを復元します。ビットの遷移に合わせてデータの位相と周波数に自動的に、または手動でロックするように CRU を設定することにより、clock-to-data スキューを除去したり、レシーバ PLL を継続的に基準クロックにロックさせることができます (lock-to-data モードまたは lock-to-reference モード)。CRU はデシリアライザに供給する高速クロックと、レシーバのデジタル・ロジックの残り部分に供給する低速クロックの 2 つのクロックを生成します。

図 2-44. クロック・リカバリ・ユニット



Lock-to-Reference モードと Lock-to-Data モード

lock-to-reference モードと lock-to-data モードは、レシーバ PLL と CRU を説明するものです。レシーバ PLL は、lock-to-reference モードでアクティブで、CRU は lock-to-data モードでアクティブです。2つのモードの切り替えは、自動的に行うことも手動で行うことも可能です。

自動ロック・モード

デフォルトでは、CRU は最初に CRU 基準クロックにロックされる (lock-to-reference モード)、この状態は着信データに切り替わるまで続きます (lock-to-data モード)。lock-to-data モードへの切り替えは、rx_freqlocked 信号のアサートによって示されます。rx_freqlocked 信号は、CRU の現在のモード (lock-to-data または lock-to-reference) のみ示します。lock-to-data モードへの切り替え (rx_freqlocked 信号のアサート) の後、CRU ユニットの着信データ・ストリームへの位相ロックを獲得するための時間を必要とします。

lock-to-reference モードから lock-to-data モードに自動的に移行する場合、以下の条件を満たす必要があります。

- レシーバ入力バッファのシリアル・データが、規定される電圧信号損失スレシヨルド内にある。
- CRU PLL が CRU 基準クロックの規定される PPM 周波数スレシヨルド設定 (62.5、100、125、200、250、300、500、または 1,000 PPM) 内にある。

- 基準クロックと CRU PLL 出力の位相が一致する (位相は約 0.08 UI 以内)。

レシーバ PLL と CRU が lock-to-reference モードの状態では、周波数誤差検出器、位相検出器、および信号検出回路が、基準クロックとレシーバ PLL および VCO 出力の関係をモニタします。周波数の差が規定される PPM 設定内、振幅が規定される限界内、位相が 0.08 UI 以内の場合、CRU は lock-to-data モードに切り替わります。

lock-to-data モードでは、PLL は位相検出器を使用して、復元クロックを常にデータと正しくアラインメントさせます。周波数のドリフトや大きな振幅減衰などの問題のために、PLL がデータへのロック状態を維持できない場合、レシーバ PLL は再度 CRU の基準クロックにロックして、VCO をトレーニングします。デバイスが lock-to-data モード (rx_freqlocked がアサート) の状態では、CRU は着信データへのアラインメントを試みるため、位相と基準クロックとの位相関係はありません。

rx_freqlocked 信号は、CRU の現在のモード (lock-to-data モードまたは lock-to-reference モード) を示します。lock-to-data モードでは、rx_freqlocked 信号が High です。lock-to-reference モードでは、rx_freqlocked 信号が Low です。

lock-to-data モードの場合、rx_freqlocked 信号がアサートされ、rx_pll_locked 信号は CRU が基準クロックにロックされたことを示すため、rx_pll_locked 信号の意味は失われます。CRU が lock-to-data モードの場合、VCO の位相は基準クロックとは異なり、rx_pll_locked 信号がデアサートされる場合があります。rx_pll_locked 信号が High のときには、rx_freqlocked 信号を無視する必要があります。

自動ロック・モードでは、CRU を強制的に lock-to-data モードから移行させる条件が 2 つあります。

- レシーバ入力バッファのシリアル・データが、規定される電圧信号損失スレッシュホルド内にない。この条件は、ウィザード内の強制信号検出オプションがイネーブルされている場合は無視されます。
- CRU PLL が CRU 基準クロックの規定される PPM 周波数スレッシュホルド設定 (62.5、100、125、200、250、300、500、または 1,000 PPM) 内にない。

CRU が lock-to-data モードから移行する場合、rx_freqlocked 信号がデアサートされます。また、rx_analogreset (レシーバをパワーダウン) または gxb_powerdown (トランシーバ・ブロックの 4 チャネルすべてをパワーダウン) をアサートして、rx_freqlocked 信号をデアサートすることも可能です。

マニュアル・ロック・オプション

2つのオプション入力ピン (`rx_locktorefclk` と `rx_locktodata`) により、CRU PLL の lock-to-reference モードと lock-to-data モードの切り替えを自動的に行うか、手動で行うかを制御できます。これにより、`rx_locktorefclk` と `rx_locktodata` のいずれかがインスタンス化される場合、デフォルトの自動切り替え回路をバイパスすることができます。

`rx_locktorefclk` 信号がアサートされると、CRU PLL が強制的に基準クロックにロックされます (`RX_CRUCLK`)。 `rx_locktodata` をアサートすると、強制的に CRU PLL がデータにロックされます。これは CRU がレディ状態か否かに関係なく起こります。両方の信号がアサートされると、`rx_locktodata` 信号が `rx_locktorefclk` 信号よりも優先されます。

信号損失スレッシュホールド検出器、PPM スレッシュホールド周波数検出器、および位相関係検出器の反応時間は、アプリケーションによっては長すぎる場合があります。 `rx_locktorefclk` ポートと `rx_locktodata` ポートの両方を使用して、CRU を手動で制御し、CRU のロック時間を短縮することができます。マニュアル・モードにより、CRU が lock-to-reference モードから lock-to-data モードに切り替わる時間が短縮される場合があります。 `rx_locktorefclk` をアサートして、CRU を初期トレーニングすることができます。 `rx_locktodata` 信号は CRU をトレーニングした後にアサートする必要があります。

`rx_locktorefclk` 信号がアサートされると、`rx_freqlocked` 信号は Low になり、CRU の lock-to-reference モード状態を示すため、この信号の意味は失われます。 lock-to-data モードがアサートされると、`rx_freqlocked` 信号は常にアサートされ、CRU が lock-to-data モード状態にあることを示します。両方の信号がアサートされたときは、lock-to-data モードが優先されます。両方の信号がデアサートされる場合、CRU 切り替えは自動モードになります。表 2-13 にコントロール信号を要約しています。

表 2-13. CRU ユーザ・コントロール・ロック信号

<code>rx_locktorefclk</code>	<code>rx_locktodata</code>	CRU モード
1	0	Lock-to-reference クロック
x	1	Lock to data
0	0	自動

デシリアライザ

デシリアライザ・ブロックは、着信高速シリアル・データ・ストリームを、CRUの復元クロックに同期した8、10、16、または20ビット幅の平行・データに変換します。Single-widthモードでは、622 Mbps～3.125 Gbpsのデータ・レートをサポートする8ビットおよび10ビット動作を使用します。Double-widthモードでは、3.125～6.375 Gbpsのデータ・レートをサポートする16ビットおよび20ビット動作を使用します。

デシリアライザ・ブロックは、[図 2-45](#)に示すように、平行・データをパターン検出器およびワード・アライナにドライブします。デシリアライザ・ブロックの出力バスのデータ・レートは、入力データ・レートを出力データ・バス幅で除算してものです。例えば、10ビット・バス、シリアル入力データ・レート2.5 Gbpsの場合、平行・データ・レートは $2.5 \div 10$ すなわち250 MHzです。デシリアライザ・ブロックへの最初のビットは、データ・バス出力のLSBです。

図 2-45. 8ビット・モードのデシリアライザ・ブロック

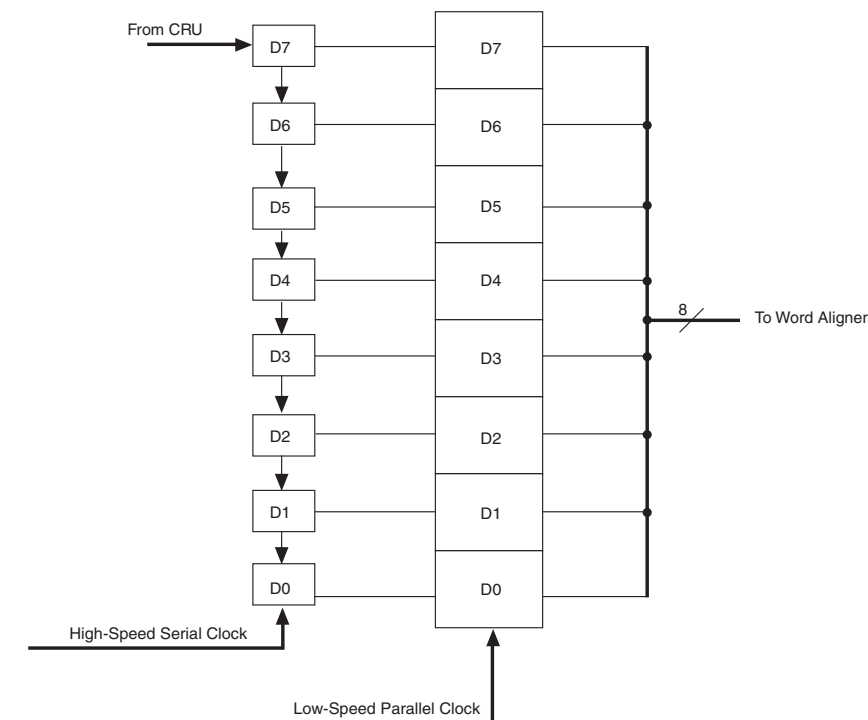
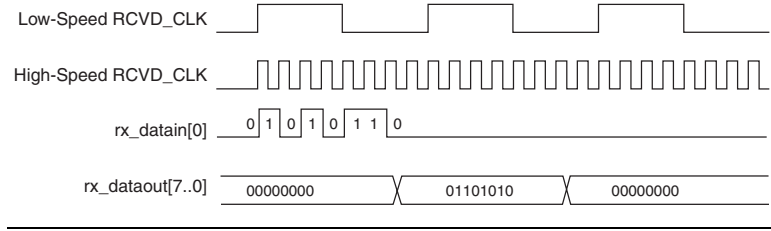


図 2-46 にデシリアライザ・ブロック入力のシリアル・ビット・オーダーと、デシリアライザ・ブロックからのパラレル・データ出力を示します。図 2-46 に、値 8'h6A (01101010) にパラレル変換されたシリアル・ストリーム (01101010) を示します。シリアル・データは、LSB から MSB の順に受信されます。

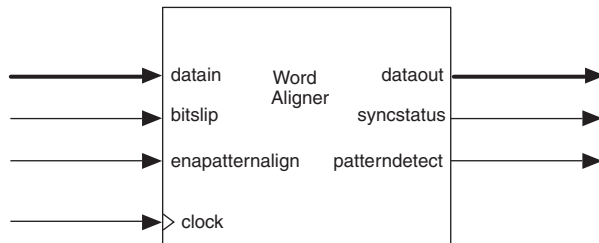
図 2-46. デシリアライザ・ビット・オーダー



ワード・アライナ

ワード・アライナ (図 2-47 を参照) は、Stratix II GX トランシーバ・デジタル・ブロックの一部であり、デシリアライザとデスキュー FIFO バッファの間のレシーバ・パスに配置されています。ワード・アライナは、シリアル・データ・ストリームに現れるプログラマブル・アラインメント・パターンに基づいて、アップストリーム・トランスミッタのバイト境界を復元します。

図 2-47. ワード・アライナ



ワード・アライナ・ブロックは、以下の 4 つのメイン・サブブロックから構成されます。

- アライナ・ブロック
- パターン検出ブロック
- マニュアル・ビットスリップ・ブロック
- ラン・レンゲス・チェッカ

ワード・アライナが動作するモードは、Single-width モード、Double-width モード、自動同期ステート・マシン・モードの 3 つがあります。以下の項では、各動作モードでそれぞれのブロックについて説明します。ワード・アライナは必ず使用する必要があり、バイパスできません。ただし、rx_enapatternalign ポートを使用して、パターンにアランメントしないようにワード・アラインメントを設定することができます。

Single-width モード

Single-width モードでは、ワード・アライナで以下の 3 つのブロックがアクティブになります。

- パターン検出器
- マニュアル・ワード・アライナ
- 自動同期ステート・マシン

パターン検出器は、現在のワード境界にパターンが存在するかどうかを検出します。マニュアル・アラインメントは、バイト境界をまたがるアラインメント・パターンを識別し、正しいバイト境界に合わせます。同期ステート・マシンは、アラインメント・パターン数と同期に適したコード・グループを検出し、コード・グループ・エラー（不良コード・グループ）が検出されると非同期に移行します。図 2-48 と表 2-14 に、Single-width モードで使用できるモードと、サポートされるアラインメント・モードを示します。

図 2-48. Single-width モードのワード・アライナ・コンポーネント

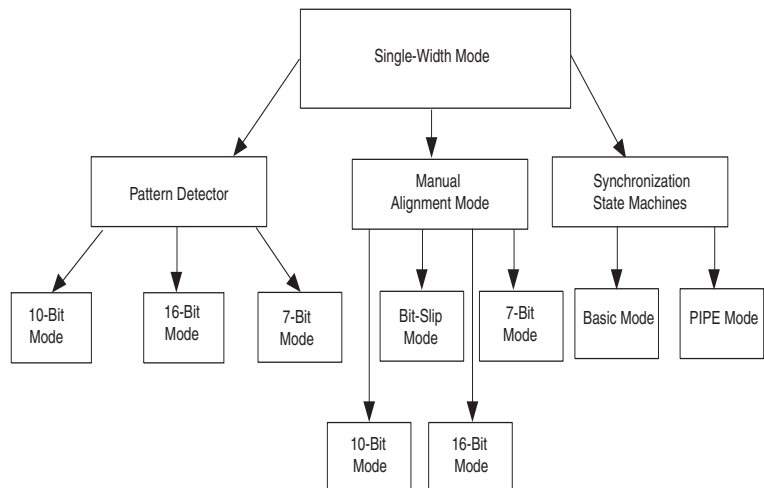


表 2-14. ワード・アラインメント・モード

ワード・アラインメント・モード	有効なモード	コントロール信号	ステータス信号
PCI Express、XAUI、Gigabit Ethernet (GIGE)、および Basic	PCI Express、XAUI、GIGE、または Basic	指定された基準に従うか、またはユーザが入力したパラメータにより自動的に制御されます。	rx_syncstatus rx_patterndetect
マニュアル 10 ビット・アラインメント・モード	rx_enapatternalign 信号で許可される場合、検出されたパターンにアラインメント	rx_enapatternalign	rx_syncstatus rx_patterndetect
マニュアル 16 ビット・アラインメント・モード	rx_enapatternalign 信号で許可される場合、検出されたパターンにアラインメント	rx_enapatternalign	rx_syncstatus rx_patterndetect
マニュアル・ビット・スリップ・アラインメント・モード	PLD ロジック・アレイ制御マニュアル・ビット・スリップ	rx_bitslip	rx_patterndetect


パターン検出モジュール

パターン検出器は、定義済みのアラインメント・パターンを現在のバイト境界と照合します。パターン検出器がアラインメント・パターンを検出すると、1 クロック・サイクルの期間、オプションの rx_patterndetect 信号がアサートされ、現在のワード境界にアラインメント・パターンが存在することを知らせます。パターン検出器モジュールは、信号の存在を知らせるだけであり、ワード境界は修正しません。ワード境界の修正については、2-67 ページの「マニュアル・アラインメント・モード」と 2-74 ページの「同期ステート・マシン・モード」の項で説明します。

ウィザードでは、パターン検出器が認識する 7 ビット、10 ビット、または 16 ビットのパターンをプログラムできます。パターン・マッチングに使用されるパターンは、ウィザードのワード・アラインメント・パターンから自動的に導出されます。7 ビットおよび 10 ビット・パターンの場合、ウィザードで指定される実際のアラインメント・パターンと、その補数がチェックされます。16 ビット・アラインメント・パターンについては、実際のパターンのみチェックされます。表 2-15 にサポートされるアラインメント・パターンを示します。

表 2-15. サポートされるアラインメント・パターン

パターン検出モード	サポートされる プロトコル	チェックされるパターン
7ビット	Basic	実際のパターンと補数パターン
10ビット	Basic, XAUI, GIGE、 および PIPE	実際のパターンと補数パターン
2つの連続した8ビット・ キャラクタ	SONET	実際のパターン

 8B/10B エンコード・データでは、実際のパターンと補数パターンにより正と負のデイスパリティが示されます。

10ビット・パターン・モード

10ビット・パターン検出モード（このモードは 8B/10B コードで使用）では、モジュールは現在のワード境界内のデータとその補数を含む alt2gxb カスタム・メガファンクション・バリエーションで指定した 10ビット・アラインメント・パターンを照合します。このモードでは、正と負のいずれのデイスパリティもパターン・チェッカーによりチェックされます。例えば、カンマとして /K28.5/ (b'0011111010) パターンを指定した場合、着信データで b'0011111010 または b'1100000101 が検出された場合、rx_patterndetect がアサートされます。

7ビット・パターン・モード

7ビット・パターン検出モード（このモードは 8B/10B コードで使用）では、パターン検出器は alt2gxb カスタム・メガファンクション・バリエーションで指定した、現在のワード境界内の 10ビット・アラインメント・パターンの 7つの LSB を照合します。このモードでは正と負のいずれのデイスパリティもチェックされます。

7ビット・パターン・モードは、データの 3つの MSB をマスクアウトできるため、パターン検出器は複数のアラインメント・パターンを認識できます。例えば、8B/10B エンコード・データでは、/K28.5/ (b'0011111010)、/K28.1/ (b'0011111001)、および /K28.7/ (b'0011111000) は 7つの共通の LSB を共有します。3つの MSB をマスクングすることで、パターン検出器は 3つのアラインメント・パターンすべてを解決し、これを rx_patterndetect ポートで示すことができます。

実際のワード・アラインメント・パターンは、依然として指定された 10 ビット・アラインメント・パターン、通常は /K28.5/ に割り当てを行うため、選択オプションによりこのパターンが影響を受けることはありません。

16 ビット・パターン・モード

16 ビット・アラインメント・パターンはウィザードで指定し、最初に MSB に適応させ、最後に LSB に適応させます。A1 はビット [7..0] を含む最下位バイトを表します。A2 はビット [15..8] を含む最上位バイトを表します。したがって、アラインメント・パターンはウィザードで [A2,A1] のように指定します。ウィザードで指定した実際のアラインメント・パターンのみが、このモードで検出されます。

パターン検出器のデフォルト値は、A1A2 モードです。このモードでは、正のデイスパリティのみが検出されます。

マニュアル・アラインメント・モード

ワード・アライナは、トランシーバ・データ・パスが Single-width モードの場合は 3 つのアラインメント・モードで動作します (7、10、16 ビット)。10 ビットおよび 7 ビット・アラインメント・モードは、8B/10B コードの場合に使用され、16 ビット・アラインメント・モードは、スクランブル・データまたは非スクランブル・データに使用されます。

マニュアル 10 ビット・アラインメント・モード

ワード・アライナをコンフィギュレーションして、10 ビット・ワード境界にアラインメントできます。内部ワード・アラインメント回路は、パターン検出器で指定されるアラインメント・パターンがデータ・ストリームで検出された場合、正しいワード境界にシフトします。

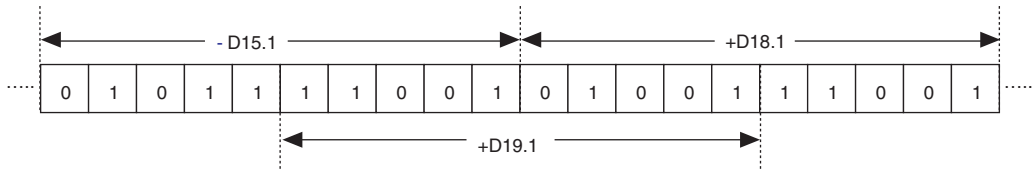
rx_enaatternalign ポートでは、マニュアル 10 ビット・アラインメント・モードでワード・アラインメントを有効にできます。

rx_enaatternalign 信号が High の場合、ワード・アライナは指定されたアラインメント・パターンを検出し、必要に応じてバイト境界をリアラインします。パラレル・クロック 1 サイクルに対して rx_syncstatus ポートがアサートされ、ワード境界でワード境界が検出され、新しい境界に同期したことが示されます。

アラインメント・パターンが固有のものと認識され、他のデータのバイト境界で現れない場合、rx_enaatternalign 信号は High の状態を維持します。例えば、8B/10B エンコード方式により、データ・ストリーム内での /K28.5/ コード・グループの固有のパターンが保証される場合、rx_enaatternalign ポートは常に High に維持されます。

ワード境界間にアラインメント・パターンが存在できる場合、`rx_enapatternalign` ポートは PLD ファブリックのユーザ・ロジックにより制御され、不正なワード・アラインメントを防止する必要があります。例えば、8B/10B が使用され、`/+D19.1/ (b'110010 1001)` キャラクタがアラインメント・パターンとして指定されると仮定します。この場合、`/-D15.1/ (b'010111 1001)` の後が `/+D18.1/ (b'010011 1001)` であれば、不正なワード境界が検出されます。図 2-49 を参照してください。

図 2-49. ワード境界、Single-width にアラインメント・パターンが存在する場合の不正なワード境界アラインメント



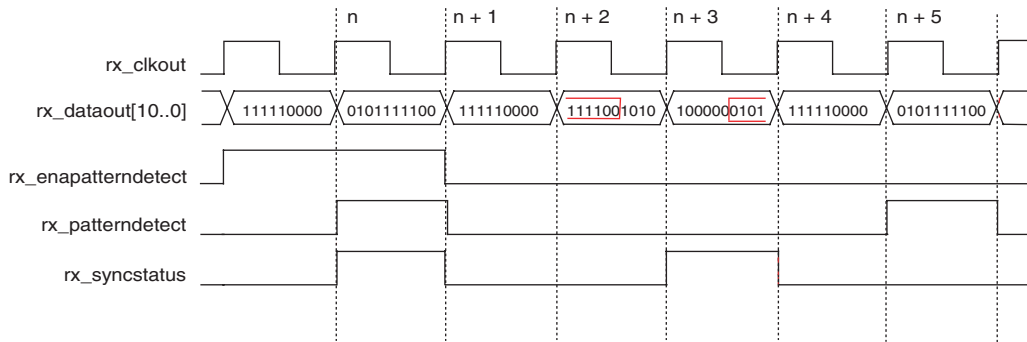
この例では、`rx_enapatternalign` 信号は、ワード・アライナが最初のワード・アラインメントを検出した後にデアサートされ、不正なワード境界アラインメントを防止します。`rx_enapatternalign` 信号がデアサートされると、異なる境界でアラインメント・パターンが検出される場合でも、現在のワード境界が固定されます。この場合、`rx_syncstatus` は再同期信号として働き、アラインメント・パターンが検出されたことを示しますが、境界は現在の境界とは異なります。この信号をモニタし、リアラインメントが必要な場合は `rx_enapatternalign` 信号をリアサートします。

図 2-50 に、10 ビット・アラインメント・モードでのワード・アライナ信号の相互関係例を示します。この例では、`/K28.5/ (10'b0011111010)` がアラインメント・パターンとして指定されています。`rx_enapatternalign` 信号は n の時点で High に保持されるため、パターンにアラインメント・パターンが存在する間は常にアラインメントが行われます。1 クロック・サイクルだけ `rx_patterndetect` 信号がアサートされ、リアラインメントされた境界上にパターンが存在することを示します。1 クロック・サイクルの間に `rx_syncstatus` 信号もアサートされ、境界が同期化されたことを示します。 $n+1$ の時点で、`rx_enapatternalign` 信号がデアサートされ、ワード・アライナに現在のワード境界を固定するよう指示します。

アラインメント・パターンは、 $n+2$ の時点で検出されますが、現在固定されている境界とは別の境界上に存在します。Stratix II GX デバイスのビット方向は LSB から MSB であるため、アラインメント・パターンは $n+2$ から $n+3$ にかけて存在します (図 2-50 を参照)。この条件では、アラインメント・パターンは現在のワード境界上に存在しないため `rx_patterndetect` は Low のままですが、1 クロック・サイクルの間 `rx_syncstatus` 信号がアサートされ、再同期状態を示します。これは、アラインメント・パターンが別のワード境界で検出されたことを意味します。

PLD ファブリックのユーザ・ロジック・デザインでは、ワード・アラインメント・プロセスを再開するために `rx_enapatternalign` をアサートするかどうかを決定する必要があります。 $n+5$ の時点で `rx_patterndetect` 信号が 1 クロック・サイクルの間アサートされ、現在のワード境界上でアラインメント・パターンが検出されたことを示します。

図 2-50. 10 ビット・マニュアル・アラインメント・モードでのワード・アライナ・シンボルの相互関係



マニュアル SONET アラインメント・モード (2つの連続した8ビット・キャラクタ (A1A2) または4つの連続した8ビット・キャラクタ (A1A1A2A2))

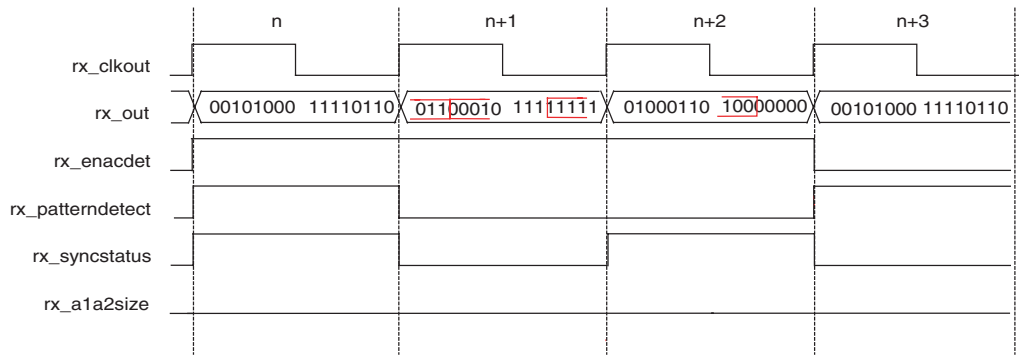
ワード・アライナは、SONET プロトコル・モードで 16 ビット・ワード境界に整列するように設定できます。SONET プロトコル・モードでは、ワード・アライナは 2つの連続した 8 ビット・キャラクタ (A1A2) か、4つの連続した 8 ビット・キャラクタ (A1A1A2A2) のいずれかにアラインメントします。2 連続モードと 4 連続モードを区別するために、rx_a1a2size 信号を使用できます。ワード・アライナは、rx_a1a2size 信号が Low "0" に保持されるときは A1A2 パターンに、rx_a1a2size が High "1" のときは A1A1A2A2 にアラインメントします。rx_a1a2sizeout ポートはワード・アライナから見た rx_a1a2size 信号の状態を、PLD ロジック・アレイに戻します。

ワード・アラインメントは、rx_enapatternalign 信号でイネーブルまたは再イネーブルされますが、その動作は 10 ビットまたは 20 ビット・マニュアル・モードで説明した動作と異なります。10/20 ビット・モードでは、rx_enapatternalign 信号が High に保持されている場合は、バイト境界をダイナミックに変更できます。ただし、SONET モードでは、バイト境界は最初のアラインメント・パターンが検出された後でロックされ、rx_enapatternalign 信号の立ち上がりエッジの後でアラインメントします。バイト境界が変更されると、rx_enapatternalign 信号をデアサートし、リアサートしてアラインメント回路を再イネーブルする必要があります。この機能は、データがスクランブルされ、エンコードされないため、SONET では効果的です。アラインメント・パターンは、バイト境界を超えて存在する可能性があり、不正なりアラインメントを引き起こすことがあります。SONET では、SONET フレームの先頭でバイト境界を合わせロックする必要があります。これは A1A2 アラインメント・パターンが、トランスポート・オーバヘッドの先頭のフレーミング・セクションに存在するためです。

当初、ワード・アライナは最初に検出されたアラインメント・パターンにロックします。このシナリオでは、1 クロック・サイクルの間 rx_patterndetect 信号がアサートされ、アラインメント・パターンがアラインメントしたことを示します。1 クロック・サイクルの間 rx_syncstatus 信号がアサートされ、ワード境界が同期化されたことを示します。ワード境界がロックされた後、rx_enapatternalign 信号が High または Low のいずれかに保持されているかに関係なく、別のバイト境界でアラインメント・パターンが検出されると常に 1 クロック・サイクルの間 rx_syncstatus 信号がアサートされます。rx_enapatternalign で立ち上がりエッジが検出されるまで、rx_syncstatus 信号はこの再同期化状態で動作します。

図 2-51 に、A1A2 パターンの SONET アラインメント・モードでのワード・アライナ信号の動作例を示します。この例では、SONET A1A2 フレーミング・パターンは、逆ビット順で 16'hF628 (16'b1111011000101000) を使用します。このオプションはビット順序を逆にするため、データは MSB から LSB の順に送受信できます。MegaWizard Plug-In Manager でビット逆転オプションを使用しない場合、トランシーバは LSB から MSB の順に送受信します。

図 2-51. SONETA1A2 マニュアル・アラインメント・モードでのワード・アライナ・シンボルの相互関係



rx_a1a2size 信号は Low に保持され、SONET アラインメント・モードは A1A2 に設定されます。rx_enapatternalign 信号は n の時点で High に切り替えられるため、アライナは次に現れるアラインメント・パターンの境界にロックされます。この期間に、A1A2 アラインメント・パターンが rx_dataout ポートに現れます。アラインメント・パターンが存在するため、rx_patterndetect 信号と rx_syncstatus 信号が 1 クロック・サイクルの間アサートされ、A1A2 アラインメント・パターンが検出され、ワード境界がロックされたことを示します。 $n+1$ と $n+2$ の期間に、ワード境界に再び A1A2 アラインメント・パターンが現れます。rx_enapatternalign 信号は High に保持されますが、ワード・アライナは 10 ビット・マニュアル・アラインメント・モードのように、バイト境界にリアライメントしません。その代わりに、1 クロック・サイクルの間 rx_syncstatus 信号がアサートされ、再同期化状態を示します。rx_enapatternalign 信号をデアサートしてからリアサートし、ワード・アライナを再トリガして、次のアラインメント・パターンでアラインメントさせる必要があります。次の移行は、 $n+3$ の時点で発生します。このときに rx_enapatternalign がデアサートされ、A1A2 パターンが rx_dataout ポートに現れます。次にワード・アライナは rx_patterndetect 信号を 1 クロック・サイクルの間アサートし、現在のワード境界でアラインメント・パターンを検出したことを通知します。

マニュアル 16 ビット・アラインメント・モード

16 ビット・アラインメント・モードは、Single-width モードでイネーブルします。このモードは、ウィザードで指定した 16 ビット・アラインメント・パターンにアラインメントします。

バイト境界は、最初のアラインメント・パターンが検出された後、および rx_enapatternalign ポートの立ち上がりエッジ後にロックされます。バイト境界が変更されると、rx_enapatternalign ポートがデアサートされてリアサートされ、アラインメント回路が次に提供されるアラインメント・パターンを検索してアラインメントできるようにします。

rx_enapatternalign ポートの立ち上がりエッジで、ワード・アラインメントは最初に検出したアラインメント・パターンにロックします。このシナリオでは、rx_patterndetect がアサートされ、アラインメント・パターンがアラインメントしたことが示されます。また、rx_syncstatus 信号も 1 クロック・サイクルの間アサートされ、ワード境界が同期化されたことを示します。ワード境界がロックされた後、rx_enapatternalign が High または Low のいずれかに保持されているかに関係なく、別のバイト境界でアラインメント・パターンが検出されると常に rx_syncstatus 信号が 1 クロック・サイクルの間アサートされます。rx_enapatternalign ポートで立ち上がりエッジが検出されるまで、rx_syncstatus 信号はこの再同期化状態で動作します。

マニュアル・ビット・スリップ・アラインメント・モード

ワード・アラインメントは、ウィザードでマニュアル・ビット・スリップ・オプションをイネーブルしても達成できます。このオプションをイネーブルすると、トランシーバはパラレル・クロック・サイクルごとに、ワード境界の 1 ビットを MSB から LSB にシフトします。トランシーバは、ビット・スリップ回路が rx_bitslip 信号の立ち上がりエッジを検出するたびにワード境界をシフトします。rx_bitslip 信号の立ち上がりエッジごとに、ワード境界は 1 ビットスリップします。レシーバに最初に到着したビットはスキップされます。ワード境界がウィザードに指定したアラインメント・パターンに一致するとき、rx_patterndetect 信号が 1 クロック・サイクルの間アサートされます。PLD ロジック・アレイに、ビット・スリップ回路を制御するためのロジックを実装する必要があります。

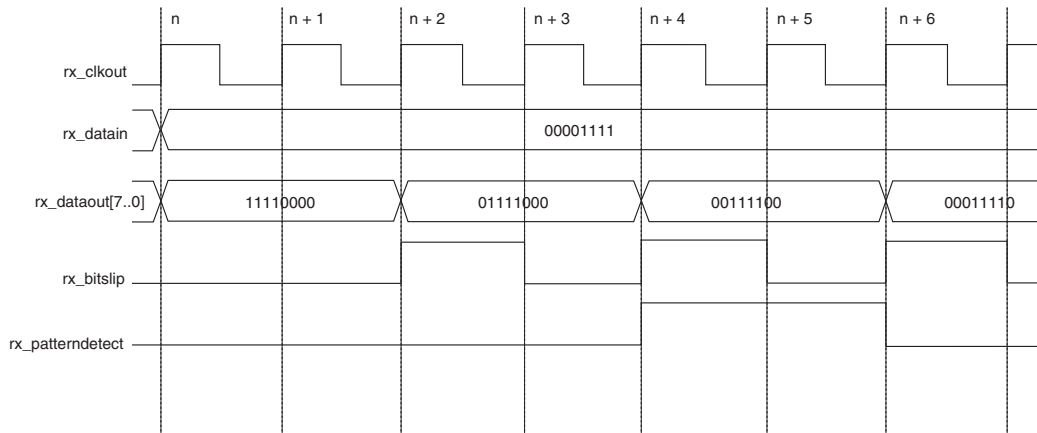
Stratix II GX デバイスがユーザ・モードのとき、アラインメント・パターンがダイナミックに変化する場合はビット・スリップが便利です。ロジック・アレイにコントローラを実装できるため、Stratix II GX デバイスを再プログラムせずにアラインメント・パターンをダイナミックに変更するカスタム・コントロールを構築できます。

図 2-52 に、マニュアル・ビット・スリップ・アラインメント・モードでのワード・アライナ信号の相互関係の例を示します。この例では、 $8'b00111100$ がアラインメント・パターンとして指定され、rx_datain ポートで値 $8'b11110000$ が保持されます。

rx_bitslip ポートの立ち上がりエッジごとに、rx_dataout データはデフォルトにより MSB から LSB に 1 ビット・シフトします。これを $n+2$ の時点で示します。ここで、 $8'b11110000$ データが $8'b01111000$ の値にシフトされます。この状態では、現在のワード境界に指定されたアラインメント・パターンが存在しないため、rx_patterndetect 信号は Low に保持されます。

rx_bitslip は、 $n+3$ の時点でディセーブルされ、 $n+4$ の時点で再イネーブルされます。ここで、rx_dataout の出力が指定されたアラインメント・パターンに一致するため、1 クロック・サイクルの間 rx_patterndetect 信号がアサートされます。 $n+5$ の時点では、アラインメント・パターンが現在のワード境界に存在しているため、rx_patterndetect 信号はまだアサートされています。最後に、 $n+6$ の時点で rx_dataout 境界が再びシフトされ、rx_patterndetect 信号がデアサートされて、ワード境界にアラインメント・パターンが含まれていないことを示します。

図 2-52. マニュアル・ビット・スリップ・モードでのワード・アライナ・シンボルの相互関係

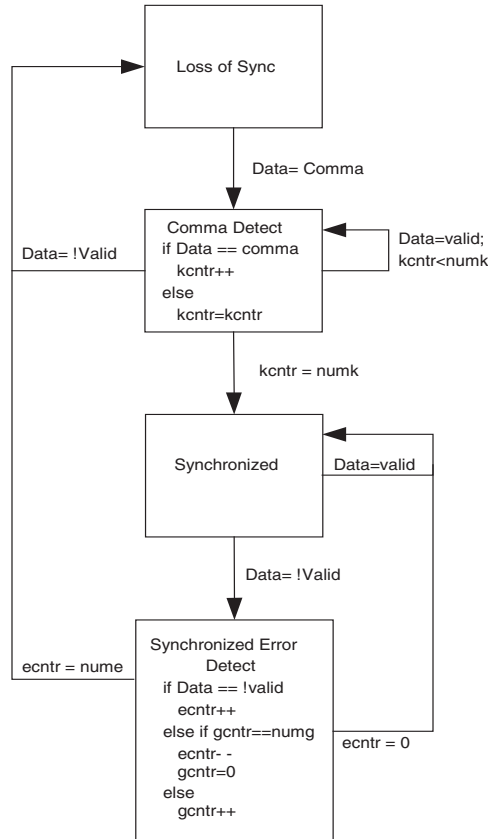


同期ステート・マシン・モード

Single-width モードでは、リンク同期をステート・マシンに処理させるように選択できます。同期に入るまたは非同期になるビルトイン・ヒステリシスがないうマニュアル・アラインメント・モードとは異なり、同期ステート・マシンは自動的に有効なアラインメント・パターン数と同期を検出し、自動的に非同期になるコード・グループ・エラーを検出します。同期ステート・マシンは、Basic (Single-width モードのみ)、XAUI、GIGE、および PIPE モードで利用できます。XAUI、GIGE、PIPE モードの場合、アラインメント・パターン、連続コード・グループ、不良コード・グループの数は一定です。同期ステート・マシンには 8B/10B コードを使用する必要があります。XAUI、GIGE、PIPE モードでは、8B/10B エンコーダ / デコーダはトランシーバ・データ・パスに埋め込まれています。BASIC Single-width モードでは、トランシーバで 8B/10B エンコーダ / デコーダを使用するかまたはバイパスするように、ウィザードでコンフィギュレーションできます。同期ステート・マシンがイネーブルされ、8B/10B エンコーダ / デコーダがバイパスされた場合、同期ステート・マシンを使用する要件として、8B/10B エンコーダ / デコーダ・ロジックをトランシーバ外部に実装する必要があります。

Basic モードでは、ステート・マシンをさまざまな標準およびカスタム・プロトコルに適合するようにコンフィギュレーションすることができます。ウィザードで、リンク同期を達成するためのアラインメント・パターン数をプログラムできます。不良コード・グループ数をプログラムして、非同期に移行できます。正常コード・グループ数をプログラムして、不良コード・グループを無効にできます。これらの値をウィザードに入力します。rx_syncstatus ポートにリンクのステータスが示されます。High レベルはリンク同期が達成されたことを示し、Low レベルは、同期がまだ達成されていないか、非同期に移行するのに十分なコード・グループ・エラーが発生していることを示します。図 2-53 に同期ステート・マシンのフローチャートを示します。

図 2-53. ワード・アライナ同期ステート・マシンのフローチャート



有効アラインメント・パターンおよび正常コード・グループ数の最大値は 256 です。非同期に移行する無効または不良コード・グループの最大値は 8 です。例えば、正常コード・グループ数に 3 が設定されている場合、不良コード・グループの後に、正常コード・グループが 3 つの連続して検出されると、同期に対する不良コード・グループの影響は無効になります。これにより、実際に同期の喪失を引き起こしていた不良コード・グループが無効になるわけではありません。同期の喪失を無効にするには、プロトコルで定義されるアラインメント・パターン数を受信する必要があります。

XAUIまたはGIGEモードのいずれかを使用するときには、それぞれIEEE 802.3ae または IEEE 802.3 同期仕様に準拠するビルトイン・ステート・マシンによって、同期とワード・アラインメントが自動的に処理されます。いずれかの規格を指定した場合、アラインメント・パターンは自動的にデフォルトの /K28.5/ (b'0011111010) に設定されます。

XAUI プロトコルを指定したときは、4 つの /K28.5/ カンマを受け取ると、コード・グループ同期が達成されます。各カンマの後に、任意の有効コード・グループ数を続けることができます。同期ステージでは、無効コード・グループは許可されません。コード・グループ同期を達成すると、オプションの rx_syncstatus 信号がアサートされます。同期フェーズの動作について詳しくは、IEEE P802.3ae 規格の clause 47 ~ 48、または [2-121 ページの「XAUI モード」](#) の項を参照してください。

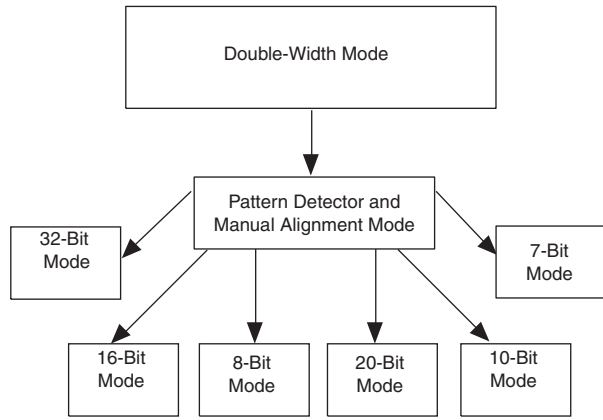
GIGE プロトコルを指定した場合、3 つの連続順序集合を受け取ると、コード・グループ同期が達成されます。順序集合は、/K28.5/ カンマで始まり、奇数の有効データ・コード・グループを続けることができます。3 つの順序集合の受信中は、無効コード・グループは許可されません。コード・グループ同期を達成すると、オプションの rx_syncstatus 信号がアサートされます。

PIPE モードでは、ワード・アライナが 4 つの正当な /K28.5/ カンマと 16 の正常コード・グループを検出すると、レーン同期が達成されます。これは 4 つの正常な PCI Express トレーニング・シーケンス (TS1 または TS2) の受信すると完了します。PCI Express ファスト・トレーニング・シーケンス (FTS) を使用して、レーン同期またはリンク同期を達成することもできますが、これらのトレーニング・シーケンスの少なくとも 5 つが必要です。rx_syncstatus 信号は、同期が達成されるとアサートされ、ワード・アライナが 23 のコード・グループ・エラーを受信するとデアサートされます。

Double-width モード

Double-width モードでは、ワード・アライナで、パターン検出器とマニユアル・アラインメント・モードの 2 つのブロックがアクティブになっています。パターン検出器は、現在のワード境界にパターンが存在するかどうかを検出します。マニユアル・アラインメントは、バイト境界をまたがるアラインメント・パターンを識別し、正しいバイト境界に合わせます。Double-width モードに提供されている同期ステート・マシンはありません。

図 2-54. ワード・アライナ・コンポーネント、Double-width モード



パターン検出モジュール

パターン検出器は、定義済みカンマを現在のワード境界に合わせます。パターン検出器が正しいアラインメント・パターンを検出すると、1 クロック・サイクルの期間、オプションの `rx_patterndetect` 信号がアサートされ、現在のワード境界にアラインメント・パターンが存在することを知らせます。パターン検出器モジュールは、信号の存在を知らせるだけで、ワード境界は修正しません。

パターン検出器が Double-width モードで認識できるように、7ビット、8ビット、10ビット、16ビット、20ビット、または32ビット・パターンをプログラムして、ウィザードで指定できます。7ビット、10ビット、20ビット・パターンの場合、実際および補数のアラインメント・パターンがチェックされ、8B/10B コーディングで使用されます。8ビット、16ビット、32ビット・アラインメント・パターンでは、実際のパターンのみチェックされ、補数パターンはチェックされません。これらのパターンは、スクランブルされたコーディングまたはエンコードされていないデータに使用されます。

20 ビット・パターン・モード

20 ビット・パターン検出モードでは、パターン検出器はウィザードで指定した 20 ビット・カンマ (K1K2) を着信データ・ストリームと照合します。パターン検出器は、真のパターンと補数パターンをチェックします。例えば、アラインメント・パターンとして /K28.5/ と /K28.0/ (10'b0011111010, 10'b0011110100) パターンを指定する場合、着信データで 10'b0011111010 または 10'b1100000101、および 10'b0011110100 または 10'b1100001011 が検出されると、rx_patterndetect 信号がアサートされます。各コード・グループの真のパターンと補数パターンがチェックされるため、ウィザードに正しい差異を入力する必要はありません。このモードでは、同じコード・グループ (ただし、異なる差異) を表すために、真のパターンおよび補数パターンとして Kx.y コードのみ使用されます。Dx.y コード・グループは、同じコード・グループを表すために、必ずしも真のパターンと補数パターンを使用する必要はありません。

10 ビット・パターン・モード

10 ビット・パターン検出モードでは、パターン検出器がユーザがウィザードで指定した 10 ビット・アラインメント・パターンを、現在のワード境界の LSByte データおよびその補数データと照合します。このモードでは、パターン検出器は正の差異と負の差異の両方をチェックします。例えば、アラインメント・パターンとして /K28.5/ (b'0011111010) パターンを指定した場合、着信データで b'0011111010 または b'1100000101 が検出された場合は、rx_patterndetect 信号がアサートされます。アラインメント・パターンが MSByte に現れた場合、パターン検出器は何も行いません。

7 ビット・パターン・モード

7 ビット・パターン検出モードでは、パターン検出器は、現在のワード境界でウィザードに指定した、LSByte の 10 ビット・アラインメント・パターンの最下位 7 ビットを照合します。このモードでは、パターン検出器は正の差異と負の差異の両方をチェックします。

7 ビット・パターン・モードは、データの最上位 3 ビットをマスクアウトできるため、パターン検出器は複数のアラインメント・パターンを認識できます。例えば、8B/10B エンコード・データでは、/K28.5/ (b'0011111010)、/K28.1/ (b'0011111001)、および /K28.7/ (b'0011111000) は 7 つの共通 LSB を共有するため、3 つの MSB をマスクングすると、パターン検出器は 3 つのアラインメント・パターンのすべてを解決し、それを rx_patterndetect ポートに示すことができます。MSByte でアラインメント・パターンが現れた場合、パターン検出モジュールは何も行いません。

32 ビット・パターン・モード

ウィザードで4つの連続した8ビット・キャラクタ (A1A2A3A4 または A1A1A2A2) の検出が可能です。32 ビット・アラインメント・パターンをウィザードで指定し、方向はMSBを最初にLSBを最後にします。A1はビット [7..0] を含む最下位バイトを表します。A4はビット [15..8] で構成される最上位バイトを表します。したがって、アラインメント・パターンはウィザードで [A4,A3,A2,A1] のように指定します。ウィザードで指定した実際のアラインメント・パターンのみこのモードで検出されます。

16 ビット・パターン・モード

2つの連続した8ビット・キャラクタ (A1A2) をイネーブルします。

ウィザードで、ビット方向が [MSB..LSB] の16ビット・アラインメント・パターンを指定します。A1はビット [7..0] を含む最下位バイトを表します。A2はビット [15..8] を含む最上位バイトを表します。したがって、アラインメント・パターンはウィザードで [A2,A1] のように指定します。ウィザードで指定した実際のアラインメント・パターンのみがこのモードで検出されます。

8 ビット・パターン・モード

単一8ビット・キャラクタ (A1) の検出をウィザードでイネーブルできます。このモードでは、パターン検出器はデータ・パスのLSByteで、単一8ビット・アラインメント・パターン・キャラクタを検出します。このアラインメント・パターンがMSByteに現れた場合、パターン検出器は何も行いません。

マニュアル・アラインメント・モード

マニュアル・アラインメント・モジュールは、定義済みアラインメント・パターンを現在のワード境界と照合します。パターン検出器がアラインメント・パターンを検出すると、1クロック・サイクルの間、オプションの rx_patterndetect 信号がアサートされ、現在のワード境界にアラインメント・パターンが存在することを知らせます。パターン検出器モジュールは、信号の存在を知らせるだけで、ワード境界は何も修正しません。

パターン検出器が Double-width モードで認識できるように、7ビット、8ビット、10ビット、16ビット、または20ビット・パターンをプログラムできます。7ビット、10ビット、20ビット・パターンの場合、実際および補数アラインメント・パターンがチェックされます。8ビットと16ビット・アラインメント・パターンでは、実際のパターンのみチェックされ、補数パターンはチェックされません。

20 ビット・アラインメント・モード

20 ビット・アラインメント・モードでは、パターン検出器はユーザがウィザードで指定した 20 ビット・アラインメント・パターン (K1K2) を着信データ・ストリームで検索します。パターン検出器は、真のパターンと補数パターンをチェックします。例えば、アラインメント・パターンとして /K28.5/ と /K28.0/ (10'b00111111010, 10'b00111110100) パターンを指定した場合、着信データで 10'b0011111010 または 10'b110000101、および 10'b0011110100 または 10'b1100001011 が検出されると、バイト境界はパターン境界に設定されます。パターン検出器で、各コード・グループの真のパターンと補数パターンが自動的にチェックされるため、ウィザードに正しい差異を入力する必要はありません。20 ビット・アラインメント・モードでは、アラインメント・パターンとして Dx.y コードを使用しないでください。

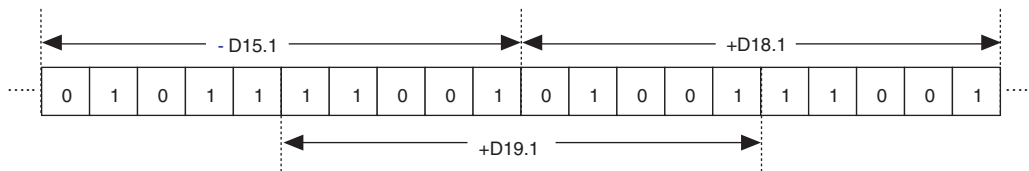
rx_enapatternalign ポートを使用して、20 ビット・マニュアル・ワード・アラインメント・モードをイネーブします。rx_enapatternalign ポートが High のとき、ワード・アライナは指定されたアラインメント・パターンを検出し、必要に応じてバイト境界のリアラインメントを示します。1 パラレル・クロック・サイクルの間 rx_syncstatus ポートがアサートされ、現在のワード境界でアラインメント・パターンが検出され、新しい境界に同期する必要があることを知らせます。rx_enapatternalign ポートは、Double-width モードではエッジ・センシティブでの動作のみ可能です。リアラインメントには、rx_enapatternalign ポートのデアサートが必要です。アルテラでは、このアラインメント・パターンにコントロール・コードの 1 つとして /K28.5/ コード・グループを含めることを推奨しています。

マニュアル 10 ビット・アラインメント・モード

ワード・アライナをコンフィギュレーションして、10 ビット・ワード境界に合わせることができます。内部ワード・アラインメント回路は、データ・ストリームでユーザがパターン検出器に指定したアラインメント・パターンが検出された場合、正しいワード境界にシフトします。ワード・アライナは、次にデータ・パスの LSByte にアラインメント・パターンを置きます。

rx_enapatternalign ポートを使用して、10 ビット・マニュアル・ワード・アラインメント・モードをイネーブルします。rx_enapatternalign が High のとき、ワード・アライナは指定されたアラインメント・パターンを検出し、必要に応じてバイト境界のリアラインメントを示します。1 パラレル・クロック・サイクルの間 rx_syncstatus ポートがアサートされ、現在のワード境界でアラインメント・パターンが検出され、新しい境界に同期する必要があることを示します。rx_enapatternalign ポートは、Double-width モードではエッジ・センシティブでのみ動作します。リアラインメントには、rx_enapatternalign ポートのデアサートが必要です。アルテラでは、このアラインメント・パターンにコントロール・コードの 1 つとして /K28.5/ コード・グループを使用することを推奨しています。例えば、8B/10B コーディングが使用され、/+D19.1/ (b'110010 1001) キャラクタがアラインメント・パターンとして指定されると仮定します。この場合、/-D15.1/ (b'010111 1001) の後が /+D18.1/ (b'010011 1001) であれば、不正なワード境界が検出されます。図 2-55 を参照してください。

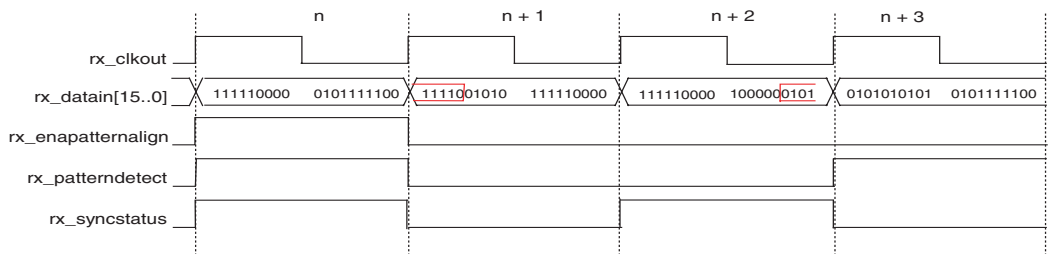
図 2-55. ワード境界 (Double-width) にアラインメント・パターンが存在する場合の不正なワード境界アラインメント



アラインメント完了後、rx_enapatternalign ポートをデアサートしてからリアサートして、新しいワード境界にリアラインメントさせる必要があります。rx_enapatternalign ポートに立ち上がりエッジがない場合、別の境界でアラインメント・パターンが検出される場合でも、現在のワード境界がロックされます。この場合、rx_syncstatus 信号は再同期信号として機能し、アラインメント・パターンが検出されたが、境界は現在の境界と異なることを知らせます。この信号をモニタし、リアラインメントが要求される場合は rx_enapatternalign をリアサートします。

図 2-56 に、10 ビット・アラインメント・モードでのワード・アライナ信号の相互関係例を示します。この例では、/K28.5/ (10'b0011111010) がアラインメント・パターンとして指定されています。rx_enapatternalign 信号は、 n の時点で立ち上がりエッジであり、パターンにアラインメント・パターンが存在するたびにアラインメントが行われます。1 クロック・サイクルの間 rx_patterndetect 信号がアサートされ、リアラインメントされた境界にパターンが存在することを知らせます。1 クロック・サイクルの間 rx_syncstatus 信号もアサートされ、境界が同期したことを知らせます。 $n+1$ の時点で、rx_enapatternalign 信号がデアサートされ、立ち上がりエッジが発生していないため、ワード・アライナに現在のワード境界にロックするよう指示します。アラインメント・パターンは、 $n+2$ の時点で検出されますが、現在のロックされている境界とは別の境界に存在します。図 2-56 に、 $n+1$ および $n+2$ の時点でアラインメント・パターンが存在することを示します。この状態では、現在のワード境界にアラインメント・パターンが存在しないため、rx_patterndetect 信号は Low のままです。別のワード境界でアラインメント・パターンが検出される場合、1 クロック・サイクルの間 rx_syncstatus 信号がアサートされ、再同期が必要なことを知らせます。rx_enapatternalign 信号をアサートして、ワード・アラインメント・プロセスを再起動するかどうかを決定するのはユーザー・ロジックです。 $n+3$ の時点で、rx_patterndetect 信号が 1 クロック・サイクルの間アサートされ、現在のワード境界の LSByte 上でアラインメント・パターンが検出されたことを知らせます。パターンが MSByte に存在する場合、rx_syncstatus 信号は High になります。

図 2-56. 10 ビット・マニュアル・アラインメント・モードでのワード・アライナ・シンボルの相互関係

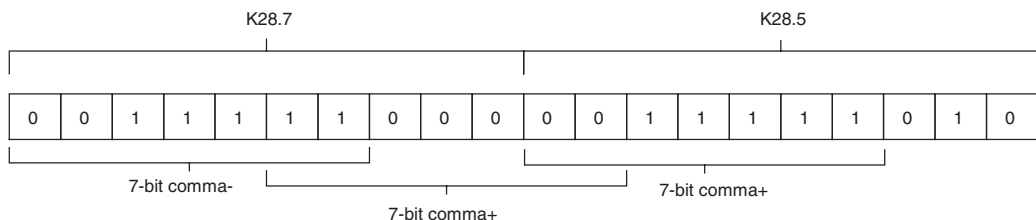


7ビット・アラインメント・モード

7ビット・アラインメント・モード（このモードでは、8B/10B エンコード・データを使用）では、モジュールは MegaWizard Plug-In Manager で指定した7ビット・アラインメント・パターンを着信データ・ストリームで検索します。7ビット・アラインメント・モードが便利なのは、データの最上位3ビットをマスクアウトし、ワード・アライナが複数のアラインメント・パターンに境界合せできるためです。例えば、8B/10B エンコード・データでは、/K28.5/ (b'0011111010)、/K28.1/ (b'0011111001)、および /K28.7/ (b'0011111000) は7つの共通の LSB を共有します。3つの MSB をマスクングすると、ワード・アライナは3つのアラインメント・パターンをすべて検出して、それに同期させることができます。ワード・アライナは、7ビット・パターンの境界をビット位置 [0..7] の LSByte 位置に配置します。真のパターンと補数パターンがチェックされます。

rx_enapatternalign ポートを使用して、7ビット・マニュアル・ワード・アラインメント・モードをイネーブルします。rx_enapatternalign 信号に立ち上がりエッジがある場合、ワード・アライナは指定されたアラインメント・パターンを検出し、必要に応じてバイト境界をリアラインメントします。rx_syncstatus ポートが1パラレル・クロック・サイクルの間アサートされ、現在のワード境界でワード境界が検出され、以前に rx_enapatternalign ポートで立ち上がりエッジが検出されている場合は、このワード境界が新しい境界に同期したことを知らせます。7ビット・パターンはワード境界とワード境界の間に出現する可能性があるため、取得したバイト境界が正しいかどうかを判別しなければなりません。例えば、標準7ビット・アラインメント・パターン-7b11111100 では、K28.7の後に K28.5 が続く場合、7ビット・アラインメント・パターンは K28.7、K28.7と K28.5の間、そして再び K28.5 に出現します（図 2-57 を参照）

図 2-57. /K28.7 に /K28.5 が続く場合のクロス境界 7ビット・カンマ



マニュアル 32 ビット・アラインメント・モード

32 ビット・アラインメント・モードは、Double-width モードでのみイネーブルできます。このモードは、ウィザードで指定した 32 ビット・アラインメント・パターンにアラインメントします。

バイト境界は、最初のアラインメント・パターンが検出された後、および `rx_enapatternalign` ポートの立ち上がりエッジの後にロックされます。バイト境界が変更された場合は、`rx_enapatternalign` ポートをデアサートしてからリアサートし、アラインメント回路が次のアラインメント・パターンを検索してアラインメントできるようにする必要があります。`rx_enapatternalign` の立ち上がりエッジで、ワード・アライナが最初に検出したアラインメント・パターンにロックします。このシナリオでは、`rx_patterndetect` がアサートされ、アラインメント・パターンがアラインメントされたことを知らせます。`rx_syncstatus` 信号が1クロック・サイクルの間アサートされ、ワード境界が同期化されたことを知らせます。ワード境界がロックされた後、`rx_enapatternalign` が High または Low のいずれかに保持されているか関係なく、別のバイト境界でアラインメント・パターンが検出されるたびに `rx_syncstatus` 信号が1クロック・サイクル間アサートされます。`rx_syncstatus` 信号は、`rx_enapatternalign` 信号で立ち上がりエッジが検出されるまで、この再同期状態で動作します。

マニュアル 16 ビット・アラインメント・モード

16 ビット・アラインメント・モードは、Double-width モードでイネーブルできます。このモードは、ウィザードで指定した16ビット・アラインメント・パターンにアラインメントします。

バイト境界は、パターン検出器が最初のアラインメント・パターンを検出した後、およびその後の `rx_enapatternalign` ポートの立ち上がりエッジの後にロックされます。バイト境界が変更された場合、`rx_enapatternalign` ポートをデアサートしてからリアサートし、アラインメント回路が次のアラインメント・パターンを検索してアラインメントできるようにする必要があります。`rx_enapatternalign` 信号の立ち上がりエッジで、ワード・アライナが最初に検出したアラインメント・パターンにロックします。このシナリオでは、`rx_patterndetect` 信号がアサートされ、アラインメント・パターンがアラインメントされたことを知らせます。`rx_syncstatus` 信号も1クロック・サイクルの間アサートされ、ワード境界が同期したことを知らせます。ワード境界がロックされた後、`rx_enapatternalign` 信号が High と Low のいずれかに保持されているかに関係なく、別のバイト境界でアラインメント・パターンが検出されるたびに `rx_syncstatus` 信号が1クロック・サイクル間アサートされます。`rx_syncstatus` 信号は、`rx_enapatternalign` ポートで立ち上がりエッジが検出されるまで、この再同期状態で動作します。

マニュアル 8 ビット・アラインメント・モード

8 ビット・アラインメント・モードは、Double-width モードでイネーブ爾できます。このモードは、ウィザードで指定した 8 ビット・アラインメント・パターンにアラインメントします。

バイト境界は、最初のアラインメント・パターンが検出された後、および rx_enaipatternalign 信号の立ち上がりエッジの後でロックされます。検出されたパターンは、16 ビット・ワードの LSByte に配置されます。バイト境界が変更された場合、rx_enaipatternalign ポートをデアサートしてからリアサートし、アラインメント回路が次のアラインメント・パターンを検索してアラインメントできるようにする必要があります。rx_enaipatternalign 信号の立ち上がりエッジで、ワード・アライナは最初に検出したアラインメント・パターンにロックし、検出したパターンをデータ・ストリームの LSByte 位置に置きます。このシナリオでは、rx_patterndetect がアサートされ、アラインメント・パターンがアラインメントされたことを知らせます。rx_syncstatus 信号も 1 クロック・サイクルの間アサートされ、ワード境界が同期したことを知らせます。ワード境界がロックされた後、rx_enaipatternalign 信号が High と Low のいずれかに保持されているかに関係なく、別のバイト境界でアラインメント・パターンが検出されるたびに、またはアラインメント・パターンが MSByte 位置に現れる場合に、rx_syncstatus 信号が 1 クロック・サイクルの間アサートされます。rx_syncstatus は、rx_enaipatternalign 信号で立ち上がりエッジが検出されるまで、この再同期状態で動作します。

マニュアル・ビット・スリップ・アラインメント・モード

Double-width モードでは、ウィザードでマニュアル・ビット・スリップ・オプションをイネーブ爾してもワード・アラインメントを達成できます。このモードは、Single-width モードのビット・スリップと同様に動作します。このオプションがイネーブ爾の場合、トランシーバはパラレル・クロック・サイクルごとに、ワード境界を MSB から LSB に 1 ビット・シフトします。これはビット・スリップ回路が rx_bitslip 信号の立ち上がりエッジを検出するたびに発生します。rx_bitslip の各立ち上がりエッジで、ワード境界は 1 ビット・スリップします。レシーバに最初に到着したビットはスキップされます。ワード境界がウィザードでアラインメント・パターンとして指定した内容に一致すると、rx_patterndetect 信号が 1 クロック・サイクルの間アサートされます。PLD ロジック・アレイに、ビット・スリップ回路を制御するためのロジックを実装する必要があります。

ラン・レングス違反検出回路

プログラマブル・ラン・レングス違反回路はワード・アライナ・ブロックにあり、データ内の 1 または 0 の連続を検出します。データ・ストリームが、プリセットされた 1 または 0 の連続の最大数を超えると、`rx_rlv` 信号がアサートされ、違反を知らせます。

この信号はパラレル・データに同期せずに、ラン・レングス違反データより前のロジック・アレイに現れます。復元クロックと PLD ロジック・アレイ・クロックの間で頻繁に違反が発生するシステムにおいて、PLD が確実にこの信号をラッチできるように、**Single-width** モードでは最低 2 クロック・サイクルの間、**Double-width** モードでは最低 3 クロック・サイクルの間 `rx_rlv` 信号がアサートされます。受信したデータのラン・レングスに応じて、これより長く `rx_rlv` 信号をアサートすることができます。

Single-width モードでは、ラン・レングス違反回路が最大 128 (8 ビット・デシリアライゼーション・ファクタの場合) または 160 (10 ビット・デシリアライゼーション・ファクタの場合) のラン・レングスを検出します。この設定は、8 ビットまたは 10 ビット・デシリアライゼーション・ファクタに対しては、4 または 5 の増分になっています。

Double-width モードでは、ラン・レングス違反回路の最大ラン・レングスの検出は、16 ビットと 20 ビットのデシリアライゼーション・ファクタに対しては、それぞれ 512 (ラン・レングス増分 8) および 640 (ラン・レングス増分 10) です。

表 2-16 に、ラン・レングス違反回路の検出機能を要約します。

表 2-16. ラン・レングス違反回路の最大 & 最小範囲			
データ・パス	デシリアライゼーション・ファクタ	ラン・レングス違反検出器の範囲	
		最小	最大
Single-width	8	4	128
	10	5	160
Double-width	16	8	512
	20	10	640

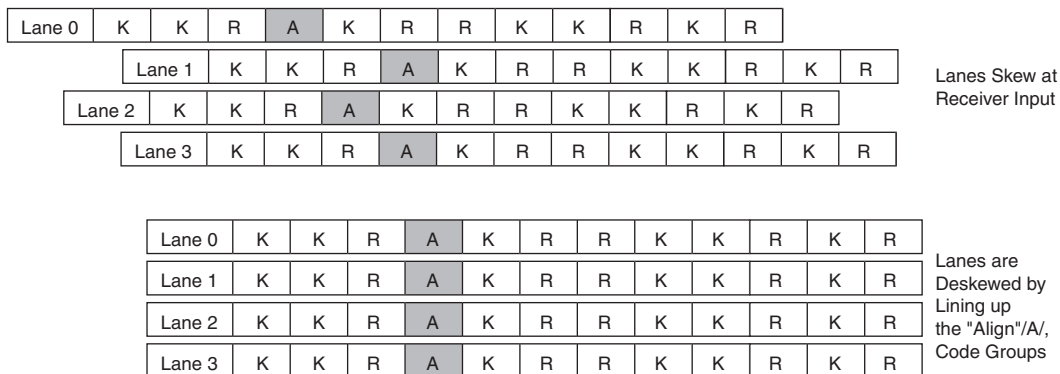
チャンネル・アライナ (デスキュー)

チャンネル・アライナは、チャンネルが互いに確実にアラインメントされるように、XAUI プロトコルを実装するときには自動的に使用されます。チャンネル・アライナは、16 ワードの FIFO バッファを使用します。

 チャンネル・アライナは、XAUI モードでのみ使用できます。

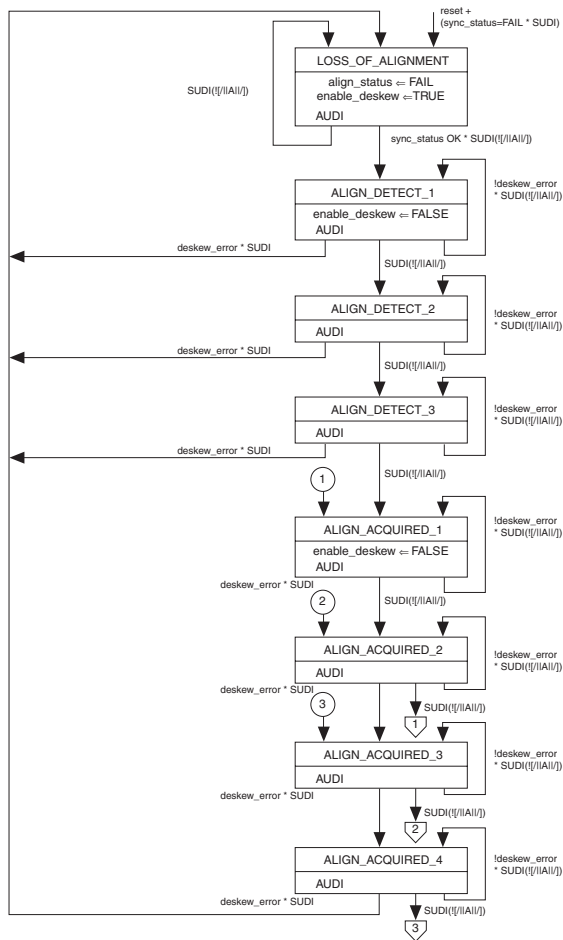
ボード・スキューやシリアル・レーンごとに独立したクロック・リカバリによる差異のために、オーダ・セットが他のセットとミスアラインメントを生じる可能性があります。チャンネル・アラインメントは、デスキューまたはチャンネル・ボンディングとも呼ばれ、/A/ と呼ばれるアラインメント・コード・グループを使用して、オーダ・セットをリアラインメントします。/A/ コード・グループは、アイドル期間またはインターパケット・ギャップ (IPG) の間に、4 レーンに同時に伝送され、オーダ・セット ||A|| を構成します。XAUI レシーバは、これらのコード・グループを使用して、レーン間のスキューを解決します。レーン間のスキューは、規格で規定されるとおり、最大 40 の UI (12.8ns) まで可能であり、ボード・デザインの制約が緩和されます。[図 2-58](#) にレシーバ入力でのレーン・スキューと、デスキュー回路で /A/ コード・グループを使用してチャンネルのスキューを除去する方法を示します。

図 2-58. /A/ コード・グループによるレーンのデスキュー



Stratix II GX デバイスは、XAUI デスキュー・ステート・マシンで制御される 16 ワードの FIFO バッファで構成される専用のデスキュー・マクロにより、XAUI チャンネル・アラインメントを管理します。XAUI デスキュー・ステート・マシンは、まず各チャンネル内で /A/ コード・グループを探します。XAUI デスキュー・ステート・マシンが各チャンネルで /A/ を検出すると、デスキュー FIFO バッファがイネーブルされます。デスキュー・ステート・マシンは、次に /A/ コード・グループの受信をモニタします。アラインメントされた 4 つの /A/ コード・グループを受信すると、rx_channelaligned 信号がアサートされます。デスキュー・ステート・マシンは、/A/ コード・グループの受信をモニタし続け、アラインメント状態が失われると rx_channelaligned 信号をデアサートします。このビルトイン・デスキュー・マクロは、XAUI プロトコルに対してのみイネーブルされます。図 2-59 に、IEEE P802.3ae の clause 48 に規定された PCS デスキュー状態図を示します。

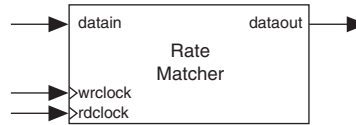
図 2-59. IEEE 802.3ae PCS デスキュー状態図



レート・マッチャ

レート・マッチャ (図 2-60) は、アップストリーム・トランスミッタとローカル・レシーバ間のクロック周波数の差を補償します。レート・マッチャは、GIGE、XAUI、PIPE、一般 Single-width モード、および一般 Double-width モードの5つのモードで動作します。

図 2-60. レート・マッチャ



トランシーバ・ブロックは、クリスタル間で ± 300 ppm の周波数変動を許容できる、マルチ・クリスタル環境で動作可能です。Stratix II GX デバイスは、クロック・レート補償を実行するエンベデッド回路を備えています。クロック・レート補償は、IPG またはアイドル・ストリームからスキップ・キャラクタを挿入または除去して行われます。このプロセスは、レート・マッチングまたはクロック・レート補償と呼ばれます。

トランシーバのレート・マッチャは、20 ワードの FIFO バッファと、挿入および削除機能を検出し実行するのに必要なロジックから構成されています。

XAUI

XAUI モードのレート・マッチャは、同期 $\times 4$ モードで動作し、アップストリーム・トランスミッタとレシーバ間でのクロック差が最大 ± 100 ppm まで対応できます。このモードでは、レート・マッチャは、FIFO バッファが空状態に近づいているか満杯状態に近づいているかに応じて、1 カラムの /R/ キャラクタを ||R|| 記号で表記して挿入または削除できます。レート・マッチャは、XAUI 同期ステート・マシンがワード・アラインメントおよびチャネル・アラインメントを達成するまで動作しません。その時点まで、レート・マッチャはアクティブになりません（リード・ポインタとライト・ポインタが移動しない）。

||R|| コード・ワードがすべてのチャネルで受信されない場合、レート・マッチングは行われず、レート・マッチング FIFO バッファでオーバフロー/アンダフロー状態が発生する可能性があります。この状態が発生すると、レシーバのデータ出力はレーン 0 に定数 9'h19C (rx_dataout 出力では 8'h9C、rx_ctrl1detect 出力では 1'b1) を出力します (残りのレーンのデータは 8'h00)。データを受信する前に、レシーバのデジタル・リセットをアサートし、レーンを再同期化する必要があります。

GIGE

GIGE モードのレート・マッチャは、チャンネル・バイ・チャンネル・モードで動作し、アップストリームのトランスミッタとレシーバ間でのクロック差が最大 ± 100 ppm まで対応できます。レート・マッチャは、FIFO バッファが空状態に近づいているか満杯状態に近づいているかに応じて、/I2/ オーダ・セットを挿入または削除します。/I2/ オーダ・セットは、/K28.5+/ コード・グループと、/D16.2-/ コード・グループで構成されています（コード・グループの後の記号は、コード・グループの最後でデイスパリティが生じていることを意味します）。GIGE モードのレート・マッチャは、GIGE 同期ステート・マシンが同期を達成するまで待機します。同期が達成されると、レート・マッチャはアクティブになります。

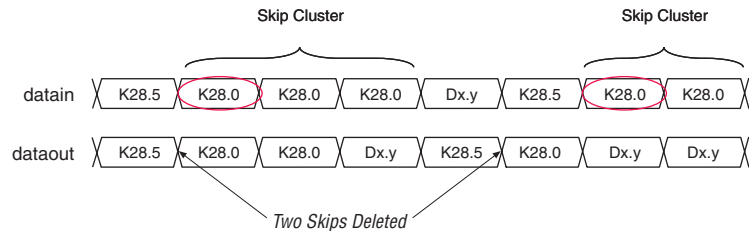
GIGE モードのレート・マッチング FIFO バッファがオーバフローまたはアンダフローに近づくと、トランシーバは rx_dataout でシーケンス・コード・グループ (9'h19C)—8'h9C を、rx_ctrldetect で 1'b1 を出力します。rx_digitalreset 信号をアサートして、レート・マッチャ FIFO バッファをリセットする必要があります。

PIPE モード

PIPE モードでは、レート・マッチャはアップストリーム・トランスミッタとレシーバ間での差が最大 ± 300 ppm（合計 600 ppm）まで対応できます。レート・マッチャは、通常は /K28.5/ カンマに 3 つの /K28.0/ スキップ・キャラクタが続くスキップ・オーダ・セットを検索します。レート・マッチャは、レート・マッチング FIFO バッファのオーバフローまたはアンダフローを防止するために、必要に応じてスキップ・キャラクタを削除または挿入します。

レート・マッチャは、PIPE モードでのみ、連続したスキップ・キャラクタ・クラスタ内のスキップ・キャラクタを 1 文字のみ削除できます。図 2-61 に、PIPE モードのレート・マッチャによる 2 つのスキップ・キャラクタの削除を示します。

図 2-61. 2文字を削除した PIPE モード (クラスタごとに 1文字)



レート・マッチャは、PIPE モードでは、スキップ・クラスタごとにスキップ・キャラクタ 1 文字の挿入を実行できます。スキップ・クラスタごとに許容される連続スキップ・キャラクタ数に制限はありません。

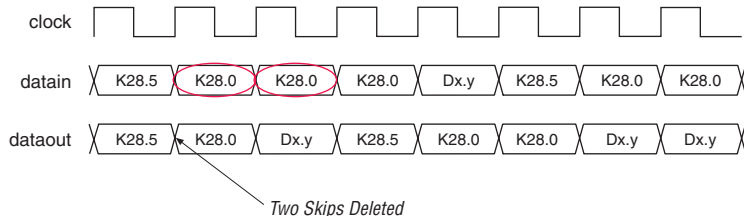
Stratix II GX の PIPE モードのレート・マッチャは、FIFO バッファ・オーバフローおよびアンダフロー保護を備えています。FIFO バッファ・オーバフローの場合、レート・マッチャはオーバフロー状態の後でレート・マッチャが満杯状態にならなくなるまでデータを削除して、FIFO ポインタが破壊されるのを防止します。アンダフロー状態では、レート・マッチャは、FIFO バッファが空状態にならなくなるまで、9'h1FE (/K30.7/) を挿入します。このような方策によって、FIFO バッファは FIFO バッファをリセットしないでオーバフローおよびアンダフローの状態から穏やかに脱出できます。

Single-width の一般的なレート・マッチング

Basic Single-width モードでは、レート・マッチャはアップストリーム・トランスミッタとレシーバ間での差が最大 ± 300 ppm まで対応できます。レート・マッチャは、/K28.5/ カンマに 3 つのプログラム可能な中立ディスパリティスキップ・キャラクタ (/K28.0/ など) が続くスキップ・オーダ・セットを探します。一般レート・マッチングでは、カスタム・プロトコルを含むさまざまなプロトコルをサポートするように SOS をカスタマイズできます。SOS には、有効なコントロール・コード・グループ (Kx.y) と、それに続く中立ディスパリティスキップ・コード・グループ (K28.0 など、Kx.y または Dx.y の中立ディスパリティ) が含まれていなければなりません。レート・マッチャは、レート・マッチング FIFO バッファのオーバフローまたはアンダフローを防止するために必要に応じて、スキップ・キャラクタを削除または挿入します。

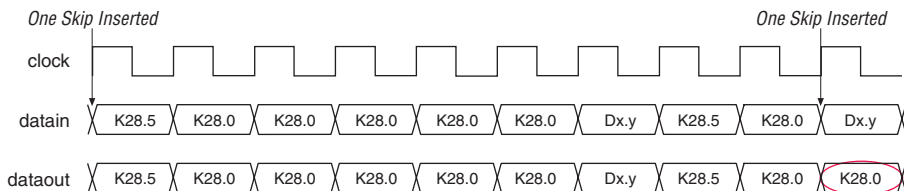
Single-width モードのレート・マッチャは、削除するスキップ・キャラクターが存在する限り、クラスタでの必要に応じて、何個のスキップ・キャラクターでも削除できます。スキップ・キャラクター・クラスタにおける、複数のスキップ・キャラクターの削除に関しては制限がありません。図 2-62 に、Single-width モードのレート・マッチャによる 2 つのスキップ・キャラクターの削除例を示します。スキップ・キャラクターはプログラム可能なため、図では説明のために /K28.0/ コントロール・グループを使用しています。

図 2-62. Single-width モードでの 2 つのスキップ・キャラクターの削除



レート・マッチャは、レート・マッチングでの必要に応じて、スキップ・キャラクターを挿入します。与えられたスキップ・オーダ・セット付きキャラクターに対して、レート・マッチャは、レート・マッチング FIFO バッファの出力で連続スキップ・キャラクターの合計数が 5 を超えないように、スキップ・キャラクターを挿入します。図 2-63 に示す例では、最初の集合に最大数のスキップ・キャラクターが含まれているために、2 番目のスキップ・オーダ・セットにスキップ・キャラクターの挿入が行われています。

図 2-63. Single-width モードでの 1 スキップ・キャラクターの挿入



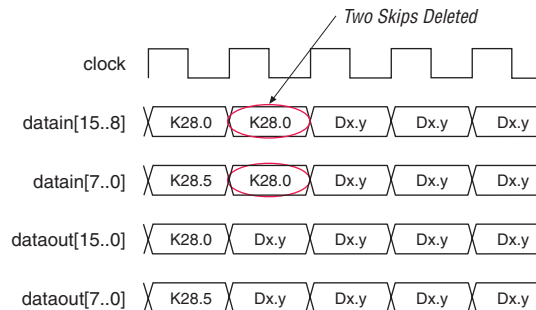
Stratix II GX の Single-width モードのレート・マッチャは、FIFO バッファ・オーバーフローおよびアンダフロー保護を備えています。FIFO バッファ・オーバーフローの場合、レート・マッチャはオーバーフロー状態の後にレート・マッチャが満杯状態にならなくなるまでデータを削除して、FIFO ポインタが破壊されるのを防止します。アンダフロー状態では、レート・マッチャは、FIFO バッファが空の状態にならなくなるまで、9'h1FE (/K30.7/) を挿入します。このような方策によって、FIFO バッファは FIFO バッファをリセットしないでオーバーフローおよびアンダフローの状態から穏やかに脱出できます。

Double-width の一般的なレート・マッチング

Double-width モードでは、レート・マッチャはアップストリーム・トランスミッタとレシーバ間での差が最大 ± 300 ppm まで対応できます。レート・マッチャは、通常は /K28.5/ カンマにプログラム可能な中立的デイスパリティスキップ・キャラクタ (/K28.0/ など) が続くスキップ・オーダ・セットを探します。一般レート・マッチングでは、カスタム・プロトコルを含むさまざまなプロトコルをサポートするように SOS をカスタマイズできます。SOS には、有効なコントロール・コード・グループ (Kx.y) と、それに続く中立デイスパリティスキップ・コード・グループ (K28.0 など、Kx.y または Dx.y の中立デイスパリティ) が含まれていなければなりません。レート・マッチャは、レート・マッチング FIFO バッファのオーバーフローまたはアンダフローを防止するために必要に応じて、2つのスキップ・キャラクタを削除または挿入します。

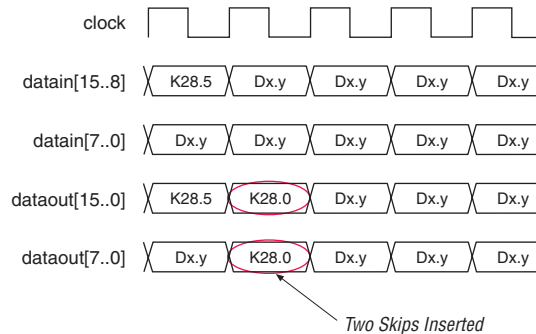
レート・マッチャは、スキップ・キャラクタが上位バイトと下位バイトに同時に現れるとき、スキップ・キャラクタをペアで削除します。スキップ・キャラクタの削除については、その他の制限はありません。図 2-64 に、2つのスキップ・キャラクタを削除する例を示します。

図 2-64. Double-width モードでのスキップ・キャラクタの削除



レート・マッチャは、上位バイトと下位バイトにスキップ・キャラクタをペアで挿入します (図 2-65)。この挿入は、/K28.5/ またはプログラムされたコントロール・コード・グループがレート・マッチャにより検出された後で行われます。下位バイトでカンマが検出された場合、上位バイトはスキップ・キャラクタにする必要があります。挿入は必要に応じて、次のダブル・バイトで実行されます。カンマが上位バイトに現れる場合、挿入は必要に応じて次のダブル・バイトで実行されます。

図 2-65. Double-width モードでのスキップ・キャラクタの挿入



8B/10B デコーダ

8B/10B デコーダ (図 2-66) は、Stratix II GX トランシーバ・デジタル・ブロックの一部であり、レシーバ・パスでレート・マッチャとバイト・デシリアライザ・ブロックの間に置かれます。8B/10B デコーダは、Single-width モードと Double-width モードの 2 つのモードで動作し、8B/10B デコーディングが不要な場合はバイパスできます。Single-width モードでは、8B/10B デコードが 8 ビット・データ + 1 ビット・コントロール識別子を 10 ビット・コードから復元します。Double-width モードでは、カスケード接続された 2 つの 8B/10B デコーダがあり、16 ビット (2 × 8 ビット) データ + 2 ビット (2 × 1 ビット) コントロール識別子を 20 ビット (2 × 10 ビット) コードから復元します。この 8B/10B デコーダは、IEEE 802.3 1998 版の規格に準拠しています。

図 2-66. 8B/10B デコーダ

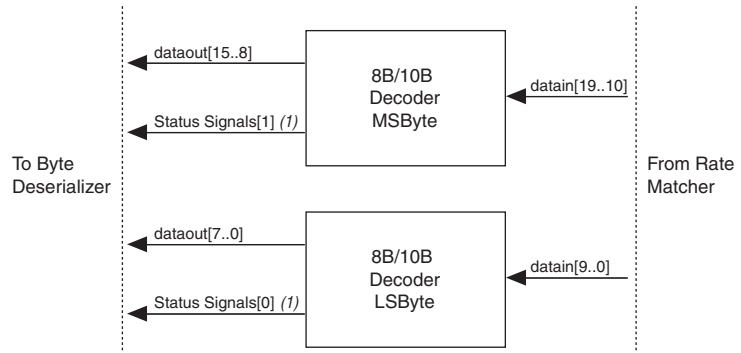


図 2-66 の注：

- (1) ステータス信号には、rx_ctrlldetect、rx_disperr、および rxerrdetect が含まれます。

Single-width モード

Single-width モードでは、Stratix II GX 8B/10B デコーダの動作は Stratix GX 8B/10B デコーダに類似しています。図 2-67 では、Single-width モードでアクティブなデータ・パスはハイライト表示されています。

図 2-67. Single-width モードでのアクティブなデータ・パス

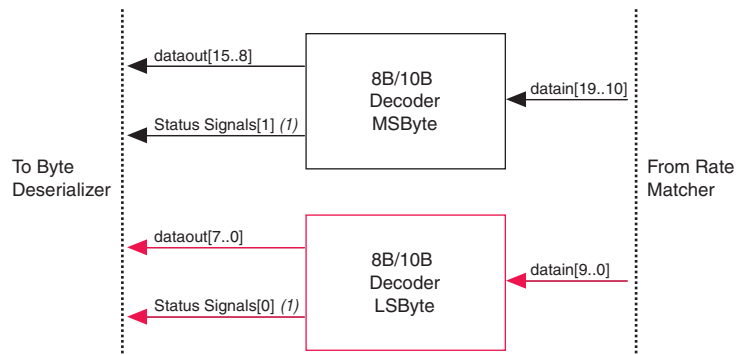


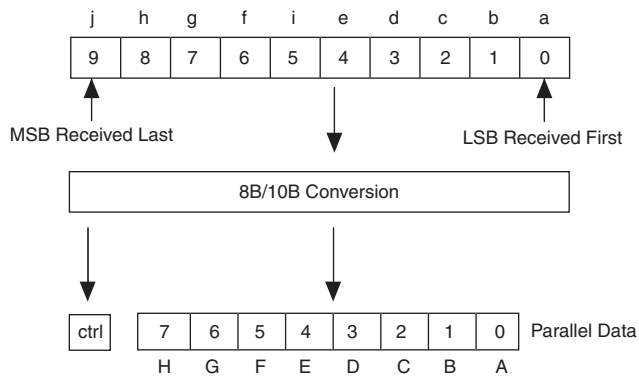
図 2-67 の注：

- (1) ステータス信号には、rx_ctrlldetect、rx_disperr、および rxerrdetect が含まれます。

10 ビット・デコーディング

Single-width モードの 8B/10B デコーダは、10 ビット・エンコード・コードを 8 ビット等価データまたはコントロール・コードに変換します。受信した 10 ビット・コードは、適切なディスパリティフラグまたはエラー・フラグがアサートされた対応する Dx.y または Kx.y リストに存在している必要があります。すべての 8B/10B コントロール信号（ディスパリティエラー、コントロール検出、コード・エラーなど）は、パイプライン化され、データとエッジがアラインメントされます。図 2-68 に、10 ビットのシンボルが 8 ビットのデータと 1 ビットのコントロール・インジケータにデコードされる様子を示します。

図 2-68. 10 ビットから 8 ビットへの変換



コード・エラー検出

rx_errdetect 信号は受信したコードにエラーが含まれている場合、これを示します。このポートはオプションですが、使用されていない場合、受信したコードが有効かどうかを検出する方法はありません。受信したコードが無効コードの場合、またはディスパリティエラーがある場合、rx_errdetect 信号は High になります。有効な Dx.y リストまたは Kx.y リストに含まれないコードを受信した場合、rx_errdetect 信号が High になります。この信号は、PLD ロジック・アレイで受信した無効コード・ワードにアラインメントされます。

GIGE モードと XAUI モードでは、無効コードは /K30.7/ コードで置き換えられます (rx_dataout の 8'hFE + rx_ctrlldetect の 1'b1)。他のコードではすべて、無効コードの値は異なる可能性がありますので無視してください。

デイスパリティエラー検出器

8B/10B デコーダは、受信した 10 ビット・コードに基づいてデイスパリティエラーを検出します。デイスパリティエラーは、オプションの `rx_disperr` ポートで示されます。現在のデイスパリティは検出器が最後に受信したコードのデイスパリティ計算に基づき、`rx_runningdisp` ポートを介して PLD ロジック・アレイに転送されます。デイスパリティ計算について詳しくは、「Stratix II GX デバイス・ハンドブック Volume 2」の「仕様 & 追加情報」の章を参照してください。

最後の 10 ビット・コードで負のデイスパリティが計算された場合、中立または正のデイスパリティの 10 ビット・コードが予測されます。8B/10B デコーダが中立または正のデイスパリティ 10 ビット・コードを受信しない場合、`rx_disperr` 信号が High になり、受信したコードにデイスパリティエラーがあることを示します。

正のデイスパリティが計算された場合、中立または負のデイスパリティ 10 ビット・コードが予測されます。`rx_disperr` 信号は、受信したコードが予測と異なる場合は High になります。



`rx_disperr` が High の場合、`rx_errdetect` も High になります。

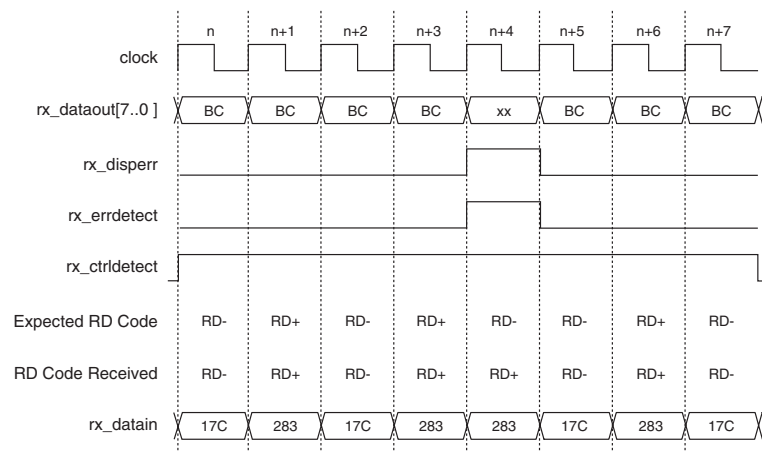
デイスパリティエラーの検出は、実際のデイスパリティエラーに続くデータに応じて遅延する場合があります。デイスパリティエラーの伝播は、8B/10B コントロール・コードにより終了します。伝播されるデイスパリティエラーはコントロール・コードで停止し、デイスパリティエラーが終了します。

GIGE モードと XAUI モードでは、デイスパリティエラーを含むコードは `/K30.7/` コードで置き換えられます (`rx_dataout+rx_ctrlldetect` の `8'hFE`)。他のすべてのモードで、誤ったデイスパリティを持つコードは無効コードとして扱われ無視されます。

PIPE モードでは、コード・グループ・エラーのみ置き換えられ、デイスパリティエラーは置き換えられません。ウィザードで置換文字のオプションを選択できます。置換文字は、`/K23.7/ (9'h1F7)` パッド・コード・グループまたは `/K30.7/ (9'h1FE)` エラー・コード・グループです。

図 2-69 に、デイスパリティに違反するケースを示します。K28.5 コードには、8'hbc の 8 ビット値と、K28.5 コードの生成時点でのデイスパリティ計算に依存する 10 ビット値があります。10 ビット値は、RD- では 10'b0011111010 (10'h17c)、RD+ では 10'b1100000101 (10'h283) です。n-1 の時点で発生しているデイスパリティが負の場合、n の時点で予測されるコードは RD- カラムに含まれている必要があります。K28.5 には平衡 10 ビット・コード (1 と 0 が同数) は存在しないため、予測される RD コードは RD- と RD+ の間で切り替える必要があります。n+3 の時点で、8B/10B デコーダは RD+ K28.5 コード (10'h283) を受信しており、現在の発生しているデイスパリティは負になります。n+4 の時点では、現在のデイスパリティが負であるため、RD- カラムの K28.5 が予測されますが、代わりに RD+ から K28.5 コードが受信されます。これは rx_disperr に対して、n+4 の間に High になって、この K28.5 コードにデイスパリティエラーがあることを示すよう指示します。n+4 の時間の終わりで発生している現在のデイスパリティは、RD+ カラムから K28.5 が受信されているため負です。n+5 の終わりで発生している現在のデイスパリティに基づき、n+5 の時点で (RD- からの) 正のデイスパリティ K28.5 コード・カラムが予測されます。

図 2-69. デイスパリティエラー

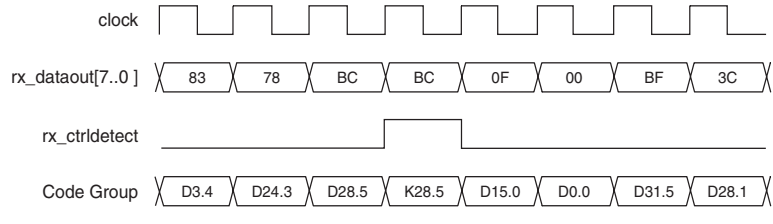


コントロール検出

8B/10B デコーダは、rx_ctrldetect ポートを介してデータとコントロール・データを区別します。このポートはオプションですが、使用しない場合、Dx.y と Kx.y を区別する方法はありません。

図 2-70 に、K28.5 コード (BC + Ctrl) の受信を示す波形例を示します。rx_ctrlrdetect=1'b1 は 8'hbc にアラインメントされ、コントロール・コードであることを示します。受信される残りのコードは、Dx.y コード・グループです。

図 2-70. コントロール・コードの検出



Double-width モード

Double-width モードでは、デュアル 8B/10B デコーダがカスケード接続方式で動作します。LSByte が最初に受信され、続いて MSByte が受信されます。図 2-71 では、Double-width モードでアクティブなデータ・パスはハイライト表示されています。

図 2-71. Double-width モードでアクティブなデータ・パス

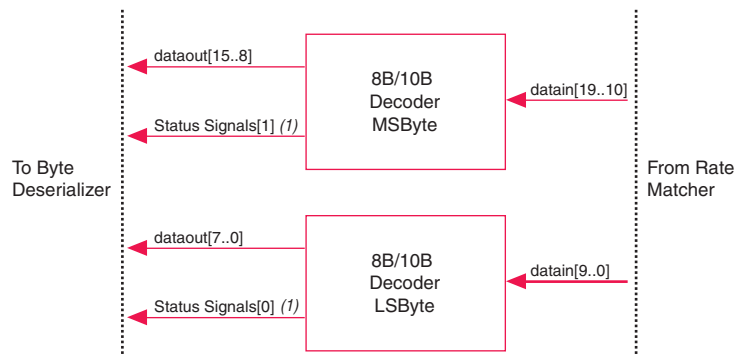


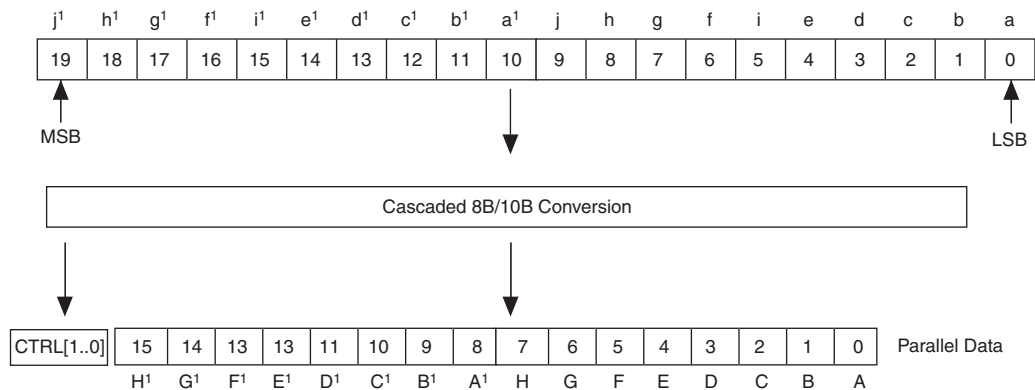
図 2-71 の注：

(1) ステータス信号には、rx_ctrlrdetect、rx_dispers、および rxerrrdetect があります。

20 ビット・デコーディング

Double-width モードの 8B/10B デコーダは、20 ビット (2× 10 ビット) エンコード・コードを 16 ビット (2× 8 ビット) 等価データまたはコントロール・コードに変換します。受信した 20 ビットの上位および下位シンボルは、適切なデイスパリティフラグまたはエラー・フラグがアサートされた対応する Dx.y または Kx.y リストに存在している必要があります。すべての 8B/10B コントロール信号 (デイスパリティエラー、コントロール検出、コード・エラー) は、Stratix II GX レシーバ・ブロックのデータでパイプライン化され、このデータでエッジ・アラインメントされます。図 2-72 に、20 ビットのコードを 16 ビットのデータと 2 ビットのコントロール・インジケータにデコードする方法を示します。

図 2-72. 20 ビットから 16 ビットへの変換



コード・エラー検出

rx_errdetect 信号は受信したコードにエラーが含まれているときに、これを示します。このポートはオプションですが、使用されていない場合、受信したコードが有効かどうかを検出する方法はありません。受信したコードが無効コードの場合、またはデイスパリティエラーがある場合、rx_errdetect 信号は High になります。有効な Dx.y リストまたは Kx.y リストに含まれないコードを受信した場合、rx_errdetect 信号が High になります。この信号は、PLD ロジック・アレイで受信した無効コード・ワードにアラインメントされます。

Double-width モードでは、rx_errdetect 信号はトランシーバの PCS 部分の 2 ビット幅です。下位ビットは LSByte に、上位ビットは MSByte にコード・エラーが含まれているかどうかを示します。無効コードの値は変わる場合があるため無視してください。

ディスパリティエラー検出器

Double-width モードの 8B/10B デコーダは、現在発生している LSByte デコーダからのディスパリティの値を MSByte デコーダに転送し、MSByte デコーダに入るシンボルのディスパリティをチェックします。MSByte デコーダで発生している最後のディスパリティは、次のクロック・サイクルで LSByte デコーダにフィードバックされます。

ディスパリティエラーはオプションの `rx_disperr` ポートで示され、ディスパリティの値は `rx_runningdisp` ポートを介して PLD ロジック・アレイに転送されます。ディスパリティの計算について詳しくは、「Stratix II GX デバイス・ハンドブック Volume 2」の「仕様 & 追加情報」の章を参照してください。

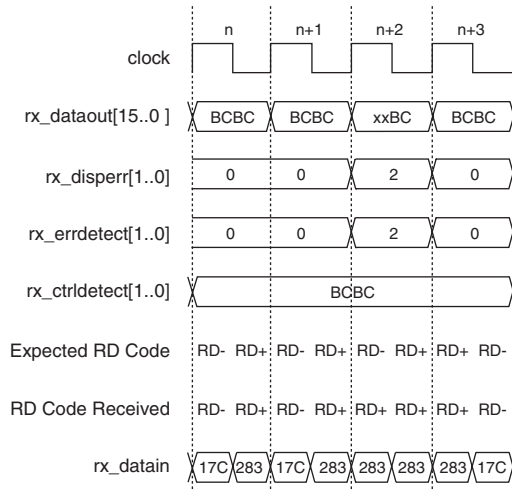
`rx_disperr` ポートは PCS で 2 ビット幅です。High のとき下位ビットは、下位バイト・コード変換で LSByte デコーダがディスパリティエラーを検出したかどうかを示します。High のとき、上位ビットは上位バイト・コード変換で MSByte デコーダがディスパリティエラーを検出したかどうかを示します。`rx_disperr` ビットの両方が Low の場合、エラーはありません。

`rx_runningdisp` ポートも PCS で 2 ビット幅です。下位ビットは LSByte のディスパリティを、上位ビットは MSByte のディスパリティを示します。Low は負のディスパリティを、High は正のディスパリティを示します。

ディスパリティエラーの検出は、実際のディスパリティエラーに続くデータに応じて、遅延する場合があります。ディスパリティエラーの伝播は、8B/10B コントロール・コードにより終了します。伝播されるディスパリティエラーは、コントロール・コード・バイトで `rx_disperr` をアサートして、そのディスパリティエラーを終了させます。

図 2-73 に、ディスパリティに違反する事例を示します。K28.5 コードには、8'hbc の 8 ビット値と、K28.5 コードの生成時点でのディスパリティ計算に依存する 10 ビット値があります。10 ビット値は、RD- では 10'b0011111010 (10'h17c)、RD+ では 10'b1100000101 (10'h283) です。この例では、Double-width モードが使用され、20 ビット・コードは分かりやすくするために 2 つの 10 ビット・コードに分割されています。2 つの 10 ビット・コードそれぞれに、予測されるランニング・ディスパリティが示されます。 n の時点で、`rx_datain` はまず 10'h283 を受信し、`rx_dataout` の LSByte で、デコードされた値を受信します。 $n+2$ の時点で、上位バイトは誤ったディスパリティの K28.5 コードを受信しています。`rx_disperr` ポートおよび `rx_errdetect` ポートの上位ビットがアサートされ、図 2-73 に示すように、結果として 2'h2 の値になります。

図 2-73. ディスパリティエラー



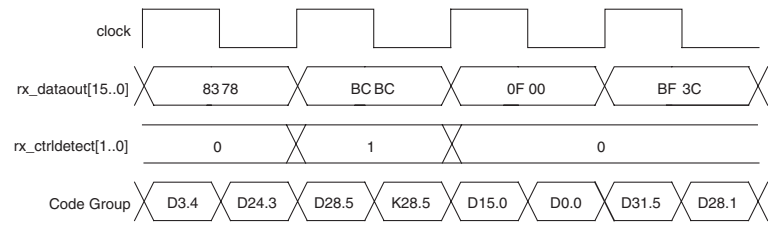
コントロール検出

8B/10B デコーダは、PLD ロジック・アレイに、`rx_ctrldetect` ポートを介してデータとコントロール・コードの差を示します。このポートはオプションですが、使用しない場合、`Dx.y` と `Kx.y` を区別する方法はありません。

Double-width モードでは、`rx_ctrldetect` ポートは PCS 内で 2 ビット幅です。下位ビットは `LSByte` がコントロール・ワードまたはデータのいずれか、上位ビットは `MSByte` がコントロール・ワードまたはデータのいずれかであることを示します。コントロール・ワードがデコードされると、対応する `rx_ctrldetect` ビットが **High** になります。データの場合、対応する `rx_ctrldetect` ビットが **Low** になります。PLD ロジック・アレイの `rx_ctrldetect` ポートは、関連付けられているコード・グループとエッジが揃えられます。


図 2-74 に、K28.5 コード (BC + Ctrl) の受信を示す波形例を示します。`rx_ctrldetect=2'b1` は `LSByte` で `8'hbc` にアラインメントされ、コントロール・コードであることを示します。`MSByte` の `8'hbc` は、コントロール・ワードではなくデータです。受信される残りのコードは `Dk.y` コントロール・コードです。

図 2-74. コントロール・コードの検出



リセット

8B/10B デコーダ・ブロックのリセットは、レシーバ・デジタル・リセット (`rx_digitalreset`) から派生します。`rx_digitalreset` がアサートされると、8B/10B デコーダ・ブロックがリセットされます。リセットでは、デイスパリティレジスタがクリアされ、8B/10B デコーダ・ブロックの出力が Low にドライブされます。リセットの後、8B/10B デコーダは受信したデータのデイスパリティに応じて、正または負のデイスパリティから開始します。デコーダは最初に受信した有効コードに基づいて、最初に発生したデイスパリティを計算します。

 レシーバ・ブロックは、リセット後の 8B/10B デコーダが有効なデータまたはコントロール・コードをデコードする前に、ワードにアラインメントされる必要があります。ワード・アラインメントが行われていない場合、8B/10B デコーダからのデータは廃棄され、無効と見なされます。

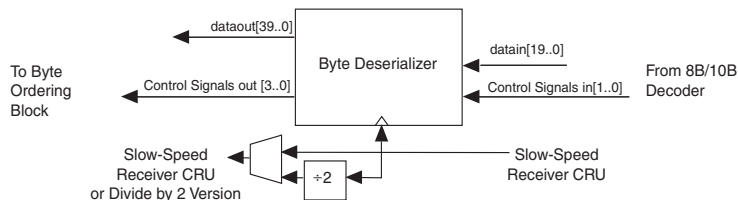
極性反転

8B/10B デコーダは、8B/10B デコーディングの前にデータ・バスで PCI Express 対応の極性反転を実行します。この極性反転は、8B/10B デコーディング・ブロックの前で入力データ・ストリームのビットを反転し、差動入力バッファでの潜在的な P-N 極性反転を修正します。オプションの `pipe8b10binvpolarity` ポートを使用して、8B/10B デコーダへの入力を PLD からダイナミックに変換します。

バイト・デシリアライザ

バイト・デシリアライザ (図 2-75) を使用して、1 バイトまたは 2 バイト・インタフェースを、トランシーバから PLD ロジックへの 2 バイトまたは 4 バイト幅データ・パスに変換します (表 2-17 を参照) PLD インタフェースには 250 MHz の制限があるため、バイト・デシリアライザは PLD インタフェースでバス幅を拡張し、インタフェース速度を低減する必要があります。例えば、6.375 Gbps では、トランシーバ・ロジックは、 $\times 20$ デシリアライザ・ファクタにより最大 PLD インタフェース速度を上回る 318.75 MHz で動作するダブル・バイト幅データを備えています。

図 2-75. バイト・デシリアライザ



バイト・デシリアライザを使用すると、PLD インタフェース幅は 40 ビットに倍増し (8B/10B エンコーダ使用時には 36 ビット)、インタフェースの速度は 159.375 MHz に低下します。

表 2-17. バイト・デシリアライザの入力 & 出力幅

入力データ幅 (ビット)	FPGA ロジック・アレイへの パラレル変換出力データ幅 (ビット)
20	40
16	32
10	20
8	16

バイト・デシリアライザを使用する場合、バイト・オーダリングがユーザの意図と異なる場合があります。図 2-76 に、Single-width モードで動作するバイト・デシリアライザを示します。予測されるデータ・パターンは、下位バイトの A とそれに続く上位バイトの B です。次の下位バイトと上位バイトには、それぞれ C と D が続きます。

図 2-76. 意図したトランスミッタ・パターン

X	B	D
X	A	C

レシーバは図 2-77 に示すように、意図したトランスミッタ・パターンを受信したり、またはバイトを誤ってずらすことがあります。図で、A はバイト・デシリアライザが下位バイトを埋める代わりに、上位バイトを埋める場合の位置です。これは PLL のロック時間とリンク遅延に依存し不定にスワップします。

図 2-77. バイト・パラレル変換後のレシーバでの不正なバイト位置

A	C	X
X	B	D

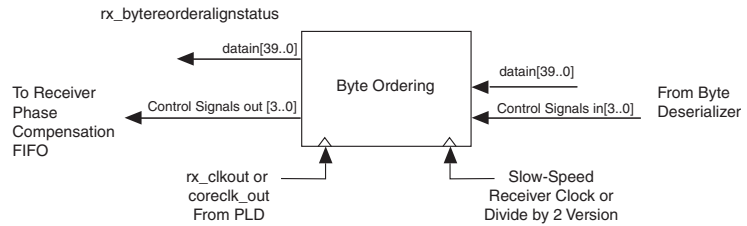
バイト・オーダリング・ブロックまたはバイト・リオーダリング回路を使用して、バイト順序を期待するパターンに復元できます。

バイト・オーダリング

Stratix II GX デバイスは、複数のレーンで特定のバイト順序を取得するために、各レシーバに専用のバイト・オーダリング回路を備えています。この回路はバイト・デシリアライザ・ブロックと組み合わせて使用されます。バイト・デシリアライザは各レシーバのレーン数を倍増します。Single-width モードを使用する場合、レシーバの PLD インタフェース側の出力は、バイト・デシリアライザ非使用時には 8 ビットまたは 10 ビット（シングル・レーン）、バイト・デシリアライザ使用時には 16 ビットまたは 20 ビット（デュアル・レーン）です。Double-width モードを使用する場合、レシーバの PLD インタフェース側の出力は、バイト・デシリアライザ使用時には 16 ビットまたは 20 ビット（デュアル・レーン）、あるいは 36 ビットまたは 40 ビット（トランシーバ・ブロック・レーン）です。バイト・デシリアライザ・ブロックは本質的に、ソース・トランスミッタのレーン・ストリップングの維持には対応できません。トランスミッタの最下位バイトは、別の位置で受信できます。バイト・リオーダリング方法について詳しくは、「[バイト・デシリアライザ](#)」の項を参照してください。バイト・オーダリング・ブロックにより、レシーバ出力側で正しいレーン・ストリップングが維持されます。

バイト・オーダリング・ブロックをレート・マッチャと共に使用することはできません。これは、レート・マッチャがデータおよびクロック PPM オフセットのためにバイトを追加または削除して、バイト・オーダリングを中断するためです。

図 2-78. バイト・オーダリング・ブロック



自動モード

自動モードでは、バイト・オーダリング・ブロックは、ワード・アライナがバイト・アラインメントを達成した後でレーン・アラインメントを実行します。バイト・オーダリング・ブロックは、`rx_syncstatus` 信号の立ち上がりエッジでトリガされます。レーン・アラインメントを達成するには、バイト・リオーダーリング・ブロックは、データ・ストリームでアラインメント・パターンをモニタします。バイト・リオーダーリング・ブロックは正しいアラインメント・パターンを検出すると、アラインメント・パターンを **LSByte** 位置（レーン 0）に配置できるまで、データ・ストリームにプログラム可能なパッド・バイトを挿入します。アラインメント・パターンが **LSByte** 位置に配置されると、バイト・オーダリング・プロセスが完了し、ステータス信号 `rx_byteorderalignstatus` がアサートされます（**High** に維持される）。アラインメント・パターンがすでに **LSByte** 位置に存在する場合、バイト・オーダリング・ブロックはこれを検出して、バイト・オーダリング・プロセスが完了したものを見なし、`rx_byteorderalignstatus` 信号をアサートします。バイト・オーダリングは、データ・ストリームにアラインメント・バイトが存在する場合でも、`rx_digitalreset` ポートによってチャンネルがリセットされるまで、再度実行されません（レシーバ・チャンネルは、`rx_analogreset` と `gxb_powerdown` でもリセットされます）。

図 2-79 に、Double-width モードの 4 レーン構成（4 バイト幅インタフェース）でのバイト・オーダリング・ブロックの動作を示します。アラインメント・キャラクタは“A”文字で表され、レーン 2 のバイト・オーダリング・ブロックに配置されます。バイト・オーダリング・ブロックは、PD で示される 2 つのパッド・バイトを挿入し、PD が **LSByte** 位置（レーン 0）に現れるまでアラインメント・バイトを遅延させます。

図 2-79. 2パッド・バイト挿入による Double-width バイト・オーダリング

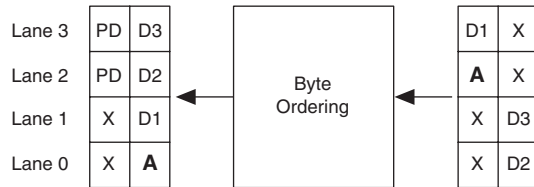
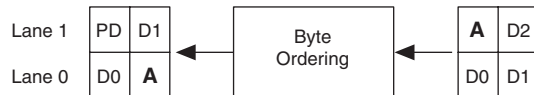


図 2-80 に、Single-width モード 2 レーン構成のバイト・オーダリング・ブロックを示します。図 2-80 では、アラインメント・パターン“A”は、MSByte 位置（レーン 1）にあります。バイト・オーダリング・ブロックは、パッド・キャラクタを挿入して、アラインメント・キャラクタを強制的に LSByte 位置（レーン 0）に移します。アラインメント・パターンがすでにレーン 0 に存在する場合、バイト・オーダリング・プロセスは完了し、必要性がないためオーダリングは何も行われません。オーダリング・プロセスが完了した後、rx_byteorderalignstatus 信号がアサートされ、rx_digitalreset、rx_analogreset、または gxb_powerdown がアサートされてバイト・オーダリング・ブロックがリセットされるまで、High を維持します。

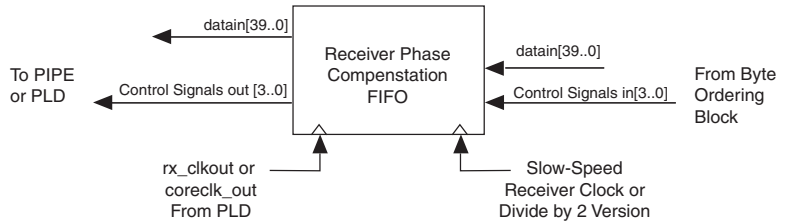
図 2-80. 1パッド挿入した Single-width バイト・オーダリング




レシーバ位相補償 FIFO バッファ

レシーバ位相補償 FIFO バッファ（図 2-81）は、レシーバ・ブロックの FPGA ロジック・アレイ・インタフェースに配置され、レシーバ・クロックと PLD のクロック間の位相差を補償するために使用されます。レシーバ位相補償 FIFO バッファは、低レイテンシと高レイテンシの 2 つのモードで動作します。低レイテンシ・モードでは、FIFO バッファの深度は 4 ワードです。FIFO を通したレイテンシは、2～3 PLD パラレル・クロック・サイクルです。Quartus II ソフトウェアは、PCI Express PIPE モード（自動的に高レイテンシ・モードを使用）を除くすべてのモードで自動的に低レイテンシ・モードを選択します。高レイテンシ・モードでは、FIFO バッファの深さは 8 ワードです。FIFO バッファを通したレイテンシは、約 4～5 PLD パラレル・サイクルです（特性評価未定）。

図 2-81. レシーバ位相補償 FIFO バッファ



Basic モードでは、ライト・ポートは CRU からの復元クロックによってクロックされます。このクロックは、バイト・シリアルライザを使用する場合はレート的一半になります。リード・クロックは、関連するチャンネルの復元クロックによってクロックされます。

 レシーバ位相補償 FIFO は常に使用され、バイパスすることはできません。

4 チャンネル (x4) および 8 チャンネル (x8) ・ボンディング・モードでは、すべてのリード・ポインタは共通のソースから派生し、PLD ロジック内の各チャンネルのデータを同期化する必要はありません。

ネイティブ・モード

Stratix II GX トランシーバは、以下の 7 つのネイティブ・モードのいずれかで動作します。

- Single-width モード (最大 3.125 Gbps)
- Double-width モード (最大 3.125 Gbps から 6.375 Gbps)
- PCI Express (PIPE) モード (2.5 Gbps)
- XAUI (3.125 Gbps)
- GIGE (1.25 Gbps)
- SONET Backplane モード (OC-12、OC-48、および OC-96)
- (OIF) CEI PHY Interface

Single-width モード

PIPE など、定義済みのサポート対象プロトコルの一部でないカスタム・プロトコルには、Single-width モードを使用します。いくつかの制約はありますが、以下の PCS ブロックが利用できます。

- トランスミッタ位相補償 FIFO バッファ
- トランスミッタ・バイト・シリアライザ
- 8B/10B エンコーダ
- ワード・アライナ
- レート・マッチャ
- 8B/10B デコーダ
- バイト・デシリアライザ
- バイト・オーダリング・ブロック
- レシーバ位相補償 FIFO バッファ

レート・マッチャをバイト・オーダリングで使用することはできず、またバイト・オーダリングをレート・マッチャで使用することもできません。レート・マッチャは一度に 1 バイトを移動するため、レート・マッチャが発生した場合は、ブロックの順序が変化します。レート・マッチャは 8B/10B コード・グループと結合されるため、PCS または PLD ロジック・アレイのいずれかで 8B/10B エンコーダまたはデコーダを使用する必要があります。

バイト・オーダリング・ブロックは、8B/10B エンコーダまたはデコーダでは利用できません (この制約は特性評価後に解除される可能性があります)。

Double-width モード

PIPE など、定義済みのサポート対象プロトコルの一部でないカスタム・プロトコルには、Double-width モードを使用します。いくつかの制約はありますが、以下の PCS ブロックが利用できます。

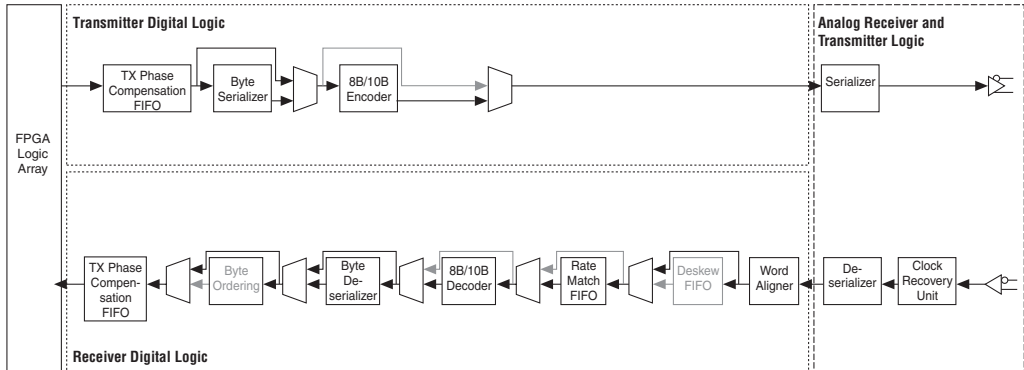
- トランスミッタ位相補償 FIFO バッファ
- トランスミッタ・バイト・シリアルライザ
- 8B/10B エンコーダ
- ワード・アライナ
- レート・マッチャ
- 8B/10B デコーダ
- バイト・デシリアルライザ
- バイト・オーダリング・ブロック
- レシーバ位相補償 FIFO バッファ


レート・マッチャをバイト・オーダリングで使用することはできず、またバイト・オーダリングをレート・マッチャで使用することもできません。レート・マッチャは一度に1バイトを移動するため、レート・マッチングが発生した場合は、ブロックの順序が変化します。レート・マッチャは8B/10B コード・グループと結合されるため、PCS または PLD ロジック・アレイのいずれかで8B/10B エンコーダまたはデコーダを使用する必要があります。

PCI Express (PIPE) モード

PCI Express は PCI (Peripheral Component Interconnect) を進化させたものです。PCI は、ワイドなマルチ・ドロップ・データ・バスを使用する同期シングル・エンド形式のシグナリング (図 2-82 参照) を利用するため、今日のアプリケーションに対しては帯域幅が制限されます。PCI ではクロックおよびデータ・トレース・マッチングが必要です。PCI Express は、エンベデッド・クロックと共に差動シリアル・シグナリングを使用して、リンクあたり 2 Gbps の実効スループットを可能にし、PCI の限界を回避しています。PCI Express は、×1、×4、×8、×16、および×32 コンフィギュレーションで動作し、ソフトウェアおよびドライバレベルで PCI と下位互換性があります。

図 2-82. PIPE モード



 Stratix II GX デバイスは、×1、×4、および ×8 コンフィギュレーションで PIPE 規格をサポートします。

Stratix II GX デバイスは、以下のような PCI Express プロトコルをサポートする専用回路を搭載しています。

- 8B/10B エンコーダおよびデコーダ
- 最大 ±300 ppm (合計 600 ppm) のクロック差のマルチ・クリスタル環境をサポートするレート・マッチャ
- PIPE インタフェース (Physical Interface for PCI Express)
- レシーバ検出
- ビーコン送信機能
- ループバック
- 反転
- デイスパリティ・コントロール

レート・マッチングを除いて、PHY ステート・マシンはトランシーバに含まれていません。これらのステート・マシンは PLD ロジックで作成できます。この動作モードは PIPE モードと呼ばれます。

同期化

PIPE モードでは、同期化は、レシーバが 4 つの有効な /K28.5/ カンマおよび 16 の有効コード・グループを受信したときに自動的に発生します。同期化は、4 つの有効な PCI Express トレーニング・シーケンス (TS1 または TS2) または 4 つの高速トレーニング・シーケンスを受け取ると行われます。図 2-83 に、PCI-E 同期化の状態図を示します。

図 2-83. PIPE モード同期ステート・マシン

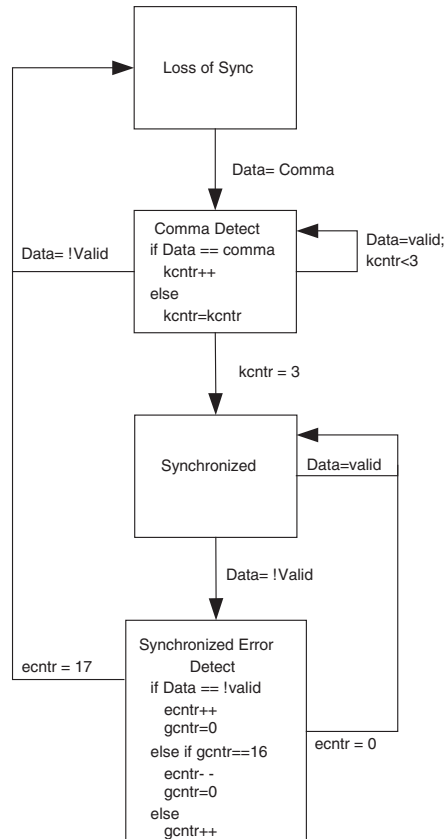


表 2-18 および 2-19 に、TS1 および TS2 トレーニング・シーケンスをそれぞれ記載します。PCI Express の高速トレーニング・シーケンスは、1 つの /K28.5/ とそれに続く 3 つの /K28.1/ コード・グループで構成されます。

同期化プロセス中に1つのコード・グループ・エラーが存在する場合は、再同期化を実行する必要があります。

シンボル番号	許容値	エンコード値	説明
0		K28.5	シンボル・アラインメント用カンマ・コード・グループ
1	0-255	D0.0-D31.7、および K23.7	コンポーネントとのリンク番号
2	0-31	D0.0-D31.0、および K23.7	ポート内のレーン番号
3	0-255	D0.0-D31.7	N_FTS。信頼性の高いビットとシンボル・ロックを取得するために、レシーバが必要とする高速トレーニング・オーダ・セットの数。
4	2	D2.0	データ・レート識別子 ビット0- 予約済み、0 に設定 ビット1 = 1、世代1 (2.5 Gbps) データ・レートのサポート ビット2.7- 予約済み、0 に設定
5	ビット0 = 0、1 ビット1 = 0、1 ビット2 = 0、1 ビット3 = 0、1 ビット4..7 = 0	D0.0、D1.0、D2.0、D4.0、および D8.0	トレーニング・コントロール ビット0- ホット・リセット ビット0 = 0、デアサート ビット0 = 1、アサート ビット1- ディセーブル・リンク ビット1 = 0、デアサート ビット1 = 1、アサート ビット1- ループバック ビット2 = 0、デアサート ビット2 = 1、アサート ビット3- ディセーブル・スクランブル ビット3 = 0、デアサート ビット3 = 1、アサート ビット4..7- 予約 ビット0 = 0、デアサート 0 に設定
6-15		D10.2	TS1 識別子

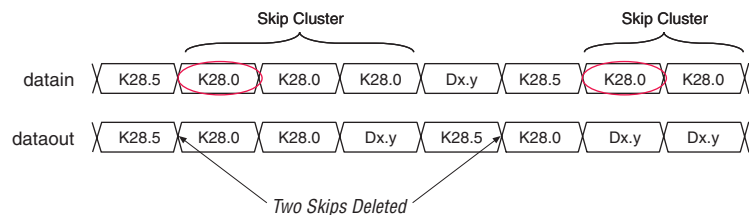
表 2-19. PCI Express TS2 オーダ・セット			
シンボル番号	許容値	エンコード値	説明
0		K28.5	シンボル・アラインメント用のカンマ・コード・グループ
1	0-255	D0.0-D31.7、 および K23.7	コンポーネントとのリンク番号
2	0-31	D0.0-D31.0、 および K23.7	ポート内のレーン番号
3	0-255	D0.0-D31.7	N_FTS。信頼性の高いビットおよびシンボル・ロックをレシーバが取得するために必要となる高速トレーニング・オーダ・セットの数。
4	2	D2.0	データ・レート識別子 ビット 0- 予約済み、0 に設定 ビット 1 = 1、世代 1 (2.5 Gbps) データ・レートのサポート ビット 2..7- 予約済み、0 に設定
5	ビット 0 = 0、1 ビット 1 = 0、1 ビット 2 = 0、1 ビット 3 = 0、1 ビット 4..7 = 0	D0.0、D1.0、 D2.0、D4.0、 および D8.0	トレーニング・コントロール ビット 0- ホット・リセット ビット 0 = 0、デアサート ビット 0 = 1、アサート ビット 1- ディセーブル・リンク ビット 1 = 0、デアサート ビット 1 = 1、アサート ビット 1- ループバック ビット 2 = 0、デアサート ビット 2 = 1、アサート ビット 3- ディセーブル・スクランブル ビット 3 = 0、デアサート ビット 3 = 1、アサート ビット 4..7- 予約 ビット 0 = 0、デアサート 0 に設定
6-15		D5.2	TS2 識別子

レート・マッチング

PIPE モードでは、レート・マッチャは、アップストリーム・トランスミッタとレシーバ間で最大 ± 300 ppm (合計 600 ppm) の差に対応します。レート・マッチャは、通常 /K28.5/ カンマとそれに続く 3 つの /K28.0/ スキップ・キャラクタを含むスキップ・オーダ・セットを探します。レート・マッチャは必要に応じてスキップ・キャラクタを削除または挿入して、レート・マッチング FIFO バッファのオーバフローまたはアンダフローを防止します。

レート・マッチャは、スキップ・キャラクタの連続クラスタ内で 1 種類のスキップ・キャラクタに限り、スキップ・キャラクタを削除することができます。図 2-84 に、PIPE モードのレート・マッチャが 2 個のスキップ・キャラクタを削除する例を示します。

図 2-84. PIPE モードでの 2 回の削除 (クラスタごとに 1 回の削除)



レート・マッチャは、スキップ・クラスタあたり 1 回の挿入でスキップ・キャラクタを挿入できます。スキップ・クラスタごとに許可される連続スキップ・キャラクタ数には制限がありません。

PIPE モードの Stratix II GX レート・マッチャには、FIFO バッファのオーバフローおよびアンダフロー保護が用意されています。FIFO バッファのオーバフローが発生した場合、レート・マッチャはレート・マッチャが満杯でなくなるまで、オーバフロー状態後のデータを削除して、FIFO ポインタの破壊を防止します。アンダフロー状態では、レート・マッチャは、FIFO バッファが空状態でなくなるまで 9'h1FE (/K30.7/) を挿入します。これらの処置によって、FIFO バッファは FIFO リセットの必要なしで、オーバフロー / アンダフロー状態から穏やかに抜け出すことができます。

電力ステート

Stratix II GX デバイスでは、P0、P0s、P1、P2 の 4 つの電力ステートがサポートされています。P0 が通常の電力ステートです。P0 は、P0 よりも回復時間が長い電力ステートです。P1 は P0 よりも低い電力ステートで、このステートから抜け出すためのレイテンシは高くなります。P2 はこのモードでサポートされる最低の電力ステートです。

powerdn ポートは、トランシーバを異なる電力ステートに移行させます。エンコード値を表 2-20 に示します。pipephydonestatus 信号は、powerdn 要求に応答し、1 パラレル・クロック・サイクルの間 High パルスを出力します。

各電力ステートで実行される具体的な機能があります。パワーダウン・ステートは、PIPE エミュレーション用のものです。トランシーバは、電氣的アイドルに対するトランスミッタ・バッファを除いて、実際の省電力モードに移行することはありません。PLD ロジックの消費電力は、トランシーバの消費電力よりもはるかに大きいため、これが問題になることはありません。トランシーバをパワーダウンしても、デバイス全体の総消費電力と比較すれば、電力節約量はそれほど大きくはありません。表 2-20 に各電力ステートとその機能を示します。

電力ステート	powerdn	機能	説明
P0	2'b00	通常データを送信するか、電氣的アイドルを送信するか、またはループバック・モードに入ります。	通常動作モード
P0s	2'b01	電氣的アイドルのみ送信します。	回復時間が長い省電力ステート
P1	2'b10	トランスミッタ・バッファはパワーダウンされ、この状態の間にレシーバ検出を実行できません。	回復時間が短い省電力ステート
P2	2'b11	電氣的アイドルまたはビーコンを送信して、ダウンストリーム・レシーバをウェーク・アップします。	最低の省電力ステート

電力ステートに関連付けられる信号には、tx_detectrxloopback と tx_forcelecidle の2つがあります。tx_detectrxloopback 信号は、P1 ステートで電力ステートが P0 またはレシーバ検出のときにチャンネルがループバックに入るかどうかを制御します。この信号は、その他の電力ステートには影響を与えません。tx_forcelecidle 信号は、トランスミッタが電氣的アイドルステートに遷移するタイミングを管理します。tx_forcelecidle 信号は、P0s および P1 ステートでアサートされ、P0 ステートでデアサートされます。P2 ステートでは、通常の状態では tx_forcelecidle 信号がアサートされ、ビーコン信号の送信が必要なときにデアサートされ、P2 パワーダウン・ステートを終了する意図を示します。表 2-21 に、各電力ステートにおける tx_detectrxloopback および tx_forcelecidle 信号を示します。

電力ステート	tx_detectrxloopback	tx_forcelecidle
P0	0: ノーマル・モード 1: ループバック・モードでのデータ・パス	0: デアサートが必要 1: 違法モード
P0s	Don't care	0: 違法モード 1: このステートではアサートが必要
P1	0: 電氣的アイドル 1: レシーバ検出	0: 違法モード 1: このステートではアサートが必要
P2	Don't care	ビーコン送信用にこのステートでデアサート。 それ以外はアサート。

レシーバ・ステータス

PCI Express 用 PIPE インタフェースには、PHY (PCS および PMA) のステータスをレポートするレシーバ・ステータス・インジケータがあります。レシーバ・ステータスは、3 ビットの `pipestatus` ポートによって PLD ロジックに通知されます。このポートは、表 2-22 に示すステータスを列挙します。複数のイベントが同時に発生した場合、より優先順位の高いステータスで信号が解決されます。スキップ・キャラクタの追加および削除フラグ (3'b001 および 3'b010) はサポートされません。`pipestatus` ポートは、3b'001 および 3'b010 にエンコードされることがありますが、これらは無視する必要があります。これはスキップが追加または削除されたことを示すものではなく、3'b000—受信データと同様に扱う必要があります。上位の MAC レイヤが、スキップ・キャラクタが追加または削除されたことを知る必要がある場合は、受信したスキップ・キャラクタ数をモニタすることをお勧めします。トランスミッタは、標準のスキップ・オーダ・セットで3つのスキップ・キャラクタを送信する必要があります。

表 2-22. `pipestatus` の説明と優先順位

<code>pipestatus</code>	説明	優先順位
3'b000	データを受信した	6
3'b001	1つのスキップ・キャラクタを追加した (サポートされていません)	N/A
3'b010	1つのスキップ・キャラクタを削除した (サポートされていません)	N/A
3'b011	レシーバを検出した	1
3'b100	8B/10B デコーダ・エラー	2
3'b101	エラスティック・バッファ・オーバフロー	3
3'b110	エラスティック・バッファ・アンダーフロー	4
3'b111	ディスパリティ・エラーを受信した	5

別のステータス・ポート `rx_pipedatavalid` は、`rx_dataout` ポート上のデータが有効であることを示します。この信号は、`rx_syncstatus` ポートと同じです。`rx_pipedatavalid` ポートは、`pipestatus` 信号と並行して動作します。

レシーバ検出

レシーバ検出回路は、PCI Express アプリケーションに利用できます。レシーバ検出回路は、P1 電力ステートでのみ利用でき、`tx_detectrxloopback` ポートを介して設定されます。レシーバ検出時に、`pipestatus` ポートはレシーバが検出されたかどうかを示します。`tx_detectrxloopback` 信号のアサート後には、レシーバ検出が示されるまで、いくらかレイテンシがあります。`tx_forceelecidle` ポートは、トランスミッタ・バッファが確実にトリステートになるように、`tx_detectrxloopback` より少なくとも 10 パラレル・クロック・サイクル前にアサートする必要があります。

ビーコン送信

ビーコンは、レシーバを P2 電力ステートからウェークする、30 kHz ~ 500 MHz の帯域内信号（オプション）です。この信号はオプションで、Stratix II GX デバイスは、専用のビーコン送信回路を搭載していません。Stratix II GX デバイスは、5 つの 1's パルスを持つ 10 ビット・エンコード・コード・ワード（例えば、K28.5）により、ビーコン信号の伝送をサポートします。

ビーコン信号は 2 ns ~ 500 ns の範囲のパルスなので、K28.5 を 2.5 Gbps で送信すると、5 個の 1's パルスにより下位要件に適合します（他の 8B/10B コード・グループがビーコン要件に適合することもあります。本書では K28.5 コントロール・コード・グループをビーコン信号として使用します）。ビーコン送信は、P2 電力ステートでのみ発生します。`tx_forceelecidle` ポートは、トランスミッタが電氣的アイドル状態になるかどうかを制御します。このポートは、K28.5 コード・グループを送信するには、デアサートする必要があります。

準拠パターン送信サポート

PCI Express には、テストを目的として準拠パターンを送信するオプションが用意されています。準拠パターンは、負のデイスパリティで送信しなければなりません。PIPE モードでは、`tx_forcedispcompliance` ポートで負のデイスパリティを設定します。

`tx_forcedispcompliance` ポートをアサートすると、8B/10B エンコーダによって負のデイスパリティにエンコードされる `tx_datain` ポートでの関連バイトが設定されます。よりワイドな PLD インタフェースを使用する場合、LSByte のみが負のデイスパリティでエンコードされます。`tx_forcedispcompliance` ポートは、準拠パターンの最初のバイトがトランシーバにクロックされた後にデアサートする必要があります。

準拠パターン・ジェネレータは、Stratix II GX トランシーバの一部ではないため、PLD ロジックを使用して設計する必要があります。ただし、`tx_forcedispcpliance` ポートをアサートして、準拠パターンのデイスパリティの開始を負に設定することはできます。

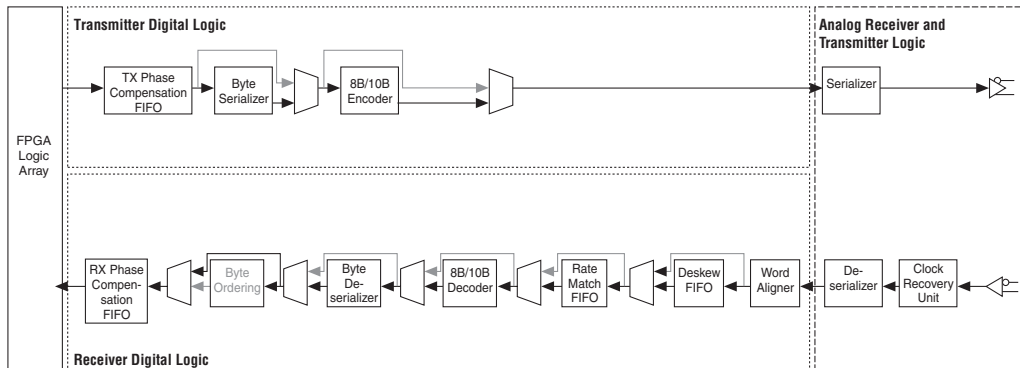
XAUI モード

この項では、XAUI 規格 (図 2-85 を参照) およびコード・グループ、この自己管理インタフェースに関連付けられたオーダ・セットについて簡単に説明します。XAUI 規格について詳しくは、10 Gigabit Ethernet 規格 (IEEE 802.3ae) の clause 47 および 48 を参照してください。

Stratix II GX デバイスは、同期化、チャネル・スキュー、レート・マッチング、XGMII Extender Sublayer (XGXS) から XGMII (10 Gigabit Media Independent Interface) および XGMII から XGXS コード・グループへの変換マクロを含む、XAUI プロトコル専用のエンベデッド・マクロを搭載しています。

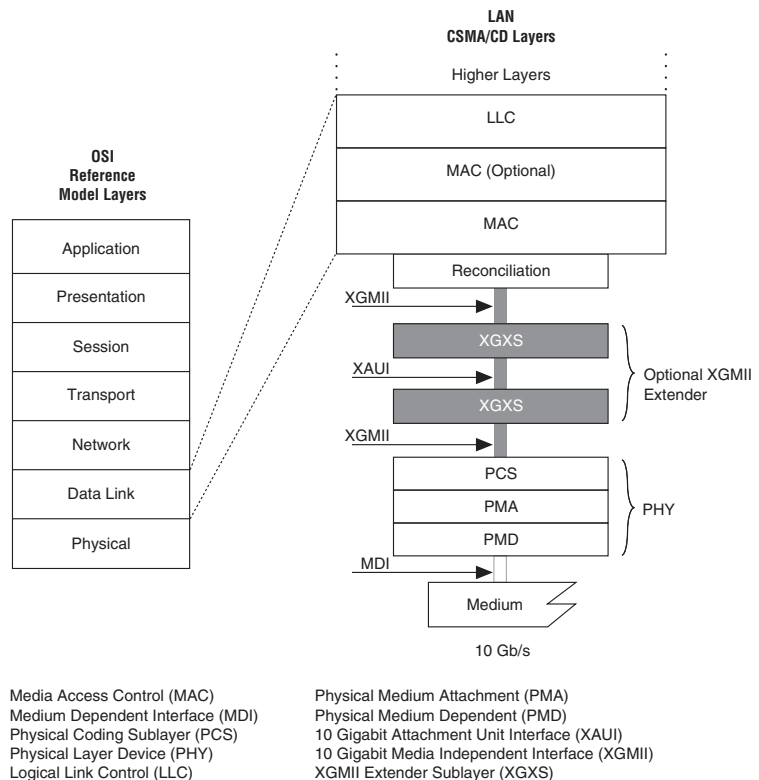
XAUI 規格は、リコンシリエーション・サブレイヤと PHY レイヤの間に挿入して、XGMII の物理的リーチを透過的に拡張する、オプションの自己管理インタフェースです。

図 2-85. XAUI モード



XAUI は XGMII のいくつかの物理的制限に対処します。XGMII シグナリングは、HSTL Class I シングル・エンド標準 I/O 規格に基づくものであり、この規格には、約 7 cm という電気的距離制限が設けられています。XAUI は低電圧差動信号方式を利用するため、この電気的制限は約 50 cm に拡張されます。XAUI のもう 1 つの利点は、バックプレーンおよびボード・トレース配線の仕様が簡潔なことです。XGMII は、合計 74 ピンのワイド・インタフェースに対応する 32 送信チャネル、32 受信チャネル、1 送信クロック、1 受信クロック、4 トランスミッタ・コントロール・キャラクタ、および 4 受信コントロール・キャラクタで構成されています。XAUI は、合計 16 ピンのワイド・インタフェースに対応する 4 差動トランスミッタ・チャネルおよび 4 差動レシーバ・チャネルで構成されています。このようにピン数が削減されることにより、レイアウト・デザインにおける配線プロセスが大幅に簡略化されます。図 2-86 に、XGMII と XAUI レイヤの関係を示します。

図 2-86. XGMII と XAUI の関係



XGMII インタフェースは8ビットの4レーンで構成されています。XAUI インタフェースの送信側では、データおよびコントロール・キャラクタは、XGXS 内部で 8B/10B エンコード・データ・ストリームに変換されます。各データ・ストリームは、3.125 Gbps で動作する単一差動ペアで送信されます。XAUI レシーバでは、入力データがデコードされ、32 ビットの XGMII フォーマットにマップされます。これによって、XGMII の物理的リーチが透過的に拡張され、インタフェース・ピン数も削減されます。

コード・グループの同期化、チャネル・デスクュー、およびクロック・ドメイン・デカップリングが上位レイヤのサポート要件なしに処理されるため、XAUI は自己管理インタフェースとして機能します。この機能は、IPG タイムおよびアイドル期間中に使用される PCS コード・グループに基づいています。PCS コード・グループは、XGXS によって、表 2-23 に記載した XGMII キャラクタにマップされます。

XGMII TXC	XGMII TXD (1)	PCS コード・グループ	説明
0	00 ~ FF	Dxx.y	通常 of データ送信
1	07	K28.0、K28.3、 または K28.5	IIII でアイドル
1	07	K28.5	IITII でアイドル
1	9C	K28.4	シーケンス
1	FB	K27.7	起動
1	FD	K29.7	停止
1	FE	K30.7	エラー
1	その他の値		予約済みの XGMII キャラクタ
1	その他の値	K30.7	削除された XGMII キャラクタ

表 2-23 の注：

(1) TXD カラムの値は 16 進数です。

図 2-87 に、XGMII キャラクタと XAUI で使用される PCS コード・グループとの間のマッピング例を示します。アイドル・キャラクタは、/A/、/R/、および /K/ コード・グループの擬似ランダム・シーケンスにマップされます。

図 2-87. XGMII キャラクタから PCS コード・グループへのマッピング

XGMII																		
T/RxD<7:0>			S	Dp	D	D	D	---	D	D	D	D						
T/RxD<15:8>			Dp	Dp	D	D	D	---	D	D	D	T						
T/RxD<23:16>			Dp	Dp	D	D	D	---	D	D	D							
T/RxD<31:24>			Dp	Dp	D	D	D	---	D	D	D							

PCS																		
Lane 0	K	R	S	Dp	D	D	D	---	D	D	D	D	A	R	R	K	K	R
Lane 1	K	R	Dp	Dp	D	D	D	---	D	D	D	T	A	R	R	K	K	R
Lane 2	K	R	Dp	Dp	D	D	D	---	D	D	D	K	A	R	R	K	K	R
Lane 3	K	R	Dp	Dp	D	D	D	---	D	D	D	K	A	R	R	K	K	R

PCS コード・グループは、PCS オーダ・セットを介して送信されます。PCS オーダ・セットは、コード・グループのカラムとして定義された特殊コード・グループとデータ・コード・グループの組み合わせで構成されています。これらのオーダ・セットは、レーン 0 で始まる 4 つのコード・グループで構成されています。表 2-24 に、XAUI の自己管理プロパティに使用される定義済みアイドル・オーダ・セット (IIII) を記載します。

コード	オーダ・セット	コード・グループ数	エンコーディング
IIII	アイドル		XGMII Idle の代替
IIKII	同期化カラム	4	/K28.5/K28.5/K28.5/K28.5
IIRII	スキップ・カラム	4	/K28.0/K28.0/K28.0/K28.0
IIAII	アライン・カラム	4	/K28.3/K28.3/K28.3/K28.3

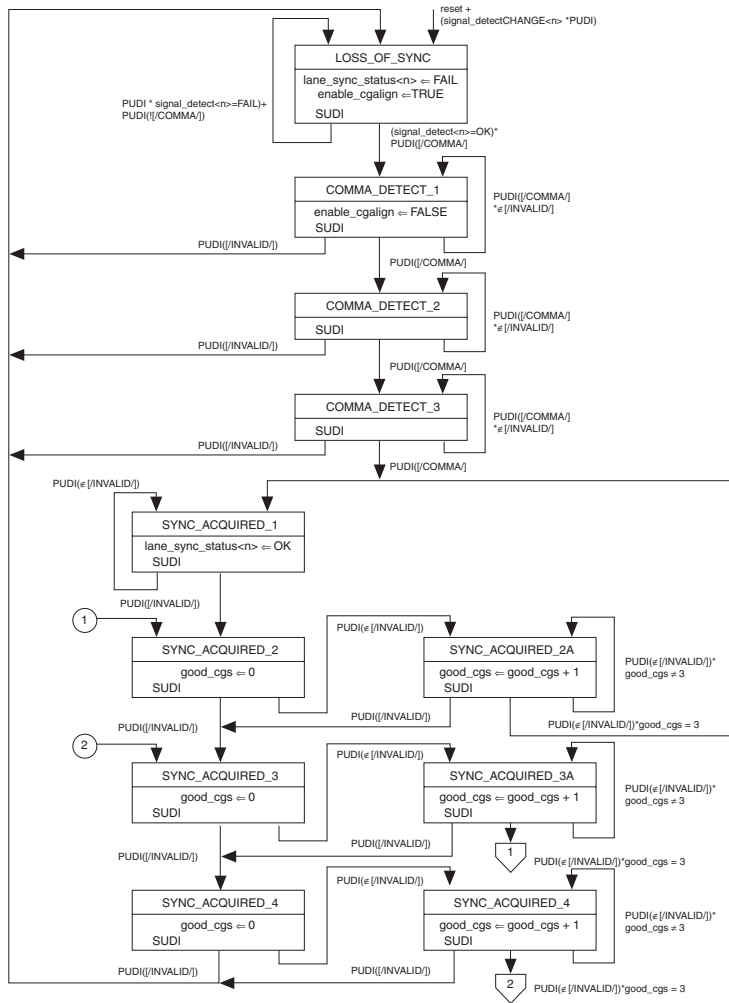
同期化 IIKII (ワード・アライナ)

XAUI は、コード・グループ境界を変更する可能性があるデータをリタイムするエンベデッド・クロッキング方式を使用します。コード・グループの境界は、IEEE P802.3ae 規格の clause 48 で規定される同期化プロセスに従って、リアライメントされます。この規格では、同期化は /K28.5/カンマを 4 個受信したときに達成されると規定されています。それぞれのカンマには、任意の数の有効コード・グループを続けることができます。無効コード・グループは、同期化ステージの間は許可されません。

Stratix II GX デバイスを XAUI プロトコルに合わせてコンフィギュレーションすると、ビルトイン・パターン検出、ワード・アライナ、および XAUI ステート・マシンは PCS 同期化仕様に適合します。同期化の条件がすべて満たされると、`rx_syncstatus` 信号がアサートされ、同期化が失われた場合にのみデアサートされます。

図 2-88 に、IEEE P802.3ae の clause 48 で規定される PCS 同期状態図を示します。

図 2-88. IEEE 802.3ae PCS 同期状態図

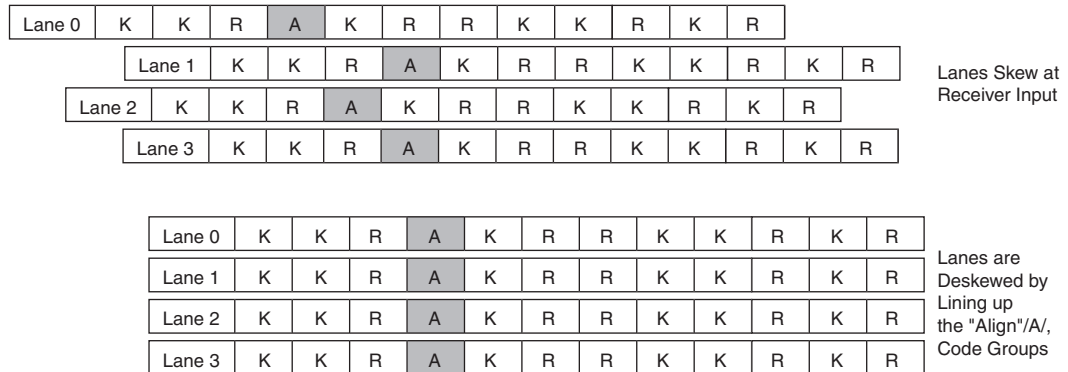


チャンネル・アライナ IIAII (デスキュー)

ボード・スキューまたはシリアル・レーンあたりの独立クロック・リカバリ間の差異が原因で、オーダ・セットが互いにミスアラインメントされる可能性があります。デスキューまたはチャンネル・ボンディングとも呼ばれるチャンネル・アラインメントは、/A/ で表されるアラインメント・コード・グループを使用することによって、オーダ・セットをリアラインメントします。/A/ コード・グループは、アイドルまたは IPG の間に、4 レーンすべてで同時に送信され、IIAII オーダ・セットを構成します。XAUI レシーバは、これらのコード・グループを使用してレーン間スキューを解決します。レーン間のスキューは、規格で規定されるとおり最大 40 UI (12.8 ns) が可能であり、これによってボード・デザインにおける制約が緩和されます。

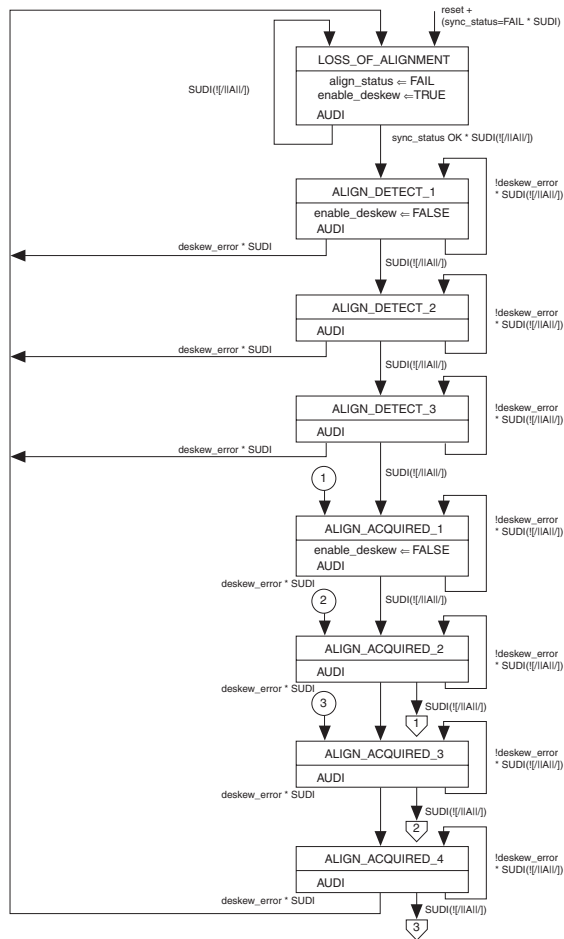
図 2-89 に、レシーバ入力でのレーン・スキューとデスキュー回路が /A/ コード・グループを使用してチャンネルをデスキューする方法を示します。

図 2-89. /A/ コード・グループを使用したレーン・デスキュー



Stratix II GX デバイスは、XAUI デスキュー・ステート・マシンで制御される 16 ワードの FIFO バッファで構成される専用のデスキュー・マクロを使用して、XAUI チャンネル・アラインメントを管理します。XAUI デスキュー・ステート・マシンはまず、各チャンネル内で /A/ コード・グループを探します。XAUI デスキュー・ステート・マシンが各チャンネル内で /A/ を検出すると、デスキュー FIFO バッファがイネーブルされます。するとデスキュー・ステート・マシンは、/A/ コード・グループの受信をモニタするようになります。4つのアラインメント済み /A/ コード・グループを受信すると、rx_channelaligned がアサートされます。デスキュー・ステート・マシンは /A/ コード・グループの受信をモニタし続け、アラインメント状態が失われた場合は rx_channelaligned 信号をデアサートします。このビルトイン・デスキュー・マクロは、XAUI プロトコルに対してのみイネーブルされます。図 2-90 に、IEEE P802.3ae の clause 48 で規定される PCS デスキュー状態図を示します。


図 2-90. IEEE 802.3ae PCS デスキュー状態図



クロック補償 IIRII (レート・マッチャ)

XAUI は、クリスタ間で ± 100 ppm の周波数変動を許容できる、マルチ・クリスタル環境で動作可能です。Stratix II GX デバイスは、IPG またはアイドル・ストリームから PCS SKIP コード・グループ (/R/) を挿入または削除して達成されるクロック・レート補償を実行するエンベデッド回路を搭載しています。このプロセスは、レート・マッチングと呼ばれていますが、クロック・レート補償と呼ばれることもあります。

Stratix II GX デバイスのレート・マッチャは、XAUI、GIGE、またはカスタム・モードをサポートするようコンフィギュレーション可能なコントロール・ロジックと共に、深度 12 ワードの FIFO バッファで構成されています。XAUI モードでは、コントローラは、rx_channelaligned 信号がアサートされるたびに、FIFO バッファへのデータの書き込みを開始します。コントロール・ロジック内部には、リードおよびライトの実行を追跡する FIFO カウンタがあります。FIFO カウンタが 10 以上の値に達すると、レシーバは、IPG またはアイドル状態の間に、全チャンネルで /R/ コード・グループを同時に削除します。FIFO カウンタが 4 以下の場合、レシーバは、IPG またはアイドル状態の間に全チャンネルに対して /R/ コード・グループを同時に挿入します。

 この回路は、±100 ppm の周波数変動を補償します。

PCS コード・グループから XGMII キャラクタへのマッピング

XAUI モードでは、Stratix II GX デバイスの 8B/10B デコーダは、各種 PCS コード・グループを特定の 8 ビット XGMII コードにマップするグローバル・レシーバ・ステート・マシンによって制御されます。表 2-25 に、PCS コード・グループから XGMII キャラクタへのマッピングを示します。

XGMII RXC	XGMII RXD (1)	PCS コード・グループ	説明
0	00 ~ FF	Dxx.y	通常のデータ送信
1	07	K28.0、K28.3、 または K28.5	IIII でアイドル
1	07	K28.5	IITII でアイドル
1	9C	K28.4	シーケンス
1	FB	K27.7	起動
1	FD	K29.7	停止
1	FE	K30.7	エラー
1	FE	無効コード・ グループ	受信したコード・ グループ

表 2-25 の注：

(1) RXD カラムの値は 16 進数です。

XGMII キャラクタから PCS コード・グループへのマッピング

XAUI モードでは、Stratix II GX デバイスの 8B/10B デコーダは、各種 8 ビット XGMII コードを 10 ビット PCS コード・グループにマップするグローバル・トランスミッタ・ステート・マシンによって制御されます。このステート・マシンは、IEEE 802.3ae PCS 送信規格に準拠しています。図 2-91 に、IEEE P802.3ae の clause 48 で規定される PCS 送信ソース状態図を示します。

図 2-91. IEEE 802.3ae PCS 送信ソース状態図

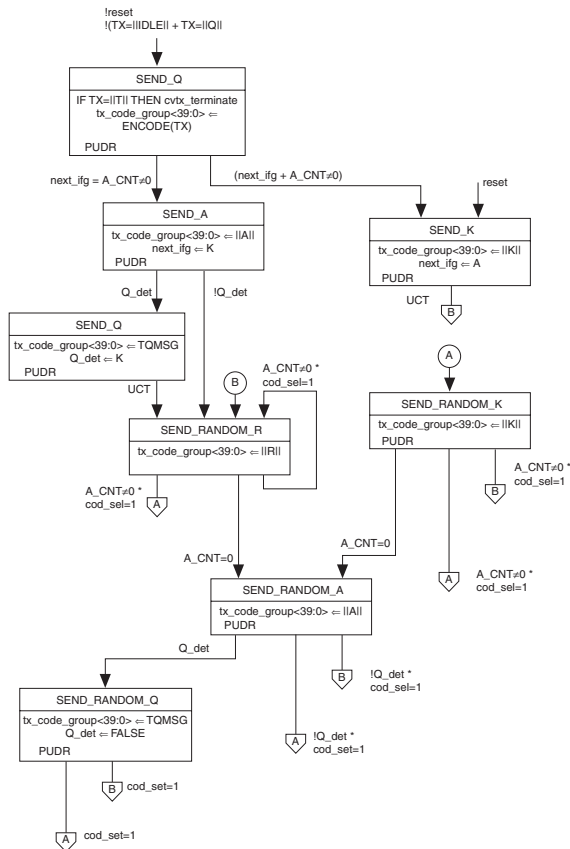


表 2-26 に、XGMII キャラクタから PCS コード・グループへのマッピングを示します。

XGMII TXC	XGMII TXD (1)	PCS コード・グループ	説明
0	00 ~ FF	Dxx.y	通常のデータ送信
1	07	K28.0、K28.3、 または K28.5	IIII でアイドル
1	07	K28.5	IIITII でアイドル
1	9C	K28.4	シーケンス
1	FB	K27.7	起動
1	FD	K29.7	停止
1	FE	K30.7	エラー
1	その他の値		予約済み XGMII キャラクタ
1	その他の値	K30.7	無効な XGMII キャ ラクタ

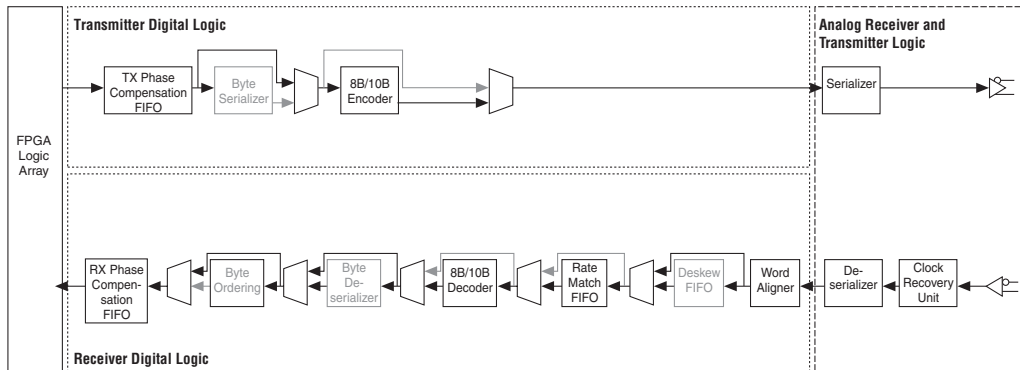
表 2-26 の注：

(1) TXD カラムの値は 16 進数です。

GIGE モード

GMII (Gigabit Media Independent Interface) は、さまざまなメディアを GIGE システム (図 2-92 参照) 内のメディア・アクセス・コントロール (MAC) と連結する中間レイヤ、またはトランジション・レイヤです。GMII は、PCS レイヤ、PMA レイヤ、および物理メディア依存 (PMD) レイヤの 3 つのレイヤに分割されます。GMII は、半二重または全二重のいずれかの二重モードで最大 1000 Mbps のデータ・レートに対応可能です。

図 2-92. GIGE モード



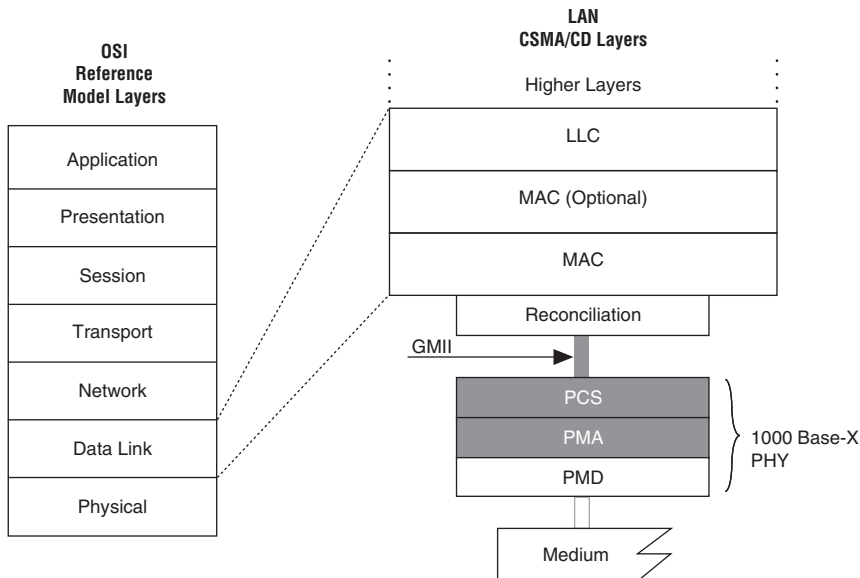
PCS サブレイヤは、同期化、エンコーディングおよびデコーディング、レート・マッチング・サービスを MAC に提供します。PCS はさらに、オート・ネゴシエーションをネットワークに提供して、速度、キャリア、および衝突検出信号を設定します。

PMA サブレイヤは PCS に、さまざまなシリアル物理メディアを接続できるメディア独立インタフェースを提供します。このレイヤは、データのシリアル化とパラレル変換を処理します。

PMD サブレイヤは、さまざまなメディアの種類に対するコネクタなど、実際の物理接続を定義します。

図 2-93 に、OSI 参照モデルに対する GMII の位置を示します。

図 2-93. OSI 参照モデルに対する GMII の位置



Stratix II GX トランシーバは、GMII の PCS レイヤおよび PMA レイヤに使用できます。GIGE モードでの Stratix II GX デバイスは、8B/10B エンコーダ / デコーダ、レート・マッチャ、およびシンクロナイザ内蔵ハード・マクロを使用します。レート・マッチャおよびシンクロナイザは、それらの機能を管理する専用のステート・マシンを搭載しています。このステート・マシンは GIGE モードでのみアクティブになります。

表 2-27 に、GIGE プロトコルで使用されるコード・グループを示します。デザインに必要な場合、PCS のその他の機能（オート・ネゴシエーション、衝突検出、およびキャリア検出）は、ユーザ・ロジックまたは外部回路で実装する必要があります。

表 2-27. GIGE コード・グループ (1 / 2)

コード	オーダ・セット	コード・グループ数	エンコーディング
/C/	コンフィギュレーション		交互の /C1/ および /C2/
/C1/	コンフィギュレーション1	4	/K28.5/D21.5/Config_Reg (1)
/C2/	コンフィギュレーション2	4	/K28.5/D2.2/Config_Reg (1)
//	IDLE		/I1/ の訂正、/I2/ の維持

表 2-27. GIGE コード・グループ (2 / 2)

コード	オーダ・セット	コード・グループ数	エンコーディング
/I1/	IDLE 1	2	/K28.5/D5.6
/I2/	IDLE 2	2	/K28.5/D16.2
	カプセル化		
/R/	Carrier_Extend	1	/K23.7/
/S/	Start_of_Packet	1	/K27.7/
/T/	End_of_Packet	1	/K29.7/
/V/	Error_Propagation	1	/K30.7/

表 2-27 の注：

(1) Config_Reg 値を表す 2 つのデータ・コード・グループ

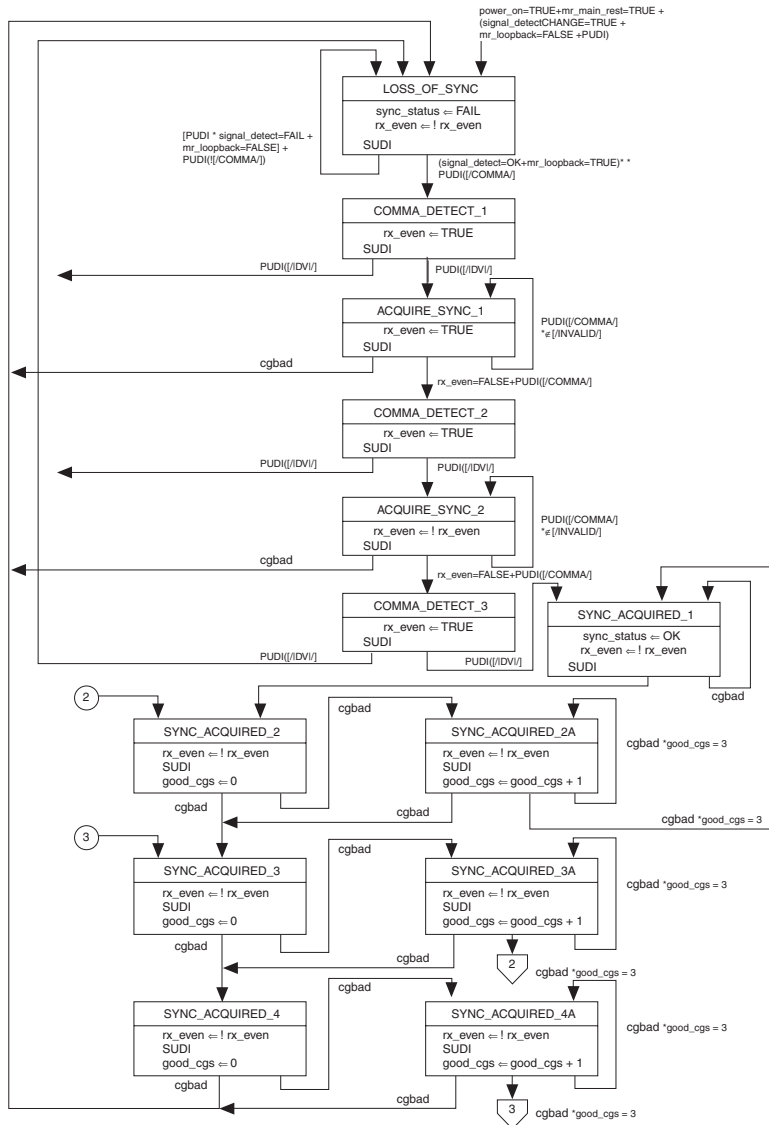
同期化 (ワード・アライナ)

Stratix II GX トランシーバ・ブロックは非ソース同期シリアル・ストリームを使用するので、GIGE モードでは、レシーバのバイト境界をトランスミッタの境界にアラインメントするために同期化が必要になります。レシーバでバイト境界を正しくアラインメントするには、Dx.y および / または Kx.y コードの組み合わせの間では発生しない、固有の同期パターンを受信する必要があります。/K28.5/ 10 ビット・カンマはこの目的で使用されます。

同期化は、レシーバが 3 つの連続するオーダ・セットを確認すると達成されます。同期用に定義されるオーダ・セットは、/K28.5/ カンマに任意の奇数個の有効な /Dx.y/ コードを続けたものです (/Dx.y/ は任意の有効なデータ・コード・グループを示します)。同期化ルールに基づいて多くの同期パターンを持つことができますが、3 つの /K28.5/ に 1 つの /Dx.y/ コードを続けたものが最速の同期パターンとなります。

GIGE モードでは、IEEE 802.3 GMII PCS 同期規格に従う特殊な同期シーケンスが必要です (図 2-94)。

図 2-94. 同期図のステート・マシン

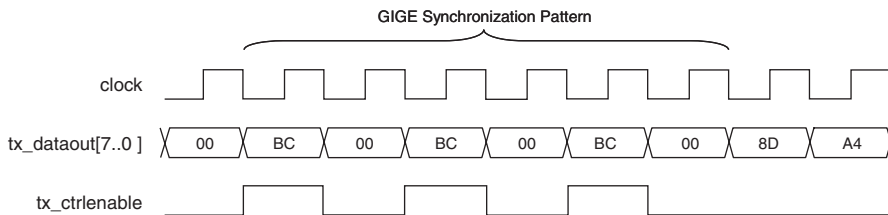


GIGE トランスミッタの同期化

トランスミッタは、ターゲット・レシーバを同期化するために GIGE 同期シーケンスを送信する必要があります。Stratix II GX デバイスは、この機能をパワー・アップまたはリセット時に可能にする内蔵マクロを搭載していません。この機能は、/K28.5/、/Dx.y/、/K28.5/、/Dx.y/、/K28.5/、/Dx.y/ のシーケンスを送信するように、ユーザ・ロジック内で実装する必要があります。

図 2-95 に GIGE 同期パターンの例を示します。例では、1 つの D0.0 (8'h00) が /Dx.y/ コードとして示されていますが、任意の /Dx.y/ および任意の奇数個の /Dx.y/ を使用できます。

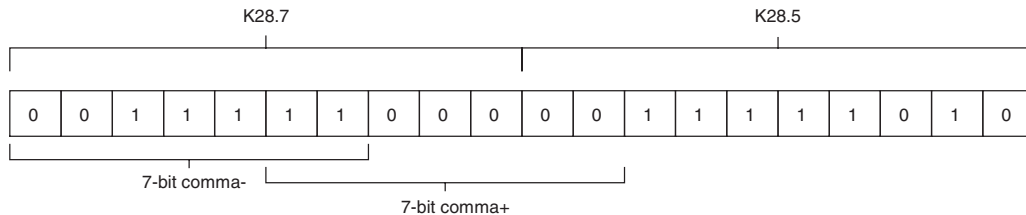
図 2-95. GIGE 同期送信パターン



GIGE レシーバの同期化

レシーバは、K28.5 (10'b0101111100 または 10'b1010000011) ワード・アライン・パターン (ALIGN_PATTERN = 0101111100 または ALIGN_PATTERN = 1010000011) で事前にコンフィギュレーションする必要があります。7ビット・カンマ文字列 (7'b00111111 をカンマ- または 7'b11000000 をカンマ+ とする) は IEEE 802.3 の規定に従って許可されますが、ALIGN_PATTERN_LENGTH は 10 に設定する必要があります。この 7 ビット・カンマは、/K28.1/、/K28.5/、および /K28.7/ コード・グループ内に配置されています。10 ビットの /K28.5/ を使用すると、/K28.7/ コードに /K28.x/、/D3.x/、/D3.x/、/D11.x/、/D12.x/、/D19.x/、/D20.x/、または /D28.x/ (ここで x は 0 から 7 までの値) が続くときに、7 ビット・カンマが境界を越えて検出されるのを防止するのに役立ちます (図 2-96)。

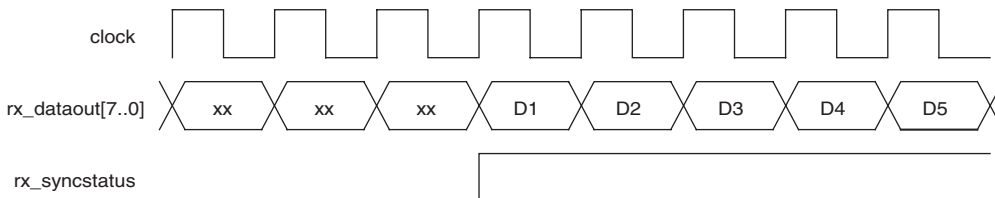
図 2-96. /K28.7/ に /K28.5/ コード・グループが続くときの 7 ビット・カンマの境界交差



レシーバは K28.4 (8'h9c + rx_ctrlldetect) を rx_outrx_dataout ポートで出力し、レシーバが同期していないときに rx_syncstatus (1'b0) 信号をデアサートします。同期すると、レシーバは rx_syncstatus 信号 (1'b1) をアサートします。この信号は、rx_outrx_dataout ポートから受信した最初の有効なデータとアラインメントされます。

図 2-97 に、レシーバの同期波形を示します。rx_syncstatus ポートは、同期化が完了すると High になり、データが有効であることを示します。図 2-97 で、D1 は最初の有効データです。

図 2-97. 同期化の完了



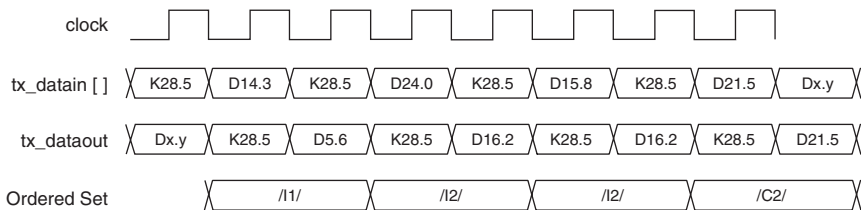
レシーバは、不良コード・グループの文字列を検出するか、リセットされるまで、同期状態に維持されます。不良コード・グループは、3 つ未満の有効コード・グループで区切られた 4 つの無効コード・グループとして IEEE 802.3 規格で定義されています。レシーバが不良コード・グループを検出するか、またはリセットされた場合、rx_syncstatus 信号は High になってから Low になり、/K28.4/ が rx_outrx_dataout ポートに現れます。

アイドル生成

GIGE モードでは、/K28.5/ カンマに続く任意の /Dx.y/ は、/K28.5/ に続くデータが /D21.5/ (8'hb5) または /D2.2/ (8'h42) である場合を除き、現在ランニング・デイスパリティに応じて、トランスミッタによって /D5.6/ (8'hc5) または /D16.2/ (8'h50) のいずれかで置き換えられます。これによって、/I1/ (/K28.5/, /D5.6/) および /I2/ (/K28.5/, /D16.2/) オーダ・セットが確実に生成され、コンフィギュレーション・オーダ・セット /C1/ (/K28.5/, /D21.5/) および /C2/ (/K28.5/, /D2.2/) を受信することが可能になります。アイドル・オーダ・セット前のランニング・デイスパリティが正の場合、/I1/ が選択されます。ランニング・デイスパリティが負の場合、/I2/ が選択されます。/I1/ の末尾におけるデイスパリティは、/I1/ の先頭におけるデイスパリティの反対となります。/I2/ の末尾におけるデイスパリティは、先頭におけるランニング・デイスパリティ (アイドル・コードの直前) と同じです。これによって、アイドル・オーダ・セットの末尾における負のランニング・デイスパリティが確保されます。/K28.5/ に続く /Kx.y/ は置き換えられません。

図 2-98 に、入力データ・コードと出力データ・コードを示します。/D14.3/, /D24.0/, および /D15.8/ は /D5.6/ または /D16.2/ (/I1/, /I2/ オーダ・セットの場合) で置き換えられ、/D21.5/ (/C2/ オーダ・セットの一部) は置き換えられていません。

図 2-98. 入力データ・コードと出力データ・コードの例



レート・マッチング (レート・マッチャ)

GIGE はマルチ・クリスタル環境で動作できるため、異なる水晶による周波数変動を補償するためにレート・マッチングが必要です。Stratix II GX デバイスには、最大で ± 100 ppm の周波数変動を許容し、補償できるビルトイン・レート・マッチャ (コントロール・ロジック付き深度 12 ワードの FIFO バッファ) が搭載されています。

GIGE モードでは、レート・マッチングはレート・マッチャ内で自動的に発生します。GMII プロトコルに準拠する場合、/I/ セット (/I1/、/I2/) はフレーム間ギャップ (IFG) の間に送信されます (GMII プロトコルは 96 ビット長を指定)。/I2/ オーダ・セット (/K28.5/、/D16.2/) は、レート・マッチャ FIFO バッファがどの程度満杯または空であるか、および現在のランニング・ディスプレイが負であるかどうかに基づいて、追加または削除されます。/I2/ オーダ・セットには 2 つの 10 ビット・コード・グループがあります。2 つの 10 ビット・グループ (合計 20 ビット) は同時に削除または追加されます。FIFO バッファ内のワード数 (FIFO カウント) が 9 よりも大きい場合、FIFO バッファは、/I2/ オーダ・セットが検出されると書き込みを停止します (図 2-99)。FIFO カウントが 4 以下の場合、FIFO バッファは読み出しを停止し、次の FIFO データの代わりに /I2/ オーダ・セットを挿入します (図 2-100)。

レート・マッチング FIFO バッファがアンダフローまたはオーバフロー状態 (空または満杯) の場合、レシーバは /K28.4/ (8'h9C + ctrl) を出力します。これは、リード・クロックとライト・クロックの ppm (100 万分の 1) 差が大きすぎる場合、IFG または IPG が小さすぎる (削除するだけの十分な /I2/ コード・グループが存在しない) 場合、および / またはフレーム・サイズもしくはパケット・サイズが大きすぎる場合に発生することがあります。

図 2-99. FIFO カウントが 10 以上のときの /I2/ の削除

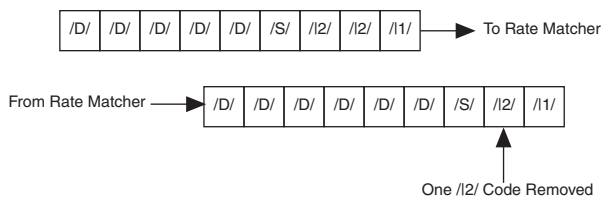


図 2-100. FIFO カウントが 4 以下のときの /I2/ の追加



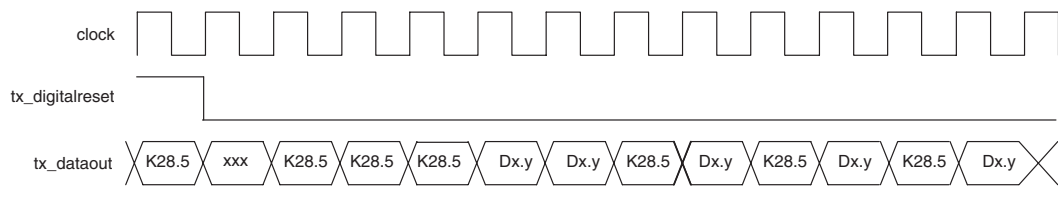
リセット状態

パワー・アップまたはリセット後に、GIGEトランスミッタは3つの/K28.5/カンマを出力し、その後でユーザ・データの送信が可能になります。これは同期化オーダ・セットの送信に影響を与えます。

リセット (tx_digitalreset) 後に、8B/10B エンコーダは自動的に3つの /K28.5/ カンマを送信します (詳しくは、2-95 ページの「8B/10B デコーダ」の項を参照してください)。同期シーケンスの出力を開始するタイミングにより、同期シーケンスの前にトランスミッタから偶数個または奇数個の /Dx.y/ が送信されます。自動的に送信された3つのうち最後の /K28.5/ と、ユーザが送信した最初の /Dx.y/ は、1つのアイドル・オーダ・セットとして扱われます。これは、同期シーケンスの開始前に、偶数個の /Dx.y/ が送信された場合は問題となることがあります。

図 2-101 に、自動的に送信された最後の /K28.5/ とユーザが送信した最初の /K28.5/ の間にある偶数個の /Dx.y/ の例を示します。ユーザが送信した最初のオーダ・セットは無視されるため、適切な同期化には別に3つのオーダ・セットが必要です。図 2-101 に、Low になる tx_digitalreset 信号と、3つ (ただしそれ以上も可能) の自動 K28.5 のうち最初の K28.5 との間にある1つの don't care データを示します。

図 2-101. リセット後における GIGE 同期化オーダ・セットの検討事項



SONET Backplane モード

SONET は、通信およびテレコム・アプリケーションで設置されるバックプレーンに使用されている、最も一般的なシリアル・インタコネクタ・プロトコルの1つです。SONET は、さまざまな容量の信号を同期式光ハイアラーキを介して伝送するための、多様なオプティカル・キャリア (OC) サブプロトコルを定義しています。

Stratix II GX トランシーバは、物理層デバイスとして SONET バックプレーン・システムに使用できます。これらのトランシーバは、A1A2 または A1A1A2A2 パターンへのアラインメントなど、SONET プロトコル特有の機能や電気特性をサポートします。

トランスポート・オーバーヘッド・バイト A1 および A2 は、シリアル・データ・ストリームからフレーム境界を復元するために使用されます。フレーム・サイズは固定されているため、A1 および A2 バイトは 125 μ s ごとにシリアル・データ・ストリーム内に現れます。OC-12 バックプレーン・システムでは、12 の A1 バイトに 12 の A2 バイトが続きます。同様に、OC-48 バックプレーン・システムでは、48 の A1 バイトに 48 の A2 バイトが続きます。

SONET バックプレーン・システムでは、A1 および A2 のバイト値は以下のように固定されています。

- A1 = "11110110" または 8'hF6
- A2 = "00101000" または 8'h28

OC-12 および OC-48 のデータ・パス

OC-12 および OC-48 コンフィギュレーションでは、図 2-103 および 2-104 に示すように、データ・パスは類似しています。唯一異なる点は、OC-48 は 16 ビット PLD インタフェースを使用するのに対し、OC-12 コンフィギュレーションでは 8 ビット PLD インタフェースを使用することです。OC-48 コンフィギュレーションでは、バイト・シリアライザおよびデシリアライザ、およびバイト・オーダリング・ブロックを用いて、16 ビット PLD インタフェースを 8 ビット・トランシーバ・データ・パスに変換します。

図 2-103. OC-12 データ・パス

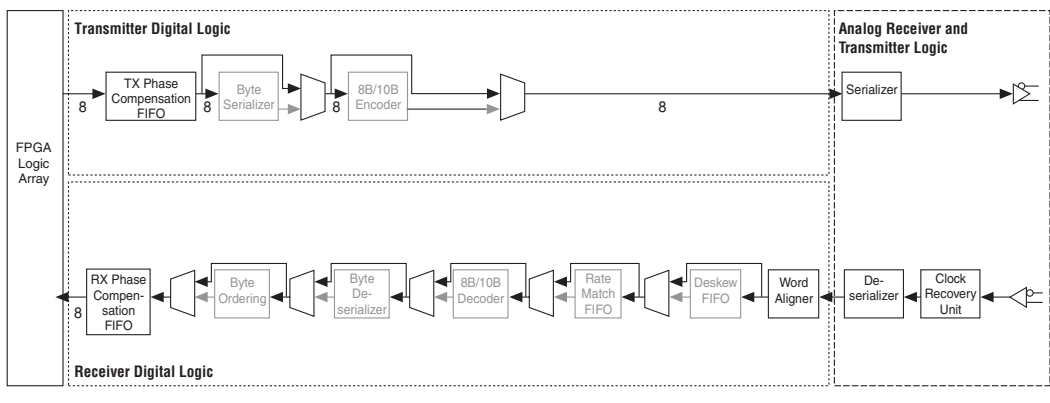
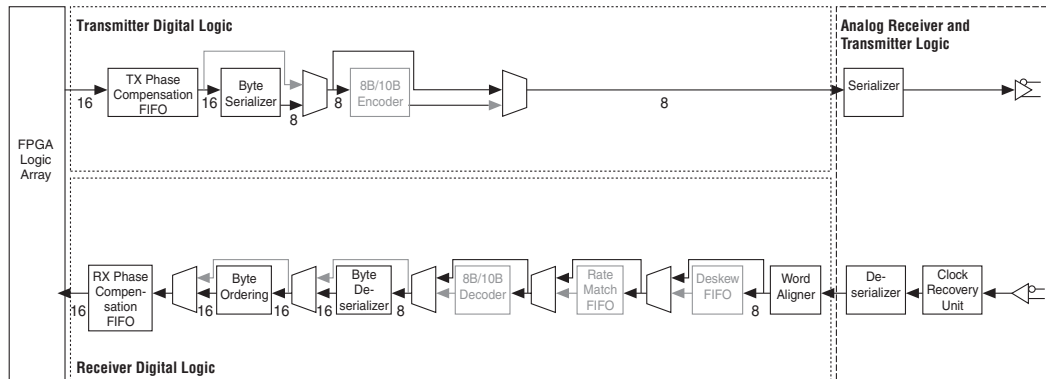


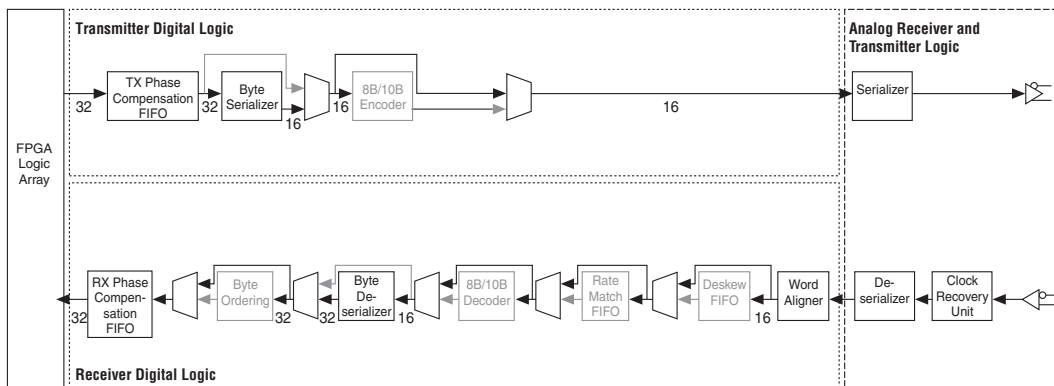
図 2-104. OC-48 データ・パス



OC-96 データ・パス

OC-96 データ・パスは、OC-12 および OC-48 データ・パスよりも幅が大きくなります (図 2-105 参照)。OC-96 データ・パスは、バイト・シリアライザおよびデシリアライザによって 16 ビット幅のトランシーバ・データ・パスに変換される 32 ビット幅の PLD インタフェースを備えています。その結果、ビット・シリアライゼーション・ファクタは、OC-12 および OC-48 では 8 であるのに対し、OC-96 コンフィギュレーションでは 16 になります。また、OC-96 コンフィギュレーションでは、トランシーバ・データ・パスにバイト・オーダリング・ブロックはありません。必要に応じて、OC-96 コンフィギュレーションでは、PLD ロジック・アレイにバイト・オーダリング・ロジックを実装します。

図 2-105. OC-96 データ・パス



SONET シリアル・データ送信のビット順序

データ・バイトの最下位ビットが最初に転送されるイーサネットとは異なり、SONET では、最上位ビットを最初に、最下位ビットを最後に転送する必要があります。MSBit から LSBit への転送を容易にするには、ウィザードで以下のオプションをイネーブリングすることが必要です。

- Flip Transmitter Input Data Bits (送信専用または二重モードで使用する場合)
- Flip Receiver Output Data Bits (受信専用または二重モードで使用する場合)

データ・バイトが MSBit から LSBit に転送されるか、または LSBit から MSBit に転送されるかに応じて、ウィザードで適切なワード・アライナ設定を選択する必要があります。2-145 ページの表 2-28 に、各ビット送信順序に対する正しいワード・アライナ設定を示します。

OC-12 および OC-48 ワード・アラインメント

SONET モードでは、2-70 ページの「マニュアル SONET アラインメント・モード (2つの連続した8ビット・キャラクタ (A1A2) または4つの連続した8ビット・キャラクタ (A1A1A2A2))」で説明するとおり、マニュアル・ワード・アラインメントを使用します。

OC-12 および OC-48 コンフィギュレーションでは、16 ビットの A1A2 パターンまたは 32 ビットの A1A1A2A2 パターンのいずれかにアラインメントするように、ワード・アライナをコンフィギュレーションできます。これはトランシーバの rx_a1a2size 入力ポートによって制御されます。rx_a1a2size ポートに LOW レベルがあると、ワード・アライナは 16 ビットの A1A2 パターンにアラインメントするようにコンフィギュレーションされ、HIGH レベルの場合は、32 ビットの A1A1A2A2 パターンにアラインメントするようにコンフィギュレーションされます。

ワード・アライナは、ウィザードでプログラムしたアラインメント・パターン・ビットをフリップし、それを着信データと比較してアラインメントするようにコンフィギュレーションできます。この機能は、MSBit から LSBit または LSBit から MSBit へのデータ転送のための SONET バックプレーン・システムに柔軟性を与えます。表 2-28 に、ビット転送オーダに基づいてウィザードでプログラムする必要があるワード・アラインメント・パターンと、ワード・アライナのビット・フリップ・オプションを示します。

シリアル・ビット送信オーダ	ワード・アラインメント・ビット・フリップ	ワード・アラインメント・パターン
MSBit から LSBit	オン	1111011000101000 (16'hF628)
MSBit から LSBit	オフ	0001010001101111 (16'h146F)
LSBit から MSBit	オフ	0010100011110110 (16'h28F6)

表 2-28 の注：

- (1) この表に示すワード・アラインメント・パターンの 16 進値は、ワード・アライナが着信データと比較する実際の値です。ウィザードは、ワード・アラインメント・ビット・フリップの選択にかかわらず、常に 16'hF628 をワード・アラインメント・パターンとして示します。

SONET ワード・アライナのコントロールおよびステータス信号の動作と動作タイミング図については、2-70 ページの「マニュアル SONET アラインメント・モード (2つの連続した 8 ビット・キャラクタ (A1A2) または 4つの連続した 8 ビット・キャラクタ (A1A1A2A2))」で説明しています。

OC-96 ワード・アラインメント

OC-96 コンフィギュレーションでは、ワード・アライナによる A1A1A2A2 パターンへのアラインメントのみ可能です。したがって、入力ポート rx_ala2size は使用できません。この違いを除き、OC-96 ワード・アラインメント動作は、OC-12 および OC-48 コンフィギュレーションと似ています。

OC-48 バイト・シリアライザおよびデシリアライザ

OC-48 トランシーバのデータ・パスには、バイト・シリアライザおよびデシリアライザが含まれており、PLD インタフェースを低速で動作させることができます。OC-12 コンフィギュレーションでは、バイト・シリアライザおよびデシリアライザ・ブロックを使用しません。

バイト・シリアライザおよびデシリアライザ・ブロックについては、[2-37 ページの「バイト・シリアライザ」](#)および[2-105 ページの「バイト・デシリアライザ」](#)でそれぞれ説明します。OC-48 バイト・シリアライザは、PLD ロジック・アレイからの 16 ビット・データ・ワードを変換し、その 16 ビット・データ・ワードを 2 つの 8 ビット・データ・バイトに 2 倍のレートで変換します。OC-48 バイト・デシリアライザは、2 つの連続する 8 ビット・データ・バイトを取り込み、16 ビット・データ・ワードに変換して 1/2 のレートで PLD ロジック・アレイに転送します。

OC-96 バイト・シリアライザおよびデシリアライザ

OC-96 バイト・シリアライザは、PLD ロジック・アレイからの 32 ビット・データ・ワードを変換し、2 つの 16 ビット・データ・バイトに 2 倍のレートで変換します。OC-48 バイト・デシリアライザは、2 つの連続する 16 ビット・データ・バイトを取り込み、32 ビット・データ・ワードに変換して 1/2 のレートで PLD ロジック・アレイに転送します。

OC-48 バイト・オーダリング

バイト・パラレル変換のため、ワードの最上位バイトが次のワードの最下位バイトと共に rx_dataout ポートに現れることがあります。

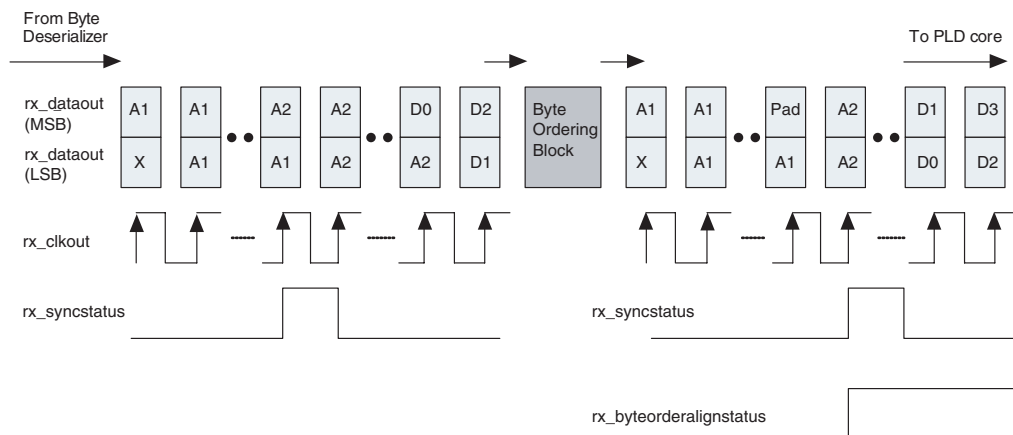
OC-48 コンフィギュレーションでは、バイト・オーダリング・ブロックはデータ・パスに組み込まれており、バイト・オーダリング・ブロックを利用してバイト・オーダリングを実行できます。OC-96 コンフィギュレーションでは、バイト・オーダリング・ブロックは使用できず、オーダリングは PLD ロジック・アレイで実行する必要があります。

OC-48 コンフィギュレーションでのバイト・オーダリングは、2-107 ページの「自動モード」で説明するように自動的に実行されます。自動モードでは、バイト・オーダリング・ブロックは、rx_syncstatus 信号の立ち上がりエッジでトリガされます。バイト・オーダリング・ブロックは rx_syncstatus 信号の立ち上がりエッジを検知すると、すぐにバイト・デシリアライザからの最下位バイトと A1A2 アラインメント・パターンの A2 バイトを比較します。バイト・デシリアライザからの最下位バイトがウィザードで設定した A2 バイトと一致しない場合、バイト・オーダリング・ブロックは、図 2-106 に示すようにパッド・キャラクタを挿入します。このパッド・キャラクタが挿入されると、バイト・オーダリング・ブロックが正しいバイト・オーダを復元できます。パッド・キャラクタは、デフォルトでは A1A2 アラインメント・パターンの A1 バイトです。

バイト・オーダリングが達成されると、rx_byteorderalignstatus 信号は rx_digitalreset がアサートされるまで、HIGH にアサートされたままです。トランシーバ内でのバイト・オーダリングは、レシーバが rx_digitalreset から解放された後に一度だけ発生するイベントです。したがって、バイト・オーダリング操作が必要な場合、レシーバは rx_digitalreset サイクルを通過する必要があります。

正常なワード・アラインメントなしでバイト・オーダリングに成功した場合、受信デジタル・リセット (rx_digitalreset) をアサートして、バイト・オーダリング・ブロックがもう一度 (rx_digitalreset のアサート後に 1 回) バイト・オーダリングを実行するようにはなりません。これは、バイト・オーダリング・ブロックが不正なバイト・オーダを選択している場合にのみ必要です。

図 2-106. OC-48 でのバイト・オーダリング・ブロック操作



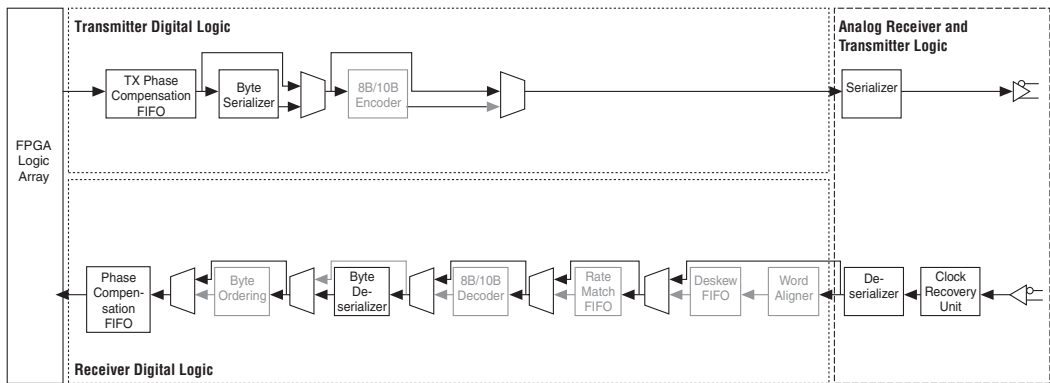
(OIF) CEI-PHY Interface

CEI (Common Electrical Interface) 規格は、高いデータ・レートで転送するための低コスト・インタフェースを提供します。Stratix II GX デバイスは、CEI を 6 G スピードで Double-width (2 倍幅) コンフィギュレーションでサポートします (表 2-29 を参照)。トランスミッタ位相補償 FIFO バッファ、トランスミッタ・バイト・シリアライザ、レシーバ・バイト・デシリアライザ、およびレシーバ位相補償 FIFO バッファは、このモードで使用される PCS ブロックです。

サポートされるデータ・レート (Mbps)	入力クロック周波数 (MHz)
6250.0	156.25
6220.8	622.08

図 2-107 に、(OIF) CEI-PHY Interface データ・パスを示します。

図 2-107. (OIF) CEI-PHY Interface データ・パス



rx_dataout ポートからのデータは、ユーザ・ロジックでワード・アラインメントにする必要があります。

ループバック・モード

Stratix II GX トランシーバ・ブロックでは、回路の各部を分離可能なくつかのループバック・モードが提供されています。すべてのパスが、フル・スピードまでの速度で動作するように設計されています。提供されているループバック・パスは、以下のとおりです。

- PCI Express (PIPE) を除く、すべての機能モードで提供されているシリアル・ループバック
- 8B/10B の Basic モードで提供されているリバース・シリアル・ループバック
- PCI Express プロトコルで提供されている PCI Express PIPE リバース・パラレル・ループバック
- BIST テスト専用 Basic モードで提供されているパラレル・ループバック

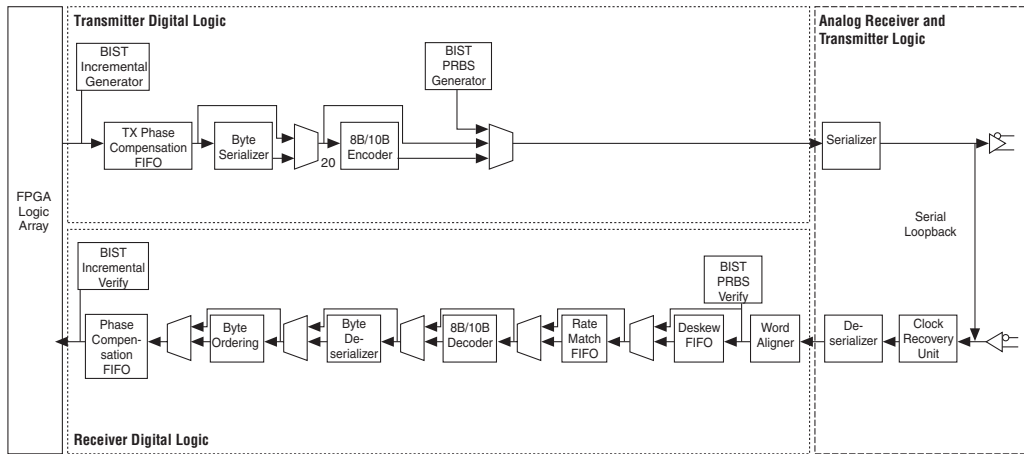
シリアル・ループバック

図 2-108 に、シリアル・ループバックのデータ・パスを示します。データ・ストリームは、FPGA ロジック・アレイからトランスミッタに供給され、トランスミッタのすべてのブロックを利用できるオプションがあります。次に、データはシリアル形式でトランスミッタからレシーバに転送されます。シリアル・データとは、Stratix II GX デバイスから送信されるデータのことで、シリアル形式でレシーバに入ったデータは、どのレシーバ・ブロックを利用して処理することもでき、その後 FPGA ロジック・アレイに供給されます。

rx_serial1pbken ポートを使用して、シリアル・ループバックをチャネルごとにダイナミックにイネーブルします。rx_serial1pbken が High のとき、信号が Low のときにアクティブになるすべてのブロックがアクティブ状態を維持します。シリアル・ループバックがイネーブルされているときは、tx_dataout ポートはアクティブ状態を継続し、出力ピンをドライブ・アウトできます。

シリアル・ループバックは、トランシーバのパス全体をチェックすることによく使用されます。データは異なるクロック・ドメインを通してリタイミングされますが、引き続きワード・アライナにアラインメント・パターンが必要です。

図 2-108. シリアル・ループバック・モードの Stratix II GX ブロック



PCI Express PIPE リバース・パラレル・ループバック

図 2-109 に、PCI Express PIPE リバース・パラレル・ループバックのデータ・パスを示します。このデータ・パスは、PCI Express PIPE 仕様に準拠する必要があるため柔軟性に欠けます。データは rx_datain ポートから入ります。レシーバは、CRU、デシリアライザ、ワード・アライナ、およびレート・マッチング FIFO バッファを使用し、トランスミッタ・シリアライザにループバックし、トランスミッタ tx_dataout ポートから出ます。また、データはレシーバ側の PLD ファブリックに入って、tx_dataout ポートに転送されます。デスクュー FIFO バッファは、このループバック・モードではイネーブルされません。このループバック・モードは、オプションで、tx_detectrxloopback ポートを通してダイナミックに制御されます。


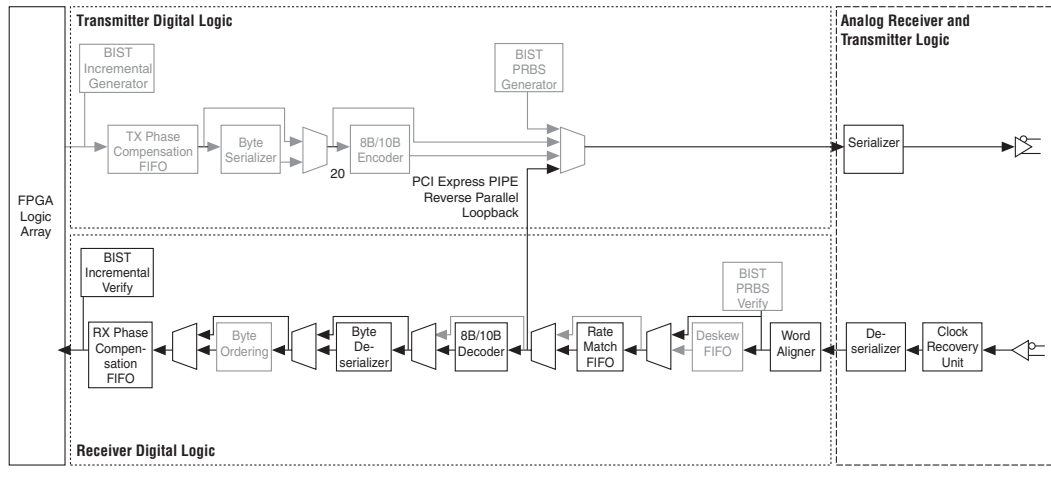
 これは PIPE モードで唯一使用できるループバックです。

図 2-109. PCI Express PIPE リバース・パラレル・ループバック・モードの Stratix II GX ブロック



リバース・シリアル・ループバック

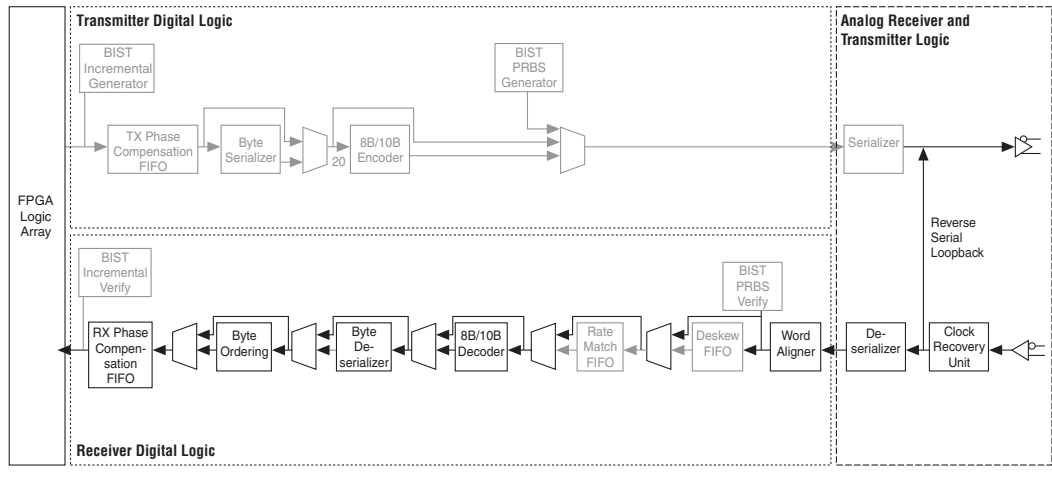
リバース・シリアル・ループバックは、Basic モードのサブプロトコルです。これは 8B/10B とワード・アライナ・パターンの K28.5 を必要とします。リバース・シリアル・ループバックを選択または選択解除するための、ダイナミック・ピン・コントロールは提供されていません。トランスミッタのアクティブ・ブロックが唯一のバッファです。レシーバに送信されるデータはリタイミングされて、トランスミッタに送られます。

リバース・シリアル・ループバックのデータ・パスを図 2-110 に示します。データは、レシーバの rx_datain ポートから入ります。次に、データは CDR ブロックを通過してシリアル形式で、トランスミッタ・ブロックの tx_dataout ポートに直接供給されます。

ウィザードを利用すれば、全チャンネルに対してリバース・シリアル・ループバックをイネーブルできます。リバース・シリアル・ループバック使用時には、 V_{OD} は 400 mV でなければなりません。データは、レシーバのアクティブなブロックを通過してロジック・アレイに流れます。

リバース・シリアル・ループバックは、BERT (Bit Error Rate Tester) の使用時にしばしば実装されます。

図 2-110. リバース・シリアル・ループバック・モードの Stratix II GX ブロック



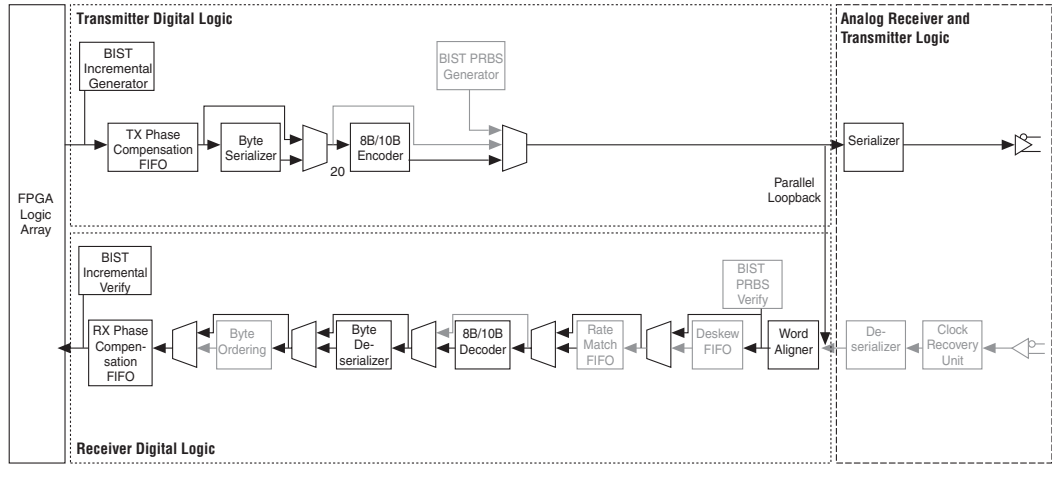
パラレル・ループバック

パラレル・ループバックのデータ・パスを図 2-111 に示します。フォワード・パラレル・ループバックでは、ビルトイン・テスト・インクリメンタル・パターンのいずれかを使用して PCS のテスト・フロー・チェックが可能です。これは、サブプロトコルの 1 つとして Basic モードで使用できます。

BIST インクリメンタル・パラレル・ループバックの使用時には、デスクューおよびレート・マッチング FIFO バッファは使用できません。8B/10B エンコーダおよびデコーダが使用されます。ループバックをイネーブまたはディセーブするための、ダイナミック・コントロール・ピンは用意されていません。rx_bistdone、および rx_bisterr のテスト結果ピンが、このループバック・モードの Basic プロトコルに追加されます。

パラレル・ループバックの使用時は、tx_dataout ポートがアクティブで、tx_dataout ポートの差動出力電圧は、V_{OD} 設定に基づきます。

図 2-111. 平行ループバックモードの Stratix II GX ブロック



ビルトイン・セルフテスト・モード

通常のデータ・フロー・ブロックに加えて、各トランシーバ・チャネルには、組み込みビルトイン・セルフ・テスト (BIST) ジェネレータとデバイスおよびセットアップの迅速な検証に使用可能な対応するベリファイア・ブロックがあります (図 2-112 を参照)。ジェネレータはトランスミッタ・ブロック、ベリファイアはレシーバ・ブロックにあります。ジェネレータは、PRBS およびインクリメンタル・パターンを生成できます。ベリファイアは、これらのデータ・パターンでのみ使用できます。BIST ブロックの動作は、Single-width モードと Double-width モードで異なります。

図 2-112. ビルトイン・セルフ・テスト・モード

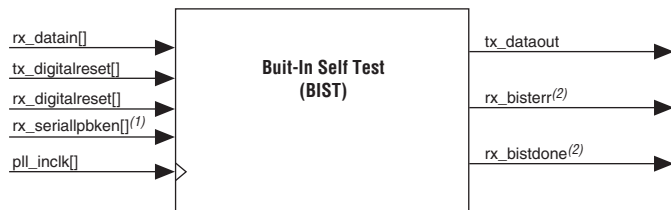


図 2-112 の注：

- (1) rx_serialpbken[] は PRBS が必要です。
- (2) rx_bisterr[] および rx_bistdone[] は、PRBS および BIST モードでのみ使用できます。

図 2-113 および 2-114 に、ジェネレータおよびベリファイアの場合と、トランシーバ・チャンネルでインクリメンタルおよび PRBS パターン・テストに使用するデータ・ブロックを示します。

図 2-113. トランシーバ・チャンネルの BIST およびインクリメンタル・テスト・ブロック

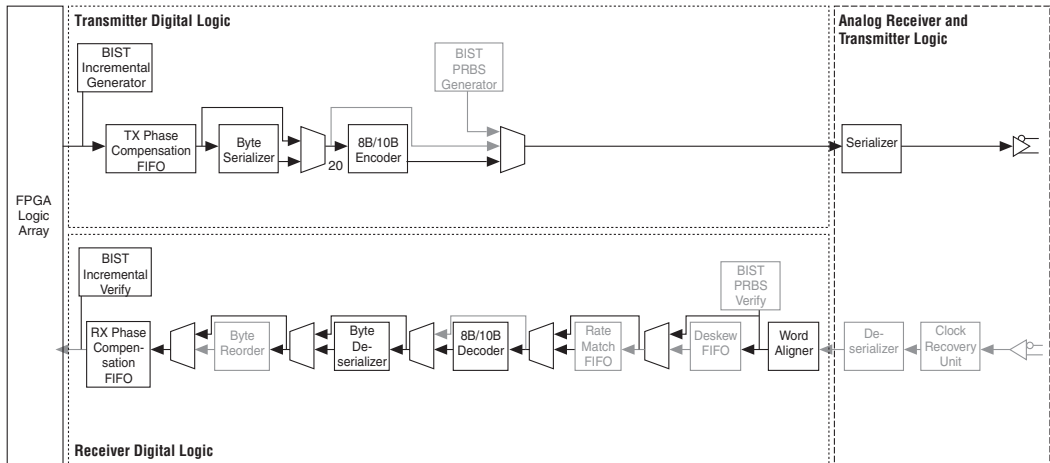
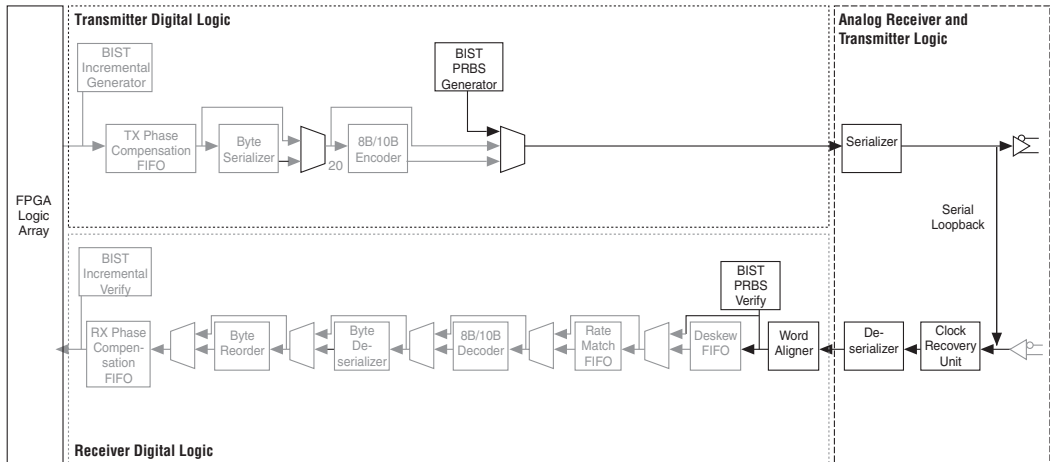


図 2-114. トランシーバ・チャンネルのループバック付き PRBS ブロック



Single-width モードの BIST

Single-width モードは、BIST および PRBS 両方のパターン生成と検証をサポートしています。以下に、ウィザードでイネーブルできるパターンを示します。

- シリアル・ループバック付き / なし Basic モードの PRBS10
- 高周波数
- パラレル・ループバック付き Basic モードの 8B/10B によるインクリメンタル

 PRBS10 パターンは、SERDES 係数が 10 ビットのときにのみ使用できます。

表 2-30 に、Single-width モードの BIST パターンを示します。

パターン	ワード・アライナ・アラインメント・パターン	バイト・オーダ・アライン・パターン	説明	Single-width モード	
				8 ビット	10 ビット
PRBS10	10'h3FF	N/A	$X^{10} + X^7 + 1$		✓
インクリメンタル 8B/10B	K28.5	0000000010	すべての 8B/10B 有効コード・グループ		✓

PRBS10

擬似ランダム・ビット・シーケンス (PRBS) は、システムで一般的にデータ伝送パスの完全性と堅牢性の検証に使用されます。SERDES 係数が 10 のときは、PRBS10 パターンを使用します。PRBS ジェネレータは、 $2^{10}-1$ 個のユニーク・パターンを生成します。PRBS をシリアル・ループバック付きたまたはなしで使用できます。

PRBS モードは、Quartus II `alt2gxb` MegaWizard Plug-In Manager でイネーブルします。PRBS10 は、8B/10B エンコーダおよびデコーダを使用しません。8B/10B エンコーダおよびデコーダは、PRBS モードでは自動的にバイパスされます。

PRBS ベリファイアが使用される場合は、PRBS 生成を使用してトランスミッタとレシーバの両方の機能をテストできます。ジェネレータのみ使用される場合は、PRBS 生成を使用して伝送メディアの品質を測定できます。PRBS データ・ストリームを使用する利点は、ランダム性によって伝送メディアにストレスを与える環境を作り出せることです。データ・ストリームでは、時間間隔アナライザ、ビット・エラー・レート・テスト、またはオシロスコープを使用して、ランダム・ジッタと確定的ジッタの両方を観測できます。

PRBS ベリファイアでは、トランシーバ・ブロックの非 8B/10B パスを介してクイック・チェックを実行できます。シリアル・ループバックをイネーブルして、生成されたデータをレシーバのベリファイアにループバックする必要があります。ループバック・サブプロトコルがない PRBS を選択した場合は、ジェネレータとトランスミッタのみ存在します。シリアル・ループバックの場合、ループバックをイネーブルまたはディセーブルするコントロール・ピンがあります。また、トランスミッタとレシーバの両方を使用できます。シリアル・ループバックは、[2-154 ページの図 2-114](#) に示すトランシーバのパス全体をテストします。

PRBS ベリファイアは、レシーバ・チャンネルが同期されるとアクティブになります。アラインメント・パターンを 10 ビット SERDES モードの 10'h3FF に設定します。rx_enapatterndetect 信号が High の場合、データは自動的にビルトイン・ステート・マシンに同期されます。

ベリファイアは、すべての PRBS パターン（10 ビット・モードの場合は 1023 個のパターン）を受信した後、パターンのチェックを停止します。rx_bistdone 信号は High になり、ベリファイアの完了を示します。ベリファイアが終了前にエラーを検出した場合、rx_bisterr はデータが不正となっている間、High パルスを出力します。rx_digitalreset 信号を使用して PRBS 検証を再開します。

インクリメンタル・モード

インクリメンタル・モードでは、データ・ジェネレータは有効なすべての 8B/10B データとコントロール・キャラクタをスイープします。このモードは、Quartus II ソフトウェアにおいて、BIST/パラレル・ループバック・サブプロトコルの Basic モードでのみ使用できます。また、インクリメンタル BIST ベリファイアをイネーブルして、8B/10B エンコーダ/デコーダ・パスのクイック検証も実行できます。

インクリメンタル・モードでは、BIST ジェネレータは、K28.5 (カンマ)、K27.7 (フレーム開始、SOF)、Data (00-FF インクリメンタル)、K28.0、K28.1、K28.2、K28.3、K28.4、K28.6、K28.7、K23.7、K30.7、K29.7 (フレーム終了、EOF) のシーケンスでデータ・パターンを送出し、これを繰り返します。適切に動作を実行させるには、8B/10B エンコーダをイネーブルする必要があります。ループバックをイネーブルまたはディセーブルするための、ダイナミック・コントロール・ピンは用意されていません。テスト結果ピンは、`rx_bistdone` と `rx_bisterr` です。`rx_bistdone` 信号は、シーケンスが終了すると High になります。ペリフェイアが終了前にエラーを検出した場合、`rx_bisterr` はデータにエラーがある間、High パルスを出力します。

8B/10B エンコーダがイネーブルされるため、データ・ストリームは DC バランスされます。8B/10B エンコーディングは、5 UI 未満のラン・レングスを保証しており、これによって PRBS データよりもストレスの少ないパターンを生成します。ただし、PRBS ジェネレータは 8B/10B パスをバイパスするため、インクリメンタル BIST がこのパスをテストできます。

Double-width モードの BIST

Double-width モードは、BIST および PRBS7 両方のパターン生成と検証をサポートしていますが、すべてのパターンを使用できるとは限りません。以下に、ウィザードでイネーブルできるパターンを示します。

- Basic モードの PRBS7
- 平行ループバック付き Basic プロトコルの 8B/10B によるインクリメンタル

 PRBS7 パターンは、SERDES 係数が 20 ビットのときにのみ使用できます。

表 2-31 に、Double-width モードの BIST パターンを示します。

パターン	ワード・アライナ・アラインメント・パターン	バイト・オーダ・アライン・パターン	説明	Double-width モード	
				16 ビット	20 ビット
PRBS7	20'h43040	N/A	$X^7 + X^6 + 1$		✓
8B/10B によるインクリメンタル	20'h16E83	N/A	すべての 8B/10B 有効コード・グループ		✓

PRBS7

擬似ランダム・ビット・シーケンス (PRBS) は、システムで一般的にデータ伝送バスの完全性と堅牢性の検証に使用されます。PRBS7 ジェネレータは、 2^7-1 個のユニーク・パターンを生成します。PRBS は、シリアル・ループバック付きまたはなしで使用できます。

PRBS モードは、ウィザードでイネーブルします。PRBS7 は、8B/10B エンコーダおよびデコーダを使用しません。8B/10B エンコーダおよびデコーダは、PRBS モードでは自動的にバイパスされます。

PRBS ベリファイアが使用される場合は、PRBS 生成を使用してトランスミッタとレシーバの両方の機能をテストできます。ジェネレータのみ使用される場合は、PRBS 生成を使用して伝送メディアの品質を測定できます。PRBS データ・ストリームを使用する利点は、ランダム性によって伝送メディアにストレスを与える環境を作り出せることです。データ・ストリームでは、時間間隔アナライザ、ビット・エラー・レート・テスタ、またはオシロスコープを使用して、ランダ・ジッタと確定的ジッタの両方を観測できます。

PRBS ベリファイアでは、トランシーバ・ブロックの非 8B/10B パスを介してクイック・チェックを実行できます。シリアル・ループバック・モードをイネーブルして、生成されたデータをレシーバのベリファイアにループバックする必要があります。ループバック・サブプロトコルがない PRBS を選択した場合は、ジェネレータとトランスミッタのみ存在します。シリアル・ループバック・モードの場合、ループバックをイネーブルまたはディセーブルするコントロール・ピンがあります。また、レシーバとトランスミッタの両方を使用できます。シリアル・ループバックは、[2-154 ページの図 2-114](#) に示すトランスミッタおよびレシーバ・ブロックをテストします。

PRBS ベリファイアは、レシーバ・チャネルが同期されるとアクティブになります。アラインメント・パターンを 20 ビット SERDES モードの 20'h43040 に設定します。設定されたパターンにアラインメントするために、ワード・アライナには `rx_enapatternalign` ポートが必要です。PRBS ベリファイアは、ワード・アライナが、検証が成功した最初の 5 ワードの後の新しいパターンにアラインメントすることを防止します。

ベリファイアは、すべての PRBS パターン (PRBS7 の場合は 127 個のパターン) を受信した後、パターンのチェックを停止します。`rx_bistdone` 信号は High になり、ベリファイアの完了を示します。ベリファイアが終了前にエラーを検出した場合、`rx_bisterr` はデータにエラーがある間、High パルスを出力します。`rx_digitalreset` 信号を使用して PRBS 検証を再開します。

インクリメンタル・モード

インクリメンタル・モードでは、データ・ジェネレータは有効なすべての 8B/10B データとコントロール・キャラクタをスイープします。このモードは、Quartus II ソフトウェアで、BIST/ パラレル・ループバック・サブプロトコルの Basic モードでのみ使用できます。インクリメンタル BIST ベリファイアをイネーブルして、8B/10B エンコーダおよびデコーダ・パスのクイック検証を実行します。

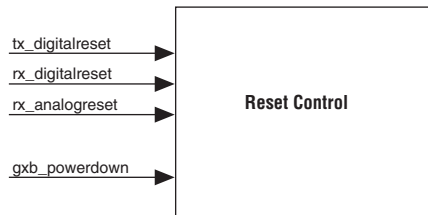
このモードでは、BIST ジェネレータは、K28.5 (カンマ)、K27.7 (SOF)、Data (00-FF インクリメンタル)、K28.0、K28.1、K28.2、K28.3、K28.4、K28.6、K28.7、K23.7、K30.7、K29.7 (EOF) のシーケンスでデータ・パターンを送出し、これを繰り返します。適切に動作を実行させるには、8B/10B エンコーダをイネーブルする必要があります。ループバックをイネーブルまたはディセーブルするための、ダイナミック・コントロール・ピンは用意されていません。テスト結果ピンは、rx_bistdone と rx_bisterr です。rx_bistdone 信号は、シーケンスが終了すると High になります。ベリファイアが終了前にエラーを検出した場合、rx_bisterr はデータにエラーがある間、High パルスを出力します。

8B/10B エンコーダがイネーブルされるため、データ・ストリームは DC バランスされます。8B/10B エンコーディングは、5 UI 未満のラン・レングスを保証しており、これによって PRBS データよりもストレスの少ないパターンを生成します。ただし、PRBS ジェネレータは 8B/10B パスをバイパスするため、インクリメンタル BIST がこのパスをテストできません。

リセット・ コントロール および パワーダウン


Stratix II GX トランシーバは、トランシーバのチャンネルとブロックの個別ポートを制御する複数のリセット信号を提供します (図 2-115)。未使用の各チャンネルをパワーダウン・モードに設定して消費電力を低減できます。

図 2-115. リセット・コントロールおよびパワーダウン



ユーザ・リセットおよびイネーブル信号

各トランシーバ・ブロックおよび Stratix II GX デバイスのトランシーバ・ブロック内の各チャンネルには、チャンネルのデジタル部およびアナログ部をリセットする個別リセット信号があります。アナログ・リセットはパワーダウン信号で、回路をパワーダウンするのにより長いパルス幅が必要です。tx_digitalreset、rx_digitalreset、および rx_analogreset 信号は、チャンネルに個別に影響を与えます。gxb_powerdown 信号は、トランシーバ・ブロック全体に影響します。

 すべてのリセットおよびイネーブル信号が必須というわけではありません。これらの信号を使用しない場合、信号はデフォルトですべてのリセット信号に対してリセットされず、PLL イネーブル信号に対してもイネーブルされません。リセットおよびイネーブル信号はすべて非同期です。

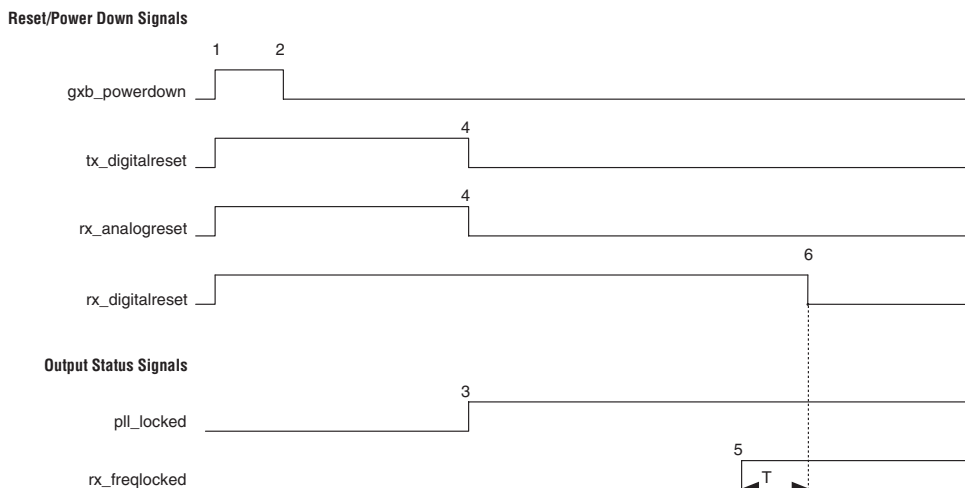
- tx_digitalreset。tx_digitalreset 信号は、XAUI 送信ステート・マシン、BIST-PRBS ジェネレータ、BIST パターン・ジェネレータなど、トランスミッタ内のすべてのデジタル・ロジックをリセットします。この信号は、他のリセット信号とは独立して動作します。最小パルス幅は 2 パラレル・サイクルです。
- rx_digitalreset。rx_digitalreset 信号は、XAUI および GIGE レシーバ・ステート・マシンや、XAUI チャンネル・アラインメント・ステート・マシン、BIST-PRBS ベリファイア、BIST インクリメンタル・ベリファイアなど、トランスミッタ内のすべてのデジタル・ロジックをリセットします。この信号は、他のリセット信号とは独立して動作します。最小パルス幅は 2 パラレル・サイクルです。
- rx_analogreset。rx_analogreset 信号は、レシーバ CDR のアナログ部分の一部をリセットします。この信号は、他のリセット信号とは独立して動作します。最小パルス幅は、特性評価によって決定されます。現在は、2 つのパラレル・クロック・サイクル・パルス幅で十分です。
- gxb_powerdown。gxb_powerdown 信号は、トランスミッタ PLL など、ロジック・アレイ全体をパワーダウンします。すべてのデジタルおよびアナログ回路もリセットされます。この信号は、他のリセット信号とは独立して動作します。最小パルス幅は、特性評価によって決定されます。現在は、1 ms のパルス幅で十分です。

同期化はリセット状態の後に実行されます。リセット後、データが有効になるタイミングを決定する必要があります (例えば、rx_syncstatus 信号を使用)。表 2-32 に、各リセットおよびパワーダウン信号の影響を受けるブロックを示します。

表 2-32. リセットおよびパワーダウン信号の影響を受けるブロック				
トランシーバ・ブロック	rx_digitalreset	rx_analogreset	tx_digitalreset	gxb_powerdown
トランスミッタ位相補償 FIFO バッファおよび バイト・シリアライザ			√	√
トランスミッタ 8B/10B エンコーダ			√	√
トランスミッタ・シリアライザ				√
トランスミッタ・アナログ回路				√
トランスミッタ PLL				√
トランスミッタ XAUI ステート・マシン			√	√
トランスミッタ・アナログ回路				√
BIST ジェネレータ			√	√
レシーバ・デシリアライザ				√
レシーバ・ワード・アライナ	√			√
レシーバ・デスクュー FIFO バッファ	√			√
レシーバ・レート・マッチャ	√			√
レシーバ 8B/10B エンコーダ	√			√
レシーバ位相補償 FIFO バッファおよびバイト・デシリアライザ	√			√
レシーバ PLL および CRU		√		√
レシーバ XAUI ステート・マシン	√			√
レシーバ・バイト・オーダリング・ブロック	√			√
BIST ベリファイア	√			√
レシーバ・アナログ回路				√

図 2-116 に、リセット・サイクル例を示します。実際のシーケンスは、特性評価後に確定します。それまでは、「Stratix GX デバイス・ハンドブック Volume 2」の「Stratix GX Transceiver User's Guide」に記載されているリセット・シーケンス情報を参照してください。

図 2-116. リセット・パワー信号タイミング波形



`gxb_powerdown` ポートのパルス幅 (タイム・マーカ 1 と 2 の間) は、特性評価後に決定されます。現時点では、1 ms を使用します。ドライブしている PLL が関連の `pll_locked` 信号をアサートした後、`tx_digitalreset` および `rx_analogreset` 信号をデアサートできます。`rx_digitalreset` のデアサートは、関連するレシーバ・チャンネルが `rx_freqlocked` をアサートした後しばらくして (タイム・マーカ 5 と 6 の間) 発生します。

トランスミッタのみのコンフィギュレーションでは、`pll_locked`、`gxb_powerdown`、および `tx_digitalreset` 信号のみ使用されます。レシーバのみのコンフィギュレーションでは、`rx_analogreset`、`rx_digitalreset`、および `rx_freqlocked` 信号のみ使用されます。

パワーダウン

Quartus II ソフトウェアは、Stratix II GX デバイスをコンフィギュレーションすると有効になるパワーダウン・チャンネル機能を自動的に選択します。全体的な消費電力を低減するために、デザインの未使用のトランシーバおよびブロックはすべてパワーダウンされます。実行中にパワーダウン機能を使用して、リコンフィギュレーションを行わずにトランシーバ・チャンネルやトランシーバ・ブロックをオン/オフすることはできません。

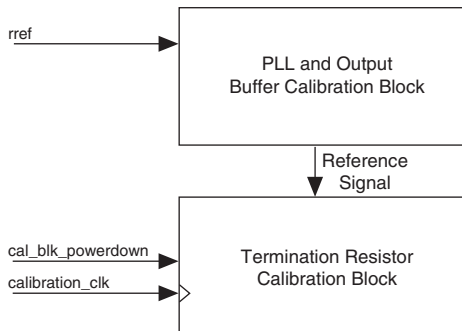
トランシーバ・ブロックを Quartus II ソフトウェアで自動的にパワーダウンするように設定したり、gxb_powerdown ポートを介して PLD ファブリックでダイナミックにパワーダウンするように設定できます。このポートをアサートしても、refclk 基準クロック・バッファはパワーダウンしません。

シリアル・ループバック機能用のレシーバ・バッファごとに、個々のパワーダウン・モードを使用できます。バッファのパワーダウン・モードは個別に動作します。

キャリブレーション・ブロック

Stratix II GX のギガビット・トランシーバ・ブロックには、On-Chip Termination、PLL、および出力バッファをキャリブレートするキャリブレーション回路が含まれています。キャリブレーション回路は、PLL および出力バッファ・キャリブレーション・ブロックと終端抵抗キャリブレーション・ブロックの2つの主要ブロックに分割されます(図 2-117 を参照)。各トランシーバ・ブロックには、PLL および出力バッファ・キャリブレーション・ブロックがあり、そのトランシーバ・ブロック内の PLL および出力バッファをキャリブレートします。各デバイスには、デバイス全体のトランシーバ・チャンネル内の全終端抵抗をキャリブレートする1つの終端抵抗キャリブレーション・ブロックがあります。

図 2-117. キャリブレーション・ブロック



PLL および出力バッファ・キャリブレーション・ブロック

Stratix II GX の各トランシーバ・ブロックには、PLL および出力バッファ・キャリブレーション回路があり、PLL および出力バッファへの PVT（プロセス、電圧、および温度）の影響に対処します。各トランシーバ・ブロックのキャリブレーション回路は、外部基準抵抗から得られる電圧リファレンスを使用します。Stratix II GX デバイスのアクティブなトランシーバ・ブロックごとに 1 本の基準抵抗が必要です。未使用のトランシーバ・ブロック（終端抵抗キャリブレーション・ブロックに信号を供給するトランシーバ・ブロックを除く）は、未接続のままにしておくことも、3.3 V トランシーバ・アナログ VCC に接続する（トランシーバ・ブロックの 3.3 V アナログ電源が 3.3 V に接続されている場合）こともできます。

終端抵抗キャリブレーション・ブロック

デバイス全体のトランシーバ・チャンネル内にある Stratix II GX トランシーバの On-Chip Termination 抵抗は、1 つのキャリブレーション・ブロックでキャリブレートされます。このブロックは、プロセス、電圧、および温度変動が終端抵抗値に影響を与えないようにします。各デバイスに終端抵抗キャリブレーション・ブロックが 1 つだけあります。

キャリブレーション・ブロックは、デバイスに応じてトランシーバ・ブロック 0 またはトランシーバ・ブロック 1 の基準抵抗を使用します。このキャリブレーション・ブロックは、EP2SGX30 および EP2SGX60 デバイスの場合はトランシーバ・ブロック 0 の基準抵抗を使用し、EP2SGX90 および EP2SGX130 デバイスの場合はトランシーバ・ブロック 1 の基準抵抗を使用します。基準抵抗はトランシーバ・ブロック 0 またはトランシーバ・ブロック 1 に接続し、トランシーバ・ブロックが使用中であってもなくても、キャリブレーション・ブロックが正しく動作するようにならなければなりません。キャリブレーション・ブロックに信号を供給しているトランシーバ・ブロックの基準抵抗を接続しない場合、デバイス全体でトランシーバ内にあるすべての終端抵抗の終端値が不正なものになります。

終端抵抗キャリブレーション回路には、キャリブレーション・クロックが必要です。REFCLK ピンが基準クロックに使用されている場合は、グローバル・クロック・ラインを使用できます。ウィザードでキャリブレーション・クロック・ポートをインスタンス化し、cal_blk_clk ポートを介して独自のクロックを供給できます。

cal_blk_clk の周波数範囲は 10 ~ 125 MHz です。低速クロックを使用できない場合は、分周回路（リップル・カウンタなど）を使用して、利用可能なクロックをこの範囲の周波数に分周します。キャリブレーション・クロックの品質が問題ではない場合、キャリブレーション・クロックの配線には PLD ローカル配線で十分です。

同じデバイス内に複数の alt2gxb インスタンスが存在するときに、すべてのインスタンスが同じ場合は、キャリブレーション・ブロックをアクティブにし、すべてのインスタンスの cal_blk_clk ポートを共通クロックに接続する必要があります。物理的には、デバイス 1 個につき 1 つの cal_blk_clk ポートがあります。Quartus II ソフトウェアは、cal_blk_clk ポートが異なるクロック・ソースに接続されている場合、ポートをデバイスにフィットさせることができないので、エラー・メッセージを出力します。alt2gxb インスタンスの異なるコンフィギュレーションがある場合、いずれか 1 つのコンフィギュレーションでのみキャリブレーション・ブロックをインスタンス化する必要があります。alt2gxb カスタム・メガファンクション・バリエーションの複数のインスタンスでキャリブレーション・ブロックをインスタンス化する場合、すべての cal_blk_clk ポートを同じクロック・ソースに接続する必要があります。

キャリブレーション・ブロックは、オプションの cal_blk_powerdown ポートを介してパワーダウンできます。動作中にキャリブレーション・ブロックをパワーダウンすると、送信および受信データにエラーが発生することがあります。このポートを使用してキャリブレーション・ブロックをリセットして、温度または電圧変動に合わせた終端抵抗のリキャリブレーションを開始します。このポートの最小パルス幅は、特性評価によって決定されます。

ダイナミック・リコンフィギュレーション

Stratix II GX のギガビット・トランシーバ・ブロックでは、送信および受信 PMA 設定のダイナミック変更を簡単に行うことができます。目標の BER (ビット・エラー・レート) を達成するために、Stratix II GX デバイスで提供される複数の PMA 設定を活用できます。ダイナミック・リコンフィギュレーション機能は、リンクまたはシステムのデバッグや起動に非常に便利です。以下の PMA 設定をダイナミック (実行中) に変更できます。

- プリエンファシス設定
- イコライザ設定
- 差動出力電圧 (V_{OD}) 設定



ダイナミック・リコンフィギュレーション機能は、Stratix II GX デバイスでのみ提供されます。Stratix GX デバイスとの後方互換性はありません。

図 2-118. 1 チャンネル・ダイナミック・リコンフィギュレーション

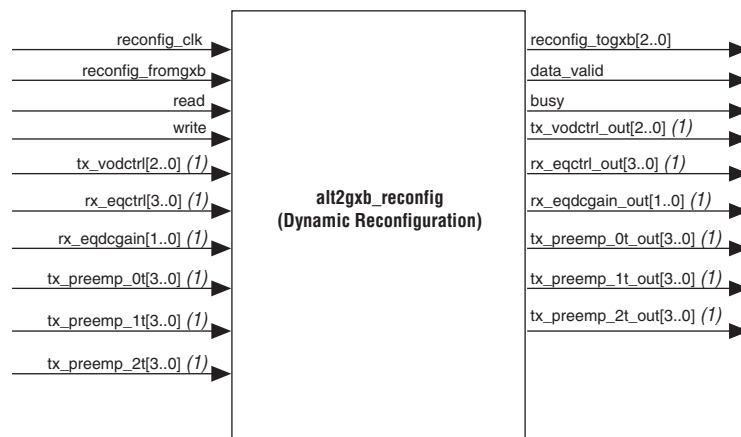


図 2-118 の注：

- (1) オプションのコントロールおよびステータス信号（ダイナミック・コンフィギュレーションがイネーブルされている場合、少なくとも 1 つのコントロール信号をイネーブルする必要があります）。

ダイナミック・リコンフィギュレーション・コントローラ

Quartus II ソフトウェアは、Stratix II GX デバイス内のトランシーバの PMA 設定を制御するダイナミック・リコンフィギュレーション・コントローラ (alt2gxb_reconfig) を提供します。オプションのダイナミック・リコンフィギュレーション・コントローラは、Stratix II GX デバイスの PLD リソースを使用するソフト IP で、PLD リソースの使用を最小限に抑えるように最適化されています。1 つのトランシーバ・ブロックで使用できるコントローラは 1 つのみで、1 つのトランシーバ・ブロックを 2 つのコントローラで制御することはできません。ダイナミック・リコンフィギュレーション・コントローラは、複数の Stratix II GX デバイスまたはオフチップ・インタフェースを制御することはできません。

ダイナミック・リコンフィギュレーション・コントローラを使用すると、専用コントロール・ポートを通して各チャンネルのプリエンファシス、イコライザ、および V_{OD} の PMA 設定をダイナミックに変更できます。alt2gxb_reconfig のインスタンスは、書き込みおよびリード・トランザクションをサポートしており、PMA 設定の少なくとも 1 つのライト・コントロール・ポートをイネーブルして alt2gxb カスタム・メガファンクションのバリエーションを正常にコンフィギュレーションする必要があります。

ダイナミック・リコンフィギュレーション・インタフェースには、以下の信号があります。

- `reconfig_togxb[2..0]` は、入力信号バスです。
- `reconfig_fromgxb` は、`alt2gxb` インスタンスからの出力信号です。

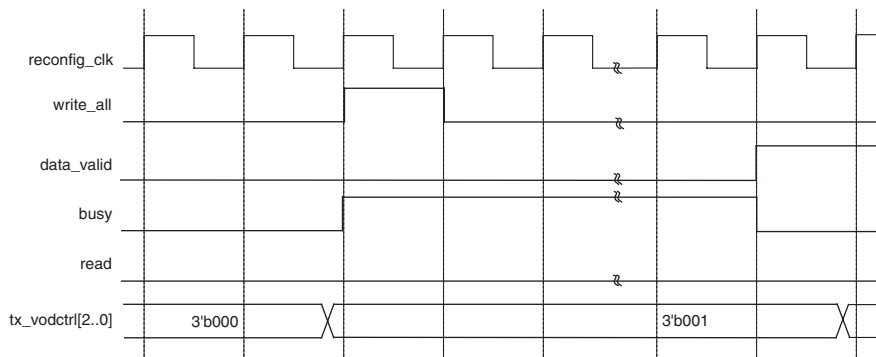
これらは、`alt2gxb` インスタンスと `alt2gxb_reconfig` インスタンス間のインタフェース信号です。

ダイナミック・リコンフィギュレーション・コントローラは、`reconfig_clk` に基づいて動作します。`reconfig_clk` のサポートされている周波数範囲は 2.5 ~ 50 MHz です。コントローラのライト・トランザクションは、`write_all` 信号のアサートによって開始されます。`write_all` 信号は、選択されたすべての入力信号の現在の状態を `alt2gxb` インスタンス・チャンネルに書き込みます。ライト・トランザクションは、次のシーケンスに従います。

1. コントロール PMA レジスタを読み出します (リード・ビフォア・ライト)。
2. すべてのチャンネルの入力信号の現在の状態をコントロール・レジスタに書き込みます。
3. 出力コントロール信号を更新します (リード・コントロール・ポートがイネーブルされている場合は、オプションのリード・コントロール・ポート)。ビジー信号は、書き込み動作中であることを示します。

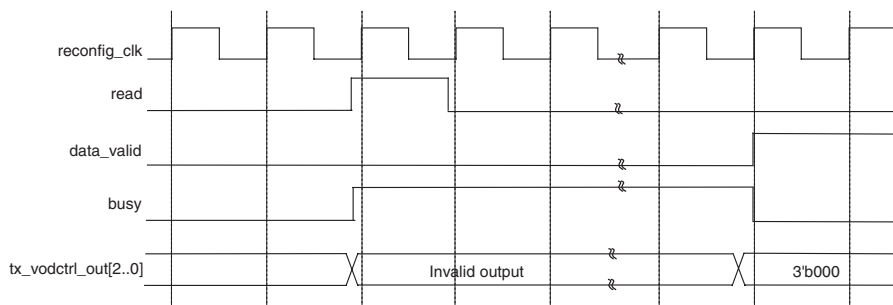
ライトおよびリード・トランザクションを同時に実行することはできません。リード・コントロール・ポートがイネーブルされている場合、リード信号とデータ有効信号がイネーブルされます。すべての出力コントロール信号の読み出しと更新は、ライト・トランザクションの一部です。`data_valid` 信号は、ライト・トランザクションが完了し (ビジー信号が Low)、すべての出力コントロール・ポートが新しく書き込まれたデータで更新された場合にのみ更新されます。ライト・トランザクションが開始し、選択したアナログ設定の値セットが書き込まれている間は、そのトランザクションが完了するまでコントロール・ポートの入力値を変更できません。トランザクションの完了は、ビジー信号のデアサートによって示されます。ライト・トランザクションが完了する前に、コントロール・ポートの入力データ値を変更した場合、結果は予測できません (図 2-119 のアナログ設定送信 V_{OD} (`tx_vod`) に示すとおり)。図 2-119 に、`write_all` 信号パルスの印加で開始される標準的なライト・トランザクションを示します。また、ビジーおよび `data_valid` ステータス信号の動作も示しています。

図 2-119. ライト・トランザクション波形



コントローラのリード・トランザクションは、リード信号をアサートすると開始されます。リード・コントロール・ポートのデータは、data_valid 信号が High になるまで有効ではありません。出力信号 data_valid が High になると、読み戻されたデータが有効になります。選択されたすべての出力信号に有効な読み出し値があると、data_valid 信号が High になります。リードおよびライト・トランザクションは reconfig_clk に基づき、エッジでトリガされます。write_all 信号の最小 1 サイクルでライト・トランザクションが開始されます。図 2-120 に、リード・トランザクション波形を示します。

図 2-120. リード・トランザクション波形




ライト・コントロールおよびリード・コントロール信号の一覧は、2-181 ページの「ダイナミック・リコンフィギュレーション・コントローラのポート・リスト」を参照してください。

alt2gxb インスタンスのダイナミック・リコンフィギュレーション・セットアップ

alt2gxb MegaWizard Plug-In Manager で、Stratix II GX デバイス・インスタンスに対して、ダイナミック・リコンフィギュレーション・コントローラをイネーブルします。alt2gxb_reconfig MegaWizard Plug-In Manager では、必要なアナログ・コントロールのために、ダイナミック・リコンフィギュレーション・コントローラをコンフィギュレーションします。alt2gxb インスタンスは alt2gxb_reconfig インスタンスにのみ接続します。この項では、alt2gxb インスタンスのセットアップについて説明します。

alt2gxb MegaWizard Plug-In Manager で、オプションのダイナミック・リコンフィギュレーション・インタフェースをイネーブルします（ダイナミック・リコンフィギュレーションはデフォルトでオフ）。ウィザードでダイナミック・リコンフィギュレーション・オプションをイネーブルした後、**What is the starting channel number?** プルダウン・メニューから番号を選択する必要があります。開始チャンネル番号の設定範囲は、0～156 の 4 の倍数です（ダイナミック・リコンフィギュレーション・インタフェースがトランシーバ・ブロックごとにあるため）。0～156 の範囲は、使用可能な alt2gxb インスタンス数に基づく、論理チャンネル・アドレスです。

reconfig_fromgxb 信号はトランシーバ・ブロック・ベースであるため、alt2gxb で 4 以下のチャンネル数を選択した場合、reconfig_fromgxb は 1 ビットです。同様に、alt2gxb インスタンスが 5 本以上、8 本以下のチャンネルを持っている場合、reconfig_fromgxb は 2 ビットで、最大 20 本のチャンネルを持つコンフィギュレーションでは最大 5 ビットです（最大のトランシーバ・ブロック・デバイスを想定）。reconfig_fromgxb 信号について詳しくは、[2-166 ページの「ダイナミック・リコンフィギュレーション・コントローラ」](#)を参照してください。

 Quartus II ソフトウェアのすべてのソフトウェア・バージョンで最大チャンネル・コンフィギュレーション（20 本の送信チャンネル、20 本の受信チャンネル。これにより、最大 156 の論理チャンネル・アドレス）がサポートされるとは限りません。Quartus II ソフトウェア・バージョン 5.1 SP1 は、最大 124 の開始チャンネル・アドレスをサポートしています。

この論理アドレッシング操作をより深く理解するためのシナリオとして、alt2gxb カスタム・メガファンクション・バリエーションの送信および受信インスタンスが 20 個あるデザインを考えます。送信および受信チャンネルの最初のインスタンスは、開始チャンネル番号設定が 0 で、2 番目のインスタンスの開始チャンネル番号設定は 4、以下同様であり、同じコンフィギュレーションの 20 番目のインスタンスの開始チャンネル番号は 76 です。

同じロジックを、5 トランシーバ Stratix II GX デバイスをターゲットとする、20 の送信専用および 20 の受信専用コンフィギュレーションという可能な最大のインスタンスを持つシナリオに拡大すると、ダイナミック・リコンフィギュレーションの最大開始チャンネル番号は 156 (40 インスタンス × 4) です。

Quartus II フィットは、alt2gxb メガファンクションでダイナミック・リコンフィギュレーション・オプションがイネーブルになっている場合に、カスタム・メガファンクション・バリエーションに alt2gxb_reconfig コントローラからドライブされないリコンフィギュレーションに対応する信号があるとエラー・メッセージを出力します。alt2gxb インスタンスでの論理アドレッシングを使用する論理チャンネル・ビューを用いて、alt2gxb_reconfig および alt2gxb カスタム・メガファンクション・バリエーションをコンフィギュレーションし、1つのalt2gxb_reconfig コントローラ・インスタンスあたりのチャンネル数をコンフィギュレーションする必要があります。カスタム・メガファンクション・バリエーションと Quartus II プリフィットは、物理的な配置に自動的にマップされ、イネーブルされている場合はマージも行われます。複数の alt2gxb_reconfig コントローラはマージされません。したがって、トランシーバ・チャンネル・マージは、データ・レートとデータ・パス・コンフィギュレーションが同じ複数のチャンネルが1つのダイナミック・リコンフィギュレーション (alt2gxb_reconfig) コントローラ・インスタンスで制御される場合にのみ行われます。

alt2gxb_reconfig MegaWizard Plug-In Manager で、以下の 2 つの設定を入力する必要があります。

- **What is the number of channels controlled by the controller?** この設定のチャンネル数はデザインによって異なります。ダイナミック・リコンフィギュレーション・コントローラは、次の 2 通りの方法で使用できます。


- 1つのダイナミック・リコンフィギュレーション・コントローラがデバイスで許容される alt2gxb のすべてのインスタンスを制御します。alt2gxb の複数のインスタンスが1つの alt2gxb_reconfig コントローラで制御される場合は、ウィザードで **What is the number of channels controlled by the controller** オプションを設定するときに、以下のルールに従います。
 - メガファンクションの各インスタンスには、4の倍数である一意の数字で始まる、一連の連続チャンネル番号が必要です。
 - 制御されるチャンネル数は、最後のチャンネル番号です。
- 複数のダイナミック・リコンフィギュレーション・コントローラは、alt2gxb の複数のインスタンスを制御します。2つのダイナミック・リコンフィギュレーション・コントローラで、同じ alt2gxb インスタンスを制御することはできません。1つのコントローラで複数の alt2gxb インスタンスを制御できます。また、チャンネルごとに独自のダイナミック・リコンフィギュレーション・コントローラを持つことができます。ただし、どのチャンネルにも独自のダイナミック・リコンフィギュレーション・コントローラがある場合は、フィッティングの問題が発生することがあります。

1つのデバイスに複数のコントローラが存在する場合、Stratix II GX デバイスのマージはできません。すなわち、複数のダイナミック・リコンフィギュレーション・コントローラが使用されている場合は、チャンネルが同じプロトコル機能モードおよび同じデータ・レートにコンフィギュレーションされても、複数のトランシーバ・チャンネル・インスタンスをトランシーバ・ブロックにマージすることはできません。例えば、ある alt2gxb インスタンスに同じデータ・レートと機能モードのチャンネルが5本、別の alt2gxb インスタンスに同じデータ・レートと機能モードのチャンネルが3本あるとします。両方の alt2gxb インスタンスは、別々のダイナミック・リコンフィギュレーション・コントローラで制御されます。これらの2つの alt2gxb インスタンス(合計8本のチャンネルを持つ)を2つのトランシーバ・ブロックにマージすることはできません。Quartus II フィッタでは、alt2gxb の複数のインスタンスでデータ・レートと機能モードが同じで、これらのインスタンスが1つのダイナミック・リコンフィギュレーション・コントローラによって制御される場合にのみ、これらのトランシーバ・チャンネルをマージできます。マージによって、機能シミュレーションと比較してシリコンの動作が変わることはありません。

- **Use the same control signals for all channels.** デザインのすべてのチャンネルに同じコントロール信号が使用されていることがわかっている場合は、このオプションをチェックします。このオプションをチェックすると、Quartus II ソフトウェアは、このリコンフィギュレーション・コントローラによって制御されるすべてのトランシーバ・ブロックで使用される全チャンネルに対して1つのPMA 信号セットを使用します。

ダイナミック・コンフィギュレーション・デザイン例

ここでは、3つのダイナミック・コンフィギュレーション例を示します。

-  Quartus II ソフトウェア・バージョン 5.1 SP1 のみ、1つの alt2gxb_reconfig コントローラあたり最大 4本のトランシーバ・チャンネルを持つ alt2gxb インスタンスのコンフィギュレーションをサポートしています。つまり、トランシーバのチャンネルが 5 つ以上あるどの alt2gxb インスタンスにも、alt2gxb_reconfig コントローラの複数のインスタンスが必要です。Quartus II ソフトウェア・バージョン 5.1 SP1 では、2-176 ページの「複数のインスタンスを持つ複数のダイナミック・リコンフィギュレーション・コントローラ」に記載したデザイン例のみサポートされています。(alt2gxb インスタンスに 5 本以上のチャンネルがある場合は、alt2gxb の複数のインスタンスを持つ複数の alt2gxb_reconfig コントローラを使用可能)。この項で説明するコンフィギュレーションは、Quartus II ソフトウェア・バージョン 6.0 ではすべて有効でありサポートされています。



以下の例に示すステップでは、ダイナミック・リコンフィギュレーションにのみ関連するページのオプションについて説明します。alt2gxb および alt2gxb_reconfig の MegaWizard Plug-In Manager の他のページについては、「Stratix II GX デバイス・ハンドブック Volume 2」の「Stratix II GX alt2gxb メガファンクション・ユーザガイド」および「Stratix II GX alt2gxb_reconfig メガファンクション・ユーザガイド」の章を参照してください。

複数のインスタンスを持つ1つのダイナミック・リコンフィギュレーション・コントローラ

ここでは、2つのインスタンスを持つデザインについて説明します。一方のインスタンスにはトランシーバの5チャンネルがあり、他方のインスタンスには3チャンネルがあります。このシナリオでは、これらの2つのインスタンスはコンフィギュレーション上の理由からマージできません。alt2gxb_reconfig インスタンスのみで8本すべてのチャンネルを制御します。このデザインでは、受信側のイコライザ・コントロールと送信側の V_{OD} PMA 設定を、実行時変更機能に対してイネーブルする必要があります。

以下のステップに従って、5チャンネル・トランシーバのインスタンスをセットアップします。

1. alt2gxb MegaWizard Plug-In Manager で、**What is the number of channels?** オプションを5に設定します。
2. ダイナミック・リコンフィギュレーション・オプションをイネーブルします。
3. reconfig_fromgxb出力信号はトランシーバ・ベースです。したがって、このインスタンスのビット数は、5チャンネルあるため2です。reconfig_togxb入力信号は、3ビットの固定バス幅です。
4. **What is the starting channel number?** オプションを0に設定します。

以下のステップに従って、3チャンネル・トランシーバ・インスタンスをセットアップします。

1. alt2gxb MegaWizard Plug-In Manager で、**What is the number of channels?** オプションを3に設定します。
2. ダイナミック・リコンフィギュレーション・オプションをチェックします。

reconfig_fromgxb 出力信号はトランシーバ・ベースです。したがって、このインスタンスのビット数は、3チャンネルあるため1です。reconfig_togxb入力信号は、3ビットに固定されています。

3. **What is the starting channel number?** オプションを 8 に設定します。前のインスタンスには、2つのトランシーバ・ブロック（開始チャンネル番号 0 および 4 のトランシーバ・ブロック）に論理的にフィットする 5 本のチャンネルがあるため、アドレス 8 があります。このケースでは、alt2gxb の複数のインスタンスが 1 つのダイナミック・コントローラによって制御されるため、4 の倍数である一意の数字で始まる連続チャンネル番号が付けられます。

以下のステップに従って、ダイナミック・リコンフィギュレーション・コントローラをセットアップします。

1. Quartus II ソフトウェアで、alt2gxb_reconfig MegaWizard Plug-In Manager を起動します。
2. **What is the number of channels controlled by the controller?** オプションを 12 に設定します。このオプションの設定では、ダイナミック・リコンフィギュレーションによって制御する合計チャンネル数（合計 8 チャンネル）よりも大きい数字を指定します。この理由は、Quartus II ソフトウェアは、この設定に基づいて reconfig_fromgxb 信号のバス幅と PMA コントロール信号の幅を選択するからです。このケースでは、コントローラが合計 3 つのトランシーバ・ブロック（2 つのトランシーバ・ブロックの 5 チャンネルと、1 つのトランシーバ・ブロックの 3 チャンネル）を制御できるように、デザインには 3 ビット幅の信号が必要です。

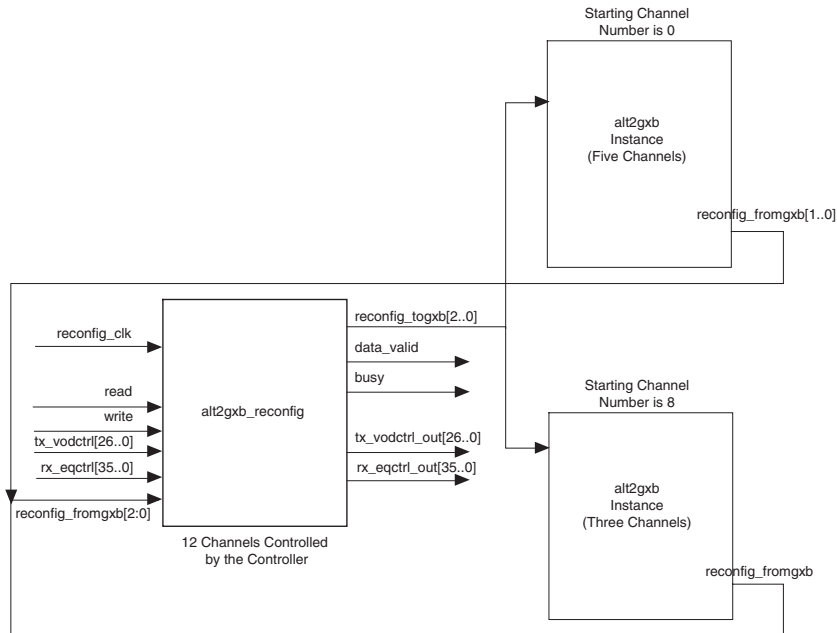
簡単にいえば、トランシーバ・ブロックの倍数に最も近い値に切り上げたチャンネル番号に基づいてチャンネル番号を選択します。このケースでは、8 チャンネルが必要であり、マージを行わないため、8 チャンネルには 3 つのトランシーバ・ブロックが必要です。3 つのトランシーバ・ブロックに対する切り上げた複数のチャンネル番号は、12 ($3 \times 4 = 12$) です。この設定について詳しくは、[2-166 ページの「ダイナミック・リコンフィギュレーション・コントローラ」](#)を参照してください。

3. V_{OD} およびイコライゼーションに対する書き込みと読み出しに必要な PMA コントロール信号を、ウィザードで提供されているオプションから選択します。ステップ 2 のチャンネル設定が 12 なので、PMA コントロール信号幅は 12 チャンネルに対応しています。12 ~ 9 のチャンネルはロジック Low（ゼロ / グランド）に接続します。このシナリオでは、 V_{OD} 信号 (tx_vodctrl) の幅は 36 ビット (12 チャンネル \times tx_vodctrl[2..0] = tx_vodctrl[35..0]) です。ビット 35-24 をゼロに接続します。同様な方法でイコライゼーション設定を行います。

以下のステップに従って、alt2gxb および alt2gxb_reconfig の接続を作成します。

1. alt2gxb からの reconfig_fromgxb 信号を alt2gxb_reconfig インスタンスの同じ信号に接続します。開始チャンネル番号が最小のトランシーバは最下位ビットに接続されます。以下、同様です。このケースでは、開始チャンネルが0のalt2gxbの5チャンネルを持つインスタンスは reconfig_fromgxb[1..0] を持ち、これは alt2gxb_reconfig の reconfig_fromgxb[1..0] に接続する必要があります。開始チャンネルが8のalt2gxbの他の3チャンネル・インスタンスは reconfig_fromgxb を持ち、これは alt2gxb_reconfig reconfig_fromgxb[3] に接続する必要があります。詳しくは、[図 2-121](#) を参照してください。
2. alt2gxb_reconfig インスタンスからの reconfig_togxb 信号を alt2gxb インスタンスの同じ信号に接続します。

図 2-121. 複数のインスタンスを持つ1つのダイナミック・リコンフィギュレーション・コントローラ



複数のインスタンスを持つ複数のダイナミック・リコンフィギュレーション・コントローラ

ここでは、2 つのコンフィギュレーションを持つデザインについて説明します。一方のコンフィギュレーションにはトランシーバの 5 チャンネルがあり、他方のコンフィギュレーションには 3 チャンネルがあります。このデザインには、5 チャンネルと 3 チャンネルを別々に制御する個別のダイナミック・リコンフィギュレーション・コントローラがあります。このシナリオでは、複数のダイナミック・リコンフィギュレーション・コントローラが複数の alt2gxb インスタンスを制御する状況について説明します。両方のインスタンスで、送信側の V_{OD} の PMA 設定および受信側のイコライゼーション・コントロールを、実行時変更機能に対してイネーブルします。以下では、alt2gxb ウィザードでコンフィギュレーションをセットアップする一般的なステップについて説明します。

以下のステップに従って、最初のインスタンス (5 チャンネル・トランシーバ) をセットアップします。

1. alt2gxb MegaWizard Plug-In Manager で、**What is the number of channels?** オプションを 5 に設定します。
2. ダイナミック・リコンフィギュレーション・オプションをイネーブルします。

reconfig_fromgxb 出力信号はトランシーバ・ブロックをベースにしています。したがって、5 つのチャンネルがあるため、このインスタンスのビット数は 2 です。reconfig_togxb 入力信号は、3 ビットの固定幅です。

3. **What is the starting channel number?** オプションを 0 に設定します。

以下のステップに従って、最初のインスタンスに対してダイナミック・リコンフィギュレーション・コントローラをセットアップします。

1. Quartus II ソフトウェアで、alt2gxb_reconfig MegaWizard Plug-In Manager を起動します。
2. **What is the number of channels controlled by the controller?** オプションを 5 に設定します。このオプションを使用すると、Quartus II ソフトウェアは、reconfig_fromgxb 信号のバス幅と PMA コントロール信号の幅を選択します。このケースでは、コントローラが合計 2 つのトランシーバ・ブロック (2 つのトランシーバ・ブロックの 5 チャンネル) を制御できるように、デザインには 2 ビット幅の信号が必要です。



この設定について詳しくは、2-166 ページの「ダイナミック・リコンフィギュレーション・コントローラ」を参照してください。

- このコンフィギュレーションの V_{OD} 、プリエンファシス、イコライゼーション、および DC ゲイン・オプションに対する書き込みと読み出しに必要な PMA コントロール信号を選択します。

以下のステップに従って、2 番目のインスタンス (3 チャンネル・トランシーバ) をセットアップします。

- ウィザードで、**What is the number of channels?** オプションを 3 に設定します。
- ダイナミック・リコンフィギュレーション・オプションをイネーブルします。

`reconfig_fromgxb` 出力信号はトランシーバ・ブロックをベースにしています。したがって、3 つのチャンネルがあるため、このインスタンスのビット数は 1 です。入力信号 `reconfig_togxb` は、3 ビットに固定されています。

- What is the starting channel number?** オプションを 0 に設定します (5 チャンネル `alt2gxb` インスタンス設定と同じ)。これらの `alt2gxb` チャンネルは、異なるダイナミック・リコンフィギュレーション・コントローラによって制御されるため、連続するチャンネル開始番号 (4 の倍数) は必要ありません。

以下のステップに従って、2 番目のインスタンスに対してダイナミック・リコンフィギュレーション・コントローラをセットアップします。

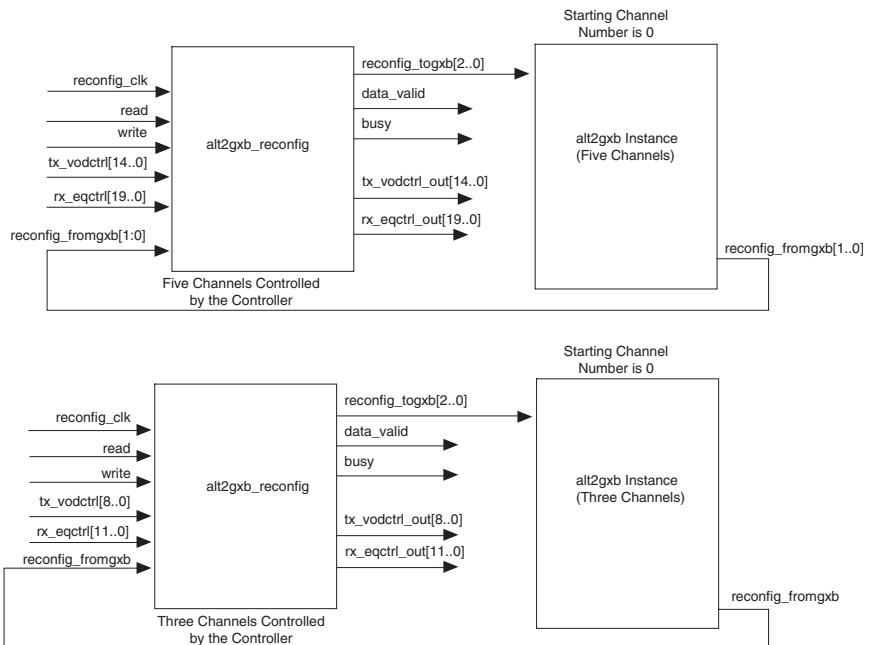
- Quartus II ソフトウェアで、`alt2gxb_reconfig` MegaWizard Plug-In Manager を起動します。
- What is the number of channels controlled by the controller?** オプションを 3 に設定します。このオプションを使用すると、Quartus II ソフトウェアは、`reconfig_fromgxb` 信号のバス幅と PMA コントロール信号の幅を選択します。このケースでは、コントローラが合計で 1 つのトランシーバ・ブロック (1 つのトランシーバ・ブロックに 3 チャンネル) を制御できるように、デザインには 1 ビット幅の信号が必要です。このオプションは少なくとも 3 に設定します。これより、Quartus II ソフトウェアは PMA コントロール信号の 3 チャンネルをイネーブルします。

3. V_{OD} 、プリエンファシス、イコライゼーション、および DC ゲイン・オプションに対する書き込みと読み出しに必要なPMAコントロール信号を選択します。

以下のステップに従って、alt2gxb と alt2gxb_reconfig の接続を作成します（図 2-122 を参照）。

1. alt2gxb から reconfig_fromgxb 信号を、対応する alt2gxb_reconfig インスタンスの同じ信号に接続します。
2. alt2gxb_reconfig インスタンスからの reconfig_togxb 信号を、対応する alt2gxb インスタンスの同じ信号に接続します。

図 2-122. 複数コントローラ、複数インスタンス



複数のインスタンスを持つ1つのダイナミック・リコンフィギュレーション・コントローラ（スタンピング）

ここで説明するデザインには、データ・レートと機能モードが同じ5チャンネル・トランシーバがあります。1つのダイナミック・リコンフィギュレーション・コントローラで5チャンネルを制御します。このシナリオでは、1チャンネル・コンフィギュレーションの5つのインスタンス化をスタンプします。

以下のステップに従って、1チャンネル alt2gxb コンフィギュレーションをセットアップします。

1. alt2gxb MegaWizard Plug-In Manager で、**What is the number of channels?** オプションを1に設定します。
2. ダイナミック・リコンフィギュレーション・オプションをイネーブします。

reconfig_fromgxb 出力信号はトランシーバ・ブロックをベースにしています。したがって、チャンネル数が1つなので、このインスタンスのビット数は1です。reconfig_togxb 入力信号は、3ビットの固定幅です。

3. **What is the starting channel number?** オプションを0に設定します。

以下のステップに従って、前のコンフィギュレーションを5回インスタンス化します。

- alt2gxb.v ファイルまたはシンボル・ファイルを5回インスタンス化します。

ブロック記述ファイルのシンボル・ファイルを使用する場合、5回インスタンス化した後、**What is the starting channel number parameter?** オプションが使用可能になります。インスタンス 2、3、4、5 に対して、パラメータ・オプションをそれぞれ4、8、12、16に変更します。

Verilog ファイルでインスタンスを作成する場合は、以下のコマンドを使用してインスタンス 2、3、4、5 に対して、パラメータ・オプションをそれぞれ4、8、12、16に変更します。

```
defparam inst2. starting_channel_number= 4;  
defparam inst3. starting_channel_number= 8;
```

以下のステップに従って、ダイナミック・リコンフィギュレーション・コントローラ・インスタンスをセットアップします。

1. Quartus II ソフトウェアで、alt2gxb_reconfig MegaWizard Plug-In Manager を起動します。
2. **What is the number of channels controlled by the controller?** オプションを 8 (直近のトランシーバ・ブロック数の倍数またはトランシーバ・ブロック × 4 チャンネル数) に設定します。これは、このシナリオでは、チャンネルのデータ・レートと機能モードが同じであるため、5 チャンネルが 2 つのトランシーバ・ブロックにマージされるからです。データ・レートと機能モードが異なるため、5 チャンネルで 5 つの異なるトランシーバ・ブロックを使用する必要がある場合は、設定値を 20 にして 5 つのトランシーバ・ブロックのインタフェース信号をイネーブルする必要があります (reconfig_fromgxb[4:0])。
3. V_{OD} 、プリエンファシス、イコライゼーション、および DC ゲイン・オプションに対する書き込みと読み出しに必要な PMA コントロール信号を選択します。

以下のステップに従って、alt2gxb および alt2gxb_reconfig の接続を作成します。

1. alt2gxb からの reconfig_fromgxb 信号を alt2gxb_reconfig インスタンスの同じ信号に接続します。
2. alt2gxb_reconfig インスタンスからの reconfig_togxb 信号を alt2gxb インスタンスの同じ信号に接続します。

ダイナミック・リコンフィギュレーション・コントローラのポート・リスト

表 2-33 は、ダイナミック・リコンフィギュレーション・コントローラのポートを説明しています。

表 2-33. ダイナミック・リコンフィギュレーション・コントローラ (alt2gxb_reconfig) のポート・リスト (1 / 3)		
ポート名	入力/出力	説明
reconfig_clk	入力	ダイナミック・リコンフィギュレーション・コントローラの入力基準クロック。このクロックの周波数範囲は 2.5 ~ 50 MHz です。割り当てられたクロックは、デフォルトではグローバル・リソースを使用します。この同じクロックは alt2gxb に接続する必要があります。
alt2gxb - alt2gxb_reconfig インタフェース信号		
reconfig_fromgxb	入力	alt2gxb から alt2gxb_reconfig へのインタフェース・バス信号。alt2gxb_reconfig の信号の幅は、コントローラによって制御されるチャンネル数で決まります。
reconfig_togxb[2..0]	出力	alt2gxb_reconfig と alt2gxb の間の固定バス・インタフェース。この信号はチャンネル数とは無関係で、ダイナミック・リコンフィギュレーション・コントローラのすべてのインスタンスに対して固定されています。
PLD インタフェース信号		
write_all	入力	ライト・トランザクションのコントロール信号。この信号はアクティブ High です。
busy	出力	ライト・トランザクションのステータス信号。この信号は、書き込み操作中であることを示します。
read	入力	リード・トランザクションのコントロール信号。この信号はアクティブ High です。
data_valid	出力	リード・トランザクションのステータス信号。data_valid が High の場合、読み戻されたデータが有効です。つまり、data_valid が High にアサートされた後の、出力コントロール信号上の現在のデータが、有効な読み出しデータです。この信号は、少なくとも 1 つのリード・コントロール・ポートがイネーブルのときにのみイネーブルされます。リード・コントロール・ポートがイネーブルで、ライト・トランザクションが終了すると、data_valid 信号が High になり、ビジー信号が Low になります。
tx_vodctrl	入力	オプションの PMA 送信バッファ差動出力電圧コントロール信号。信号のエンコーディングについて詳しくは、2-47 ページの「 トランスミッタ・バッファ 」を参照してください。設定数は、alt2gxb の送信バッファ電源設定によって異なります。これは 1 チャンネルあたり 3 ビットです。

表 2-33. ダイナミック・リコンフィギュレーション・コントローラ (alt2gxb_reconfig) のポート・リスト (2 / 3)

ポート名	入力/出力	説明
tx_preemp_0t	入力	送信バッファ用ブリタップのプリエンファシス・コントロール (オプション)。これは1つのチャンネルあたり4ビットです。この信号は、プリエンファシスの十極性とその反転極性を2の補数形式で制御します。 これらの4ビットは2の補数に基づきます。 0は0を表します。 1-7は-1~-7を表します。 9-15は1~7を表します。 8は-8 (違法) を表し、0にマップされます。
tx_preemp_1t	入力	送信バッファの最初のポスト・タップ用プリエンファシス・コントロール (オプション)。これは1チャンネルあたり4ビットです。
tx_preemp_2t	入力	送信バッファの2番目のポスト・タップ用プリエンファシス・コントロール (オプション)。これは1チャンネルあたり4ビットです。この信号は、プリエンファシスの十極性とその反転極性を2の補数形式で制御します。 これらの4ビットは2の補数に基づきます。 0は0を表します。 1-7は-1~-7を表します。 9-15は1~7を表します。 8は-8 (違法) を表し、0にマップされます。
rx_eqctrl	入力	PMA の受信側のイコライゼーション・コントロール信号 (オプション)。これは各チャンネルあたり4ビットのバスです。
rx_eqdcgain	入力	イコライザ DC ゲイン・コントロール (オプション)。これは3つの適正な設定をサポートし、1チャンネルにつき2ビット幅です。
tx_vodctrl_out	出力	送信 V _{OD} 出力信号 (オプション)。この信号は、V _{OD} コントロール・レジスタに書き込まれた値を読み出します。この出力信号の信号幅は、対応する入力信号と同じです。
tx_preemp_0t_out	出力	ブリタップ、プリエンファシス出力信号 (オプション)。この信号は、その入力コントロール信号によって書き込まれた値を読み出します。この出力信号の信号幅は、対応する入力信号と同じです。
tx_preemp_1t_out	出力	最初のポストタップ、プリエンファシス出力信号 (オプション)。この信号は、その入力コントロール信号によって書き込まれた値を読み出します。この出力信号の信号幅は、対応する入力信号と同じです。
tx_preemp_2t_out	出力	2番目のポストタップ、プリエンファシス出力信号 (オプション)。この信号は、入力コントロール信号によって書き込まれた値を読み出します。この出力信号の信号幅は、対応する入力信号と同じです。

表 2-33. ダイナミック・リコンフィギュレーション・コントローラ (alt2gxb_reconfig) のポート・リスト (3 / 3)

ポート名	入力/出力	説明
rx_eqctrl_out	出力	alt2gxb インスタンスのイコライザ設定を読み出す出力信号。この出力信号の信号幅は、対応する入力信号と同じです。
rx_eqdcgain_out	出力	イコライザ DC ゲイン出力信号。この信号は、alt2gxb インスタンス DC ゲインの設定を読み出します。この出力信号の信号幅は、対応する入力信号と同じです。

