

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIIGX52001-2.4

### はじめに

Stratix® II GX デバイスは、最新の 6.375 Gbps、4 チャンネル・ギガビット・トランシーバ・ブロックを業界最先端の FPGA アーキテクチャと組み合わせたものです。Stratix II GX トランシーバは、Stratix GX ファミリの成功に基づき、より高いデータ・レートと多様な規格およびカスタム・プロトコルのサポートを可能にする追加機能を提供します。全内蔵型の各 Stratix II GX ギガビット・トランシーバ・ブロックは、一般的に必要なタスクを実装するための様々な組込み機能を備えています。

### ビルディング・ブロック

Stratix II GX トランシーバは、トランシーバ・ブロックと呼ばれる二重 4 チャンネル・グループ内に構築されています。トランシーバ・ブロック内の各チャンネルは、Single-width モードまたは Double-width モードでコンフィギュレーションできます。Single-width モードは、トランシーバを通過する 8 ビット /10 ビットのシリアライザ / デシリアライザ (SERDES) データ・パスを備え、600 Mbps ~ 3.125 Gbps のデータ・レートをサポートします。Double-width モードは、トランシーバを通過する 16 ビット /20 ビット SERDES データ・パスを備え、1 Gbps ~ 6.375 Gbps のデータ・レートをサポートします。トランシーバ内のすべてのブロックは、Single-width モードでのみ使用可能なデスキュー FIFO (First-In First-Out) を除いて、Double-width モードで動作することができます。トランシーバで使用可能なブロック用オプションは、いずれのモード (Single-width または Double-width) を使用するかによって異なる場合があります。



このドキュメントでは、Quartus II ソフトウェアで使用されている「inter-quad (IQ) routing」という用語の代わりに、「inter-transceiver block routing」を使用しています。

Stratix II GX トランシーバは、カスタム (Basic) モードに加え、以下のプロトコルをサポートします。

- Physical Interface for PCI-Express (PIPE) – シングル・レーン (×1)、4 レーン (×4)、および 8 レーン (×8)
- XAUI (10 Gigabit Attachment Unit Interface)
- GIGE (Gigabit Ethernet)
- SONET (Synchronous Optical NETWORK) – OC-12、OC-48 および OC-96
- (OIF) CEI PHY Interface (Common Electrical I/O)

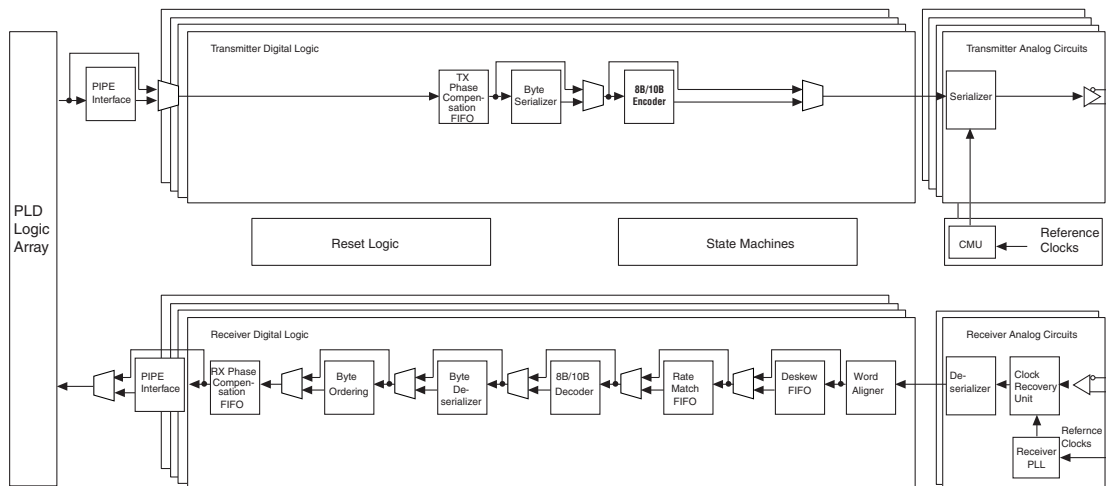
- Serial RapidIO (1.25 Gbps、2.5 Gbps、および 3.125 Gbps)
- CPRI (Common Public Radio Interface)
- SDI (Serial Digital Interface) (HD-SDI および 3G-SDI)

図 1-1 に、Single-width モードでのギガビット・トランシーバ・ブロックのブロック図を示します。選択する機能モードに基づいて、様々なオプションのモジュールをイネーブまたはディセーブすることができます。図 1-1 の後の項で、各ブロックについて簡単に説明します。



各ブロックについて詳しくは、「Stratix II GX デバイス・ハンドブック Volume 2」の「Stratix II GX トランシーバ・アーキテクチャの概要」の章を参照してください。

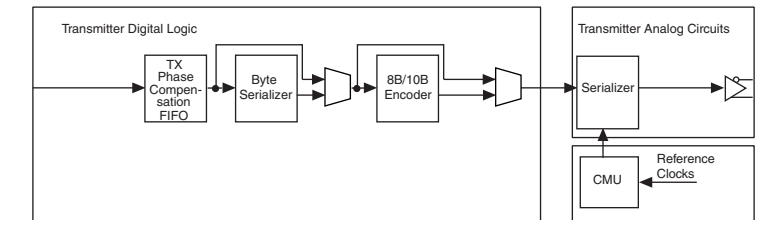
図 1-1. Stratix II GX ギガビット・トランシーバのブロック図



## トランスミッタ・チャンネルの概要

ここでは、トランスミッタ・ブロック内の様々なコンポーネントについて簡単に説明します (図 1-2)。トランスミッタの平行・ロジック・アレイから送信バッファまでのモジュールが順にリストされています。

図 1-2. Stratix II GX トランスミッタのブロック図



## クロック・マルチプライヤ・ユニット

各ギガビット・トランシーバ・ブロックには、クロック・マルチプライヤ・ユニット（CMU）があり、柔軟なクロッキングを提供するとともに、広範な着信データ・ストリームをサポートします。各 CMU には、入力基準クロックの合成に基づいて必要なクロック周波数を生成する 2 つのトランスミッタ PLL（Phase-Locked Loop）があります。各トランスミッタ PLL は、様々な入力クロック周波数の使用を可能にするために連係係数をサポートしています。両方のトランスミッタ PLL は同じであり、600 Mbps ~ 6.375 Gbps のデータ・レートをサポートします。ただし、各 PLL は、異なるデータ・レートをサポートするようにコンフィギュレーションできます。各トランスミッタ PLL は、最大 4 本のチャネルをドライブします。PIPE x8 モードでは、マスタ・トランシーバ・ブロックのトランスミッタ PLL は、8 チャネルすべてをドライブします。この CMU ブロックは、Single-width および Double-width の両方のモードでアクティブになり、未使用時にはパワー・ダウンされます。

## 位相補償 FIFO バッファ

トランスミッタ・データ・パスは、FPGA とトランシーバ・クロック・ドメイン間における位相変動をデカップルする専用の位相補償 FIFO バッファを備えています。このブロックは Single-width および Double-width の両方のモードでアクティブになり、バイパスすることはできません。

## バイト・シリアライザ

バイト・シリアライザにより、プログラマブル・ロジック・デバイス（PLD）は送信データ・パスの半分のレートで動作可能で、コアはより低い周波数で動作することができます。バイト・シリアライザがない場合、20 ビットのシリアライゼーション・ファクタを使用し最大データ・レート 6.375 Gbps において、PLD トランシーバ・インタフェースは 318.75 MHz で動作します。PLD トランシーバ・インタフェースは、

250 MHz の最大周波数で動作することができます。バイト・シリアライザを使用した場合、PLD トランシーバ・インタフェースが動作するには 159.375 MHz が必要です。このブロックは、Single-width モードと Double-width モードの両方で使用できます。Single-width モードで、バイト・シリアライザを使用する場合、PLD インタフェースは 16 ビットまたは 20 ビットになります。Double-width モードで、バイト・シリアライザを使用すると、シリアライゼーション・ファクタに応じて 32 ビットまたは 40 ビットの PLD インタフェースが作成されます。

## 8B/10B エンコーダ

多数のプロトコルが 8B/10B エンコーディングを使用しています。Stratix II GX デバイスは、各トランスミッタ・チャンネル内に 2 つの専用 8B/10B エンコーダを備えています。このエンコーディング手法によって、レシーバ側で正常にデータ回復を行うために、データ信号内で十分なデータ遷移と DC バランスされたストリームが確実に発生します。このブロックは、Single-width モードと Double-width モードで使用できます。Single-width モードでは、8B/10B エンコーダの 1 つがアクティブになります。Double-width モードでは、両方の 8B/10B エンコーダがアクティブになり、カスケード・モードで動作します。8B/10B エンコーダは、IEEE 802.3 1998 edition 規格に従って 8B/10B エンコーディングを行います。

## シリアライザ

シリアライザは、トランシーバのフィジカル・コーディング・サブレイヤ (PCS) からの低速パラレル着信信号を送信側で高速シリアル信号に変換します。シリアライザは、様々な変換係数をサポートして、実装の柔軟性を実現しています。シリアライザは、Single-width モードで 8 ビットまたは 10 ビットのシリアライゼーション・ファクタ、Double-width モードで 16 ビットまたは 20 ビットのシリアライゼーション・ファクタをサポートします。シリアライザ・ブロックは、トランシーバのパラレル・トランスミッタ・ロジックおよび PLD のために、低速クロックに基づくクロック合成も実行します。

## トランスミッタ差動出力バッファ

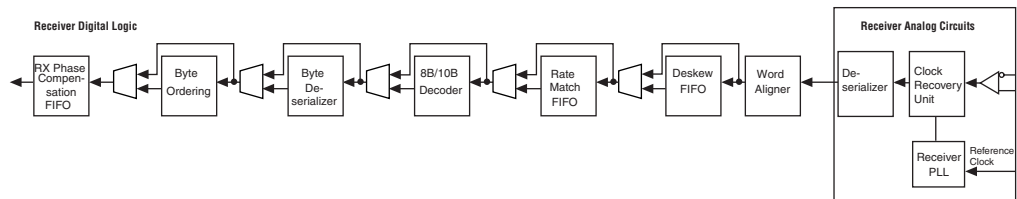
ギガビット・トランシーバ・ブロックの差動出力バッファは、1.5-V PCML および 1.2-V PCML I/O 規格をサポートし、システムのシグナル・インテグリティを向上させる様々な機能を備えています。プログラマブル・プリエンファシスは、高周波損失を補償するのに役立ちます。様々なプログラム可能な  $V_{OD}$  (Voltage Output Differential) 設定により、ノイズ・マージンの調整機能を使用できます。また、On-Chip Termination (OCT: チップ内終端) により、100  $\Omega$ 、120  $\Omega$ 、または 150  $\Omega$  伝送線路に

適切なトランスミッタ・バッファ終端を提供します。トランスミッタ・バッファ回路には、レシーバが接続されているかどうかを検出するために、PCI Express (PIPE) プロトコルで使用するレシーバ検出回路も含まれています。バッファは未使用時には、電磁妨害 (EMI) と消費電力を低減するためにトライステートにすることができます。PIPE モードでは、トライステート機能が電気的アイドルを生成します。

## レシーバ・チャンネルの概要

ここでは、レシーバ・ブロック内の様々なコンポーネントについて簡単に説明します。シリアル・レシーバ・バッファからパラレル FPGA インタフェースの間に、これらのモジュールがあります。(図 1-3)。

図 1-3. Stratix II GX レシーバのブロック図



### レシーバ差動入力バッファ

Stratix II GX トランシーバ・ブロックの差動入力バッファは、1.5-V PCML および 1.2-V PCML I/O 規格をサポートし、システムのシグナル・インテグリティを向上させる様々な機能を備えています。プログラム可能なイコライザ機能は、伝送メディアにおける信号の劣化を補償します。また、On-Chip Termination により、100 Ω、120 Ω、または 150 Ω 伝送線路に適切なレシーバ終端を提供します。1 つの信号検出ブロックが、レシーバ入力での有効信号の有無を示します。



Stratix II GX レシーバ入力バッファは、変化するリンク特性を補正するアダプティブ・イコライゼーション (AEQ) もサポートしています。

### レシーバ PLL

レシーバ PLL は、電圧制御発振器 (VCO) を基準クロックの周波数に一致させます。周波数が一致すると、クロック・リカバリ・ユニット (CRU) が VCO を制御します。トランシーバの各レシーバ・チャンネル

は、柔軟なクロッキングを実現し、広範なデータ・レートをサポートする専用のレシーバ PLL を備えています。これらの PLL は、入力基準クロックの合成に基づいて、必要なクロック周波数を生成します。

## クロック・リカバリ・ユニット

Stratix II GX トランシーバ・ブロックの CRU は、アナログ・クロック・データ・リカバリ (CDR) を実行します。CRU は、データ・ストリームに埋め込まれたクロックを回復して、着信データを正しくクロックします。復元クロックは、レシーバ・ロジック・クロックのリセット (rx\_digitalreset) もクロックし、PLD ファブリックで使用できます。

## デシリアライザ

デシリアライザ・ブロックは、着信データ・ストリームを高速シリアル信号からレシーバ側の FPGA のロジック・アレイで処理可能な低速パラレル信号に変換します。デシリアライザは、さまざまな変換係数をサポートして、実装の柔軟性を実現しています。デシリアライザは、Single-width モードで 8 ビットまたは 10 ビット、Double-width モードで 16 ビットまたは 20 ビットのデシリアライゼーション・ファクタをサポートします。デシリアライザ・ブロックは、CRU からの低速クロックに基づくクロック合成を実行し、トランシーバの平行レシバ・ロジック、および PLD に復元したクロックを送ります。

## ワード・アライナ

ワード・アライナ・モジュールには、着信データ・ストリーム内の特定のパターンを識別するための完全にプログラム可能なパターン検出器があります。パターン検出器には、8B/10B エンコード・データ用のコントロール・コード・グループ、およびスクランブルされたデータ用の A1A2 または A1A1A2A2 タイプのフレーム・アラインメント・パターンに対する認識サポートが含まれています。カスタム・アラインメント・パターンも使用できます。ワード・アライナは、一部の機能モードではバイパスできます。

Single-width モードでは、以下のワード・アラインメント・オプションが使用できます。

- マニュアル・ビット・スリップ・モード
- 7 ビット、10 ビット、または 16 ビット・パターンへのマニュアル・アラインメント
- 同期化のためにプログラム可能なヒステリシスを提供する同期ステート・マシン

Double-width モードでは、以下のワード・アラインメント・オプションが使用できます。

- マニュアル・ビット・スリップ・モード
- 7ビット、8ビット、10ビット、16ビット、20ビット、または32ビット・パターンへのマニュアル・アラインメント

## チャンネル・アライナ (デスクュー)

エンベデッド・チャンネル・アライナは複数のチャンネルにわたってバイト境界を揃え、ギガビット・トランシーバ・ブロックの4チャンネルからロジック・アレイに入力されたデータの同期化を図ります。Stratix II GX チャンネル・アライナは、10ギガビット・イーサネット XAUI 4チャンネルの実装に最適化されています。チャンネル・アライナには、XAUI (10-Gigabit Attachment Unit Interface) プロトコルで定義されるコントロール回路とチャンネル・アラインメント・キャラクタ検出機能が含まれています。



このブロックは、XAUI プロトコルにのみ使用でき、他のすべてのプロトコルに対してはディセーブルされます。

## レート・マッチャ

CDR ベース・システムでは、送信デバイスと受信デバイスのクロック周波数が一致しないことがよくあります。このミスマッチによって、データは受信デバイスが処理できる速度よりわずかに速く、または遅く送信される可能性があります。Stratix II GX のレート・マッチャは、送信プロトコルで定義されるとおり、送信データに妥協することなく、データ・ストリームから除去可能な文字を挿入または削除することによって、リカバリ・クロックと FPGA ロジック・アレイ・クロックとの周波数の違いを解決します。レート・マッチャ・ブロックは、Single-width および Double-width Basic モードと、XAUI、Gigabit Ethernet (GIGE)、および PCI Express (PIPE) などの特定のプロトコルに使用できます。

## 8B/10B デコーダ

多数のプロトコルが 8B/10B エンコーディングを使用しています。Stratix II GX デバイスは、高いデータ・レートをサポートするために、各チャンネルに2つの専用8B/10Bデコーダを備えています。このデコーディング手法により、デイスパリティ・エラーおよびコード・グループ・エラーの高速検出が可能です。このブロックは、Single-width モードと Double-width モードで使用できます。Single-width モードでは、8B/10B デコーダの1つだけがアクティブになります。Double-width モードでは、両方の8B/10Bデコーダがアクティブになり、カスケード・モード

で動作します。デコードされた各コード・グループに対する現在のランニング・デイスパリティを PLD に送ることができます。8B/10B デコーダは、IEEE 802.3 1998 edition 規格に従って 8B/10B デコーディングを行います。

## バイト・デシリアライザ

バイト・デシリアライザは、PLD インタフェースの前にトランシーバのデータ・パスを拡大して、受信したデータを PLD ロジックにクロックしなければならないレートを低減します。このバイト・デシリアライザ・ブロックは、Single-width と Double-width の両方で使用できます。Single-width モードで、バイト・デシリアライザを使用する場合、PLD インタフェースは 16 ビットまたは 20 ビットになります。Double-width モードでは、バイト・デシリアライザを使用して、シリアライゼーション・ファクタに応じて 32 ビットまたは 40 ビットの PLD インタフェースが作成されます。

## バイト・オーダリング

各レシーバは、バイト・デシリアライザの使用時に一部の機能モードで使用できる、オプションのバイト・オーダリング・ブロックを備えています。このブロックは、データ・ワードのバイト・デシリアライゼーションがバイト・デシリアライゼーション・ブロックの後に予期したワード・オーダリングに一致しない場合は、予期したワード・オーダリングを復元します。レート・マッチャがバイトを追加または削除してバイト順を変更する可能性があるため、このブロックはレート・マッチャが使用されているとき (Single-width または Double-width モード) は使用できません。レート・マッチャは、8B/10B が Single-width モードで使用されているときも使用できません。

## レシーバ位相補償 FIFO バッファ

各レシーバ・データ・パスは、FPGA とトランシーバ・クロック・ドメイン間における位相変動をデカップルする専用の位相補償 FIFO バッファを備えています。このブロックは常に使用され、バイパスすることはできません。

## PIPE インタフェース

PIPE インタフェースは PCI Express プロトコルをサポートします。PIPE インタフェースは、PCI Express 物理層とのバックエンド・インタフェースを簡素化し標準化します。このブロックは、PIPE モードで自動的にインネブルされ、その他のモードでは使用できません。

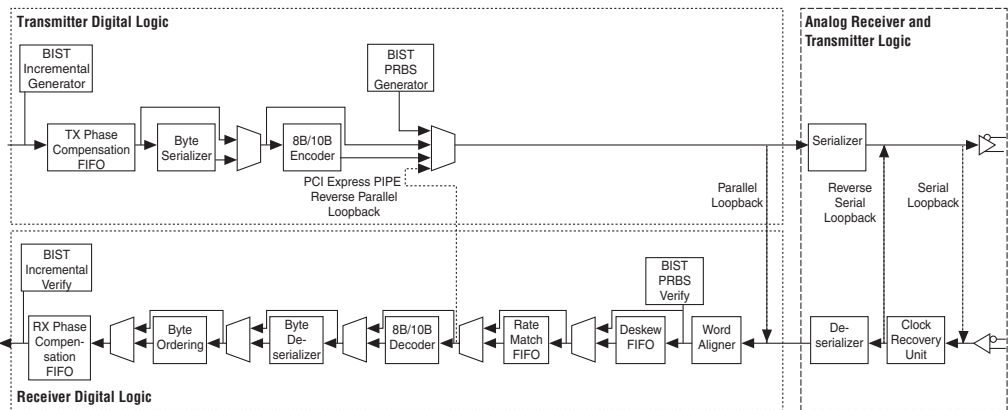
## ループバック

4 つの診断用のループバック・モードが提供されています。以下のループバック・モードを使用することができます。

- シリアル・ループバック
- リバース・シリアル・ループバック
- Pre-CDR ループバック
- ビルトイン・セルフ・テスト (BIST) インクリメンタル・テスト・パラレル・ループバック
- PCI Express (PIPE) リバース・パラレル・ループバック

図 1-4 に、使用可能なループバック・モードを示します。

図 1-4. ループバック・モード



## ビルトイン・セルフ・テスト

ギガビット・トランシーバ・ブロックは、デザインの検証を簡素化するいくつかの特長を備えています。エンベデッド・パターン・ジェネレータおよびパターン・ベリファイアは、PLD ファブリックに追加ロジックを設計する必要のない、シンプルなボード検証手法を提供します。BIST 擬似ランダム・バイナリ・シーケンス (PRBS) およびインクリメンタル・パターン・ジェネレータは、それぞれのパターン・ベリファイアと共に、完全なセルフテスト・パスを提供します。

## リセットおよびパワー・ダウン

Stratix II GX トランシーバは、トランシーバ・チャンネルおよびトランシーバ・ブロックの個々のポートを制御するための複数のリセット信号を提供します。未使用の各チャンネルは、消費電力を低減するために自動的にパワー・ダウンされます。また、各レシーバおよびトランスミッタ・ブロックに対するダイナミック・パワー・ダウン信号があります。

## 参考資料

この章では以下のドキュメントを参照しています。

- 「Stratix II GX デバイス・ハンドブック Volume 2」の「Stratix II GX トランシーバ・アーキテクチャの概要」の章

## 改訂履歴

表 1-1 に、本資料の改訂履歴を示します。

日付 & ドキュメント・バージョン	変更内容	概要
2007 年 10 月 v2.4	「レシーバ差動入力バッファ」の項に注釈を追加。	—
	「ビルディング・ブロック」および「ループバック」の項のリストを更新	—
	更新: ● 「クロック・マルチプライヤ・ユニット」 ● 「バイト・シリアライザ」	—
	「参考資料」の項を追加。	—
	テキストのマイナーな編集。	—
2007 年 8 月 v2.3	テキストのマイナーな編集。	—
2007 年 2 月 v2.2	下記の項の 622 Mbps を 600 Mbps に変更: ● 「ビルディング・ブロック」 ● 「クロック・マルチプライヤ・ユニット」	—
	「ビルディング・ブロック」の項の 3.125 Gbps を 1 Gbps に変更。	—
	以下の項を修正: ● 「クロック・マルチプライヤ・ユニット」 「バイト・シリアライザ」 ● 「8B/10B エンコーダ」 ● 「ループバック」	—
	図 1-3 を更新。	—
2006 年 4 月 v2.1	● 図 1-1 および 1-3 をマイナー・アップデート。	—

日付 & ドキュメント・バージョン	変更内容	概要
2006年2月 v2.0	<ul style="list-style-type: none"><li>● 「ビルディング・ブロック」の項を更新。</li><li>● 「ワード・アライナ」の項を更新。</li><li>● 「バイト・オーダリング」の項を更新。</li><li>● 「ループバック」の項を更新。</li><li>● 「ビルトイン・セルフ・テスト」の項を更新。</li></ul>	—
2005年10月 v1.0	Stratix II GX デバイス・ハンドブックに章を追加。	—