

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIIGX51006-2.1

動作条件

Stratix® II GX デバイスは、一般用および工業用温度グレードで提供されています。工業用グレードのデバイスは -4 および -5 のスピード・グレード、一般用グレードのデバイスは -3 (最速)、-4、および -5 のスピード・グレードで提供されています。

表 6-1 から 6-37 は、Stratix II GX デバイスの絶対最大定格、推奨動作条件、DC 特性、およびその他の仕様を示しています。

絶対最大定格

表 6-1 は、Stratix II GX デバイス・ファミリの絶対最大定格を示しています。

表 6-1. Stratix II GX デバイスの絶対最大定格		注 (1)、(2)、(3)、(4)			
シンボル	パラメータ	条件	最小	最大	単位
V _{CCINT}	電源電圧	GND に対して	-0.5	1.8	V
V _{CCIO}	電源電圧	GND に対して	-0.5	4.6	V
V _{CCPD}	電源電圧	GND に対して	-0.5	4.6	V
V _I	DC 入力電圧 (5)		-0.5	4.6	V
I _{OUT}	ピンあたりの DC 出力電流		-25	40	mA
T _{STG}	保存温度	バイアスなし	-65	150	C
T _J	接合温度	BGA パッケージのバイアス時	-55	125	C

表 6-1 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) 詳しくは、「Operating Requirements for Altera Devices Data Sheet」を参照してください。
- (3) 表 6-1 に記載された条件を超えると、デバイスに致命的な損傷を与える可能性があります。また、デバイスを絶対最大定格で長期間動作させると、デバイスに悪影響を与える可能性があります。
- (4) 電源電圧の仕様は、電源ではなくデバイス・ピンでの電圧の読み取り値に適用されます。
- (5) 過渡時に、入力デューティ・サイクルに基づいて、入力電圧が表 6-2 に示す電圧までオーバーシュートする場合があります。DC の場合はデューティ・サイクル 100% と同等です。過渡時に、入力電流が 100 mA 未満で期間が 20 ns 未満の場合、入力電圧が -2.0 V までアンダーシュートする場合があります。

シンボル	パラメータ	条件	最大デューティ・サイクル (%)
V_I	電圧過渡時の最大デューティ・サイクル	$V_I = 4.0 \text{ V}$	100
		$V_I = 4.1 \text{ V}$	90
		$V_I = 4.2 \text{ V}$	50
		$V_I = 4.3 \text{ V}$	30
		$V_I = 4.4 \text{ V}$	17
		$V_I = 4.5 \text{ V}$	10

表 6-2 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

推奨動作条件

表 6-3 に Stratix II GX デバイス・ファミリの推奨動作条件を示します。

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	内部ロジックおよび入力バッファ用電源電圧	立ち上がり時間 $\leq 100 \text{ ms}$ (4)	1.15	1.25	V
V_{CCIO}	3.3V動作の出力バッファ用電源電圧	立ち上がり時間 $\leq 100 \text{ ms}$ (4)、(7)	3.135 (3.00)	3.465 (3.60)	V
	2.5V動作の出力バッファ用電源電圧	立ち上がり時間 $\leq 100 \text{ ms}$ (4)	2.375	2.625	V
	1.8V動作の出力バッファ用電源電圧	立ち上がり時間 $\leq 100 \text{ ms}$ (4)	1.71	1.89	V
	1.5V動作の出力バッファ用電源電圧	立ち上がり時間 $\leq 100 \text{ ms}$ (4)	1.425	1.575	V
	1.2V動作の出力バッファ用電源電圧	立ち上がり時間 $\leq 100 \text{ ms}$ (4)	1.14	1.26	V
V_{CCPD}	コンフィギュレーションおよび JTAG I/O バッファプリドライバ電源電圧	$100 \mu\text{s} \leq$ 立ち上がり時間 $\leq 100 \text{ ms}$ (5)	3.135	3.465	V
V_I	入力電圧 (表 6-2 を参照)	(3)、(6)	-0.5	4.0	V
V_O	出力電圧		0	V_{CCIO}	V

表 6-3. Stratix II GX デバイスの推奨動作条件 (2 / 2) 注 (1)、(2)

シンボル	パラメータ	条件	最小	最大	単位
T _J	動作接合温度	一般用	0	85	C
		工業用	-40	100	C

表 6-3 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) 電源電圧の仕様は、電源ではなくデバイス・ピンでの電圧の読み取り値に適用されます。
- (3) 過渡時に、入力デューティ・サイクルに基づいて、入力電圧が表 6-2 に示す電圧にオーバershootする場合があります。DC の場合はデューティ・サイクル 100% と同等です。過渡時に、入力電流が 100 mA 未満で期間が 20 ns 未満の場合、入力電圧が -2.0 V までアンダーシュートする場合があります。
- (4) V_{CC} の最大立ち上がり時間は 100 ms です。また、V_{CC} はグラウンドから V_{CC} まで一定に上昇する必要があります。
- (5) V_{CCPD} は、100 μ ~ 100 ms 以内に、0 V から 3.3 V にランプアップしなければなりません。V_{CCPD} がこの規定時間内にランプアップしなかった場合、Stratix II GX デバイスは正しくコンフィギュレーションされません。システムが V_{CCPD} に対して、100 ms 未満のランプアップ時間を確保できない場合は、すべての電源が安定するまで、nCONFIG を Low に保持する必要があります。
- (6) 入力専用、クロック、I/O、および JTAG ピンを含むすべてのピンは、V_{CCINT} と V_{CCPD}、および V_{CCIO} に電源が供給される前にドライブされる可能性があります。
- (7) PCI および PCI-X に対する V_{CCIO} の最大および最小条件は、括弧内に示されています。

トランシーバ・ブロックの特性

表 6-4 から 6-7 に、トランシーバ・ブロックの仕様を示します。

表 6-4. Stratix II GX トランシーバ・ブロックの絶対最大定格 注 (1)

シンボル	パラメータ	条件	最小	最大	単位
V _{CCA}	トランシーバ・ブロックの電源電圧	一般用および工業用	-0.5	4.6	V
V _{CCP}	トランシーバ・ブロックの電源電圧	一般用および工業用	-0.5	1.8	V
V _{CCR}	トランシーバ・ブロックの電源電圧	一般用および工業用	-0.5	1.8	V
V _{CCT}	トランシーバ・ブロックの電源電圧	一般用および工業用	-0.5	1.8	V
V _{CCT_B}	トランシーバ・ブロックの電源電圧	一般用および工業用	-0.5	1.8	V
V _{CCL}	トランシーバ・ブロックの電源電圧	一般用および工業用	-0.5	1.8	V
V _{CCH_B}	トランシーバ・ブロックの電源電圧	一般用および工業用	-0.5	2.4	V
レシーバ 入力電圧	V _{ICM} V _{OD} シングル / 2	一般用および工業用		1.675 (2)、(4)	V
refclk _b 入力電圧	V _{ICM} V _{OD} シングル / 2	一般用および工業用		1.675 (2)、(4)	V

シンボル	パラメータ	条件	最小	標準	最大	単位
V _{CCA}	トランシーバ・ブロックの電源電圧	一般用および工業用	3.135	3.3	3.465	V
V _{CCP}	トランシーバ・ブロックの電源電圧	一般用および工業用	1.14	1.2	1.26	V
V _{CCR}	トランシーバ・ブロックの電源電圧	一般用および工業用	1.14	1.2	1.26	V
V _{CCT}	トランシーバ・ブロックの電源電圧	一般用および工業用	1.14	1.2	1.26	V
V _{CCT_B}	トランシーバ・ブロックの電源電圧	一般用および工業用	1.14	1.2	1.26	V
V _{CCL}	トランシーバ・ブロックの電源電圧	一般用および工業用	1.14	1.2	1.26	V
V _{CCH_B}	トランシーバ・ブロックの電源電圧	一般用および工業用	1.14	1.2	1.26	V
			1.425	1.5	1.575	V
V _{ID} (差動ピーク・トゥ・ピーク)	レシーバ差動入力電圧スウィング	一般用および工業用	170		2,000	mV
V _{ID} (差動ピーク・トゥ・ピーク)	refclk _b 差動入力電圧スウィング	一般用および工業用	400		2,000	mV
V _{ICM}	レシーバ入力コモン・モード電圧	一般用および工業用	1,025	1,100	1,175	V
V _{OD} (差動 p-p)	トランスミッタ差動出力電圧	一般用および工業用	160		1,400	mV
V _{OCM}	トランスミッタ出力コモン・モード電圧	一般用および工業用		750		mV
R _{REF} (3)	リファレンス抵抗	一般用および工業用	2K-1%	2K	2K+1%	Ω

シンボル	パラメータ	条件	最小	標準	最大	単位
rx	レシーバ終端	一般用および工業用、100 Ω 設定		108		Ω
		一般用および工業用、120 Ω 設定		128		Ω
		一般用および工業用、150 Ω 設定		158		Ω
tx	トランスミッタ終端	一般用および工業用、100 Ω 設定		108		Ω
		一般用および工業用、120 Ω 設定		128		Ω
		一般用および工業用、150 Ω 設定		158		Ω

表6-6. Stratix II GX トランシーバ・ブロックの On-Chip Termination(チップ内終端) (2/2) 注(1)

シンボル	パラメータ	条件	最小	標準	最大	単位
refclkb	専用トランシーバ・クロック終端	一般用および工業用、100 Ω 設定		108		Ω
		一般用および工業用、120 Ω 設定		128		Ω
		一般用および工業用、150 Ω 設定		158		Ω

表 6-4 から 6-6 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) デバイスは最大仕様に違反しない限り、この絶対最大定格値で長時間の動作に耐えることができます。
- (3) このピンのDC信号は、可能な限りクリーンでなければなりません。このピンにノイズがカップリングされないようにしてください。
- (4) トランシーバ・ピンへの最小DC入力は-0.5Vです。過渡時に、トランシーバ・ピンは、入力電流が100mA未満で期間が20ns未満の場合、-0.5Vまでアンダーシュート、または3.5Vまでオーバシュートする場合があります。

表6-7. Stratix II GX トランシーバ・ブロックの AC仕様 (1/4) 注(1)

シンボル/説明	条件	-3 一般用 スピード・ グレード			-4 一般用 & 工業用スピード・ グレード			-5 一般用 & 工業用スピード・ グレード			単位
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
1 トランシーバ・ ブロックあたりの電力 (PCS + PMA)	6.375 Gbps、 400 mV V_{od} 0 プリエンファ シス										mW
専用基準クロック											
REFCLK ジッタ耐力 (ピーク・トゥ・ピーク)	ジッタ成分 <20 MHz										ps
	広帯域										ps
REFCLK (リファレンス 入力クロック周波数) - 専用 refclkb ピン		62.5		622	62.5		622	25		312.5	MHz
REFCLK (リファレンス 入力クロック周波数) - PLD クロック・リソース											MHz
レシーバ											
シリアル・データ・レート (一般)	一般用および 工業用	622		6,375	622		5,000	622		3,125	Mbps
シリアル・データ・レート (8B/10B エンコード)	一般用および 工業用	622		6,375	622		5,000	622		3,125	Mbps

表 6-7. Stratix II GX トランシーバ・ブロックの AC 仕様 (2 / 4) 注 (1)											
シンボル / 説明	条件	-3 一般用 スピード・ グレード			-4 一般用 & 工業用スピード・ グレード			-5 一般用 & 工業用スピード・ グレード			単位
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
パラレル・トランシーバ / ロジック・アレイ・インタフェース速度											
レート・マッチング 周波数公差	XAUI モード のみ			±100			±100			±100	ppm
レーザの総ジッタ 耐力	@ 3.125 Gbps										UI (2)
レーザの正弦波ジッタ 耐力 (ピーク・トゥ・ ピーク)	f = 22.1Khz @ 6.375 Gbps										UI
	f = 1.875 MHz @ 6.375 Gbps										UI
	f = 20 MHz @ 6.375 Gbps										UI
BER											
レーザのレイテンシ (3)	Single width										パラレル・ クロック 数
	Double width										パラレル・ クロック 数
チャンネル間ビット・ スキュー許容 (5)、(6)	XAUI モード / トランシーバ間 ブロックのみ										UI
ラン・レングス											UI
レーザ・リターン 損失 (差動)	100 MHz to 2.5 Ghz										dB
レーザ・リターン 損失 (コモン・モード)	100 MHz to 2.5 Ghz										dB
トランスミッタ											
シリアル・データ・ レート	一般用および 工業用	622		6,375	622		5,000	622		3,125	Mbps
パラレル・トランシーバ/ コア・インタフェース 速度											
シリアル・データ出力 の確定的ジッタ	TDJ @ 6.375 Gbps										UI
シリアル・データ出力 の総ジッタ	TTJ @ 6.375 Gbps										UI

表 6-7. Stratix II GX トランシーバ・ブロックの AC 仕様 (3 / 4) 注 (1)

シンボル / 説明	条件	-3 一般用 スピード・ グレード			-4 一般用 & 工業用スピード・ グレード			-5 一般用 & 工業用スピード・ グレード			単位
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
ジッタ転送帯域幅 (6)	低帯域幅設定 @ 6.375 Gbps										MHz
	中帯域幅設定 @ 6.375 Gbps										MHz
	広帯域幅設定 @ 6.375 Gbps										MHz
	低帯域幅設定 @ 5.0 Gbps										MHz
	中帯域幅設定 @ 5.0 Gbps										MHz
	広帯域幅設定 @ 5.0 Gbps										MHz
	低帯域幅設定 @ 3.125 Gbps										MHz
	中帯域幅設定 @ 3.125 Gbps										MHz
	広帯域幅設定 @ 3.125 Gbps										MHz
出力 t _{RISE}	20% ~ 80%										ps
出力 t _{FALL}	20% ~ 80%										ps
送信レイテンシ (4)	Single width										パラレル・ クロック 数
	Double width										パラレル・ クロック 数
差動ペア内スキュー											ps
チャンネル間スキュー	単一トランシー バ・ブロック内										ps

シンボル / 説明	条件	-3 一般用 スピード・ グレード			-4 一般用 & 工業用スピード・ グレード			-5 一般用 & 工業用スピード・ グレード			単位
		最小	標準	最大	最小	標準	最大	最小	標準	最大	
出力リターン損失	100 MHz– 2.5 GHz										dB

表 6-7 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) UI = Unit Interval。
- (3) シリアル・レシーバ入力データからパラレル・レシーバ・データまでの受信レイテンシ遅延
- (4) パラレル・トランシーバ・データからシリアル・トランシーバ出力データまでのトランスミッタ・レイテンシ遅延
- (5) IEEE 標準規格 802.3ae に準拠
- (6) この仕様はチャンネル・アライナ許容に対するものです。

DC 電気的特性

表 6-8 に、Stratix II GX デバイス・ファミリの DC 電気的特性を示します。

シンボル	パラメータ	条件	デバイス	最小	標準	最大	単位
I_I	入力ピンのリーク電流	$V_I = V_{CCI0max}$ to 0 V (3)	すべて	-10		10	μ A
I_{OZ}	トライ・ステート状態の I/O ピンのリーク電流	$V_O = V_{CCI0max}$ to 0 V (3)	すべて	-10		10	μ A
I_{CCINT0}	V_{CCINT} 供給電流 (スタンバイ時)	$V_I = GND$ 、無負荷、 入力のトグルなし $T_J = 25^\circ C$	EP2SGX30		0.30	(4)	A
			EP2SGX60		0.50	(4)	A
			EP2SGX90		0.62	(4)	A
			EP2SGX130		0.82	(4)	A
I_{CCPD0}	V_{CCPD} 供給電流 (スタンバイ時)	$V_I = GND$ 、無負荷、 入力のトグルなし $T_J = 25^\circ C$ 、 $V_{CCPD} = 3.3V$	EP2SGX30		2.7	(4)	mA
			EP2SGX60		3.6	(4)	mA
			EP2SGX90		4.3	(4)	mA
			EP2SGX130		5.4	(4)	mA
I_{CCIO0}	V_{CCIO} 供給電流 (スタンバイ時)	$V_I = GND$ 、無負荷、 入力のトグルなし $T_J = 25^\circ C$	EP2SGX30		4.0	(4)	mA
			EP2SGX60		4.0	(4)	mA
			EP2SGX90		4.0	(4)	mA
			EP2SGX130		4.0	(4)	mA

表 6-8. Stratix II GX デバイスの DC 動作条件 (2 / 2) 注 (1)、(2)

シンボル	パラメータ	条件	デバイス	最小	標準	最大	単位
R _{CONF}	コンフィギュレーションの実行前および実行時の I/O ピンのプルアップ抵抗値	V _{CCIO} = 3.0 V (5)	すべて	10		50	kΩ
		V _{CCIO} = 2.375 V (5)	すべて	15		60	kΩ
		V _{CCIO} = 1.71 V (5)	すべて	30		120	kΩ
		V _{CCIO} = 1.425 V (5)	すべて	40		140	kΩ

表 6-8 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) 標準値は T_A = 25 °C、V_{CCINT} = 1.2 V、および V_{CCIO} = 1.5 V、1.8 V、2.5 V、および 3.3 V の条件のときのものです。
- (3) この値は通常のデバイス動作用に指定されたものです。パワー・アップの過程では値が変わる場合があります。これはすべての V_{CCIO} 設定 (3.3、2.5、1.8、および 1.5 V) に適用されます。
- (4) 最大値は実際の T_J とデザインの利用率によって異なります。最大値については、Excel ベースの PowerPlay Early Power Estimator (www.altera.co.jp で入手可能) または Quartus® II PowerPlay の Power Analyzer 機能を参照してください。詳しくは、次項 6-26 ページの「消費電力」を参照してください。
- (5) 外部ソースが V_{CCIO} よりも高い電圧でピンをドライブしている場合は、ピンのプルアップ抵抗値が低下します。

標準 I/O 規格の仕様

表 6-9 から 6-33 に、Stratix II GX デバイス・ファミリ標準 I/O 規格の仕様を示します。

表 6-9. LVTTTL 規格 注 (1)

シンボル	パラメータ	条件	最小	最大	単位
V _{CCIO} (2)	出力電源電圧		3.135	3.465	V
V _{IH}	入力 High レベル電圧		1.7	4.0	V
V _{IL}	入力 Low レベル電圧		-0.3	0.8	V
V _{OH}	出力 High レベル電圧	I _{OH} = -4 mA (3)	2.4		V
V _{OL}	出力 Low レベル電圧	I _{OL} = 4 mA (3)		0.45	V

表 6-9 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) Stratix II GX デバイスは、EIA/JEDEC 規格、JESD8-B で規定される電源電圧のナロー・レンジに適合しています。
- (3) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準 I/O 規格に対応するすべてのプログラマブル・ドライブ強度の設定でサポートされています。

シンボル	パラメータ	条件	最小	最大	単位
$V_{CCIO(2)}$	出力電源電圧		3.135	3.465	V
V_{IH}	入力 High レベル電圧		1.7	4.0	V
V_{IL}	入力 Low レベル電圧		-0.3	0.8	V
V_{OH}	出力 High レベル電圧	$V_{CCIO} = 3.0, I_{OH} = -0.1 \text{ mA}$ (3)	$V_{CCIO} - 0.2$		V
V_{OL}	出力 Low レベル電圧	$V_{CCIO} = 3.0, I_{OL} = 0.1 \text{ mA}$ (3)		0.2	V

表 6-10 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) Stratix II GX デバイスは、EIA/JEDEC 規格、JESD8-B で規定される電源電圧のナロー・レンジに適合しています。
- (3) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準 I/O 規格に対応するすべてのプログラマブル・ドライブ強度の設定でサポートされています。

シンボル	パラメータ	条件	最小	最大	単位
$V_{CCIO(2)}$	出力電源電圧		2.375	2.625	V
V_{IH}	入力 High レベル電圧		1.7	4.0	V
V_{IL}	入力 Low レベル電圧		-0.3	0.7	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -1 \text{ mA}$ (3)	2.0		V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 1 \text{ mA}$ (3)		0.4	V

表 6-11 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) Stratix II GX デバイスの 2.5 ~ 5% の V_{CCIO} 電圧レベル・サポートは、EIA/JEDEC 規格のノーマル・レンジで定義される値よりも狭くなっています。
- (3) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準 I/O 規格に対応するすべてのプログラマブル・ドライブ設定でサポートされています。

シンボル	パラメータ	条件	最小	最大	単位
$V_{CCIO(2)}$	出力電源電圧		1.71	1.89	V
V_{IH}	入力 High レベル電圧		$0.65 \times V_{CCIO}$	2.25	V
V_{IL}	入力 Low レベル電圧		-0.3	$0.35 \times V_{CCIO}$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -2 \text{ mA (3)}$	$V_{CCIO} - 0.45$		V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 2 \text{ mA (3)}$		0.45	V

表 6-12 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) Stratix II GX デバイスの 1.8 ~ 5% の V_{CCIO} 電圧レベル・サポートは、EIA/JEDEC 規格のノーマル・レンジで定義される値よりも狭くなっています。
- (3) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準I/O規格に対応するすべてのプログラマブル・ドライブ設定でサポートされています。

シンボル	パラメータ	条件	最小	最大	単位
$V_{CCIO(2)}$	出力電源電圧		1.425	1.575	V
V_{IH}	入力 High レベル電圧		$0.65 V_{CCIO}$	$V_{CCIO} + 0.3$	V
V_{IL}	入力 Low レベル電圧		-0.3	$0.35 V_{CCIO}$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -2 \text{ mA (3)}$	$0.75 V_{CCIO}$		V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 2 \text{ mA (3)}$		$0.25 V_{CCIO}$	V

表 6-13 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) Stratix II GX デバイスの 1.5 ~ 5% の V_{CCIO} 電圧レベル・サポートは、EIA/JEDEC 規格のノーマル・レンジで定義される値よりも狭くなっています。
- (3) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準I/O規格に対応するすべてのプログラマブル・ドライブ設定でサポートされています。

図 6-1 および 6-2 は、すべての差動標準 I/O 規格 (LVDS および LVPECL) のレシーバ入力およびトランスミッタ出力波形をそれぞれ示しています。

図 6-1. 差動標準 I/O 規格のレシーバ入力波形

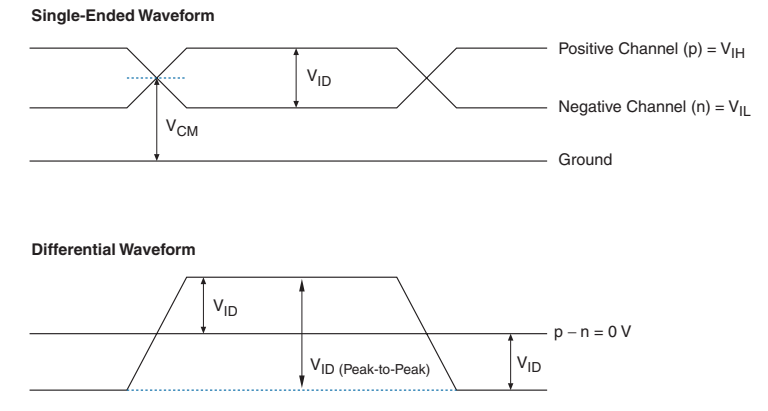


図 6-2. 差動標準 I/O 規格のトランスミッタ出力波形

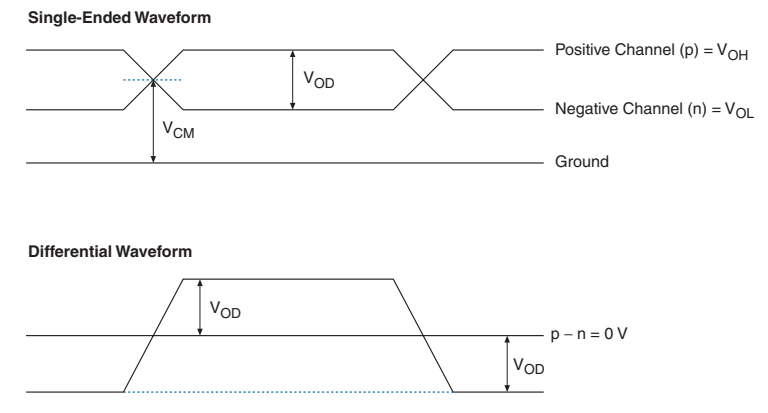


表 6-14. 2.5 V LVDS の I/O 規格 (1 / 2) 注 (1)

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{CCIO}	左側および右側にある I/O バンク (1、2、5、および 6) の I/O 電源電圧		2.375	2.5	2.625	V
V_{ID}	差動入力電圧スウィング (シングル・エンド)		100	350	900	mV
V_{ICM}	入力コモン・モード電圧		200	1,250	1,800	mV

表 6-14. 2.5 V LVDS の I/O 規格 (2 / 2) 注 (1)

シンボル	パラメータ	条件	最小	標準	最大	単位
V _{OD}	差動出力電圧 (シングル・エンド)	R _L = 100 Ω	250		450	mV
V _{OCM}	出力コモン・モード電圧	R _L = 100 Ω	1.125		1.375	V
R _L	レシーバ差動入力ディスク リット抵抗値 (Stratix II GX デバイスの外部)		90	100	110	Ω

表 6-14 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

表 6-15. 3.3 V LVDS I/O 規格 注 (1)

シンボル	パラメータ	条件	最小	標準	最大	単位
V _{CCIO} (2)	トップおよびボトム PLL バ ンク (9、10、11、および 12) の I/O 電源電圧		3.135	3.3	3.465	V
V _{ID}	差動入力電圧スウィング (シングル・エンド)		100	350	900	mV
V _{ICM}	入力コモン・モード電圧		200	1,250	1,800	mV
V _{OD}	差動出力電圧 (シングル・エンド)	R _L = 100 Ω	250		550	mV
V _{OCM}	出力コモン・モード電圧	R _L = 100 Ω	840		1,375	mV
R _L	レシーバ差動入力ディスク リット抵抗値 (Stratix II GX デバイスの外部)		90	100	110	Ω

表 6-15 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) I/O バンク 3、4、7、および 8 にあるトップおよびボトム・クロック差動入力バッファは、V_{CCIO}ではなく V_{CCINT} から電源が供給されます。PLL クロック出力 / フィードバック差動バッファは、V_{CC_PLL_OUT} から電源が供給されます。差動クロック出力 / フィードバック動作の場合、V_{CC_PLL_OUT}を3.3 Vに接続します。

表 6-16. 3.3 V PCML I/O 規格 注 (1)						
シンボル	パラメータ	条件	最小	標準	最大	単位
V _{CCIO}	トップおよびボトム PLL バンク (9、10、11、および 12) の I/O 電源電圧					V
V _{ID}	差動入力電圧スウィング (シングル・エンド)					mV
V _{ICM}	入力コモン・モード電圧					mV
V _{OD}	差動出力電圧 (シングル・エンド)	R _L = 100 Ω				mV
V _{OCM}	出力コモン・モード電圧	R _L = 100 Ω				mV
R _L	レシーバ差動入力ディスクリット抵抗値 (Stratix II GX デバイスの外部)					Ω

表 6-16 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

表 6-17. LVPECL 規格 注 (1)						
シンボル	パラメータ	条件	最小	標準	最大	単位
V _{CCIO} (2)	I/O 電源電圧		3.135	3.3	3.465	V
V _{ID}	差動入力電圧スウィング (シングル・エンド)		300	600	1,000	mV
V _{ICM}	入力コモン・モード電圧		1.0		2.5	V
V _{OD}	差動出力電圧 (シングル・エンド)	R _L = 100 Ω	525		970	mV
V _{OCM}	出力コモン・モード電圧	R _L = 100 Ω	1,650		2,250	mV
R _L	レシーバ差動入力抵抗値		90	100	110	Ω

表 6-17 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) I/O バンク 3、4、7、および 8 にあるトップおよびボトム・クロック差動入力バッファは、V_{CCIO} ではなく V_{CCINT} から電源が供給されます。PLL クロック出力 / フィードバック差動バッファは、V_{CC_PLL_OUT} から電源が供給されます。差動クロック出力 / フィードバック動作の場合、V_{CC_PLL_OUT} を 3.3 V に接続します。

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{CCIO}	出力電源電圧		3.0	3.3	3.6	V
V_{IH}	入力 High レベル電圧		$0.5 V_{CCIO}$		$V_{CCIO} + 0.5$	V
V_{IL}	入力 Low レベル電圧		-0.3		$0.3 V_{CCIO}$	V
V_{OH}	出力 High レベル電圧	$I_{OUT} = -500 \mu A$	$0.9 V_{CCIO}$			V
V_{OL}	出力 Low レベル電圧	$I_{OUT} = 1,500 \mu A$			$0.1 V_{CCIO}$	V

表 6-18 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{CCIO}	出力電源電圧		3.0		3.6	V
V_{IH}	入力 High レベル電圧		$0.5 V_{CCIO}$		$V_{CCIO} + 0.5$	V
V_{IL}	入力 Low レベル電圧		-0.3		$0.35 V_{CCIO}$	V
V_{IPU}	入力ピンのプルアップ電圧		$0.7 V_{CCIO}$			V
V_{OH}	出力 High レベル電圧	$I_{OUT} = -500 \mu A$	$0.9 V_{CCIO}$			V
V_{OL}	出力 Low レベル電圧	$I_{OUT} = 1,500 \mu A$			$0.1 V_{CCIO}$	V

表 6-19 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

シンボル	パラメータ	条件	最小	標準	最大	単位
V _{CCIO}	出力電源電圧		1.71	1.8	1.89	V
V _{REF}	リファレンス電圧		0.855	0.9	0.945	V
V _{TT}	ターミネーション電圧		V _{REF} - 0.04	V _{REF}	V _{REF} + 0.04	V
V _{IH} (DC)	入力 High レベル DC 電圧		V _{REF} + 0.125			V
V _{IL} (DC)	入力 Low レベル DC 電圧				V _{REF} - 0.125	V
V _{IH} (AC)	入力 High レベル AC 電圧		V _{REF} + 0.25			V
V _{IL} (AC)	入力 Low レベル AC 電圧				V _{REF} - 0.25	V
V _{OH}	出力 High レベル電圧	I _{OH} = -6.7 mA (2)	V _{TT} + 0.475			V
V _{OL}	出力 Low レベル電圧	I _{OL} = 6.7 mA (2)			V _{TT} - 0.475	V

表 6-20 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準I/O規格に対応するすべてのプログラマブル・ドライブ設定でサポートされています。

シンボル	パラメータ	条件	最小	標準	最大	単位
V _{CCIO}	出力電源電圧		1.71	1.8	1.89	V
V _{REF}	リファレンス電圧		0.855	0.9	0.945	V
V _{TT}	ターミネーション電圧		V _{REF} - 0.04	V _{REF}	V _{REF} + 0.04	V
V _{IH} (DC)	入力 High レベル DC 電圧		V _{REF} + 0.125			V
V _{IL} (DC)	入力 Low レベル DC 電圧				V _{REF} - 0.125	V
V _{IH} (AC)	入力 High レベル AC 電圧		V _{REF} + 0.25			V
V _{IL} (AC)	入力 Low レベル AC 電圧				V _{REF} - 0.25	V
V _{OH}	出力 High レベル電圧	I _{OH} = -13.4 mA (2)	V _{CCIO} - 0.28			V
V _{OL}	出力 Low レベル電圧	I _{OL} = 13.4 mA (2)			0.28	V

表 6-21 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準I/O規格に対応するすべてのプログラマブル・ドライブ設定でサポートされています。

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{CCIO}	出力電源電圧		1.71	1.8	1.89	V
$V_{SWING(DC)}$	DC 差動入力電圧		0.25			V
$V_X(AC)$	AC 差動入力クロス・ポイント電圧		$(V_{CCIO}/2) - 0.175$		$(V_{CCIO}/2) + 0.175$	V
$V_{SWING(AC)}$	AC 差動入力電圧		0.5			V
V_{ISO}	入力クロック信号オフセット電圧			$0.5 V_{CCIO}$		V
ΔV_{ISO}	入力クロック信号オフセット電圧変動			200		mV
$V_{OX(AC)}$	AC 差動クロス・ポイント電圧		$(V_{CCIO}/2) - 0.125$		$(V_{CCIO}/2) + 0.125$	V

表 6-22 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{CCIO}	出力電源電圧		2.375	2.5	2.625	V
V_{TT}	ターミネーション電圧		$V_{REF} - 0.04$	V_{REF}	$V_{REF} + 0.04$	V
V_{REF}	リファレンス電圧		1.188	1.25	1.313	V
$V_{IH(DC)}$	入力 High レベル DC 電圧		$V_{REF} + 0.18$		3.0	V
$V_{IL(DC)}$	入力 Low レベル DC 電圧		-0.3		$V_{REF} - 0.18$	V
$V_{IH(AC)}$	入力 High レベル AC 電圧		$V_{REF} + 0.35$			V
$V_{IL(AC)}$	入力 Low レベル AC 電圧				$V_{REF} - 0.35$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -8.1 \text{ mA (2)}$	$V_{TT} + 0.57$			V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 8.1 \text{ mA (2)}$			$V_{TT} - 0.57$	V

表 6-23 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準I/O規格に対応するすべてのプログラマブル・ドライブ設定でサポートされています。

シンボル	パラメータ	条件	最小	標準	最大	単位
V _{CCIO}	出力電源電圧		2.375	2.5	2.625	V
V _{TT}	ターミネーション電圧		V _{REF} - 0.04	V _{REF}	V _{REF} + 0.04	V
V _{REF}	リファレンス電圧		1.188	1.25	1.313	V
V _{IH} (DC)	入力 High レベル DC 電圧		V _{REF} + 0.18		V _{CCIO} + 0.3	V
V _{IL} (DC)	入力 Low レベル DC 電圧		-0.3		V _{REF} - 0.18	V
V _{IH} (AC)	入力 High レベル AC 電圧		V _{REF} + 0.35			V
V _{IL} (AC)	入力 Low レベル AC 電圧				V _{REF} - 0.35	V
V _{OH}	出力 High レベル電圧	I _{OH} = -16.4 mA (2)	V _{TT} + 0.76			V
V _{OL}	出力 Low レベル電圧	I _{OL} = 16.4 mA (2)			V _{TT} - 0.76	V

表 6-24 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準I/O規格に対応するすべてのプログラマブル・ドライブ設定でサポートされています。

シンボル	パラメータ	条件	最小	標準	最大	単位
V _{CCIO}	出力電源電圧		2.375	2.5	2.625	V
V _{SWING} (DC)	DC 差動入力電圧		0.36			V
V _X (AC)	AC 差動入力クロス・ポイント電圧		(V _{CCIO} /2) - 0.2		(V _{CCIO} /2) + 0.2	V
V _{SWING} (AC)	AC 差動入力電圧		0.7			V
V _{ISO}	入力クロック信号オフセット電圧			0.5 V _{CCIO}		V
ΔV _{ISO}	入力クロック信号オフセット電圧変動			200		mV
V _{Ox} (AC)	AC 差動出力クロス・ポイント電圧		(V _{CCIO} /2) - 0.2		(V _{CCIO} /2) + 0.2	V

表 6-24 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準I/O規格に対応するすべてのプログラマブル・ドライブ設定でサポートされています。

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{CCIO}	出力電源電圧		1.14	1.2	1.26	V
V_{REF}	リファレンス電圧		$0.48 V_{CCIO}$	$0.5 V_{CCIO}$	$0.52 V_{CCIO}$	V
$V_{IH}(DC)$	入力 High レベル DC 電圧		$V_{REF} + 0.08$		$V_{CCIO} + 0.15$	V
$V_{IL}(DC)$	入力 Low レベル DC 電圧		-0.15		$V_{REF} - 0.08$	V
$V_{IH}(AC)$	入力 High レベル AC 電圧		$V_{REF} + 0.15$		$V_{CCIO} + 0.24$	V
$V_{IL}(AC)$	入力 Low レベル AC 電圧		-0.24		$V_{REF} - 0.15$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = 8 \text{ mA}$	$V_{REF} + 0.15$		$V_{CCIO} + 0.15$	V
V_{OL}	出力 Low レベル電圧	$I_{OH} = -8 \text{ mA}$	-0.15		$V_{REF} - 0.15$	V

表 6-26 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{CCIO}	出力電源電圧		1.425	1.5	1.575	V
V_{REF}	入力リファレンス電圧		0.713	0.75	0.788	V
V_{TT}	ターミネーション電圧		0.713	0.75	0.788	V
$V_{IH}(DC)$	DC 入力 High レベル電圧		$V_{REF} + 0.1$			V
$V_{IL}(DC)$	DC 入力 Low レベル電圧		-0.3		$V_{REF} - 0.1$	V
$V_{IH}(AC)$	AC 入力 High レベル電圧		$V_{REF} + 0.2$			V
$V_{IL}(AC)$	AC 入力 Low レベル電圧				$V_{REF} - 0.2$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = 8 \text{ mA (2)}$	$V_{CCIO} - 0.4$			V
V_{OL}	出力 Low レベル電圧	$I_{OH} = -8 \text{ mA (2)}$			0.4	V

表 6-27 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準I/O規格に対応するすべてのプログラマブル・ドライブ設定でサポートされています。

シンボル	パラメータ	条件	最小	標準	最大	単位
V _{CCIO}	出力電源電圧		1.425	1.50	1.575	V
V _{REF}	入力リファレンス電圧		0.713	0.75	0.788	V
V _{TT}	ターミネーション電圧		0.713	0.75	0.788	V
V _{IH} (DC)	DC 入力 High レベル電圧		V _{REF} + 0.1			V
V _{IL} (DC)	DC 入力 Low レベル電圧		-0.3		V _{REF} - 0.1	V
V _{IH} (AC)	AC 入力 High レベル電圧		V _{REF} + 0.2			V
V _{IL} (AC)	AC 入力 Low レベル電圧				V _{REF} - 0.2	V
V _{OH}	出力 High レベル電圧	I _{OH} = 16 mA (2)	V _{CCIO} - 0.4			V
V _{OL}	出力 Low レベル電圧	I _{OH} = -16 mA (2)			0.4	V

表 6-28 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準I/O規格に対応するすべてのプログラマブル・ドライブ設定でサポートされています。

シンボル	パラメータ	条件	最小	標準	最大	単位
V _{CCIO}	I/O 電源電圧		1.425	1.5	1.575	V
V _{DIF} (DC)	DC 入力差動電圧		0.2			V
V _{CM} (DC)	DC コモン・モード入力電圧		0.68		0.9	V
V _{DIF} (AC)	AC 差動入力電圧		0.4			V
V _{OX} (AC)	AC 差動クロス・ポイント電圧		0.68		0.9	V

表 6-29 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

表 6-30. 1.2 V PCML I/O 規格 注 (1)						
シンボル	パラメータ	条件	最小	標準	最大	単位
V _{CCIO} (2)	トップおよびボトム PLL バンク (9、10、11、および 12) の I/O 電源電圧					V
V _{ID}	差動入力電圧スウィング (シングル・エンド)					mV
V _{ICM}	入力コモン・モード電圧					mV
V _{OD}	差動出力電圧 (シングル・エンド)	R _L = 100 Ω				mV
V _{OCM}	出力コモン・モード電圧	R _L = 100 Ω				mV
R _L	レシーバ差動入力ディスクリート抵抗値 (Stratix II GX デバイスの外部)					Ω

表 6-30 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) I/O バンク 3、4、7、および 8 にあるトップおよびボトム・クロック差動入力バッファは、V_{CCIO} ではなく V_{CCINT} から電源が供給されます。PLL クロック出力 / フィードバック差動バッファは、V_{CC_PLL_OUT} から電源が供給されます。差動クロック出力/フィードバック動作の場合、V_{CC_PLL_OUT}を3.3Vに接続します。

表 6-31. 1.8 V HSTL Class I 規格 注 (1)						
シンボル	パラメータ	条件	最小	標準	最大	単位
V _{CCIO}	出力電源電圧		1.71	1.80	1.89	V
V _{REF}	入力リファレンス電圧		0.85	0.90	0.95	V
V _{TT}	ターミネーション電圧		0.85	0.90	0.95	V
V _{IH} (DC)	DC 入力 High レベル電圧		V _{REF} + 0.1			V
V _{IL} (DC)	DC 入力 Low レベル電圧		-0.3		V _{REF} - 0.1	V
V _{IH} (AC)	AC 入力 High レベル電圧		V _{REF} + 0.2			V
V _{IL} (AC)	AC 入力 Low レベル電圧				V _{REF} - 0.2	V
V _{OH}	出力 High レベル電圧	I _{OH} = 8 mA (2)	V _{CCIO} - 0.4			V
V _{OL}	出力 Low レベル電圧	I _{OH} = -8 mA (2)			0.4	V

表 6-31 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準I/O規格に対応するすべてのプログラマブル・ドライブ設定でサポートされています。

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{CCIO}	出力電源電圧		1.71	1.80	1.89	V
V_{REF}	入力リファレンス電圧		0.85	0.90	0.95	V
V_{TT}	ターミネーション電圧		0.85	0.90	0.95	V
$V_{IH}(DC)$	DC 入力 High レベル電圧		$V_{REF} + 0.1$			V
$V_{IL}(DC)$	DC 入力 Low レベル電圧		-0.3		$V_{REF} - 0.1$	V
$V_{IH}(AC)$	AC 入力 High レベル電圧		$V_{REF} + 0.2$			V
$V_{IL}(AC)$	AC 入力 Low レベル電圧				$V_{REF} - 0.2$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = 16 \text{ mA}$ (2)	$V_{CCIO} - 0.4$			V
V_{OL}	出力 Low レベル電圧	$I_{OH} = -16 \text{ mA}$ (2)			0.4	V

表 6-32 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) この仕様は、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX アーキテクチャ」の章に示すとおり、この標準I/O規格に対応するすべてのプログラマブル・ドライブ設定でサポートされています。

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{CCIO}	I/O 電源電圧		1.71	1.80	1.89	V
$V_{DIF}(DC)$	DC 入力差動電圧		0.2			V
$V_{CM}(DC)$	DC コモン・モード入力電圧		0.78		1.12	V
$V_{DIF}(AC)$	AC 差動入力電圧		0.4			V
$V_{OX}(AC)$	AC 差動クロス・ポイント電圧		0.68		0.9	V

表 6-33 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

バス・ホールド仕様

表 6-34 に、Stratix II GX デバイス・ファミリのバス・ホールド仕様を示します。

パラメータ	条件	V _{CCIO} レベル										単位
		1.2 V		1.5 V		1.8 V		2.5 V		3.3 V		
		最小	最大	最小	最大	最小	最大	最小	最大	最小	最大	
低保持電流	$V_{IN} > V_{IL}$ (最大)	22.5		25		30		50		70		μA
高保持電流	$V_{IN} < V_{IH}$ (最小)	-22.5		-25		-30		-50		-70		μA
低オーバドライブ電流	$0 V < V_{IN} < V_{CCIO}$		120		160		200		300		500	μA
高オーバドライブ電流	$0 V < V_{IN} < V_{CCIO}$		-120		-160		-200		-300		-500	μA
バス・ホールド・トリップ・ポイント		0.45	0.95	0.5	1.0	0.68	1.07	0.7	1.7	0.8	2.0	V

表 6-34 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

On-Chip Termination (チップ内終端) 仕様

表 6-35 および 6-36 は、直列または差動チップ内終端を使用したときの内部終端抵抗に対する仕様を定義しています。

シンボル	説明	条件	抵抗許容差		
			一般用最大	工業用最大	単位
25 Ω R _S 3.3/2.5	キャリブレーション付き内部直列終端 (25 Ω 設定)	V _{CCIO} = 3.3/2.5 V	±5	±10	%
	キャリブレーションなし内部直列終端 (25 Ω 設定)	V _{CCIO} = 3.3/2.5 V	±30	±30	%
50 Ω R _S 3.3/2.5	キャリブレーション付き内部直列終端 (50 Ω 設定)	V _{CCIO} = 3.3/2.5 V	±5	±10	%
	キャリブレーションなし内部直列終端 (50 Ω 設定)	V _{CCIO} = 3.3/2.5 V	±30	±30	%
25 Ω R _S 1.8	キャリブレーション付き内部直列終端 (25 Ω 設定)	V _{CCIO} = 1.8 V	±5	±10	%
	キャリブレーションなし内部直列終端 (25 Ω 設定)	V _{CCIO} = 1.8 V	±30	±30	%
50 Ω R _S 1.8	キャリブレーション付き内部直列終端 (50 Ω 設定)	V _{CCIO} = 1.8 V	±5	±10	%
	キャリブレーションなし内部直列終端 (50 Ω 設定)	V _{CCIO} = 1.8 V	±30	±30	%
50 Ω R _S 1.5	キャリブレーション付き内部直列終端 (50 Ω 設定)	V _{CCIO} = 1.5 V	±8	±10	%
	キャリブレーションなし内部直列終端 (50 Ω 設定)	V _{CCIO} = 1.5 V	±36	±36	%
50 Ω R _S 1.2	キャリブレーション付き内部直列終端 (50 Ω 設定)	V _{CCIO} = 1.2 V	±8	±10	%
	キャリブレーションなし内部直列終端 (50 Ω 設定)	V _{CCIO} = 1.2 V	±50	±50	%

表 6-35 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) キャリブレーション済み SOCT の抵抗許容差はキャリブレーション時に対するものです。温度または電圧が経時変化する場合は許容差も変化することがあります。

シンボル	説明	条件	抵抗許容差		
			一般用最大	工業用最大	単位
25 Ω R _S 3.3/2.5	キャリブレーションなし内部直列 終端 (25 Ω 設定)	V _{CCIO} = 3.3/2.5 V	±30	±30	%
50 Ω R _S 3.3/2.5/1.8	キャリブレーションなし内部直列 終端 (50 Ω 設定)	V _{CCIO} = 3.3/2.5/1.8 V	±30	±30	%
50 Ω R _S 1.5	キャリブレーションなし内部直列 終端 (50 Ω 設定)	V _{CCIO} = 1.5 V	±36	±36	%
R _D	LVDS に対する内部差動終端 (100 Ω 設定)	V _{CCIO} = 3.3 V	±20	±25	%

表 6-36 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

ピン・キャパシタンス

表 6-37 に、Stratix II GX デバイス・ファミリのピン・キャパシタンスを示します。

シンボル	パラメータ	標準	単位
C _{IOTB}	I/O バンク 3、4、7、および 8 の I/O ピンの入力キャパシタンス。	5.0	pF
C _{IOL}	高速差動レシーバおよびトランスミッタ・ピンを含む、I/O バンク 1 および 2 の I/O ピンの入力キャパシタンス。	6.1	pF
C _{CLKTB}	トップ/ボトムクロック入力ピンの入力キャパシタンス: CLK[4..7] および CLK[12..15]。	6.0	pF
C _{CLKL}	左クロック入力 (CLK0 および CLK2) の入力キャパシタンス。	6.1	pF
C _{CLKL+}	左クロック入力 (CLK1 および CLK3) の入力キャパシタンス。	3.3	pF
C _{OUTFB}	PLL バンク 11 および 12 のクロック出力/フィードバック兼用ピンの入力キャパシタンス。	6.7	pF

表 6-37 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) キャパシタンスはサンプル・テストのみです。キャパシタンスは、TDR (Time-Domain Reflections) を使用して測定されています。測定精度は ±0.5 pF です。

消費電力

アルテラはデザインの消費電力を計算する方法として、Excel ベースの PowerPlay Early Power Estimator と Quartus II の PowerPlay Power Analyzer 機能の 2 つを提供しています。

インタラクティブな Excel ベースの PowerPlay Early Power Estimator は、通常はデバイスの予測消費電力を得るために、FPGA を設計する前に使用されます。Quartus II の PowerPlay Power Analyzer は、配置配線の完了後のデザイン詳細に基づいて、より精度の高い見積もりを提供します。Power Analyzer は、ユーザが入力し、シミュレーションにより導出され推測された信号動作の組み合わせを適用できます。これを詳細な回路モデルと組み合わせ、非常に正確な消費電力の見積もりを得ることができます。

いずれの場合にも、これらの計算結果は消費電力の見積りにのみ使用し、仕様（規格）としては使用しないでください。



PowerPlay ツールについて詳しくは、「PowerPlay Early Power Estimator User Guide」および「Quartus II ハンドブック Volume 3」の「PowerPlay Early Power Estimator」および「PowerPlay Power Analyzer」の章を参照してください。

PowerPlay Early Power Estimator は、アルテラ・ウェブサイト (www.altera.co.jp) から入手できます。標準 I_{CC} (スタンバイ時) の仕様は、8 ページの表 6-8 を参照してください。

タイミング・モデル

DirectDrive™ テクノロジーおよび MultiTrack™ インタコネクタにより、Stratix II GX デバイスの全集積度および全スピード・グレードにわたって、性能の予測、正確なシミュレーション、および正確なタイミング解析が保証されています。ここでは、性能、内部、外部および PLL のタイミング規格を説明し規定します。

規格値はすべてワースト・ケースの電源電圧条件および接合温度条件での代表値です。

暫定的および最終的なタイミング

タイミング・モデルには、暫定的なもの最終的なものがあります。Quartus II ソフトウェアは、タイミング・モデルが暫定的な場合は、デザインのコンパイル中にそのことを知らせるメッセージを表示します。表 6-38 に、Stratix II GX デバイスのタイミング・モデルのステータスを示します。

ステータスが「暫定的」とは、タイミング・モデルが変更される場合があることを意味します。最初に、タイミングの数値はシミュレーション結果、プロセス・データ、およびその他の既知のパラメータによって作成されます。これらのテストを使用して、暫定的な数値を可能な限り実際のタイミング・パラメータに近づけます。

最終的なタイミングの数値は、実際のデバイスの動作とテストに基づきます。これらの数値は、ワースト・ケースの電圧条件および接合温度条件における実際の性能を反映しています。

表 6-38. Stratix II GX デバイスのタイミング・モデルのステータス

デバイス	暫定仕様	最終的
EP2SGX30	√	
EP2SGX60	√	
EP2SGX90	√	
EP2SGX130	√	

I/O タイミング測定方法

標準 I/O 規格ごとに、タイミング遅延をレポートするためのベースライン・ローディング手法が必要です。アルテラは、各 I/O 規格に対して必要な終端と 0 pF (10 pF を使用する PCI および PCI-X を除く) の負荷を接続してタイミング遅延を特性評価しており、タイミングは FPGA デバイスの出力ピンで規定されています。Quartus II ソフトウェアは、各標準 I/O 規格の I/O タイミングを、当該 I/O 規格で規定されるデフォルトのベースライン・ローディングによって計算します。

デバイスの特性評価時には、以下の測定が実行されます。アルテラは、ワースト・ケース・プロセス、最小電圧、および表 6-39 に示すデフォルト負荷条件に対する最大温度 (PVT) での「Clock-to-Output」遅延 (t_{CO}) を測定します。以下の等式を使用して、Stratix II GX デバイスのクロック・ピンから出力ピンまでのタイミングを計算します。

クロック・ピンから I/O ピンまでの t_{CO} = クロック・パッドから I/O 出力・レジスタまでの遅延 + IOE 出力レジスタの「Clock-to-Output」遅延 + 出力レジスタから出力ピンまでの遅延 + I/O 出力遅延

クロック・ピンから I/O ピンまでの t_{xz}/t_{zx} = クロック・パッドから I/O 出力・レジスタまでの遅延 + IOE 出力レジスタの「Clock-to-Output」遅延 + 出力レジスタから出力ピンまでの遅延 + I/O 出力遅延 + 出力イネーブル・ピン遅延

IBIS モデルを使用したシミュレーションでは、Quartus II ソフトウェアでレポートされる出力ピンの遅延タイミングおよびデバイス・ハンドブックのタイミング・モデルに加えて、PCB 配線パターンでの遅延を求める必要があります。

1. 表 6-39 の値を使用して、選択した出力ドライバを一般化されたテスト・セットアップでシミュレートします。
2. V_{MEAS} までの時間を記録します。
3. 選択した出力ドライバを、負荷を表す適切な IBIS モデルまたは容量値を使用して、実際の PCB 配線パターンおよび負荷でシミュレートします。
4. V_{MEAS} までの時間を記録します。

5. ステップ 2 と 4 の結果を比較します。遅延の増加または減少を、「I/O Standard Output Adder」遅延に加算または減算して、PCB 配線パターンの実際のワースト・ケース伝播遅延 (Clock-to-Output) を算出します。

Quartus II ソフトウェアは、上記の等式を使用して、表 6-39 に示す条件でのタイミングをレポートします。図 6-3 は、Quartus II ソフトウェアの出力タイミングで表される回路のモデルを示します。

図 6-3. Quartus II でモデル化される出力遅延タイミング・レポート用セットアップ

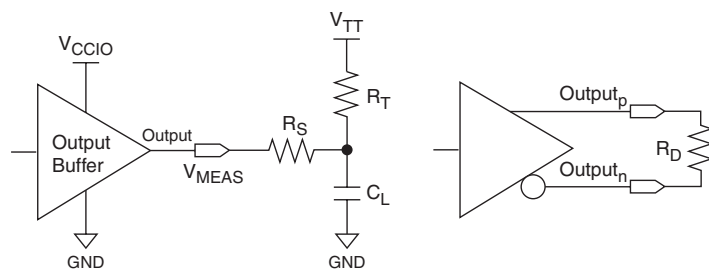


図 6-3 の注：

- (1) 出力ピンのタイミングは、FPGA デバイスの出力ピンでレポートされます。IBIS モデル・シミュレーションでは、負荷に対する追加遅延およびボード配線パターン遅延を考慮する必要があります。
- (2) V_{CCPD} は、特に記述がない限り 3.085 V です。
- (3) V_{CCINT} は、特に記述がない限り 1.12 V です。

表 6-39. 出力ピンでの出力タイミング測定方法 (1 / 2) 注 (1)、(2)、(3)、(4)

標準 I/O 規格	装荷と終端						測定ポイント
	R_S (Ω)	R_D (Ω)	R_T (Ω)	V_{CCIO} (V)	V_{TT} (V)	C_L (pF)	V_{MEAS} (V)
LVTTTL (5)				3.135		0	1.5675
LVC MOS (5)				3.135		0	1.5675
2.5 V (5)				2.375		0	1.1875
1.8 V (5)				1.710		0	0.855
1.5 V (5)				1.425		0	0.7125
PCI (6)				2.970		10	1.485
PCI-X (6)				2.970		10	1.485
SSTL-2 Class I	25		50	2.325	1.123	0	1.1625
SSTL-2 Class II	25		25	2.325	1.123	0	1.1625

表 6-39. 出力ピンでの出力タイミング測定方法 (2 / 2) 注 (1)、(2)、(3)、(4)							
標準 I/O 規格	装荷と終端						測定ポイント
	R_S (Ω)	R_D (Ω)	R_T (Ω)	V_{CCIO} (V)	V_{TT} (V)	C_L (pF)	V_{MEAS} (V)
SSTL-18 Class I	25		50	1.660	0.790	0	0.83
SSTL-18 Class II	25		25	1.660	0.790	0	0.83
1.8 V HSTL Class I			50	1.660	0.790	0	0.83
1.8 V HSTL Class II			25	1.660	0.790	0	0.83
1.5 V HSTL Class I			50	1.375	0.648	0	0.6875
1.5 V HSTL Class II			25	1.375	0.648	0	0.6875
1.2 V HSTL with OCT				1.140		0	0.570
差動 SSTL-2 Class I	25		50	2.325	1.123	0	1.1625
差動 SSTL-2 Class II	25		25	2.325	1.123	0	1.1625
差動 SSTL-18 Class I	25		50	1.660	0.790	0	0.83
差動 SSTL-18 Class II	25		25	1.660	0.790	0	0.83
1.5 V 差動 HSTL Class I			50	1.375	0.648	0	0.6875
1.5 V 差動 HSTL Class II			25	1.375	0.648	0	0.6875
1.8 V 差動 HSTL Class I			50	1.660	0.790	0	0.83
1.8 V 差動 HSTL Class II			25	1.660	0.790	0	0.83
LVDS		100		2.325		0	1.1625
LVPECL		100		3.135		0	1.5675

表 6-39 の注：

- (1) 内部ノードの入力測定ポイントは $0.5 V_{CCINT}$ です。
- (2) バッファ出力における V_{MEAS} の出力測定ポイントは $0.5 V_{CCIO}$ です。
- (3) 入力ステイミューラスのエッジ・レートは、I/O バッファ前のドライバから 0.2 ns (内部信号) で 0 から V_{CC} です。
- (4) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (5) V_{CCIO} および V_{CCPD} のリップルが 50 mV 未満、 $V_{CCINT} = 1.15 \text{ V}$ のリップルが 30 mV 未満。
- (6) $V_{CCPD} = 2.97 \text{ V}$ 、 V_{CCIO} および V_{CCPD} のリップルが 50 mV 未満、 $V_{CCINT} = 1.15 \text{ V}$ 。

図 6-4 および 6-5 に、出力ディセーブルおよび出力イネーブル・タイミングに対する測定セットアップを示します。

図 6-4. t_{xz} に対する測定セットアップ 注 (1)

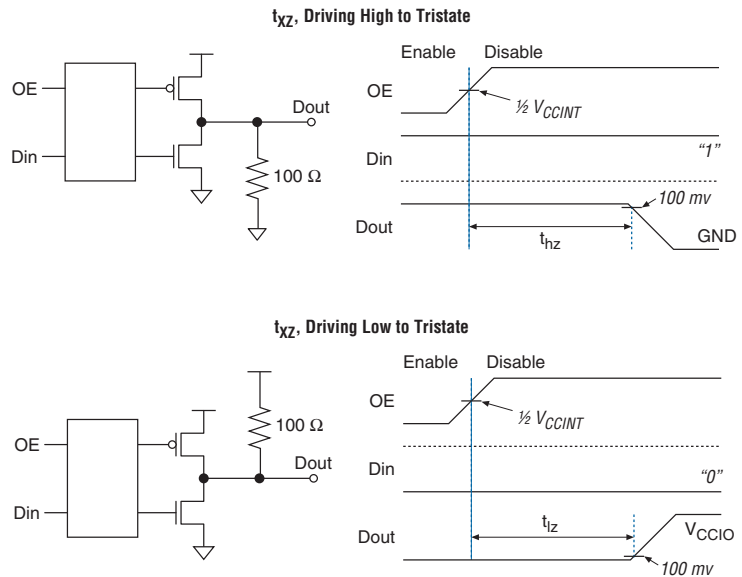


図 6-4 の注：

(1) V_{CCINT} は、この測定では 1.12 V です。

図 6-5. t_{zX} に対する測定セットアップ

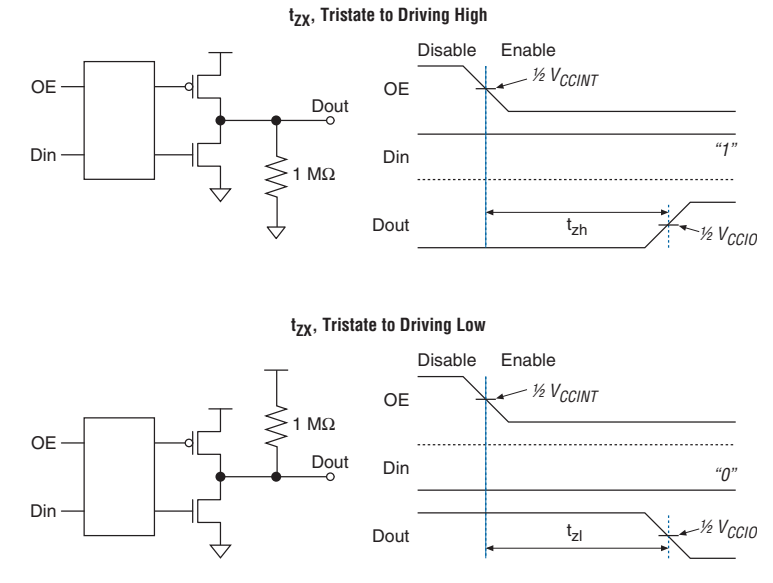


表 6-40 は入力タイミング測定セットアップを指定します。

標準 I/O 規格	測定条件			測定ポイント
	V_{CCIO} (V)	V_{REF} (V)	Edge Rate (ns)	VMEAS (V)
LVTTTL (6)	3.135		3.135	1.5675
LVC MOS (6)	3.135		3.135	1.5675
2.5 V (6)	2.375		2.375	1.1875
1.8 V (6)	1.710		1.710	0.855
1.5 V (6)	1.425		1.425	0.7125
PCI (7)	2.970		2.970	1.485
PCI-X (7)	2.970		2.970	1.485
SSTL-2 Class I	2.325	1.163	2.325	1.1625
SSTL-2 Class II	2.325	1.163	2.325	1.1625
SSTL-18 Class I	1.660	0.830	1.660	0.83
SSTL-18 Class II	1.660	0.830	1.660	0.83
1.8 V HSTL Class I	1.660	0.830	1.660	0.83

表 6-40. 入力ピンに対するタイミング測定方法 (2 / 2) 注 (1)、(2)、(3)、(4)、(5)

標準 I/O 規格	測定条件			測定ポイント
	V _{CCIO} (V)	V _{REF} (V)	Edge Rate (ns)	VMEAS (V)
1.8 V HSTL Class II	1.660	0.830	1.660	0.83
1.5 V HSTL Class I	1.375	0.688	1.375	0.6875
1.5 V HSTL Class II	1.375	0.688	1.375	0.6875
1.2 V HSTL with OCT	1.140	0.570	1.140	0.570
差動 SSTL-2 Class I	2.325	1.163	2.325	1.1625
差動 SSTL-2 Class II	2.325	1.163	2.325	1.1625
差動 SSTL-18 Class I	1.660	0.830	1.660	0.83
差動 SSTL-18 Class II	1.660	0.830	1.660	0.83
1.5 V 差動 HSTL Class I	1.375	0.688	1.375	0.6875
1.5 V 差動 HSTL Class II	1.375	0.688	1.375	0.6875
1.8 V 差動 HSTL Class I	1.660	0.830	1.660	0.83
1.8 V 差動 HSTL Class II	1.660	0.830	1.660	0.83
LVDS	2.325		0.100	1.1625
LVPECL	3.135		0.100	1.5675

表 6-40 の注：

- (1) 入力バッファから見てバッファ入力は無負荷状態です。
- (2) バッファ入力における入力測定ポイントは、0.5 V_{CCIO} です。
- (3) 出力測定ポイントは内部ノードでの 0.5 V_{CC} です。
- (4) 入力エッジ・レートは 1 V/ns です。
- (5) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (6) V_{CCIO} および V_{CCPD} のリップル 50 mV 未満、V_{CCINT} = 1.15 V でリップ 30 mV 未満。
- (7) V_{CCPD} = 2.97 V、V_{CCIO} および V_{CCPD} のリップル 50 mV 未満、V_{CCINT} = 1.15 V。

性能

表 6-41 は、一般的なデザインにおける Stratix II GX デバイスの性能を示したものです。

内部タイミング・パラメータ

内部タイミング・パラメータについては、表 6-41 から 6-46 を参照してください。

シンボル	パラメータ	-3 スピード・グレード (2)		-3 スピード・グレード (3)		-4 スピード・グレード		-5 スピード・グレード		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
t _{SU}	LEレジスタのセットアップ・タイム (クロック前)	90		95		104		121		ps
t _H	LE レジスタのホールド・タイム (クロック後)	149		157		172		200		ps
t _{CO}	LE レジスタの「Clock-to-Output」遅延	62	94	62	99	62	109	62	127	ps
t _{CLR}	最小クリア・パルス幅	204		214		234		273		ps
t _{PRE}	最小プリセット・パルス幅	204		214		234		273		ps
t _{CLKL}	最小クロック Low 時間	612		642		703		820		ps
t _{CLKH}	最小クロック High 時間	612		642		703		820		ps
t _{LUT}		170	378	170	397	170	435	170	507	
t _{ADDER}		372	619	372	650	372	712	372	829	

表 6-41 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) このカラムは、EP2SGX30、EP2SGX60、および EP2SGX90 デバイスの -3 スピード・グレードに対応しています。
- (3) このカラムは、EP2SGX130 デバイスの -3 スピード・グレードに対応しています。

表 6-42. IOE の内部タイミング・マイクロパラメータ 注 (1)										
シンボル	パラメータ	-3 スピード・ グレード (2)		-3 スピード・ グレード (3)		-4 スピード・ グレード		-5 スピード・ グレード		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
t _{SU}	IOE 入力および出力レジスタのセットアップ・タイム (クロック前)	122		128		140		163		ps
t _H	IOE 入力および出力レジスタのホールド・タイム (クロック後)	72		75		82		96		ps
t _{CO}	IOE 入力および出力レジスタの「Clock-to-Output」遅延	101	169	101	177	101	194	101	226	ps
t _{PIN2COMBOUT_R}	ロウ入力ピンから IOE 組み合わせ出力まで	410	760	410	798	410	873	410	1018	ps
t _{PIN2COMBOUT_C}	カラム入力ピンから IOE 組み合わせ出力まで	428	787	428	825	428	904	428	1054	ps
t _{COMBIN2PIN_R}	ロウ IOE データ入力から組み合わせ出力ピンまで	1101	2026	1101	2127	1101	2329	1101	2439	ps
t _{COMBIN2PIN_C}	カラム IOE データ入力から組み合わせ出力ピンまで	991	1854	991	1946	991	2131	991	2246	ps
t _{CLR}	最小クリア・パルス幅	200		210		229		268		ps
t _{PRE}	最小プリセット・パルス幅	200		210		229		268		ps
t _{CLKL}	最小クロック Low 時間	600		630		690		804		ps
t _{CLKH}	最小クロック High 時間	600		630		690		804		ps

表 6-42 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) このカラムは、EP2SGX30、EP2SGX60、および EP2SGX90 デバイスの -3 スピード・グレードに対応しています。
- (3) このカラムは、EP2SGX130 デバイスの -3 スピード・グレードに対応しています。

表 6-43. DSP ブロックの内部タイミング・マイクロパラメータ (1 / 2) 注 (1)

シンボル	パラメータ	-3 スピード・グレード (2)		-3 スピード・グレード (3)		-4 スピード・グレード		-5 スピード・グレード		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
t _{SU}	入力、パイプライン、および出力レジスタのセットアップ・タイム (クロック前)	50		52		57		67		ps
t _H	入力、パイプライン、および出力レジスタのホールド・タイム (クロック後)	180		189		206		241		ps
t _{CO}	入力、パイプライン、および出力レジスタの「Clock-to-Output」遅延	0	0	0	0	0	0	0	0	ps
t _{INREG2PIPE9}	入力レジスタから DSP ブロック・パイプライン・レジスタまで (9 × 9 ビット・モード)	1312	2030	1312	2131	1312	2334	1312	2720	ps
t _{INREG2PIPE18}	入力レジスタから DSP ブロック・パイプライン・レジスタまで (18 × 18 ビット・モード)	1302	2010	1302	2110	1302	2311	1302	2693	ps
t _{INREG2PIPE36}	入力レジスタから DSP ブロック・パイプライン・レジスタまで (36 × 36 ビット・モード)	1302	2010	1302	2110	1302	2311	1302	2693	ps
t _{PIPE2OUTREG2ADD}	DSP ブロック・パイプライン・レジスタから出力レジスタまでの遅延 (2 乗算器・加算器モード)	924	1450	924	1522	924	1667	924	1943	ps
t _{PIPE2OUTREG4ADD}	DSP ブロック・パイプライン・レジスタから出力レジスタまでの遅延 (4 乗算器・加算器モード)	1134	1850	1134	1942	1134	2127	1134	2479	ps
t _{PD9}	組み合わせ入力から出力までの遅延 (9 × 9)	2100	2880	2100	3024	2100	3312	2100	3859	ps

表 6-43. DSP ブロックの内部タイミング・マイクロパラメータ (2 / 2) 注 (1)

シンボル	パラメータ	-3 スピード・ グレード (2)		-3 スピード・ グレード (3)		-4 スピード・ グレード		-5 スピード・ グレード		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
t _{PD18}	組み合わせ入力から出力までの遅延 (18×18)	2110	2990	2110	3139	2110	3438	2110	4006	ps
t _{PD36}	組み合わせ入力から出力までの遅延 (36×36)	2939	4450	2939	4672	2939	5117	2939	5962	ps
t _{CLR}	最小クリア・パルス幅	2212		2322		2543		2964		ps
t _{CLKL}	最小クロック Low 時間	1190		1249		1368		1594		ps
t _{CLKH}	最小クロック High 時間	1190		1249		1368		1594		ps

表 6-43 の注 :

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) このカラムは、EP2SGX30、EP2SGX60、および EP2SGX90 デバイスの -3 スピード・グレードに対応しています。
- (3) このカラムは、EP2SGX130 デバイスの -3 スピード・グレードに対応しています。

表 6-44. M512 ブロックの内部タイミング・マイクロパラメータ (1 / 2) 注 (1)、(2)

シンボル	パラメータ	-3 スピード・ グレード (3)		-3 スピード・ グレード (4)		-4 スピード・ グレード		-5 スピード・ グレード		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
t _{M512RC}	同期リード・サイクル・ タイム	2089	2318	2089	2433	2089	2664	2089	3104	ps
t _{M512WERESU}	ライトまたはリード・イ ネーブルのセットアッ プ・タイム (クロック前)	22		23		25		29		ps
t _{M512WEREH}	ライトまたはリード・イ ネーブルのホールド・タ イム (クロック後)	203		213		233		272		ps
t _{M512DATASU}	データ・セットアップ・ タイム (クロック前)	22		23		25		29		ps
t _{M512DATAH}	データ・ホールド・タイ ム (クロック後)	203		213		233		272		ps
t _{M512WADDRSU}	ライト・アドレスのセッ トアップ・タイム (クロック前)	22		23		25		29		ps
t _{M512WADDRH}	ライト・アドレスのホー ルド・タイム (クロック後)	203		213		233		272		ps

シンボル	パラメータ	-3 スピード・グレード (3)		-3 スピード・グレード (4)		-4 スピード・グレード		-5 スピード・グレード		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
t _{M512RADDRSU}	リード・アドレスのセットアップ・タイム (クロック前)	22		23		25		29		ps
t _{M512RADDRH}	リード・アドレスのホールド・タイム (クロック後)	203		213		233		272		ps
t _{M512DATAO1}	出力レジスタ使用時の「Clock-to-Output」遅延	298	478	298	501	298	548	298	640	ps
t _{M512DATAO2}	出力レジスタ未使用時の「Clock-to-Output」遅延	2102	2345	2102	2461	2102	2695	2102	3141	ps
t _{M512CLKL}	最小クロック Low 時間	1315		1380		1512		1762		ps
t _{M512CLKH}	最小クロック High 時間	1315		1380		1512		1762		ps
t _{M512CLR}	最小クリア・パルス幅	144		151		165		192		ps

表 6-44 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) Quartus II ソフトウェアを使用して取得した M512 ブロックの f_{MAX} は、必ずしも 1/TM512RC に等しくなりません。
- (3) このカラムは、EP2SGX30、EP2SGX60、および EP2SGX90 デバイスの -3 スピード・グレードに対応しています。
- (4) このカラムは、EP2SGX130 デバイスの -3 スピード・グレードに対応しています。

表 6-45. M4K ブロックの内部タイミング・マイクロパラメータ (1 / 2) 注 (1)、(2)

シンボル	パラメータ	-3 スピード・ グレード (3)		-3 スピード・ グレード (4)		-4 スピード・ グレード		-5 スピード・ グレード		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
t _{M4KRC}	同期リード・サイクル・ タイム	1462	2240	1462	2351	1462	2575	1462	3000	ps
t _{M4KWERESU}	ライトまたはリード・イ ネーブルのセットアッ プ・タイム (クロック前)	22		23		25		29		ps
t _{M4KWEREH}	ライトまたはリード・イ ネーブルのホールド・タ イム (クロック後)	203		213		233		272		ps
t _{M4KBESU}	バイト・イネーブルの セットアップ・タイム (クロック前)	22		23		25		29		ps
t _{M4KBEH}	バイト・イネーブルの ホールド・タイム (クロック後)	203		213		233		272		ps
t _{M4KDATAASU}	A ポートのデータ・セッ トアップ・タイム (クロック前)	22		23		25		29		ps
t _{M4KDATAAH}	A ポートのデータ・ホールド・ タイム (クロック後)	203		213		233		272		ps
t _{M4KADDRASU}	A ポートのアドレス・ セットアップ・タイム (クロック前)	22		23		25		29		ps
t _{M4KADDRAH}	A ポートのアドレス・ ホールド・タイム (クロック後)	203		213		233		272		ps
t _{M4KDATABSU}	B ポートのデータ・セッ トアップ・タイム (クロック前)	22		23		25		29		ps
t _{M4KDATA BH}	B ポートのデータ・ホールド・ タイム (クロック後)	203		213		233		272		ps
t _{M4KRADDRBSU}	B ポートのアドレス・ セットアップ・タイム (クロック前)	22		23		25		29		ps
t _{M4KRADDRBH}	B ポートのアドレス・ ホールド・タイム (クロック後)	203		213		233		272		ps
t _{M4KDATA CO1}	出力レジスタ使用時の 「Clock-to-Output」遅延	334	524	334	549	334	601	334	701	ps

表 6-45. M4K ブロックの内部タイミング・マイクロパラメータ (2 / 2) 注 (1)、(2)

シンボル	パラメータ	-3 スピード・グレード (3)		-3 スピード・グレード (4)		-4 スピード・グレード		-5 スピード・グレード		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
t _{M4KDATAO2}	出力レジスタ未使用時の「Clock-to-Output」遅延	1616	2453	1616	2574	1616	2820	1616	3286	ps
t _{M4KCLKH}	最小クロック High 時間	1250		1312		1437		1675		ps
t _{M4KCLKL}	最小クロック Low 時間	1250		1312		1437		1675		ps
t _{M4KCLR}	最小クリア・パルス幅	144		151		165		192		ps

表 6-45 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) Quartus II ソフトウェアを使用して取得したM4K ブロックのf_{MAX}は、必ずしも1/TM4KRC に等しくなりません。
- (3) このカラムは、EP2SGX30、EP2SGX60、および EP2SGX90 デバイスの -3 スピード・グレードに対応しています。
- (4) このカラムは、EP2SGX130 デバイスの -3 スピード・グレードに対応しています。

表 6-46. M-RAM ブロックの内部タイミング・マイクロパラメータ (1 / 2) 注 (1)、(2)

シンボル	パラメータ	-3 スピード・グレード (3)		-3 スピード・グレード (4)		-4 スピード・グレード		-5 スピード・グレード		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
t _{MEGARC}	同期リード・サイクル・タイム	1866	2774	1866	2911	1866	3189	1866	3716	ps
t _{MEGAWERESU}	ライトまたはリード・イネーブルのセットアップ・タイム (クロック前)	144		151		165		192		ps
t _{MEGAWEREH}	ライトまたはリード・イネーブルのホールド・タイム (クロック後)	39		40		44		52		ps
t _{MEGABESU}	バイト・イネーブルのセットアップ・タイム (クロック前)	50		52		57		67		ps
t _{MEGABEH}	バイト・イネーブルのホールド・タイム (クロック後)	39		40		44		52		ps
t _{MEGADATAASU}	A ポートのデータ・セットアップ・タイム (クロック前)	50		52		57		67		ps
t _{MEGADATAAH}	A ポートのデータ・ホールド・タイム (クロック後)	243		255		279		325		ps

表 6-46. M-RAM ブロックの内部タイミング・マイクロパラメータ (2 / 2) 注 (1)、(2)

シンボル	パラメータ	-3 スピード・ グレード (3)		-3 スピード・ グレード (4)		-4 スピード・ グレード		-5 スピード・ グレード		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
t _{MEGAADDRASU}	A ポートのアドレス・ セットアップ・タイム (クロック前)	589		618		677		789		ps
t _{MEGAADDRAH}	A ポートのアドレス・ ホールド・タイム (クロック後)	241		253		277		322		ps
t _{MEGADATABSU}	B ポートのセットアップ・ タイム (クロック前)	50		52		57		67		ps
t _{MEGADATABH}	B ポートのホールド・タ イム (クロック後)	243		255		279		325		ps
t _{MEGAADDRBSU}	B ポートのアドレス・ セットアップ・タイム (クロック前)	589		618		677		789		ps
t _{MEGAADDRBH}	B ポートのアドレス・ ホールド・タイム (クロック後)	241		253		277		322		ps
t _{MEGADATACO1}	出力レジスタ使用時の 「Clock-to-Output」遅延	480	715	480	749	480	821	480	957	ps
t _{MEGADATACO2}	出力レジスタ未使用時 の「Clock-to-Output」遅延	1950	2899	1950	3042	1950	3332	1950	3884	ps
t _{MEGAQCLKL}	最小クロック Low 時間	1250		1312		1437		1675		ps
t _{MEGAQCLKH}	最小クロック High 時間	1250		1312		1437		1675		ps
t _{MEGAQLR}	最小クリア・パルス幅	144		151		165		192		ps

表 6-46 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) Quartus II ソフトウェアを使用して取得した M-RAM ブロックの t_{MAX} は、必ずしも $1/TMEGARC$ に等しくなりません。
- (3) このカラムは、EP2SGX30、EP2SGX60、および EP2SGX90 デバイスの -3 スピード・グレードに対応しています。
- (4) このカラムは、EP2SGX130 デバイスの -3 スピード・グレードに対応しています。


Stratix II GX のクロック・タイミング・パラメータ

Stratix II GX のクロック・タイミング・パラメータについては、表 6-47 から 6-63 を参照してください。

シンボル	パラメータ
t_{CIN}	クロック・パッドから I/O 入力レジスタまでの遅延
t_{COUT}	クロック・パッドから I/O 出力レジスタまでの遅延
t_{PLLCIN}	PLL inclk パッドから I/O 入力レジスタまでの遅延
$t_{PLLCOUT}$	PLL inclk パッドから I/O 出力レジスタまでの遅延

EP2SGX30 クロック・タイミング・パラメータ

表 6-48 から 6-51 に、EP2SGX30 デバイスの最大クロック・タイミング・パラメータを示します。

 表 6-48 から 6-51 のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t_{CIN}	1.643	2.667	3.061	3.556	ns
t_{COUT}	1.478	2.425	2.783	3.232	ns
t_{PLLCIN}	0.098	0.235	0.25	0.29	ns
$t_{PLLCOUT}$	-0.067	-0.007	-0.028	-0.034	ns

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t_{CIN}	1.635	2.662	3.048	3.541	ns
t_{COUT}	1.470	2.420	2.770	3.217	ns
t_{PLLCIN}	0.098	0.225	0.247	0.269	ns
$t_{PLLCOUT}$	-0.067	-0.017	-0.031	-0.055	ns

表 6-50. EP2SGX30 ロウ・ピンのリージョンナル・クロック・タイミング・パラメータ

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t _{CIN}	1.386	2.292	2.624	3.042	ns
t _{COU}	1.391	2.288	2.620	3.037	ns
t _{PLLCIN}	-0.151	-0.145	-0.18	-0.221	ns
t _{PLLCOU}	-0.146	-0.149	-0.184	-0.226	ns

表 6-51. EP2SGX30 ロウ・ピンのグローバル・クロック・タイミング・パラメータ

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t _{CIN}	1.378	2.281	2.611	3.030	ns
t _{COU}	1.383	2.277	2.607	3.025	ns
t _{PLLCIN}	-0.161	-0.159	-0.195	-0.239	ns
t _{PLLCOU}	-0.156	-0.163	-0.199	-0.244	ns

EP2SGX60 クロック・タイミング・パラメータ

表 6-52 から 6-55 に、EP2SGX60 デバイスの最大クロック・タイミング・パラメータを示します。


 表 6-52 から 6-55 のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

表 6-52. EP2SGX60 カラム・ピンのリージョンナル・クロック・タイミング・パラメータ

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t _{CIN}	1.771	2.971	3.403	3.947	ns
t _{COU}	1.606	2.729	3.125	3.623	ns
t _{PLLCIN}	0.068	0.299	0.331	0.375	ns
t _{PLLCOU}	-0.097	0.057	0.053	0.051	ns

表 6-53. EP2SGX60 カラム・ピンのグローバル・クロック・タイミング・パラメータ

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t_{CIN}	1.763	2.960	3.390	3.939	ns
t_{COUT}	1.598	2.718	3.112	3.615	ns
t_{PLLCIN}	0.062	0.294	0.324	0.375	ns
$t_{PLLCOUT}$	-0.103	0.052	0.046	0.051	ns

表 6-54. EP2SGX60 ロウ・ピンのリージョナル・クロック・タイミング・パラメータ


パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t_{CIN}	1.541	2.613	2.993	3.476	ns
t_{COUT}	1.546	2.609	2.989	3.471	ns
t_{PLLCIN}	-0.161	-0.059	-0.078	-0.102	ns
$t_{PLLCOUT}$	-0.156	-0.063	-0.082	-0.107	ns

表 6-55. EP2SGX60 ロウ・ピンのグローバル・クロック・タイミング・パラメータ

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t_{CIN}	1.533	2.602	2.980	3.461	ns
t_{COUT}	1.538	2.598	2.976	3.456	ns
t_{PLLCIN}	-0.169	-0.063	-0.087	-0.112	ns
$t_{PLLCOUT}$	-0.164	-0.067	-0.091	-0.117	ns

EP2SGX90 クロック・タイミング・パラメータ

表 6-56 から 6-59 に、EP2SGX90 デバイスの最大クロック・タイミング・パラメータを示します。

 表 6-56から6-59のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t_{CIN}	1.859	3.069	3.515	4.075	ns
t_{COUT}	1.694	2.827	3.237	3.751	ns
$t_{PLL CIN}$	-0.132	0.125	0.129	0.144	ns
$t_{PLL COUT}$	-0.297	-0.117	-0.149	-0.18	ns

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t_{CIN}	1.851	3.058	3.502	4.070	ns
t_{COUT}	1.686	2.816	3.224	3.746	ns
$t_{PLL CIN}$	-0.132	0.125	0.129	0.144	ns
$t_{PLL COUT}$	-0.297	-0.117	-0.149	-0.18	ns

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t_{CIN}	1.649	2.767	3.167	3.680	ns
t_{COUT}	1.654	2.763	3.163	3.675	ns
$t_{PLL CIN}$	-0.345	-0.177	-0.22	-0.268	ns
$t_{PLL COUT}$	-0.34	-0.181	-0.224	-0.273	ns

表 6-59. EP2SGX90 ロウ・ピンのグローバル・クロック・タイミング・パラメータ

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t_{CIN}	1.641	2.757	3.154	3.667	ns
t_{COUT}	1.646	2.753	3.150	3.662	ns
t_{PLLCIN}	-0.347	-0.183	-0.225	-0.264	ns
$t_{PLLCOUT}$	-0.342	-0.187	-0.229	-0.269	ns

EP2SGX130 クロック・タイミング・パラメータ

表 6-60 から 6-63 に、EP2SGX130 デバイスの最大クロック・タイミング・パラメータを示します。


 表 6-60から6-63のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

表 6-60. EP2SGX130 カラム・ピンのリージョナル・クロック・タイミング・パラメータ

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t_{CIN}	1.988	3.431	3.753	4.363	ns
t_{COUT}	1.823	3.177	3.475	4.039	ns
t_{PLLCIN}	0.109	0.237	0.262	0.286	ns
$t_{PLLCOUT}$	-0.056	-0.017	-0.016	-0.038	ns

表 6-61. EP2SGX130 カラム・ピンのグローバル・クロック・タイミング・パラメータ

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t_{CIN}	1.980	3.420	3.740	4.348	ns
t_{COUT}	1.815	3.166	3.462	4.024	ns
t_{PLLCIN}	0.12	0.286	0.297	0.348	ns
$t_{PLLCOUT}$	-0.045	0.032	0.019	0.024	ns

表 6-62. EP2SGX130 ロウ・ピンのリージョナル・クロック・タイミング・パラメータ

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t _{CIN}	1.759	3.086	3.373	3.918	ns
t _{COU}	1.764	3.082	3.369	3.913	ns
t _{PLLCIN}	-0.121	-0.1	-0.118	-0.148	ns
t _{PLLCOU}	-0.116	-0.104	-0.122	-0.153	ns

表 6-63. EP2SGX130 ロウ・ピンのグローバル・クロック・タイミング・パラメータ

パラメータ	最小タイミング	-3 スピード・ グレード	-4 スピード・ グレード	-5 スピード・ グレード	単位
t _{CIN}	1.753	3.077	3.362	3.905	ns
t _{COU}	1.758	3.073	3.358	3.900	ns
t _{PLLCIN}	-0.102	-0.065	-0.077	-0.102	ns
t _{PLLCOU}	-0.097	-0.069	-0.081	-0.107	ns

クロック・ネットワーク・スキュー・アダー

Quartus II ソフトウェアは、グローバルおよびリージョナル・クロックなどの専用クロック・ネットワーク内のスキューをモデル化しています。したがって、クロック・ネットワーク内スキュー・アダーは規定されていません。表 6-64 に、IOE 内のレジスタをドライブする任意の 2 つのクロック・ネットワーク間のクロック・スキューを規定します。

表 6-64. クロック・ネットワーク仕様 (1 / 2) 注 (1)

シンボル	説明	最小	標準	最大	単位
クロック・スキュー・ アダー EP2SGX30 (2)	クロック・ネットワーク間 (同じ側)			±50	ps
	クロック・ネットワーク間 (チップ全体)			±100	ps
クロック・スキュー・ アダー EP2SGX60 (2)	クロック・ネットワーク間 (同じ側)			±50	ps
	クロック・ネットワーク間 (チップ全体)			±100	ps
クロック・スキュー・ アダー EP2SGX90 (2)	クロック・ネットワーク間 (同じ側)			±55	ps
	クロック・ネットワーク間 (チップ全体)			±110	ps

表 6-64. クロック・ネットワーク仕様 (2 / 2) 注 (1)					
シンボル	説明	最小	標準	最大	単位
クロック・スキュー・ アダプターEP2SGX130 (2)	クロック・ネットワーク間 (同じ側)			±63	ps
	クロック・ネットワーク間 (チップ全体)			±125	ps

表 6-64 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) これはクロック・ネットワーク内スキューに追加される値で、Quartus II ソフトウェアによってモデル化されています。

IOE のプログラマブルな遅延

IOE のプログラマブルな遅延については、表 6-65 および 6-66 を参照してください。

表 6-65. Stratix II GX カラム・ピン上の IOE のプログラマブルな遅延 注 (1)、(2)												
パラメータ	影響を受けるパス	使用可能な設定	最小タイミング		-3 スピード・グレード (3)		-3 スピード・グレード (4)		-4 スピード・グレード		-5 スピード・グレード	
			最小オフセット (ps)	最大オフセット (ps)	最小オフセット (ps)	最大オフセット (ps)	最小オフセット (ps)	最大オフセット (ps)	最小オフセット (ps)	最大オフセット (ps)	最小オフセット (ps)	最大オフセット (ps)
ピンから内部セルまでの入力遅延	パッドから I/O データ出力、ロジック・アレイまで	8	0	1781	0	2881		3025	0	3313	0	3,860
ピンから入力レジスタまでの入力遅延	パッドから I/O 入力レジスタまでの入力遅延	64	0	2053	0	3,275	0	3439	0	3,766	0	4,388
出力レジスタから出力ピンまでの遅延	I/O 出力レジスタからパッドまで	2	0	332	0	500	0	525	0	575	0	670
出力ライン・ピン遅延	t _{xz} , t _{zx}	2	0	320	0	483	0	507	0	556	0	647

表 6-65 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) 設定のインクリメンタル値は概ね直線です。各設定に関連する正確な遅延を得るには、Quartus II ソフトウェアの最新バージョンを使用してください。
- (3) このカラムは、EP2SGX30、EP2SGX60、および EP2SGX90 デバイスの -3 スピード・グレードに対応しています。
- (4) このカラムは、EP2SGX130 デバイスの -3 スピード・グレードに対応しています。

パラメータ	影響を受けるバス	使用可能な設定	最小タイミング		-3 スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		-5 スピード・グレード	
			最小オフセット	最大オフセット	最小オフセット	最大オフセット	最小オフセット	最大オフセット	最小オフセット	最大オフセット	最小オフセット	最大オフセット
ピンから内部セルまでの入力遅延	パッドから I/O データ出力、ロジック・アレイまで	8	0	1782	0	2,876	0	3020	0	3,308	0	3,853
ピンから入力レジスタまでの入力遅延	パッドから I/O 入力レジスタまで	64	0	2054	0	3,270	0	3434	0	3,761	0	4,381
出力レジスタから出力ピンまでの遅延	I/O 出力レジスタからパッドまで	2	0	332	0	500	0	252	0	575	0	670
出力イネーブル・ピン遅延	t_{xz} , t_{zx}	2	0	320	0	483	0	507	0	556	0	647

表 6-66 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) 設定のインクリメンタル値は概ね直線です。各設定に関連する正確な遅延を得るには、Quartus II ソフトウェアの最新バージョンを使用してください。

差動標準 I/O 規格のデフォルト容量性負荷

差動標準 I/O 規格のデフォルト容量性負荷については、表 6-67 を参照してください。

標準 I/O 規格	容量性負荷	単位
LVTTTL	0	pF
LVC MOS	0	pF
2.5 V	0	pF
1.8 V	0	pF
1.5 V	0	pF
PCI	10	pF
PCI-X	10	pF
SSTL-2 Class I	0	pF

表 6-67. Stratix II GX デバイスの差動標準 I/O 規格のデフォルト負荷
(2 / 2) 注 (1)

標準 I/O 規格	容量性負荷	単位
SSTL-2 Class II	0	pF
SSTL-18 Class I	0	pF
SSTL-18 Class II	0	pF
1.5 V HSTL Class I	0	pF
1.5 V HSTL Class II	0	pF
1.8 V HSTL Class I	0	pF
1.8 V HSTL Class II	0	pF
差動 SSTL-2 Class I	0	pF
差動 SSTL-2 Class II	0	pF
差動 SSTL-18 Class I	0	pF
差動 SSTL-18 Class II	0	pF
1.5 V 差動 HSTL Class I	0	pF
1.5 V 差動 HSTL Class II	0	pF
1.8 V 差動 HSTL Class I	0	pF
1.8 V 差動 HSTL Class II	0	pF
LVDS	0	pF

表 6-67 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

I/O 遅延

I/O 遅延については、表 6-68 から 6-72 を参照してください。

シンボル	パラメータ
t_{DIP}	I/O データ入力から出力パッドまでの遅延
t_{OP}	I/O 出力レジスタから出力パッドまでの遅延
t_{PCOUT}	入力パッドから I/O データ出力、コアまでの遅延
t_{PI}	入力パッドから I/O 入力レジスタまでの遅延

標準 I/O 規格	パラメータ	最小 タイミング	-3 スピード・ グレード (3)	-3 スピード・ グレード (4)	-4 スピード・ グレード	-5 スピード・ グレード	単位
LVTTTL	t_{PI}	707	1223	1282	1405	1637	ps
	t_{PCOUT}	428	787	825	904	1054	ps
2.5 V	t_{PI}	717	1210	1269	1390	1619	ps
	t_{PCOUT}	438	774	812	889	1036	ps
1.8 V	t_{PI}	783	1366	1433	1570	1829	ps
	t_{PCOUT}	504	930	976	1069	1246	ps
1.5 V	t_{PI}	786	1436	1506	1650	1922	ps
	t_{PCOUT}	507	1000	1049	1149	1339	ps
LVCMOS	t_{PI}	707	1223	1282	1405	1637	ps
	t_{PCOUT}	428	787	825	904	1054	ps
SSTL-2 Class I	t_{PI}	530	818	857	939	1094	ps
	t_{PCOUT}	251	382	400	438	511	ps
SSTL-2 Class II	t_{PI}	530	818	857	939	1094	ps
	t_{PCOUT}	251	382	400	438	511	ps
SSTL-18 Class I	t_{PI}	569	898	941	1031	1201	ps
	t_{PCOUT}	290	462	484	530	618	ps
SSTL-18 Class II	t_{PI}	569	898	941	1031	1201	ps
	t_{PCOUT}	290	462	484	530	618	ps
1.5 V HSTL Class I	t_{PI}	587	993	1041	1141	1329	ps
	t_{PCOUT}	308	557	584	640	746	ps

表 6-69. Stratix II GX のカラム・ピンでの I/O 入力遅延 (2 / 2) 注 (1)							
標準 I/O 規格	パラメータ	最小 タイミング	-3 スピード・ グレード (3)	-3 スピード・ グレード (4)	-4 スピード・ グレード	-5 スピード・ グレード	単位
1.5 V HSTL Class II	t _{PI}	587	993	1041	1141	1329	ps
	t _{PCOUT}	308	557	584	640	746	ps
1.8 V HSTL Class I	t _{PI}	569	898	941	1031	1201	ps
	t _{PCOUT}	290	462	484	530	618	ps
1.8 V HSTL Class II	t _{PI}	569	898	941	1031	1201	ps
	t _{PCOUT}	290	462	484	530	618	ps
PCI	t _{PI}	712	1214	1273	1395	1625	ps
	t _{PCOUT}	433	778	816	894	1042	ps
PCI-X	t _{PI}	712	1214	1273	1395	1625	ps
	t _{PCOUT}	433	778	816	894	1042	ps
差動 SSTL-2 Class I (2)	t _{PI}	530	818	857	939	1094	ps
	t _{PCOUT}	251	382	400	438	511	ps
差動 SSTL-2 Class II (2)	t _{PI}	530	818	857	939	1094	ps
	t _{PCOUT}	251	382	400	438	511	ps
差動 SSTL-18 Class I (2)	t _{PI}	569	898	941	1031	1201	ps
	t _{PCOUT}	290	462	484	530	618	ps
差動 SSTL-18 Class II (2)	t _{PI}	569	898	941	1031	1201	ps
	t _{PCOUT}	290	462	484	530	618	ps
1.8 V 差動 HSTL Class I (2)	t _{PI}	569	898	941	1031	1201	ps
	t _{PCOUT}	290	462	484	530	618	ps
1.8 V 差動 HSTL Class II (2)	t _{PI}	569	898	941	1031	1201	ps
	t _{PCOUT}	290	462	484	530	618	ps
1.5 V 差動 HSTL Class I (2)	t _{PI}	587	993	1041	1141	1329	ps
	t _{PCOUT}	308	557	584	640	746	ps
1.5 V 差動 HSTL Class II (2)	t _{PI}	587	993	1041	1141	1329	ps
	t _{PCOUT}	308	557	584	640	746	ps

表 6-69 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) これらの標準 I/O 規格は DQS ピンでのみサポートされます。
- (3) このカラムは、EP2SGX30、EP2SGX60、および EP2SGX90 デバイスの -3 スピード・グレードに対応しています。
- (4) このカラムは、EP2SGX130 デバイスの -3 スピード・グレードに対応しています。

表 6-70. Stratix II GX のロウ・ピンでの I/O 入力遅延 (1 / 2) 注 (1)

標準 I/O 規格	パラメータ	最小 タイミング	-3 スピード・ グレード (3)	-3 スピード・ グレード (4)	-4 スピード・ グレード	-5 スピード・ グレード	単位
LVTTTL	t _{PI}	749	1287	1350	1477	1723	ps
	t _{PCOUT}	410	760	798	873	1018	ps
2.5 V	t _{PI}	761	1273	1335	1461	1704	ps
	t _{PCOUT}	422	746	783	857	999	ps
1.8 V	t _{PI}	827	1427	1497	1639	1911	ps
	t _{PCOUT}	488	900	945	1035	1206	ps
1.5 V	t _{PI}	830	1498	1571	1720	2006	ps
	t _{PCOUT}	491	971	1019	1116	1301	ps
LVCMOS	t _{PI}	749	1287	1350	1477	1723	ps
	t _{PCOUT}	410	760	798	873	1018	ps
SSTL-2 Class I	t _{PI}	573	879	921	1008	1176	ps
	t _{PCOUT}	234	352	369	404	471	ps
SSTL-2 Class II	t _{PI}	573	879	921	1008	1176	ps
	t _{PCOUT}	234	352	369	404	471	ps
SSTL-18 Class I	t _{PI}	605	960	1006	1101	1285	ps
	t _{PCOUT}	266	433	454	497	580	ps
SSTL-18 Class II	t _{PI}	605	960	1006	1101	1285	ps
	t _{PCOUT}	266	433	454	497	580	ps
1.5 V HSTL Class I	t _{PI}	631	1056	1107	1212	1413	ps
	t _{PCOUT}	292	529	555	608	708	ps
1.5 V HSTL Class II	t _{PI}	631	1056	1107	1212	1413	ps
	t _{PCOUT}	292	529	555	608	708	ps
1.8 V HSTL Class I	t _{PI}	605	960	1006	1101	1285	ps
	t _{PCOUT}	266	433	454	497	580	ps
1.8 V HSTL Class II	t _{PI}	605	960	1006	1101	1285	ps
	t _{PCOUT}	266	433	454	497	580	ps
PCI	t _{PI}	830	1498	1571	1720	2006	
	t _{PCOUT}	491	971	1019	1116	1301	
PCI-X	t _{PI}	830	1498	1571	1720	2006	
	t _{PCOUT}	491	971	1019	1116	1301	

標準 I/O 規格	パラメータ	最小 タイミング	-3 スピード・ グレード (3)	-3 スピード・ グレード (4)	-4 スピード・ グレード	-5 スピード・ グレード	単位
LVDS (2)	t _{PI}	540	948	994	1088	1269	ps
	t _{PCOUT}	201	421	442	484	564	ps
HyperTransport	t _{PI}	540	948	994	1088	1269	
	t _{PCOUT}	201	421	442	484	564	
差動 SSTL-2 Class I	t _{PI}	573	879	921	1008	1176	
	t _{PCOUT}	234	352	369	404	471	
差動 SSTL-2 Class II	t _{PI}	573	879	921	1008	1176	
	t _{PCOUT}	234	352	369	404	471	
差動 SSTL-18 Class I	t _{PI}	605	960	1006	1101	1285	
	t _{PCOUT}	266	433	454	497	580	
差動 SSTL-18 Class II	t _{PI}	605	960	1006	1101	1285	
	t _{PCOUT}	266	433	454	497	580	
1.8 V 差動 HSTL Class I	t _{PI}	605	960	1006	1101	1285	
	t _{PCOUT}	266	433	454	497	580	
1.8 V 差動 HSTL Class II	t _{PI}	605	960	1006	1101	1285	
	t _{PCOUT}	266	433	454	497	580	
1.5 V 差動 HSTL Class I	t _{PI}	631	1056	1107	1212	1413	
	t _{PCOUT}	292	529	555	608	708	
1.5 V 差動 HSTL Class II	t _{PI}	631	1056	1107	1212	1413	
	t _{PCOUT}	292	529	555	608	708	

表 6-70 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) これらのパラメータはデバイスの左側でのみ使用可能です。
- (3) このカラムは、EP2SGX30、EP2SGX60、および EP2SGX90 デバイスの -3 スピード・グレードに対応しています。
- (4) このカラムは、EP2SGX130 デバイスの -3 スピード・グレードに対応しています。

表 6-71. Stratix II GX のカラム・ピンでの I/O 出力遅延 (1 / 7) 注 (1)

標準 I/O 規格	ドライブ 強度	パラ メータ	最小 タイミング	-3 スピード・ グレード (4)	-3 スピード・ グレード (5)	-4 スピード・ グレード	-5 スピード・ グレード	単位	
LVTTTL	4 mA	t _{OP}	1236	2351	2467	2702	2820	ps	
		t _{DIP}	1258	2417	2537	2778	2910	ps	
	8 mA	t _{OP}	1091	2036	2136	2340	2448	ps	
		t _{DIP}	1113	2102	2206	2416	2538	ps	
	12 mA	t _{OP}	1024	2036	2136	2340	2448	ps	
		t _{DIP}	1046	2102	2206	2416	2538	ps	
	16 mA	t _{OP}	998	1893	1986	2176	2279	ps	
		t _{DIP}	1020	1959	2056	2252	2369	ps	
	20 mA	t _{OP}	976	1787	1875	2054	2154	ps	
		t _{DIP}	998	1853	1945	2130	2244	ps	
	24 mA (2)	t _{OP}	969	1788	1876	2055	2156	ps	
		t _{DIP}	991	1854	1946	2131	2246	ps	
	LVCMOS	4 mA	t _{OP}	1091	2036	2136	2340	2448	ps
			t _{DIP}	1113	2102	2206	2416	2538	ps
8 mA		t _{OP}	999	1786	1874	2053	2153	ps	
		t _{DIP}	1021	1852	1944	2129	2243	ps	
12 mA		t _{OP}	971	1720	1805	1977	2075	ps	
		t _{DIP}	993	1786	1875	2053	2165	ps	
16 mA		t _{OP}	978	1693	1776	1946	2043	ps	
		t _{DIP}	1000	1759	1846	2022	2133	ps	
20 mA		t _{OP}	965	1677	1759	1927	2025	ps	
		t _{DIP}	987	1743	1829	2003	2115	ps	
24 mA (2)		t _{OP}	954	1659	1741	1906	2003	ps	
		t _{DIP}	976	1725	1811	1982	2093	ps	

標準 I/O 規格	ドライブ強度	パラメータ	最小 タイミング	-3 スピード・ グレード (4)	-3 スピード・ グレード (5)	-4 スピード・ グレード	-5 スピード・ グレード	単位	
2.5 V	4 mA	t _{OP}	1053	2063	2165	2371	2480	ps	
		t _{DIP}	1075	2129	2235	2447	2570	ps	
	8 mA	t _{OP}	1001	1841	1932	2116	2218	ps	
		t _{DIP}	1023	1907	2002	2192	2308	ps	
	12 mA	t _{OP}	980	1742	1828	2002	2101	ps	
		t _{DIP}	1002	1808	1898	2078	2191	ps	
	16 mA (2)	t _{OP}	962	1679	1762	1929	2027	ps	
		t _{DIP}	984	1745	1832	2005	2117	ps	
	1.8 V	2 mA	t _{OP}	1093	2904	3048	3338	3472	ps
			t _{DIP}	1115	2970	3118	3414	3562	ps
4 mA		t _{OP}	1098	2248	2359	2584	2698	ps	
		t _{DIP}	1120	2314	2429	2660	2788	ps	
6 mA		t _{OP}	1022	2024	2124	2326	2434	ps	
		t _{DIP}	1044	2090	2194	2402	2524	ps	
8 mA		t _{OP}	1024	1947	2043	2238	2343	ps	
		t _{DIP}	1046	2013	2113	2314	2433	ps	
10 mA		t _{OP}	978	1882	1975	2163	2266	ps	
		t _{DIP}	1000	1948	2045	2239	2356	ps	
12 mA (2)		t _{OP}	979	1833	1923	2107	2209	ps	
		t _{DIP}	1001	1899	1993	2183	2299	ps	
1.5 V		2 mA	t _{OP}	1073	2505	2629	2879	3002	ps
			t _{DIP}	1095	2571	2699	2955	3092	ps
	4 mA	t _{OP}	1009	2023	2123	2325	2433	ps	
		t _{DIP}	1031	2089	2193	2401	2523	ps	
	6 mA	t _{OP}	1012	1923	2018	2210	2315	ps	
		t _{DIP}	1034	1989	2088	2286	2405	ps	
	8 mA (2)	t _{OP}	971	1878	1970	2158	2262	ps	
		t _{DIP}	993	1944	2040	2234	2352	ps	

表 6-71. Stratix II GX のカラム・ピンでの I/O 出力遅延 (3 / 7) 注 (1)

標準 I/O 規格	ドライブ 強度	パラ メータ	最小 タイミング	-3 スピード・ グレード (4)	-3 スピード・ グレード (5)	-4 スピード・ グレード	-5 スピード・ グレード	単位	
SSTL-2 Class I	8 mA	t _{OP}	957	1715	1799	1971	2041	ps	
		t _{DIP}	979	1781	1869	2047	2131	ps	
	12 mA (2)	t _{OP}	940	1672	1754	1921	1991	ps	
		t _{DIP}	962	1738	1824	1997	2081	ps	
SSTL-2 Class II	16 mA	t _{OP}	918	1609	1688	1849	1918	ps	
		t _{DIP}	940	1675	1758	1925	2008	ps	
	20 mA	t _{OP}	919	1598	1676	1836	1905	ps	
		t _{DIP}	941	1664	1746	1912	1995	ps	
	24 mA (2)	t _{OP}	915	1596	1674	1834	1903	ps	
		t _{DIP}	937	1662	1744	1910	1993	ps	
SSTL-18 Class I	4 mA	t _{OP}	953	1690	1773	1942	2012	ps	
		t _{DIP}	975	1756	1843	2018	2102	ps	
	6 mA	t _{OP}	958	1656	1737	1903	1973	ps	
		t _{DIP}	980	1722	1807	1979	2063	ps	
	8 mA	t _{OP}	937	1640	1721	1885	1954	ps	
		t _{DIP}	959	1706	1791	1961	2044	ps	
	10 mA	t _{OP}	942	1638	1718	1882	1952	ps	
		t _{DIP}	964	1704	1788	1958	2042	ps	
	12 mA (2)	t _{OP}	936	1626	1706	1869	1938	ps	
		t _{DIP}	958	1692	1776	1945	2028	ps	
	SSTL-18 Class II	8 mA	t _{OP}	925	1597	1675	1835	1904	ps
			t _{DIP}	947	1663	1745	1911	1994	ps
16 mA		t _{OP}	937	1578	1655	1813	1882	ps	
		t _{DIP}	959	1644	1725	1889	1972	ps	
18 mA		t _{OP}	933	1585	1663	1821	1890	ps	
		t _{DIP}	955	1651	1733	1897	1980	ps	
20 mA (2)		t _{OP}	933	1583	1661	1819	1888	ps	
		t _{DIP}	955	1649	1731	1895	1978	ps	

表 6-71. Stratix II GX のカラム・ピンでの I/O 出力遅延 (4 / 7) 注 (1)									
標準 I/O 規格	ドライブ 強度	パラ メータ	最小 タイミング	-3 スピード・ グレード (4)	-3 スピード・ グレード (5)	-4 スピード・ グレード	-5 スピード・ グレード	単位	
1.8 V HSTL Class I	4 mA	t _{OP}	956	1608	1687	1848	1943	ps	
		t _{DIP}	978	1674	1757	1924	2033	ps	
	6 mA	t _{OP}	962	1595	1673	1833	1928	ps	
		t _{DIP}	984	1661	1743	1909	2018	ps	
	8 mA	t _{OP}	940	1586	1664	1823	1917	ps	
		t _{DIP}	962	1652	1734	1899	2007	ps	
	10 mA	t _{OP}	944	1591	1669	1828	1923	ps	
		t _{DIP}	966	1657	1739	1904	2013	ps	
	12 mA (2)	t _{OP}	936	1585	1663	1821	1916	ps	
		t _{DIP}	958	1651	1733	1897	2006	ps	
	1.8 V HSTL Class II	16 mA	t _{OP}	919	1385	1453	1591	1680	ps
			t _{DIP}	941	1451	1523	1667	1770	ps
18 mA		t _{OP}	921	1394	1462	1602	1691	ps	
		t _{DIP}	943	1460	1532	1678	1781	ps	
20 mA (2)		t _{OP}	921	1402	1471	1611	1700	ps	
		t _{DIP}	943	1468	1541	1687	1790	ps	
1.5 V HSTL Class I	4 mA	t _{OP}	956	1607	1686	1847	1942	ps	
		t _{DIP}	978	1673	1756	1923	2032	ps	
	6 mA	t _{OP}	961	1588	1666	1825	1920	ps	
		t _{DIP}	983	1654	1736	1901	2010	ps	
	8 mA	t _{OP}	943	1590	1668	1827	1922	ps	
		t _{DIP}	965	1656	1738	1903	2012	ps	
	10 mA	t _{OP}	943	1592	1670	1829	1924	ps	
		t _{DIP}	965	1658	1740	1905	2014	ps	
	12 mA (2)	t _{OP}	937	1590	1668	1827	1922	ps	
		t _{DIP}	959	1656	1738	1903	2012	ps	

表 6-71. Stratix II GX のカラム・ピンでの I/O 出力遅延 (5 / 7) 注 (1)

標準 I/O 規格	ドライブ 強度	パラ メータ	最小 タイミング	-3 スピード・ グレード (4)	-3 スピード・ グレード (5)	-4 スピード・ グレード	-5 スピード・ グレード	単位
1.5 V HSTL Class II	16 mA	t _{OP}	924	1431	1501	1644	1734	ps
		t _{DIP}	946	1497	1571	1720	1824	ps
	18 mA	t _{OP}	927	1439	1510	1654	1744	ps
		t _{DIP}	949	1505	1580	1730	1834	ps
	20 mA (2)	t _{OP}	929	1450	1521	1666	1757	ps
		t _{DIP}	951	1516	1591	1742	1847	ps
PCI	-	t _{OP}	1082	1956	2051	2244	2070	ps
		t _{DIP}	1104	2022	2121	2320	2160	ps
PCI-X	-	t _{OP}	1082	1956	2051	2244	2070	ps
		t _{DIP}	1104	2022	2121	2320	2160	ps
差動 SSTL-2 Class I (3)	8 mA	t _{OP}	957	1715	1799	1971	2041	ps
		t _{DIP}	979	1781	1869	2047	2131	ps
	12 mA	t _{OP}	940	1672	1754	1921	1991	ps
		t _{DIP}	962	1738	1824	1997	2081	ps
差動 SSTL-2 Class II (3)	16 mA	t _{OP}	918	1609	1688	1849	1918	ps
		t _{DIP}	940	1675	1758	1925	2008	ps
	20 mA	t _{OP}	919	1598	1676	1836	1905	ps
		t _{DIP}	941	1664	1746	1912	1995	ps
	24 mA	t _{OP}	915	1596	1674	1834	1903	ps
		t _{DIP}	937	1662	1744	1910	1993	ps
差動 SSTL-18 Class I (3)	4 mA	t _{OP}	953	1690	1773	1942	2012	ps
		t _{DIP}	975	1756	1843	2018	2102	ps
	6 mA	t _{OP}	958	1656	1737	1903	1973	ps
		t _{DIP}	980	1722	1807	1979	2063	ps
	8 mA	t _{OP}	937	1640	1721	1885	1954	ps
		t _{DIP}	959	1706	1791	1961	2044	ps
	10 mA	t _{OP}	942	1638	1718	1882	1952	ps
		t _{DIP}	964	1704	1788	1958	2042	ps
	12 mA	t _{OP}	936	1626	1706	1869	1938	ps
		t _{DIP}	958	1692	1776	1945	2028	ps

標準 I/O 規格	ドライブ強度	パラメータ	最小タイミグ	-3 スピード・グレード (4)	-3 スピード・グレード (5)	-4 スピード・グレード	-5 スピード・グレード	単位	
差動 SSTL-18 Class II (3)	8 mA	t _{OP}	925	1597	1675	1835	1904	ps	
		t _{DIP}	947	1663	1745	1911	1994	ps	
	16 mA	t _{OP}	937	1578	1655	1813	1882	ps	
		t _{DIP}	959	1644	1725	1889	1972	ps	
	18 mA	t _{OP}	933	1585	1663	1821	1890	ps	
		t _{DIP}	955	1651	1733	1897	1980	ps	
	20 mA	t _{OP}	933	1583	1661	1819	1888	ps	
		t _{DIP}	955	1649	1731	1895	1978	ps	
	1.8 V 差動 HSTL Class I (3)	4 mA	t _{OP}	956	1608	1687	1848	1943	ps
			t _{DIP}	978	1674	1757	1924	2033	ps
6 mA		t _{OP}	962	1595	1673	1833	1928	ps	
		t _{DIP}	984	1661	1743	1909	2018	ps	
8 mA		t _{OP}	940	1586	1664	1823	1917	ps	
		t _{DIP}	962	1652	1734	1899	2007	ps	
10 mA		t _{OP}	944	1591	1669	1828	1923	ps	
		t _{DIP}	966	1657	1739	1904	2013	ps	
12 mA		t _{OP}	936	1585	1663	1821	1916	ps	
		t _{DIP}	958	1651	1733	1897	2006	ps	
1.8 V 差動 HSTL Class II (3)		16 mA	t _{OP}	919	1385	1453	1591	1680	ps
			t _{DIP}	941	1451	1523	1667	1770	ps
	18 mA	t _{OP}	921	1394	1462	1602	1691	ps	
		t _{DIP}	943	1460	1532	1678	1781	ps	
	20 mA	t _{OP}	921	1402	1471	1611	1700	ps	
		t _{DIP}	943	1468	1541	1687	1790	ps	

表 6-71. Stratix II GX のカラム・ピンでの I/O 出力遅延 (7 / 7) 注 (1)

標準 I/O 規格	ドライブ強度	パラメータ	最小タイミグ	-3 スピード・グレード (4)	-3 スピード・グレード (5)	-4 スピード・グレード	-5 スピード・グレード	単位	
1.5 V 差動 HSTL Class I (3)	4 mA	t _{OP}	956	1607	1686	1847	1942	ps	
		t _{DIP}	978	1673	1756	1923	2032	ps	
	6 mA	t _{OP}	961	1588	1666	1825	1920	ps	
		t _{DIP}	983	1654	1736	1901	2010	ps	
	8 mA	t _{OP}	943	1590	1668	1827	1922	ps	
		t _{DIP}	965	1656	1738	1903	2012	ps	
	10 mA	t _{OP}	943	1592	1670	1829	1924	ps	
		t _{DIP}	965	1658	1740	1905	2014	ps	
	12 mA	t _{OP}	937	1590	1668	1827	1922	ps	
		t _{DIP}	959	1656	1738	1903	2012	ps	
	1.5 V 差動 HSTL Class II (3)	16 mA	t _{OP}	924	1431	1501	1644	1734	ps
			t _{DIP}	946	1497	1571	1720	1824	ps
18 mA		t _{OP}	927	1439	1510	1654	1744	ps	
		t _{DIP}	949	1505	1580	1730	1834	ps	
20 mA		t _{OP}	929	1450	1521	1666	1757	ps	
		t _{DIP}	951	1516	1591	1742	1847	ps	

表 6-71 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) これは Quartus II ソフトウェアでのデフォルト設定です。
- (3) これらの標準 I/O 規格は DQS ピンでのみサポートされます。
- (4) このカラムは、EP2SGX30、EP2SGX60、および EP2SGX90 デバイスの -3 スピード・グレードに対応しています。
- (5) このカラムは、EP2SGX130 デバイスの -3 スピード・グレードに対応しています。

表 6-72. Stratix II GX のロウ・ピンでの I/O 出力遅延 (1 / 4) 注 (1)

標準 I/O 規格	ドライブ強度	パラメータ	最小タイミグ	-3 スピード・グレード (4)	-3 スピード・グレード (5)	-4 スピード・グレード	-5 スピード・グレード	単位
LVTTTL	4 mA	t _{OP}	1328	2655	2786	3052	3189	ps
		t _{DIP}	1285	2600	2729	2989	3116	ps
	8 mA	t _{OP}	1200	2113	2217	2429	2549	ps
		t _{DIP}	1157	2058	2160	2366	2476	ps
	12 mA (2)	t _{OP}	1144	2081	2184	2392	2512	ps
		t _{DIP}	1101	2026	2127	2329	2439	ps

標準 I/O 規格	ドライブ強度	パラメータ	最小タイミグ	-3 スピード・グレード (4)	-3 スピード・グレード (5)	-4 スピード・グレード	-5 スピード・グレード	単位
LVCMOS	4 mA	t _{OP}	1200	2113	2217	2429	2549	ps
		t _{DIP}	1157	2058	2160	2366	2476	ps
	8 mA (2)	t _{OP}	1094	1853	1944	2130	2243	ps
		t _{DIP}	1051	1798	1887	2067	2170	ps
	12 mA (2)	t _{OP}	1061	1723	1808	1980	2089	ps
		t _{DIP}	1018	1668	1751	1917	2016	ps
2.5 V	4 mA	t _{OP}	1183	2091	2194	2403	2523	ps
		t _{DIP}	1140	2036	2137	2340	2450	ps
	8 mA	t _{OP}	1080	1872	1964	2152	2265	ps
		t _{DIP}	1037	1817	1907	2089	2192	ps
	12 mA (2)	t _{OP}	1061	1775	1862	2040	2151	ps
		t _{DIP}	1018	1720	1805	1977	2078	ps
1.8 V	2 mA	t _{OP}	1253	2954	3100	3396	3542	ps
		t _{DIP}	1210	2899	3043	3333	3469	ps
	4 mA	t _{OP}	1242	2294	2407	2637	2763	ps
		t _{DIP}	1199	2239	2350	2574	2690	ps
	6 mA	t _{OP}	1131	2039	2140	2344	2462	ps
		t _{DIP}	1088	1984	2083	2281	2389	ps
	8 mA (2)	t _{OP}	1100	1942	2038	2232	2348	ps
		t _{DIP}	1057	1887	1981	2169	2275	ps
1.5 V	2 mA	t _{OP}	1213	2530	2655	2908	3041	ps
		t _{DIP}	1170	2475	2598	2845	2968	ps
	4 mA (2)	t _{OP}	1106	2020	2120	2322	2440	ps
		t _{DIP}	1063	1965	2063	2259	2367	ps
SSTL-2 Class I	8 mA	t _{OP}	1050	1759	1846	2022	2104	ps
		t _{DIP}	1007	1704	1789	1959	2031	ps
	12 mA (2)	t _{OP}	1026	1694	1777	1947	2028	ps
		t _{DIP}	983	1639	1720	1884	1955	ps
SSTL-2 Class II	16 mA (2)	t _{OP}	992	1581	1659	1817	1897	ps
		t _{DIP}	949	1526	1602	1754	1824	ps

表 6-72. Stratix II GX のロウ・ピンでの I/O 出力遅延 (3 / 4) 注 (1)

標準 I/O 規格	ドライブ 強度	パラ メータ	最小 タイミング	-3 スピード・ グレード (4)	-3 スピード・ グレード (5)	-4 スピード・ グレード	-5 スピード・ グレード	単位	
SSTL-18 Class I	4 mA	t _{OP}	1038	1709	1793	1964	2046	ps	
		t _{DIP}	995	1654	1736	1901	1973	ps	
	6 mA	t _{OP}	1042	1648	1729	1894	1975	ps	
		t _{DIP}	999	1593	1672	1831	1902	ps	
	8 mA	t _{OP}	1018	1633	1713	1877	1958	ps	
		t _{DIP}	975	1578	1656	1814	1885	ps	
	10 mA (2)	t _{OP}	1021	1615	1694	1856	1937	ps	
		t _{DIP}	978	1560	1637	1793	1864	ps	
	1.8 V HSTL Class I	4 mA	t _{OP}	1019	1610	1689	1850	1956	ps
			t _{DIP}	976	1555	1632	1787	1883	ps
6 mA		t _{OP}	1022	1580	1658	1816	1920	ps	
		t _{DIP}	979	1525	1601	1753	1847	ps	
8 mA		t _{OP}	1004	1576	1653	1811	1916	ps	
		t _{DIP}	961	1521	1596	1748	1843	ps	
10 mA		t _{OP}	1008	1567	1644	1801	1905	ps	
		t _{DIP}	965	1512	1587	1738	1832	ps	
12 mA (2)		t _{OP}	999	1566	1643	1800	1904	ps	
		t _{DIP}	956	1511	1586	1737	1831	ps	
1.5 V HSTL Class I		4 mA	t _{OP}	1018	1591	1669	1828	1933	ps
			t _{DIP}	975	1536	1612	1765	1860	ps
	6 mA	t _{OP}	1021	1579	1657	1815	1919	ps	
		t _{DIP}	978	1524	1600	1752	1846	ps	
	8 mA (2)	t _{OP}	1006	1572	1649	1807	1911	ps	
		t _{DIP}	963	1517	1592	1744	1838	ps	
差動 SSTL-2 Class I	8 mA	t _{OP}	1050	1759	1846	2022	2104	ps	
		t _{DIP}	1007	1704	1789	1959	2031	ps	
	12 mA	t _{OP}	1026	1694	1777	1947	2028	ps	
		t _{DIP}	983	1639	1720	1884	1955	ps	
差動 SSTL-2 Class I	16 mA	t _{OP}	992	1581	1659	1817	1897	ps	
		t _{DIP}	949	1526	1602	1754	1824	ps	

標準 I/O 規格	ドライブ強度	パラメータ	最小タイミグ	-3 スピード・グレード (4)	-3 スピード・グレード (5)	-4 スピード・グレード	-5 スピード・グレード	単位
差動 SSTL-18 Class I	4 mA	t _{OP}	1038	1709	1793	1964	2046	ps
		t _{DIP}	995	1654	1736	1901	1973	ps
	6 mA	t _{OP}	1042	1648	1729	1894	1975	ps
		t _{DIP}	999	1593	1672	1831	1902	ps
	8 mA	t _{OP}	1018	1633	1713	1877	1958	ps
		t _{DIP}	975	1578	1656	1814	1885	ps
10 mA	t _{OP}	1021	1615	1694	1856	1937	ps	
	t _{DIP}	978	1560	1637	1793	1864	ps	
LVDS (3)	-	t _{OP}	1067	1723	1808	1980	2089	ps
		t _{DIP}	1024	1668	1751	1917	2016	ps
HyperTransport	-	t _{OP}	1053	1723	1808	1980	2089	ps
		t _{DIP}	1010	1668	1751	1917	2016	ps

表 6-72 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) これは Quartus II ソフトウェアでのデフォルト設定です。
- (3) これらのパラメータはデバイスの左側でのみ使用可能です。
- (4) このカラムは、EP2SGX30、EP2SGX60、および EP2SGX90 デバイスの -3 スピード・グレードに対応しています。
- (5) このカラムは、EP2SGX130 デバイスの -3 スピード・グレードに対応しています。

最大入力および出力クロック・トグル・レート

最大クロック・トグル・レートは、I/O ピンでのクロック・タイプの信号に対して達成可能な最大周波数として定義されます。I/O ピンは、通常の I/O ピンまたは専用クロック I/O ピンです。

最大クロック・トグル・レートは、最大データ・ビット・レートとは異なります。通常の I/O ピンの最大トグル・レートが 300 MHz の場合、DDR (Double Data Rate) に対する最大データ・ビット・レートは同じ I/O ピンで 600 Mbps になる可能性があります。

表 6-73 は、最大入力クロック・トグル・レートを規定しています。表 6-74 は、0 pF の負荷での最大出力クロック・トグル・レートを規定しています。表 6-75 は、0 pF 以外の負荷に対する出力クロック・トグル・レートのディレーティング・ファクタを規定しています。

0 pF 以外の負荷に対する出力トグル・レートを計算するには、以下の公式を使用してください。

0 pF 以外の負荷に対するトグル・レート

$$= 1,000 / (1,000 / 0 \text{ pF 負荷でのトグル・レート} + \text{ディレーティング・ファクタ} \times \text{pF 単位の負荷値} / 1,000)$$

例えば、SSTL-18 Class II 20 mA 標準 I/O 規格の 0 pF 負荷での出力トグル・レートは、-3 デバイス・クロック出力ピンで 550 MHz です。ディレーティング・ファクタは 94 ps/pF です。10 pF 負荷の場合、トグル・レートは以下のように計算されます。

$$1,000 / (1,000 / 550 + 94 \times 10 / 1,000) = 363 \text{ (MHz)}$$

表 6-73 から 6-75 に、Stratix II GX デバイスの I/O トグル・レートを示します。

入力標準 I/O 規格	Stratix II GX デバイスの最大入力クロック・トグル・レート (MHz)								
	カラム I/O ピン			ロウ I/O ピン			専用クロック入力		
	-3	-4	-5	-3	-4	-5	-3	-4	-5
LVTTTL	500	500	450	500	500	450	500	500	400
2.5 V LVTTTL/CMOS	500	500	450	500	500	450	500	500	400
1.8 V LVTTTL/CMOS	500	500	450	500	500	450	500	500	400
1.5 V LVTTTL/CMOS	500	500	450	500	500	450	500	500	400
LVC MOS	500	500	450	500	500	450	500	500	400
SSTL-2 Class I	500	500	500	500	500	500	500	500	500
SSTL-2 Class II	500	500	500	500	500	500	500	500	500
SSTL-18 Class I	500	500	500	500	500	500	500	500	500
SSTL-18 Class II	500	500	500	500	500	500	500	500	500
1.5 V HSTL Class I	500	500	500	500	500	500	500	500	500
1.5 V HSTL Class II	500	500	500	500	500	500	500	500	500
1.8 V HSTL Class I	500	500	500	500	500	500	500	500	500
1.8 V HSTL Class II	500	500	500	500	500	500	500	500	500
PCI (2)	500	500	450	500	500	425	500	500	400
PCI-X (2)	500	500	450	500	500	425	500	500	400
差動 SSTL-2 Class I (2)、(4)	500	500	500	500	500	500	500	500	500

表 6-73. Stratix II GX デバイスの最大入力クロック・トグル・レート (2 / 2) 注 (1)									
入力標準 I/O 規格	Stratix II GX デバイスの最大入力クロック・トグル・レート (MHz)								
	カラム I/O ピン			ロウ I/O ピン			専用クロック入力		
	-3	-4	-5	-3	-4	-5	-3	-4	-5
差動 SSTL-2 Class II (2)、(4)	500	500	500	500	500	500	500	500	500
差動 SSTL-18 Class I (2)、(4)	500	500	500	500	500	500	500	500	500
差動 SSTL-18 Class II (2)、(4)	500	500	500	500	500	500	500	500	500
差動 1.8 V HSTL Class I (2)、(4)	500	500	500	500	500	500	500	500	500
差動 1.8 V HSTL Class II (2)、(4)	500	500	500	500	500	500	500	500	500
差動 1.5 V HSTL Class I (2)、(4)	500	500	500	500	500	500	500	500	500
差動 1.5 V HSTL Class II (2)、(4)	500	500	500	500	500	500	500	500	500
1.2 V HSTL (3)	280	250	250	-	-	-	-	-	-
差動 1.2 V HSTL	280	250	250	-	-	-			
HyperTransport (6)	-	-	-	520	520	420	717	717	640
	-	-	-	-	-	-	450	450	400
LVPECL (2)、(6)	-	-	-	-	-	-	717	717	640
	-	-	-	-	-	-	450	450	400
LVDS (5)、(6)	-	-	-	520	520	420	717	717	640
	-	-	-	-	-	-	450	450	400
1.5 V PCML	-	-	-	-	-	-	-	-	-
1.2 V PCML	-	-	-	-	-	-	-	-	-

表 6-73 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) ロウ・クロック入力は、PCI、PCI-X、LVPECL、差動 HSTL、および差動 SSTL 規格をサポートしていません。
- (3) 1.2 V HSTL はカラム I/O ピンでのみサポートされます。
- (4) 差動 HSTL および差動 SSTL 規格は、カラム・クロックと DQS 入力でのみサポートされます。
- (5) これらのパラメータはデバイスの左側でのみ使用可能です。
- (6) 最初の番号セットは、HIO 専用クロック・ピンに対応しています。2 番目の番号セットは、VIO 専用クロック・ピンに対応しています。

表 6-74. Stratix II GX デバイスの最大出カクロック・トグル・レート (1 / 5) 注 (1)、(2)

標準 I/O 規格	ドライブ 強度	Stratix II GX デバイスの最大出カクロック・トグル・レート (MHz)								
		カラム I/O ピン			ロウ I/O ピン			専用クロック出力		
		-3	-4	-5	-3	-4	-5	-3	-4	-5
3.3 V LVTTTL	4 mA	270	225	210	270	225	210	270	225	210
	8 mA	435	355	325	435	355	325	435	355	325
	12 mA	580	475	420	580	475	420	580	475	420
	16 mA	720	594	520	NA	NA	NA	720	594	520
	20 mA	875	700	610	NA	NA	NA	875	700	610
	24 mA	1030	794	670	NA	NA	NA	1030	794	670
3.3 V LVCMOS	4 mA	290	250	230	290	250	230	290	250	230
	8 mA	565	480	440	565	480	440	565	480	440
	12 mA	790	710	670	350	350	297	790	710	670
	16 mA	1020	925	875	-	-	-	1020	925	875
	20 mA	1066	985	935	-	-	-	1066	985	935
	24 mA	1100	1040	1000	-	-	-	1100	1040	1000
2.5 V LVTTTL/LVCMOS	4 mA	230	194	180	230	194	180	230	194	180
	8 mA	430	380	380	430	380	380	430	380	380
	12 mA	630	575	550	630	575	550	630	575	550
	16 mA	930	845	820	-	-	-	930	845	820
1.8 V LVTTTL/LVCMOS	2 mA	120	109	104	120	109	104	120	109	104
	4 mA	285	250	230	285	250	230	285	250	230
	6 mA	450	390	360	450	390	360	450	390	360
	8 mA	660	570	520	660	570	520	660	570	520
	10 mA	905	805	755	-	-	-	905	805	755
	12 mA	1131	1040	990	-	-	-	1131	1040	990
1.5 V LVTTTL/LVCMOS	2 mA	244	200	180	244	200	180	244	200	180
	4 mA	470	370	325	470	370	325	470	370	325
	6 mA	550	430	375	-	-	-	550	430	375
	8 mA	625	495	420	-	-	-	625	495	420
SSTL-2 Class I	8 mA	400	300	300	400	300	300	400	300	300
	12 mA	400	400	350	400	400	350	400	400	350
SSTL-2 Class II	16 mA	350	350	300	350	350	300	350	350	300
	20 mA	400	350	350	-	-	-	400	350	350
	24 mA	400	400	350	-	-	-	400	400	350

表 6-74. Stratix II GX デバイスの最大出カクロック・トグル・レート (2 / 5) 注 (1)、(2)

標準 I/O 規格	ドライブ 強度	Stratix II GX デバイスの最大出カクロック・トグル・レート (MHz)								
		カラム I/O ピン			ロウ I/O ピン			専用クロック出力		
		-3	-4	-5	-3	-4	-5	-3	-4	-5
SSTL-18 Class I	4 mA	200	150	150	200	150	150	200	150	150
	6 mA	350	250	200	350	250	200	350	250	200
	8 mA	450	300	300	450	300	300	450	300	300
	10 mA	500	400	400	500	400	400	500	400	400
	12 mA	700	550	400	-	-	-	650	550	400
SSTL-18 Class II	8 mA	200	200	150	-	-	-	200	200	150
	16 mA	400	350	350	-	-	-	400	350	350
	18 mA	450	400	400	-	-	-	450	400	400
	20 mA	550	500	450	-	-	-	550	500	450
1.8 V HSTL Class I	4 mA	300	300	300	300	300	300	300	300	300
	6 mA	500	450	450	500	450	450	500	450	450
	8 mA	650	600	600	650	600	600	650	600	600
	10 mA	700	650	600	700	650	600	700	650	600
	12 mA	700	700	650	700	700	650	700	700	650
1.8 V HSTL Class II	16 mA	500	500	450	-	-	-	500	500	450
	18 mA	550	500	500	-	-	-	550	500	500
	20 mA	650	550	550	-	-	-	550	550	550
1.5 V HSTL Class I	4 mA	350	300	300	350	300	300	350	300	300
	6 mA	500	500	450	500	500	450	500	500	450
	8 mA	700	650	600	700	650	600	700	650	600
	10 mA	700	700	650	-	-	-	700	700	650
	12 mA	700	700	700	-	-	-	700	700	700
1.5 V HSTL Class II	16 mA	600	600	550	-	-	-	600	600	550
	18 mA	650	600	600	-	-	-	650	600	600
	20 mA	700	650	600	-	-	-	700	650	600
差動 SSTL-2 Class I (3)	8 mA	400	300	300	400	300	300	400	300	300
	12 mA	400	400	350	400	400	350	400	400	350
差動 SSTL-2 Class II (3)	16 mA	350	350	300	350	350	300	350	350	300
	20 mA	400	350	350	-	-	-	400	350	350
	24 mA	400	400	350	-	-	-	400	400	350

表 6-74. Stratix II GX デバイスの最大出カクロック・トグル・レート (3 / 5) 注 (1)、(2)

標準 I/O 規格	ドライブ 強度	Stratix II GX デバイスの最大出カクロック・トグル・レート (MHz)								
		カラム I/O ピン			ロウ I/O ピン			専用クロック出力		
		-3	-4	-5	-3	-4	-5	-3	-4	-5
差動 SSTL-18 Class I (3)	4 mA	200	150	150	200	150	150	200	150	150
	6 mA	350	250	200	350	250	200	350	250	200
	8 mA	450	300	300	450	300	300	450	300	300
	10 mA	500	400	400	500	400	400	500	400	400
	12 mA	700	550	400	-	-	-	650	550	400
差動 SSTL-18 Class II (3)	8 mA	200	200	150	-	-	-	200	200	150
	16 mA	400	350	350	-	-	-	400	350	350
	18 mA	450	400	400	-	-	-	450	400	400
	20 mA	550	500	450	-	-	-	550	500	450
1.8 V 差動 HSTL Class I (3)	4 mA	300	300	300	-	-	-	300	300	300
	6 mA	500	450	450	-	-	-	500	450	450
	8 mA	650	600	600	-	-	-	650	600	600
	10 mA	700	650	600	-	-	-	700	650	600
	12 mA	700	700	650	-	-	-	700	700	650
1.8 V 差動 HSTL Class II (3)	16 mA	500	500	450	-	-	-	500	500	450
	18 mA	550	500	500	-	-	-	550	500	500
	20 mA	650	550	550	-	-	-	650	550	550
1.5 V 差動 HSTL Class I (3)	4 mA	350	300	300	-	-	-	350	300	300
	6 mA	500	500	450	-	-	-	500	500	450
	8 mA	700	650	600	-	-	-	700	650	600
	10 mA	700	700	650	-	-	-	700	700	650
	12 mA	700	700	700	-	-	-	700	700	700
1.5 V 差動 HSTL Class II (3)	16 mA	600	600	550	-	-	-	600	600	550
	18 mA	650	600	600	-	-	-	650	600	600
	20 mA	700	650	600	-	-	-	700	650	600
3.3 V PCI	-	1,000	790	670	-	-	-	1,000	790	670
3.3 V PCI-X	-	1,000	790	670	-	-	-	1,000	790	670
HyperTransport					717	717	640	300	250	125
LVDS		-	-	-	717	717	640	-	-	-
LVPECL (4)		-	-	-	-	-	-	450	400	300

表 6-74. Stratix II GX デバイスの最大出カクロック・トグル・レート (4 / 5) 注 (1)、(2)

標準 I/O 規格	ドライブ 強度	Stratix II GX デバイスの最大出カクロック・トグル・レート (MHz)								
		カラム I/O ピン			ロウ I/O ピン			専用クロック出力		
		-3	-4	-5	-3	-4	-5	-3	-4	-5
3.3 V LVTTTL	OCT 25 Ω	400	400	350	400	400	350	400	400	350
	OCT 50 Ω	400	400	350	400	400	350	400	400	350
2.5 V LVTTTL	OCT 25 Ω	350	350	300	350	350	300	350	350	300
	OCT 50 Ω	350	350	300	350	350	300	350	350	300
1.8 V LVTTTL	OCT 25 Ω	700	550	450	700	550	450	700	550	450
	OCT 50 Ω	700	550	450	700	550	450	700	550	450
3.3 V LVCMOS	OCT 25 Ω	350	350	300	350	350	300	350	350	300
	OCT 50 Ω	350	350	300	350	350	300	350	350	300
1.5 V LVCMOS	OCT 50 Ω	550	450	400	550	450	400	550	450	400
SSTL-2 Class I	OCT 50 Ω	600	500	500	600	500	500	600	500	500
SSTL-2 Class II	OCT 25 Ω	600	550	500	600	550	500	600	550	500
SSTL-18 Class I	OCT 50 Ω	560	400	350	560	400	350	560	400	350
SSTL-18 Class II	OCT 25 Ω	550	500	450	550	500	450	550	500	450
1.5 V HSTL Class I	OCT 50 Ω	600	550	500	600	550	500	600	550	500
1.8 V HSTL Class I	OCT 50 Ω	650	600	600	650	600	600	650	600	600
1.8 V HSTL Class II	OCT 25 Ω	500	500	450	500	500	450	500	500	450
差動 SSTL-2 Class I	OCT 50 Ω	600	500	500	600	500	500	600	500	500
差動 SSTL-2 Class II	OCT 25 Ω	600	550	500	600	550	500	600	550	500
差動 SSTL-18 Class I	OCT 50 Ω	560	400	350	560	400	350	560	400	350
差動 SSTL-18 Class II	OCT 25 Ω	550	500	450	550	500	450	550	500	450
1.8 V 差動 HSTL Class I	OCT 50 Ω	650	600	600	650	600	600	650	600	600
1.8 V 差動 HSTL Class II	OCT 25 Ω	500	500	450	500	500	450	500	500	450
1.5 V 差動 HSTL Class I	OCT 50 Ω	600	550	500	600	550	500	600	550	500
1.5 V PCML										

表 6-74. Stratix II GX デバイスの最大出カクロック・トグル・レート (5 / 5) 注 (1)、(2)

標準 I/O 規格	ドライブ 強度	Stratix II GX デバイスの最大出カクロック・トグル・レート (MHz)								
		カラム I/O ピン			ロウ I/O ピン			専用クロック出力		
		-3	-4	-5	-3	-4	-5	-3	-4	-5
3.3 V PCML										

表 6-74 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) このトグル・レートは、LVDS および LVPECL を除くすべての標準 I/O 規格に対して出力負荷が 0 pF の場合に適用されます。LVDS および LVPECL では、これらのトグル・レートは 0 pF ~ 5 pF の負荷に適用されます。
- (3) 差動 HSTL および差動 SSTL 規格は、カラム・クロックと DQS 出力でのみサポートされます。
- (4) LVPECL はカラム・クロック・ピンでのみサポートされます。

表 6-75. 最大出カクロック・トグル・レートのディレーティング・ファクタ (1 / 5) 注 (1)

標準 I/O 規格	ドライブ 強度	最大出カクロック・トグル・レートのディレーティング・ファクタ (ps/pF)								
		カラム I/O ピン			ロウ I/O ピン			専用クロック出力		
		-3	-4	-5	-3	-4	-5	-3	-4	-5
3.3 V LVTTTL	4 mA	478	510	510	478	510	510	466	510	510
	8 mA	260	333	333	260	333	333	291	333	333
	12 mA	213	247	247	213	247	247	211	247	247
	16 mA	136	197	197	-	-	-	166	197	197
	20 mA	138	187	187	-	-	-	154	187	187
	24 mA	134	177	177	-	-	-	143	177	177
3.3 V LVCMOS	4 mA	377	391	391	377	391	391	377	391	391
	8 mA	206	212	212	206	212	212	178	212	212
	12 mA	141	145	145	-	-	-	115	145	145
	16 mA	108	111	111	-	-	-	86	111	111
	20 mA	83	88	88	-	-	-	79	88	88
	24 mA	65	72	72	-	-	-	74	72	72
2.5 V LVTTTL/ LVCMOS	4 mA	387	427	427	387	427	427	391	427	427
	8 mA	163	224	224	163	224	224	170	224	224
	12 mA	142	203	203	142	203	203	152	203	203
	16 mA	120	182	182	-	-	-	134	182	182

表 6-75. 最大出力クロック・トグル・レートのディレーティング・ファクタ (2 / 5) 注 (1)

標準 I/O 規格	ドライブ 強度	最大出力クロック・トグル・レートのディレーティング・ファクタ (ps/pF)								
		カラム I/O ピン			ロウ I/O ピン			専用クロック出力		
		-3	-4	-5	-3	-4	-5	-3	-4	-5
1.8 V LVTTTL/ LVCMOS	2 mA	951	1,421	1,421	951	1,421	1,421	904	1,421	1,421
	4 mA	405	516	516	405	516	516	393	516	516
	6 mA	261	325	325	261	325	325	253	325	325
	8 mA	223	274	274	223	274	274	224	274	274
	10 mA	194	236	236	-	-	-	199	236	236
	12 mA	174	209	209	-	-	-	180	209	209
1.5 V LVTTTL/ LVCMOS	2 mA	652	963	963	652	963	963	618	963	963
	4 mA	333	347	347	333	347	347	270	347	347
	6 mA	182	247	247	-	-	-	198	247	247
	8 mA	135	194	194	-	-	-	155	194	194
SSTL-2 Class I	8 mA	364	680	680	364	680	680	350	680	680
	12 mA	163	207	207	163	207	207	188	207	207
SSTL-2 Class II	16 mA	118	147	147	118	147	147	94	147	147
	20 mA	99	122	122	-	-	-	87	122	122
	24 mA	91	116	116	-	-	-	85	116	116
SSTL-18 Class I	4 mA	458	570	570	458	570	570	505	570	570
	6 mA	305	380	380	305	380	380	336	380	380
	8 mA	225	282	282	225	282	282	248	282	282
	10 mA	167	220	220	167	220	220	190	220	220
	12 mA	129	175	175	-	-	-	148	175	175
SSTL-18 Class II	8 mA	173	206	206	-	-	-	155	206	206
	16 mA	150	160	160	-	-	-	140	160	160
	18 mA	120	130	130	-	-	-	110	130	130
	20 mA	109	127	127	-	-	-	94	127	127
2.5 V SSTL-2 Class I	8 mA	364	680	680	364	680	680	350	680	680
	12 mA	163	207	207	163	207	207	188	207	207
2.5 V SSTL-2 Class II	16 mA	118	147	147	118	147	147	94	147	147
	20 mA	99	122	122	-	-	-	87	122	122
	24 mA	91	116	116	-	-	-	85	116	116

表 6-75. 最大出力クロック・トグル・レートのディレーティング・ファクタ (3 / 5) 注 (1)

標準 I/O 規格	ドライブ 強度	最大出力クロック・トグル・レートのディレーティング・ファクタ (ps/pF)								
		カラム I/O ピン			ロウ I/O ピン			専用クロック出力		
		-3	-4	-5	-3	-4	-5	-3	-4	-5
1.8 V SSTL-18 Class I	4 mA	458	570	570	458	570	570	505	570	570
	6 mA	305	380	380	305	380	380	336	380	380
	8 mA	225	282	282	225	282	282	248	282	282
	10 mA	167	220	220	167	220	220	190	220	220
	12 mA	129	175	175	-	-	-	148	175	175
1.8 V SSTL-18 Class II	8 mA	173	206	206	-	-	-	155	206	206
	16 mA	150	160	160	-	-	-	140	160	160
	18 mA	120	130	130	-	-	-	110	130	130
	20 mA	109	127	127	-	-	-	94	127	127
1.8 V HSTL Class I	4 mA	245	282	282	245	282	282	229	282	282
	6 mA	164	188	188	164	188	188	153	188	188
	8 mA	123	140	140	123	140	140	114	140	140
	10 mA	110	124	124	110	124	124	108	124	124
	12 mA	97	110	110	97	110	110	104	110	110
1.8 V HSTL Class II	16 mA	101	104	104	-	-	-	99	104	104
	18 mA	98	102	102	-	-	-	93	102	102
	20 mA	93	99	99	-	-	-	88	99	99
1.5 V HSTL Class I	4 mA	168	196	196	168	196	196	188	196	196
	6 mA	112	131	131	112	131	131	125	131	131
	8 mA	84	99	99	84	99	99	95	99	99
	10 mA	87	98	98	-	-	-	90	98	98
	12 mA	86	98	98	-	-	-	87	98	98
1.5 V HSTL Class II	16 mA	95	101	101	-	-	-	96	101	101
	18 mA	95	100	100	-	-	-	101	100	100
	20 mA	94	101	101	-	-	-	104	101	101
2.5 V 差動 SSTL Class II (4)	8 mA	364	680	680	-	-	-	350	680	680
	12 mA	163	207	207	-	-	-	188	207	207
	16 mA	118	147	147	-	-	-	94	147	147
	20 mA	99	122	122	-	-	-	87	122	122
	24 mA	91	116	116	-	-	-	85	116	116

表 6-75. 最大出力クロック・トグル・レートのディレーティング・ファクタ (4 / 5) 注 (1)

標準 I/O 規格	ドライブ 強度	最大出力クロック・トグル・レートのディレーティング・ファクタ (ps/pF)								
		カラム I/O ピン			ロウ I/O ピン			専用クロック出力		
		-3	-4	-5	-3	-4	-5	-3	-4	-5
1.8 V 差動 SSTL Class I (4)	4 mA	458	570	570	-	-	-	505	570	570
	6 mA	305	380	380	-	-	-	336	380	380
	8 mA	225	282	282	-	-	-	248	282	282
	10 mA	167	220	220	-	-	-	190	220	220
	12 mA	129	175	175	-	-	-	148	175	175
1.8 V 差動 SSTL Class II (4)	8 mA	173	206	206	-	-	-	155	206	206
	16 mA	150	160	160	-	-	-	140	160	160
	18 mA	120	130	130	-	-	-	110	130	130
	20 mA	109	127	127	-	-	-	94	127	127
1.8 V 差動 HSTL Class I (4)	4 mA	245	282	282	-	-	-	229	282	282
	6 mA	164	188	188	-	-	-	153	188	188
	8 mA	123	140	140	-	-	-	114	140	140
	10 mA	110	124	124	-	-	-	108	124	124
	12 mA	97	110	110	-	-	-	104	110	110
1.8 V 差動 HSTL Class II (4)	16 mA	101	104	104	-	-	-	99	104	104
	18 mA	98	102	102	-	-	-	93	102	102
	20 mA	93	99	99	-	-	-	88	99	99
1.5 V 差動 HSTL Class I (4)	4 mA	168	196	196	-	-	-	188	196	196
	6 mA	112	131	131	-	-	-	125	131	131
	8 mA	84	99	99	-	-	-	95	99	99
	10 mA	87	98	98	-	-	-	90	98	98
	12 mA	86	98	98	-	-	-	87	98	98
1.5 V 差動 HSTL Class II (4)	16 mA	95	101	101	-	-	-	96	101	101
	18 mA	95	100	100	-	-	-	101	100	100
	20 mA	94	101	101	-	-	-	104	101	101
3.3 V PCI		134	177	177	-	-	-	143	177	177
3.3 V PCI-X		134	177	177	-	-	-	143	177	177
LVDS		-	-	-	155 (2)	155 (2)	155 (2)	134	134	134
LVPECL (5)		-	-	-	-	-	-	134	134	134
3.3 V LVTTTL	OCT 50 Ω	133	152	152	133	152	152	147	152	152

表 6-75. 最大出力クロック・トグル・レートのディレーティング・ファクタ (5 / 5) 注 (1)

標準 I/O 規格	ドライブ強度	最大出力クロック・トグル・レートのディレーティング・ファクタ (ps/pF)								
		カラム I/O ピン			ロウ I/O ピン			専用クロック出力		
		-3	-4	-5	-3	-4	-5	-3	-4	-5
2.5 V LVTTTL	OCT 50 Ω	207	274	274	207	274	274	235	274	274
1.8 V LVTTTL	OCT 50 Ω	151	165	165	151	165	165	153	165	165
3.3 V LVCMOS	OCT 50 Ω	300	316	316	300	316	316	263	316	316
1.5 V LVCMOS	OCT 50 Ω	157	171	171	157	171	171	174	171	171
SSTL-2 Class I	OCT 50 Ω	121	134	134	121	134	134	77	134	134
SSTL-2 Class II	OCT 25 Ω	56	101	101	56	101	101	58	101	101
SSTL-18 Class I	OCT 50 Ω	100	123	123	100	123	123	106	123	123
SSTL-18 Class II	OCT 25 Ω	61	110	110	-	-	-	59	110	110
1.2 V HSTL (3)	OCT 50 Ω	95	95	95	-	-	-	95	95	95

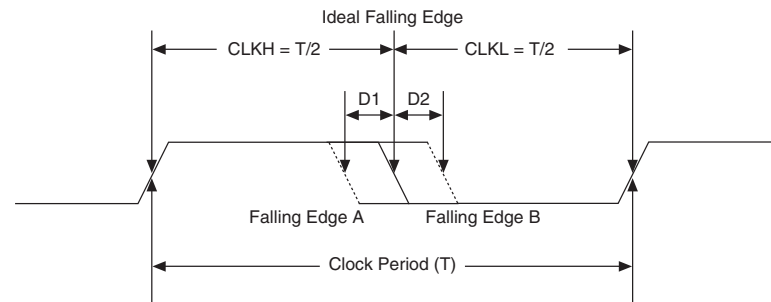
表 6-75 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) ロウ I/O ピンでの LVDS 出力の場合、トグル・レートのディレーティング・ファクタは 5 pF 以上の負荷に適用されます。ディレーティング計算で、正しい結果を得るには、目的の負荷値 (pF) から 5 pF を減算してください。5 pF 以下の負荷に対する出力トグル・レートについては、表 6-74 を参照してください。
- (3) 1.2 V HSTL はカラム I/O ピンでのみサポートされます。
- (4) 差動 HSTL および差動 SSTL 規格は、カラム・クロックと DQS 出力でのみサポートされます。
- (5) LVPECL はカラム・クロック出力でのみサポートされます。

デューティ・ サイクル歪み

デューティ・サイクル歪み (DCD) は、クロックの立ち下がりエッジが理想位置からどれだけ離れているかを表します。理想位置は、図 6-6 に示すとおり、クロック High 時間 (CLKH) とクロック Low 時間 (CLKL) の両方がクロック周期の 1/2 に等しくなる位置です。DCD は、立ち下がりエッジ A に対する D1 や立ち下がりエッジ B に対する D2 など、理想的な立ち下がりエッジからの非理想的な立ち下がりエッジの偏差です (図 6-6 を参照)。D1 と D2 のうち大きい方の値が、クロックに対する最大 DCD です。

図 6-6. デューティ・サイクル歪み



例えば、図 6-6 の D1 または D2 のように、絶対偏差で表される DCD はクロック周期には無関係です。DCD はパーセンテージで表すこともでき、パーセンテージの値はクロック周期に依存します。パーセンテージで表す DCD は、以下のとおり定義されます。

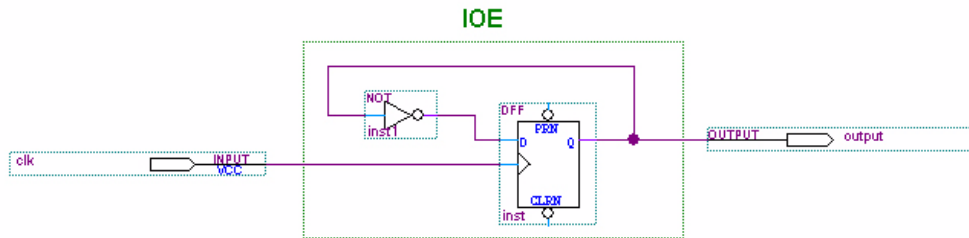
$$(T/2 - D1) / T \text{ (パーセンテージ下限)}$$

$$(T/2 + D2) / T \text{ (パーセンテージ上限)}$$

DCD 測定手法

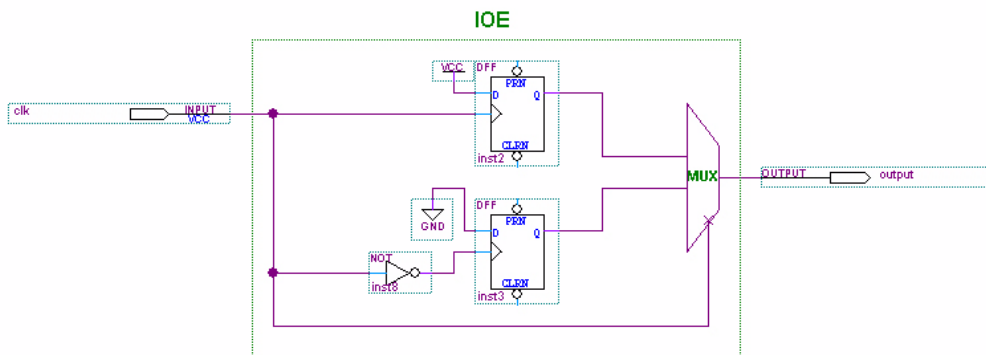
DCD は、対応する I/O エlement (IOE) ブロック内のレジスタによってドライブされる FPGA の出力ピンで測定されます。出力がシングル・データ・レート信号のとき (DDIO ではない) には、レジスタ入力クロックの一方のエッジ (正または負) のみ出力の遷移をトリガします (図 6-7)。したがって、入力クロック信号に存在する DCD、またはクロック入力バッファまたは異なる標準 I/O 規格に起因する DCD は出力信号に転送されません。

図 6-7. 非 DDIO (シングル・データ・レート) 出力の DCD 測定手法



しかし、出力がダブル・データ・レート入力 / 出力 (DDIO) 信号のときには、入力クロックの両方のエッジ (正および負) で出力の遷移をトリガします (図 6-8)。したがって、入力クロックおよび入力クロック・バッファの歪みが出力の DCD に影響を及ぼします。

図 6-8. DDIO (ダブル・データ・レート) 出力の DCD 測定手法



FPGA PLL が内部クロックを生成すると、PLL 出力が IOE ブロックをクロックします。PLL が基準クロック入力の正エッジをモニタして、内部で出力クロック信号を再作成するだけで、基準クロックの DCD が除去されます。したがって、クロック・パスに PLL がある DDIO 出力の DCD は、クロック・パスに PLL がない場合の DDIO 出力の DCD よりも優れています。

表 6-76 から 6-83 に、Stratix II GX デバイスの異なる標準 I/O 規格における絶対偏差での最大 DCD を示します。DCD をパーセンテージとして計算する方法を示す例も提供されています。

表 6-76. 水平方向の I/O ピンにおける非 DDIO 出力の最大 DCD (1)			
水平方向の I/O 出力規格	非 DDIO 出力の最大 DCD (ps)		
	-3 デバイス	-4 & -5 デバイス	単位
3.3 V LVTTTL			ps
3.3 V LVCMOS			ps
2.5 V			ps
1.8 V			ps
1.5 V LVCMOS			ps
SSTL-2 Class I			ps
SSTL-2 Class II			ps
SSTL-18 Class I			ps
1.8 V HSTL Class I			ps
1.5 V HSTL Class I			ps
LVDS			ps

表 6-76 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

以下は、-3 デバイスのロウ I/O で非 DDIO 出力に対するパーセンテージとして DCD を計算する例です。

非 DDIO 出力標準 I/O 規格が SSTL-2 Class II の場合、最大 DCD は 95 ps です (表 6-77 を参照)。クロック周波数が 267 MHz の場合、クロック周期 T は以下のとおりです。

$$T = 1 / f = 1 / 267 \text{ MHz} = 3.745 \text{ ns} = 3,745 \text{ ps}$$

以下のとおり、DCD をパーセンテージとして計算します。

$$(T/2 - \text{DCD}) / T = (3,745 \text{ ps}/2 - 95 \text{ ps}) / 3,745 \text{ ps} = 47.5\% \text{ (下限値)}$$

$$(T/2 + \text{DCD}) / T = (3,745 \text{ ps}/2 + 95 \text{ ps}) / 3,745 \text{ ps} = 52.5\% \text{ (上限値)}$$

したがって、267 MHz での出力クロックの DCD パーセンテージは 47.5% ~ 52.5% となります。

表 6-77. 垂直方向の I/O ピンにおける非 DDIO 出力の最大 DCD (1)			
垂直方向の I/O 出力規格の 標準 I/O 規格	非 DDIO 出力の最大 DCD (ps)		単位
	-3 デバイス	-4 & -5 デバイス	
3.3 V LVTTTL			ps
3.3 V LVCMOS			ps
2.5 V			ps
1.8 V			ps
1.5 V LVCMOS			ps
SSTL-2 Class I			ps
SSTL-2 Class II			ps
SSTL-18 Class I			ps
SSTL-18 Class II			ps
HSTL-18 Class I			ps
HSTL-18 Class II			ps
HSTL-15 Class I			ps
HSTL-15 Class II			ps
HSTL-12			ps
LVPECL			ps

表 6-77 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

表 6-78. -3 デバイスのクロック・パスに PLL のない水平方向の I/O での DDIO 出力に対する最大 DCD 注 (1)、(2)

水平方向の DDIO 出力の 標準 I/O 規格に対する 最大 DCD (ps)	入力標準 I/O 規格 (クロック・パスに PLL なし)					単位
	TTL/CMOS		SSTL-2	SSTL/HSTL	LVDS	
	3.3 & 2.5 V	1.8 & 1.5 V	2.5 V	1.8 & 1.5 V	3.3 V	
3.3 V LVTTTL						ps
3.3 V LVCMOS						ps
2.5 V						ps
1.8 V						ps
1.5 V LVCMOS						ps
SSTL-2 Class I						ps
SSTL-2 Class II						ps
SSTL-18 Class I						ps
HSTL-18 Class I						ps
HSTL-15 Class I						ps
LVDS						ps

表 6-78 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) 表 6-78 の情報は、入力クロックの DCD をゼロと想定しています。

以下は、-3 デバイスのロウ I/O で DDIO 出力に対するパーセンテージとして DCD を計算するための例です。

入力標準 I/O 規格が 2.5 V SSTL-2 で、DDIO 出力標準 I/O 規格が SSTL-2 Class II の場合、最大 DCD は 60 ps です (表 6-78 を参照)。クロック周波数が 267 MHz の場合、クロック周期 T は以下ようになります。

$$T = 1 / f = 1 / 267 \text{ MHz} = 3.745 \text{ ns} = 3,745 \text{ ps}$$

以下のとおり、DCD をパーセンテージとして計算します。

$$(T/2 - \text{DCD}) / T = (3,745 \text{ ps}/2 - 60 \text{ ps}) / 3,745 \text{ ps} = 48.4\% \text{ (下限値)}$$

$$(T/2 + \text{DCD}) / T = (3,745 \text{ ps}/2 + 60 \text{ ps}) / 3,745 \text{ ps} = 51.6\% \text{ (上限値)}$$

したがって、出力クロックのDCDパーセンテージは48.4%～51.6%です。

表 6-79. -4 & -5 デバイスのクロック・パスに PLL のない水平方向の I/O ピンでの DDIO 出力に対する最大 DCD 注 (1)、(2)

水平方向の DDIO 出力の 標準 I/O 規格に対する 最大 DCD (ps)	入力標準 I/O 規格 (クロック・パスに PLL なし)					単位
	TTL/CMOS		SSTL-2	SSTL/HSTL	LVDS	
	3.3/2.5 V	1.8/1.5 V	2.5 V	1.8/1.5 V	3.3 V	
3.3 V LVTTTL						ps
3.3 V LVCMOS						ps
2.5 V						ps
1.8 V						ps
1.5 V LVCMOS						ps
SSTL-2 Class I						ps
SSTL-2 Class II						ps
SSTL-18 Class I						ps
1.8 V HSTL Class I						ps
1.5 V HSTL Class I						ps
LVDS						ps

表 6-79 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) 表 6-79 では、入力クロックの DCD をゼロと想定しています。

表 6-80. -3 デバイスのクロック・パスに PLL のない垂直方向の I/O ピンでの DDIO 出力に対する最大 DCD (1 / 2) 注 (1)、(2)

DDIO 垂直方向の出力の 標準 I/O 規格に対する 最大 DCD (ps)	入力標準 I/O 規格 (クロック・パスに PLL なし)					単位
	TTL/CMOS		SSTL-2	SSTL/HSTL	HSTL12	
	3.3/2.5 V	1.8/1.5 V	2.5 V	1.8/1.5 V	1.2 V	
3.3 V LVTTTL						ps
3.3 V LVCMOS						ps
2.5 V						ps
1.8 V						ps
1.5 V LVCMOS						ps
SSTL-2 Class I						ps
SSTL-2 Class II						ps

表 6-80. -3 デバイスのクロック・パスに PLL のない垂直方向の I/O ピンでの DDIO 出力に対する最大 DCD (2 / 2) 注 (1)、(2)

DDIO 垂直方向の出力の 標準 I/O 規格に対する 最大 DCD (ps)	入力標準 I/O 規格 (クロック・パスに PLL なし)					単位
	TTL/CMOS		SSTL-2	SSTL/HSTL	HSTL12	
	3.3/2.5 V	1.8/1.5 V	2.5 V	1.8/1.5 V	1.2 V	
SSTL-18 Class I						ps
SSTL-18 Class II						ps
1.8 V HSTL Class I						ps
1.8 V HSTL Class II						ps
1.5 V HSTL Class I						ps
1.5 V HSTL Class II						ps
1.2 V HSTL						ps
LVPECL						ps

表 6-80 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) 表 6-80 では、入力クロックの DCD をゼロと想定しています。

表 6-81. -4 & -5 デバイスのクロック・パスに PLL のない垂直方向の I/O ピンでの DDIO 出力に対する最大 DCD (1 / 2) 注 (1)、(2)

DDIO 垂直方向の出力 標準 I/O 規格に対する 最大 DCD (ps)	入力標準 I/O 規格 (クロック・パスに PLL なし)					単位
	TTL/CMOS		SSTL-2	SSTL/HSTL	HSTL12	
	3.3/2.5 V	1.8/1.5 V	2.5 V	1.8/1.5 V	1.2 V	
3.3 V LVTTTL						ps
3.3 V LVCMOS						ps
2.5 V						ps
1.8 V						ps
1.5 V LVCMOS						ps
SSTL-2 Class I						ps
SSTL-2 Class II						ps
SSTL-18 Class I						ps
SSTL-18 Class II						ps
1.8 V HSTL Class I						ps
1.8 V HSTL Class II						ps
1.5 V HSTL Class I						ps
1.5 V HSTL Class II						ps

表 6-81. -4 & -5 デバイスのクロック・パスに PLL のない垂直方向の I/O ピンでの DDIO 出力に対する最大 DCD (2 / 2) 注 (1)、(2)

DDIO 垂直方向の出力 標準 I/O 規格に対する 最大 DCD (ps)	入力標準 I/O 規格 (クロック・パスに PLL なし)					単位
	TTL/CMOS		SSTL-2	SSTL/HSTL	HSTL12	
	3.3/2.5 V	1.8/1.5 V	2.5 V	1.8/1.5 V	1.2 V	
1.2 V HSTL						ps
LVPECL						ps

表 6-81 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) 表 6-81 では、入力クロックの DCD をゼロと想定しています。

表 6-82. クロック・パスに PLL がある水平方向の I/O ピンでの DDIO 出力に対する最大 DCD 注 (1)

水平方向の DDIO 出力 標準 I/O 規格に対する 最大 DCD (ps)	Stratix II GX デバイス (PLL 出力を DDIO に供給)		単位
	-3 デバイス	-4 & -5 デバイス	
3.3 V LVTTTL			ps
3.3 V LVCMOS			ps
2.5 V			ps
1.8 V			ps
1.5 V LVCMOS			ps
SSTL-2 Class I			ps
SSTL-2 Class II			ps
SSTL-18 Class I			ps
1.8 V HSTL Class I			ps
1.5 V HSTL Class I			ps
LVDS			ps

表 6-82 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

表 6-83. クロック・パスに PLL がある垂直方向の I/O ピンでの DDIO 出力に対する最大 DCD 注 (1)

垂直方向の DDIO 出力 標準 I/O 規格に対する 最大 DCD (ps)	Stratix-II デバイス (PLL 出力を DDIO に供給)		単位
	-3 デバイス	-4 & -5 デバイス	
3.3 V LVTTTL			ps
3.3 V LVCMOS			ps
2.5 V			ps
1.8 V			ps
1.5 V LVCMOS			ps
SSTL-2 Class I			ps
SSTL-2 Class II			ps
SSTL-18 Class I			ps
SSTL-18 Class II			ps
1.8 V HSTL Class I			ps
1.8 V HSTL Class II			ps
1.5 V HSTL Class I			ps
1.5 V HSTL Class II			ps
1.2 V HSTL			ps
LVPECL			ps

表 6-83 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

高速 I/O 規格

表 6-84 に高速タイミング規格の定義を示します。

表 6-84. 高速タイミング規格と定義 (1 / 2)

高速タイミング規格	定義
t_C	高速レシーバ/トランスミッタの入力および出カクロック周期。
f_{HSCLK}	高速レシーバ/トランスミッタの入力および出カクロック周波数。
J	デシリアライゼーション・ファクタ (パラレル・データ・バスの幅)。
W	PLL 遷倍係数。
t_{RISE}	Low から High への遷移時間。
t_{FALL}	High から Low への遷移時間。

表 6-84. 高速タイミング規格と定義 (2 / 2)

高速タイミング規格	定義
Timing unit interval (TUI)	スキュー、伝播遅延、およびデータ・サンプリング・ウィンドウに許容されるタイミング制約 ($TUI = 1 / (\text{レシーバ入力クロック周波数通係数}) = t_C / W$)。
f_{HSDR}	最大 / 最小 LVDS データ転送レート ($f_{HSDR} = 1 / TUI$)、DPA なし。
$f_{HSDRDPA}$	最大 / 最小 LVDS データ転送レート ($f_{HSDRDPA} = 1 / TUI$)、DPA あり。
f_{SSDR}	低速チャンネルの最大 / 最小 LVDS データ転送レート ($f_{SSDR} = 1 / TUI$)、DPA なし。
$f_{SSDRDPA}$	低速チャンネルの最大 / 最小 LVDS データ転送レート ($f_{SSDRDPA} = 1 / TUI$)、DPA。
チャンネル間スキュー (T_{CCS})	t_{CO} の変動とクロック・スキューを含む最高速出力エッジと最低速出力エッジ間のタイミング差クロックは T_{CCS} 測定に含まれています。
サンプリング・ウィンドウ (SW)	正しくキャプチャするために、データが有効でなければならない期間。セットアップ・タイムおよびホールド・タイムは、サンプリング・ウィンドウ内での理想的なストロブ位置を決定します。
入力ジッタ (ピーク・トゥ・ピーク)	高速 PLL でのピーク・トゥ・ピーク入力ジッタ。
出力ジッタ (ピーク・トゥ・ピーク)	高速 PLL でのピーク・トゥ・ピーク出力ジッタ。
t_{DUTY}	高速トランスミッタ出力クロックのデューティ・サイクル。
t_{LOCK}	高速トランスミッタおよびレシーバ PLL のロック時間。

表 6-85 に、-3 スピード・グレードの Stratix II GX デバイスに対する高速 I/O タイミング規格を示します。

表 6-85. -3 スピード・グレードに対する高速 I/O 規格 (1 / 2) 注 (1)、(2)、(3)

シンボル	条件	-3 スピード・グレード			単位
		最小	標準	最大	
f_{HSCLK} (クロック周波数)	$W = 2 \sim 32$ (LVDS のみ) (4)	16		520	MHz
$f_{HSCLK} = f_{HSDR} / W$	$W = 1$ (SERDES バイパス、LVDS のみ)	16		500	MHz
	$W = 1$ (SERDES 使用、LVDS のみ)	150		717	MHz
f_{HSDR} (データ・レート)	$J = 4 \sim 10$ (LVDS のみ)	150		1,040	Mbps
	$J = 2$ (LVDS のみ)	(5)		760	Mbps
	$J = 1$ (LVDS のみ)	(5)		500	Mbps
$f_{HSDRDPA}$ (DPA データ・レート)	$J = 4 \sim 10$ (LVDS のみ)				Mbps

表 6-85. -3 スピード・グレードに対する高速 I/O 規格 (2 / 2) 注 (1)、(2)、(3)							
シンボル	条件			-3 スピード・グレード			単位
				最小	標準	最大	
f _{SSDR} (低速データ・レート)	J = 4 ~ 10 (LVDS のみ)			150		840	Mbps
	J = 2 (LVDS のみ)			(5)		760	Mbps
	J = 1 (LVDS のみ)			(5)		500	Mbps
f _{SSDRDPA} (低速 DPA データ・レート)	J = 4 ~ 10 (LVDS のみ)						Mbps
T _{CCS}	すべての差動標準規格			-		200	ps
SW	すべての差動標準規格			330		-	ps
出力ジッタ耐力						(6)	ps
出力 t _{RISE}						(6)	ps
出力 t _{FALL}						(6)	ps
t _{DUTY}				45	50	55	%
t _{LOCK}						(6)	us
DPA ラン・レンジス							UI
DPA カジッタ耐力 (ピーク・トゥ・ピーク)							UI
DPA ロック時間	規格	トレーニング・パターン	遷移密度				繰り返し数
	SPI-4	0000000000	10%				
		1111111111					
	パラレル Rapid I/O	00001111	25%				
		10010000	50%				
	その他	10101010	100%				
01010101							

表 6-85 の注：

- (1) J = 4 ~ 10 のとき、SERDES ブロックが使用されます。
- (2) J = 1 または 2 のとき、SERDES ブロックはバイパスされます。
- (3) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (4) 入力クロック周波数および W 係数は、以下の fast PLL VCO 仕様を満足する必要があります。150 ≤ 入力クロック周波数 × W ≤ 1,040
- (5) 最小仕様はクロック・ソース (例えば、fast PLL、enhanced PLL、またはクロック・ピン) および利用するクロック配線リソース (グローバル、リージョナル、またはローカル) に依存します。I/O 差動バッファおよび入力レジスタには、最小トグル・レートはありません。
- (6) これはシリコン特性評価待ちの仕様です。

表 6-86 に、-4 スピード・グレードの Stratix II GX デバイスに対する高速 I/O タイミング規格を示します。

シンボル	条件	-4 スピード・グレード			単位
		最小	標準	最大	
f_{HSCLK} (クロック周波数) $f_{\text{HSCLK}} = f_{\text{HSDR}} / W$	$W = 2 \sim 32$ (LVDS のみ) (4)	16		520	MHz
	$W = 1$ (SERDES バイパス、LVDS のみ)	16		500	MHz
	$W = 1$ (SERDES 使用、LVDS のみ)	150		717	MHz
f_{HSDR} (データ・レート)	$J = 4 \sim 10$ (LVDS のみ)	150		1,040	Mbps
	$J = 2$ (LVDS のみ)	(5)		760	Mbps
	$J = 1$ (LVDS のみ)	(5)		500	Mbps
f_{HSDRDPA} (DPA データ・レート)	$J = 4 \sim 10$ (LVDS のみ)				Mbps
f_{SSDR} (低速データ・レート)	$J = 4 \sim 10$ (LVDS のみ)	150		622	Mbps
	$J = 2$ (LVDS のみ)	(5)		622	Mbps
	$J = 1$ (LVDS のみ)	(5)		500	Mbps
f_{SSDRDPA} (低速DPAデータ・レート)	$J = 4 \sim 10$ (LVDS のみ)				Mbps
TCCS	すべての差動標準規格	-		200	ps
SW	すべての差動標準規格	330		-	ps
出力ジッタ耐力				(6)	ps
出力 t_{RISE}				(6)	ps
出力 t_{FALL}				(6)	ps
t_{DUTY}		45	50	55	%
t_{LOCK}				(6)	us
DPA ラン・レンジス					UI
DPA ジッタ耐力 (ピーク・トゥ・ピーク)					UI

表 6-86. -4 スピード・グレードに対する高速 I/O 規格 (2 / 2) 注 (1)、(2)、(3)							
シンボル	条件			-4 スピード・グレード			単位
				最小	標準	最大	
DPA ロック時間	規格	トレーニング・パターン	遷移密度				繰り返し数
	SPI-4	0000000000 1111111111	10%				
	パラレル Rapid I/O	00001111	25%				
		10010000	50%				
	その他	10101010	100%				
01010101							

表 6-86 の注：

- (1) J = 4 ~ 10 のとき、SERDES ブロックが使用されます。
- (2) J = 1 または 2 のとき、SERDES ブロックはバイパスされます。
- (3) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (4) 入力クロック周波数および W 係数は、以下の fast PLL VCO 仕様を満足する必要があります。150 ≤ 入力クロック周波数 × W ≤ 1,040
- (5) 最小仕様はクロック・ソース（例えば、fast PLL、enhanced PLL、またはクロック・ピン）および利用するクロック配線リソース（グローバル、リージョナル、またはローカル）に依存します。I/O 差動バッファおよび入力レジスタには最小トグル・レートはありません。
- (6) これはシリコン特性評価待ちの仕様です。

表 6-87 に、-5 スピード・グレードの Stratix II GX デバイスに対する高速 I/O タイミング規格を示します。

表 6-87. -5 スピード・グレードに対する高速 I/O 規格 (1 / 2) 注 (1)、(2)、(3)							
シンボル	条件			-5 スピード・グレード			単位
				最小	標準	最大	
f _{HCLK} (クロック周波数)	W = 2 ~ 32 (LVDS のみ) (4)			16		420	MHz
f _{HCLK} = f _{HSDR} / W	W = 1 (SERDES バイパス、LVDS のみ)			16		500	MHz
	W = 1 (SERDES 使用、LVDS のみ)			150		640	MHz
f _{HSDR} (データ・レート)	J = 4 ~ 10 (LVDS のみ)			150		840	Mbps
	J = 2 (LVDS のみ)			(5)		700	Mbps
	J = 1 (LVDS のみ)			(5)		500	Mbps
f _{HSDRDPA} (DPA データ・レート)	J = 4 ~ 10 (LVDS のみ)						Mbps

表 6-87. -5 スピード・グレードに対する高速 I/O 規格 (2 / 2) 注 (1)、(2)、(3)						
シンボル	条件		-5 スピード・グレード			単位
			最小	標準	最大	
f _{SSDR} (低速データ・レート)	J = 4 ~ 10 (LVDS のみ)		150		622	Mbps
	J = 2 (LVDS のみ)		(5)		622	Mbps
	J = 1 (LVDS のみ)		(5)		500	Mbps
f _{SSDRDPA} (低速DPAデータ・レート)	J = 4 ~ 10 (LVDS のみ)					Mbps
TCCS	すべての差動標準規格		-		200	ps
SW	すべての差動標準規格		440		-	ps
出力ジッタ耐力					(6)	ps
出力 t _{RISE}					(6)	ps
出力 t _{FALL}					(6)	ps
t _{DUTY}			45	50	55	%
t _{LOCK}					(6)	us
DPA ラン・レンジス						UI
DPA ジッタ耐力 (ピーク・トゥ・ピーク)						UI
DPA ロック時間	規格	トレーニング・パターン	遷移密度			繰り返し数
	SPI-4	0000000000 1111111111	10%			
	パラレルRapid I/O	00001111	25%			
		10010000	50%			
	その他	10101010	100%			
01010101						

表 6-87 の注：

- J = 4 ~ 10 のとき、SERDES ブロックが使用されます。
- J = 1 または 2 のとき、SERDES ブロックはバイパスされます。
- この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- 入力クロック周波数および W 係数は、以下の fast PLL VCO 仕様を満足する必要があります。150 ≤ 入力クロック周波数 × W ≤ 1,040
- 最小仕様はクロック・ソース (例えば、fast PLL、enhanced PLL、またはクロック・ピン) および利用するクロック配線リソース (グローバル、リージョナル、またはローカル) に依存します。I/O 差動バッファおよび入力レジスタには、最小トグル・レートはありません。
- これはシリコン特性評価待ちの仕様です。

PLL タイミング規格

表 6-88 および 6-89 は、一般用接合温度範囲 (0 ~ 85 °C) および工業用接合温度範囲 (-40 ~ 100 °C) の両方で動作しているときのクロック切り換えおよび位相シフト・ステッピング機能を除く Stratix II GX の PLL 規格を規定しています。これら 2 つの機能は、0 ~ 100 °C の接合温度範囲でのみサポートされています。

表 6-88. Enhanced PLL 規格 (1 / 2) 注 (1)

シンボル	説明	最小	標準	最大	単位
f_{IN}	入力クロック周波数	4		500	MHz
f_{INPFD}	PFD への入力周波数	4		420	MHz
f_{INDUTY}	入力クロックのデューティ・サイクル	40		60	%
f_{ENDUTY}	外部フィードバック入力のデューティ・サイクル	40		60	%
$t_{INJITTER}$	入力または外部フィードバック・クロック入力のジッタ耐力 (周期ジッタ) 帯域幅 ≤ 0.85 MHz		0.5		ns (ピーク・トゥ・ピーク)
	入力または外部フィードバック・クロック入力のジッタ耐力 (周期ジッタ) 帯域幅 > 0.85 MHz		1.0		ns (ピーク・トゥ・ピーク)
$t_{OUTJITTER}$	専用クロック出力の周期ジッタ	50	100	250	ps (p-p)
t_{FCOMP}	外部フィードバック補償時間			10	ns
f_{OUT}	内部グローバル・クロックまたはリージョナル・クロックの出力周波数	1.5 (4)		550	MHz
$f_{SCANCLK}$	Scanclk 周波数			100	MHz
$t_{CONFIGPLL}$	EPLL のスキャン・チェーンをリコンフィギュレーションするのに必要な時間		$174/f_{SCANCLK}$		ns
f_{OUT_EXT}	PLL 外部クロック出力周波数	1.5 (4)		(2)	MHz
t_{LOCK}	PLL のイネーブル時またはデバイス・コンフィギュレーション終了時から、PLL がロックするのに必要な時間		0.03	1	ms
t_{DLOCK}	2 つの同一周波数間での自動クロック切り換え後に、PLL がダイナミックにロックするのに必要な時間			1	ms
$f_{SWITCHOVER}$	クロック切り換えが正しく実行される周波数範囲	1.5	1	500	MHz
f_{CLBW}	PLL 閉ループ帯域幅	0.13	1.2	16.9	MHz
f_{VCO}	-3 および -4 スピード・グレードのデバイスの PLL VCO 動作範囲	300		1,040	MHz
	-5 スピード・グレードのデバイスの PLL VCO 動作範囲	300		840	MHz

表 6-88. Enhanced PLL 規格 (2 / 2) 注 (1)

シンボル	説明	最小	標準	最大	単位
f_{SS}	スペクトラム拡散変調周波数	100		500	kHz
拡散率 (%)	クロック周波数の下降拡散率 (%)	0.4	0.5	0.6	%
t_{PLL_PSERR}	PLL 位相シフトの精度			± 30 (3)	ps
t_{ARESET}	areset 信号の最小パルス幅	10			ns
$t_{ARESET_RECONFIG}$	PLL リコンフィギュレーション使用時の areset 信号の最小パルス幅。scandone が High になった後で PLL をリセット。	500			ns

表 6-88 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) これは I/O f_{MAX} で制限されます。最大値については、65 ページの表 6-73 を参照してください。
- (3) これはデバイス特性評価待ちの仕様です。
- (4) PLL のカウンタ・カスケード機能を利用する場合、最小出力クロック周波数はありません。

表 6-89. Fast PLL 規格 (1 / 2) 注 (1)

シンボル	説明	最小	標準	最大	単位
f_{IN}	入力クロック周波数 (-3 および -4 スピード・グレード・デバイス)	16		717	MHz
	入力クロック周波数 (-5 スピード・グレード・デバイス)	16		640	MHz
f_{INPFD}	PFD への入力周波数	16		500	MHz
f_{INDUTY}	入力クロックのデューティ・サイクル	40		60	%
$t_{INJITTER}$	入力クロックのジッタ許容 (周期ジッタ) 帯域幅 ≤ 2 MHz		0.5		ns (p-p)
	入力クロックのジッタ許容 (周期ジッタ) 帯域幅 > 0.2 MHz		1.0		ns (p-p)
f_{VCO}	-3 および -4 スピード・グレードの VCO 周波数範囲の上限	300		1,040	MHz
	-5 スピード・グレードの VCO 周波数範囲の上限	300		840	MHz
	-3 および -4 スピード・グレードの VCO 周波数範囲の下限	150		520	MHz
	-5 スピード・グレードの VCO 周波数範囲の下限	150		420	MHz
f_{OUT}	GCLK または RCLK への PLL 出力周波数	4.6875		550	MHz
	LVDS または DPA クロックへの PLL 出力周波数	150		1,040	MHz
f_{OUT_EXT}	通常の I/O への PLL クロック出力周波数	4.6875		(3)	MHz

シンボル	説明	最小	標準	最大	単位
f _{OUTDUTY}	外部クロック出力のデューティ・サイクル	45	50	55	%
t _{CONFIGPLL}	fast PLL のスキャン・チェーンをリコンフィギュレーションするのに必要な時間		75/f _{SCANCLK}		ns
f _{CLBW}	PLL 閉ループ帯域幅	1.16	5	28	MHz
t _{LOCK}	PLL のイネーブル時またはデバイス・コンフィギュレーション終了時から、PLL がロックするのに必要な時間		0.03	1	ms
t _{PLL_PSERR}	PLL 位相シフトの精度			±30 (2)	ps
t _{ARESET}	areset 信号の最小パルス幅	10			ns
t _{ARESET_RECONFIG}	PLL リコンフィギュレーション使用時の areset 信号の最小パルス幅。scandone が High になった後で PLL をリセット。	500			ns

表 6-89 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) これはデバイス特性評価待ちの仕様です。
- (3) これは I/O f_{MAX} で制限されます。最大値については、65 ページの表 6-73 を参照してください。

外部メモリ・ インタフェース 仕様

表 6-90 から 6-94 に、外部メモリ・デバイスとのインタフェースに使用される専用回路に対する Stratix II GX デバイスの仕様を示します。

周波数モード	周波数範囲 (MHz)
0	100 ~ 175
1	150 ~ 230
2	200 ~ 310
3	240 ~ 400 (-3 スピード・グレード)
	240 ~ 350 (-4 および -5 スピード・グレード)

表 6-90 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

表 6-91. DLL 遅延クロックの DQS ジッタ仕様 (t_{DQS_JITTER}) 注 (1)、(2)		
DQS 遅延バッファ・ステージ数 (3)	一般用 (ps)	工業用 (ps)
1		
2		
3		
4		

表 6-91 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) 位相シフト DQS クロック上のピーク・トゥ・ピーク周期ジッタ例えば、一般用デバイスの使用条件における 2 つの遅延ステージのジッタは、200 ps ピーク・トゥ・ピークまたは 100 ps です。
- (3) 要求される DQS 位相シフトに使用される遅延ステージは、Quartus II ソフトウェアで提供されるプロジェクトの「Compilation Report」にレポートされます。

表 6-92. DLL 遅延クロックの DQS 位相シフト誤差仕様 (t_{DQS_PSERR}) 注 (1)			
DQS 遅延バッファ・ステージ数 (2)	-3 スピード・グレード (ps)	-4 スピード・グレード (ps)	-5 スピード・グレード (ps)
1	25	30	35
2	50	60	70
3	75	90	105
4	100	120	140

表 6-92 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) 要求される DQS 位相シフトに使用される遅延ステージは、Quartus II ソフトウェアで提供されるプロジェクトの「Compilation Report」にレポートされます。例えば、-3 デバイスの使用条件における 2 つの遅延ステージの位相シフト・エラーは、50 ps ピーク・トゥ・ピークまたは 25 ps です。

表 6-93. DQS バス・クロック・スキュー・アダー仕様
($t_{DQS_CLOCK_SKEW_ADDER}$) 注 (1)

モード	DQS クロック・スキュー・アダー (ps)
1 DQS あたり 4 DQ	40
1 DQS あたり 9 DQ	70
1 DQS あたり 18 DQ	75
1 DQS あたり 36 DQ	95

表 6-93 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。
- (2) このスキュー仕様は、絶対最大および最小スキューです。例えば、4 DQ グループのスキューは 40 ps または 20 ps です。

表 6-94. ステージあたりの DQS 位相オフセット遅延 (ps) 注 (1)、(2)、(3)、(4)

スピード・グレード	正のオフセット		負のオフセット	
	最小	最大	最小	最大
-3	10	15	8	11
-4	10	15	8	11
-5	10	16	8	12

表 6-94 の注：

- (1) 遅延設定はリニアです。
- (2) 有効な位相オフセットの設定は -32 ~ +31 です。
- (3) 標準値は、最小値と最大値の平均に等しくなります。
- (4) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。

JTAG タイミング規格

図 6-9 は、JTAG 信号に対するタイミングの規格を示したものです。

図 6-9. Stratix II GX デバイスの JTAG 信号波形

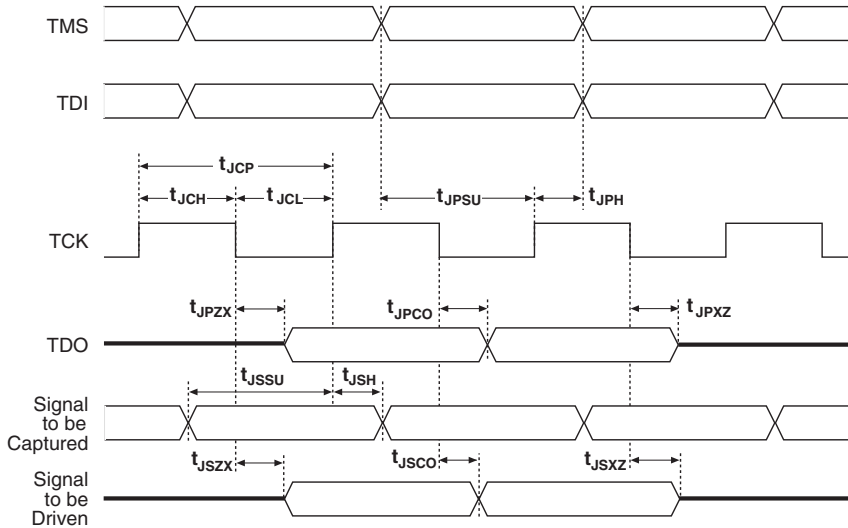


表 6-95 は、Stratix II GX デバイスの JTAG タイミング・パラメータとその値を示したものです。

シンボル	パラメータ	最小	最大	単位
t _{JCP}	TCK クロック周期	30		ns
t _{JCH}	TCK クロック High 時間	12		ns
t _{JCL}	TCK クロック Low 時間	12		ns
t _{JPSU}	JTAG ポートのセットアップ・タイム	4		ns
t _{JPH}	JTAG ポートのホールド・タイム	5		ns
t _{JPCO}	JTAG ポートの「Clock-to-Output」遅延		9	ns
t _{JPZX}	JTAG ポートのハイ・インピーダンスから有効出力まで		9	ns
t _{JPXZ}	JTAG ポートの有効出力からハイ・インピーダンスまで		9	ns
t _{JSSU}	キャプチャ・レジスタのセットアップ・タイム	4		ns
t _{JSH}	キャプチャ・レジスタのホールド・タイム	5		ns
t _{JSCO}	アップデート・レジスタの「Clock-to-Output」遅延		12	ns
t _{JSZX}	アップデート・レジスタのハイ・インピーダンスから有効出力まで		12	ns
t _{JSXZ}	アップデート・レジスタの有効出力からハイ・インピーダンスまで		12	ns

表 6-95 の注：

- (1) この表のデータは暫定仕様です。アルテラは、Stratix II GX デバイスの特性評価完了時にレポートを提供します。シリコンのテスト条件はまだ確定していません。