

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIIGX51003-1.4

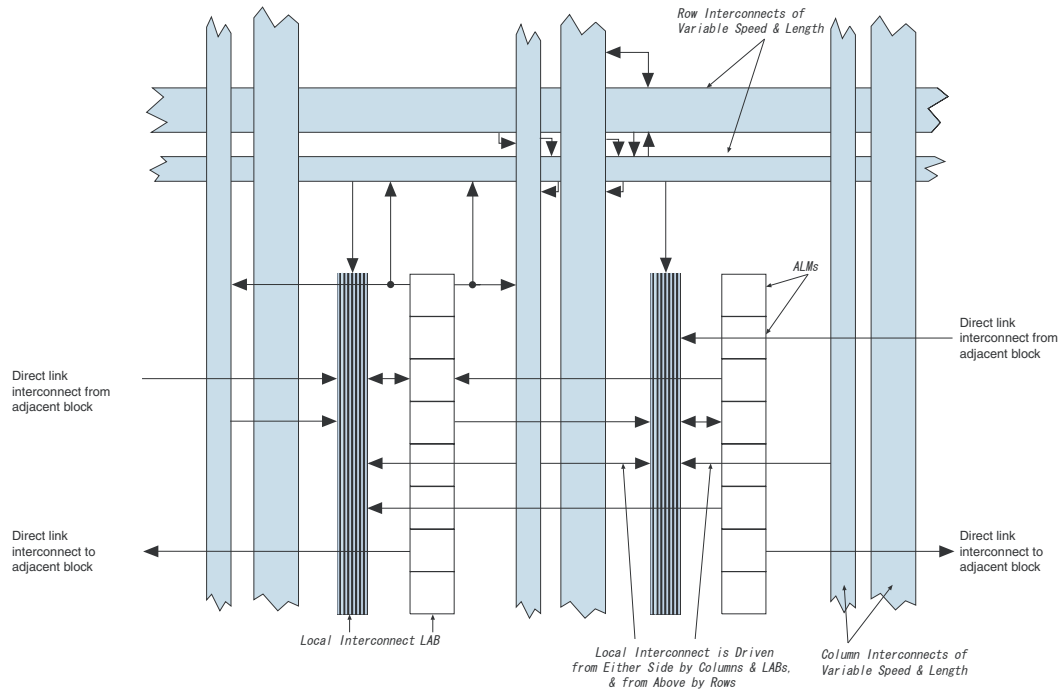
ロジック・アレイ・ブロック

各ロジック・アレイ・ブロック (LAB) は、8 個のアダプティブ・ロジック・モジュール (ALM)、キャリア・チェーン、共有演算チェーン、LAB コントロール信号、ローカル・インタコネクタ、およびレジスタ・チェーン接続ラインで構成されています。ローカル・インタコネクタは、同一 LAB 内で ALM 間の信号を転送します。レジスタ・チェーン接続は、ALM レジスタの出力を LAB 内の隣接する ALM レジスタに転送します。Quartus® II のコンパイラは、接続されるロジックを 1 つの LAB または隣接する LAB 内に配置し、ローカル、共有演算チェーン、およびレジスタ・チェーン接続を使用して、性能と面積効率を向上させます。表 3-1 に、Stratix® II GX のデバイス・リソースを示します。図 3-1 には、Stratix II GX の LAB 構造を示します。

表 3-1. Stratix II GX デバイスのリソース

デバイス	M512 RAM カラム数/ ブロック数	M4K RAM カラム数/ ブロック数	M-RAM ブロック数	DSP ブロック カラム数/ ブロック数	LAB カラム数	LAB ロウ数
EP2SGX30	6/202	4/144	1	2/16	49	36
EP2SGX60	7/329	5/255	2	3/36	62	51
EP2SGX90	8/488	6/408	4	3/48	71	68
EP2SGX130	9/699	7/609	6	3/63	81	87

図 3-1. Stratix II GX の LAB 構造

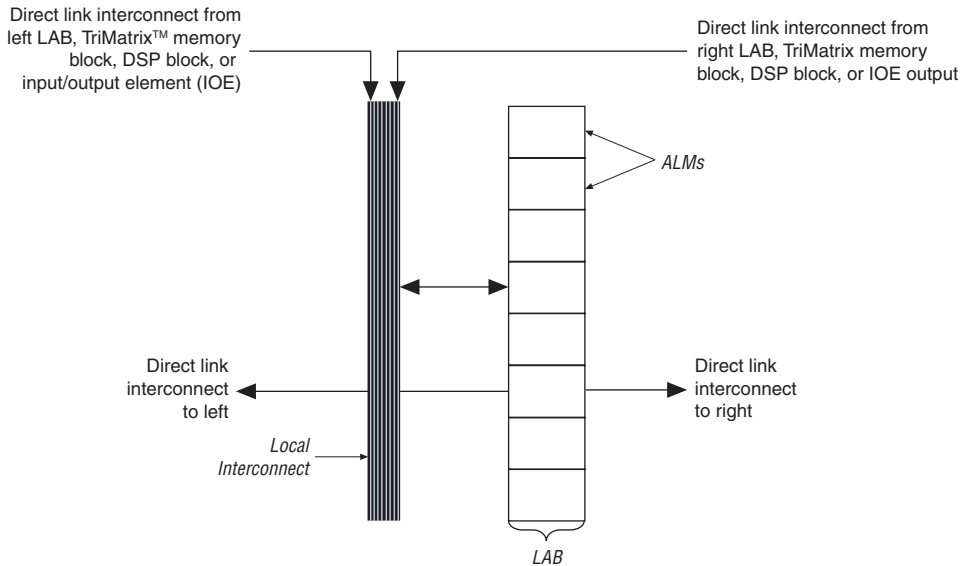


LAB インタコネク

LAB ローカル・インタコネクは、同一 LAB 内の 8 個の ALM すべてをドライブできます。LAB ローカル・インタコネクは、同一 LAB 内のカラムとロウのインタコネクおよび ALM 出力によってドライブされます。ダイレクト・リンク・インタコネクを通して、左側または右側の隣接 LAB、M512 RAM ブロック、M4K RAM ブロック、M-RAM ブロックまたはデジタル信号処理 (DSP) ブロックが LAB のローカル・インタコネクをドライブすることもできます。このダイレクト・リンクによる接続機能は、ロウおよびカラム・インタコネクの使用が最小限ですむため、さらに高い性能と柔軟性を提供します。各 ALM は高速ローカル・インタコネクとダイレクト・リンク・インタコネクを介して、24 個の ALM をドライブすることができます。

図 3-2 に、ダイレクト・リンク・インタコネクを示します。

図 3-2. ダイレクト・リンク・インタコネク



LAB コントロール信号

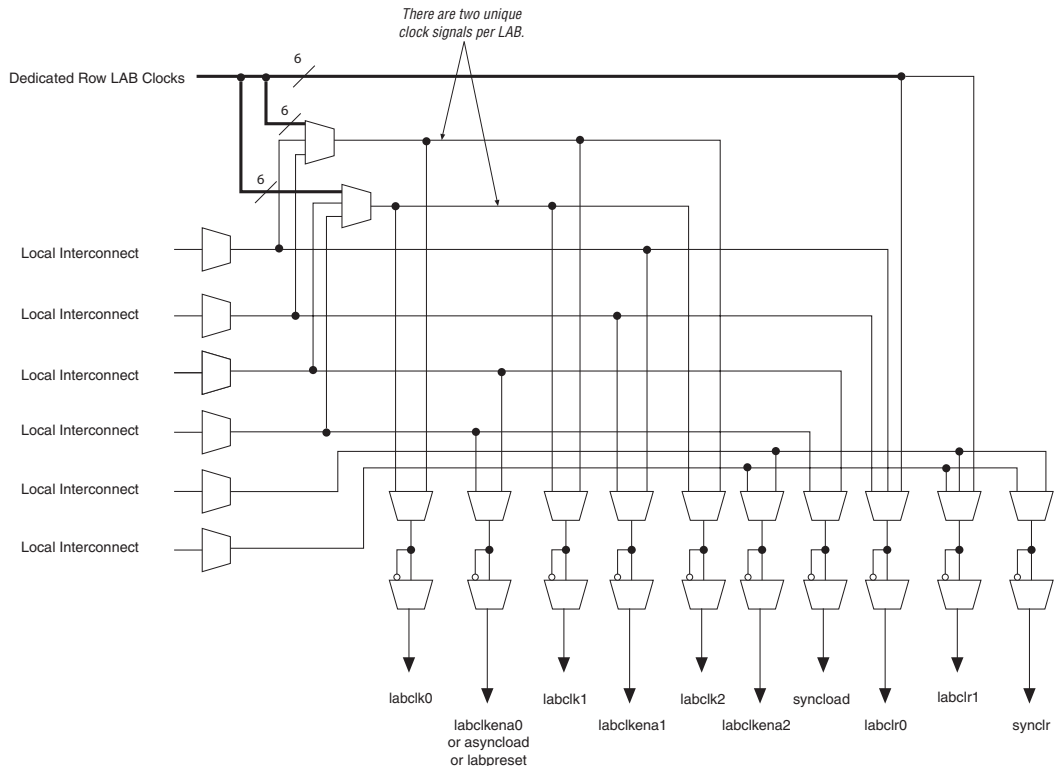
各 LAB には、各 ALM に対するコントロール信号をドライブするための専用ロジックが内蔵されています。コントロール信号は、一度に最大 11 本のコントロール信号を提供する 3 本のクロック、3 本のクロック・イネーブル、2 本の非同期クリア、同期クリア、非同期プリセット / ロード、および同期ロードの各コントロール信号が含まれます。一般に同期ロード信号および同期クリア信号は、カウンタを実装する際に使用されますが、他のファンクションでも使用することができます。

各 LAB では、3 本のクロック信号と 3 本のクロック・イネーブル信号を使用できます。ただし、図 3-3 の LAB コントロール信号生成回路に示すように、固有のクロック信号は LAB ごとに最大 2 本しか使用できません。各 LAB のクロック信号とクロック・イネーブル信号はリンクされています。例えば、labclk1 信号を使用する特定の LAB の ALM は、labclkena1 信号も使用します。クロックの立ち上がり立ち下りの双方のエッジを LAB 内で使用する場合、LAB ワイドのクロック信号を 2 本とも使用します。クロック・イネーブル信号がデアサートされると、対応する LAB ワイドのクロック信号はオフになります。各 LAB は 2 本の非同期クリア信号と 1 本の非同期ロード / プリセット信号を使用できます。非同期ロード信号は、非同期ロード・データ入力を High に接続するとプリセットとしての機能を果たします。非同期ロード / プリセット信号が使用されている場合、labclkena0 信号は使用できなくなります。

LAB ロウ・クロック [5..0] および LAB ローカル・インタコネクは、LAB ワイド・コントロール信号を生成します。MultiTrack™ インタコネクは本質的にスキューが小さくなっています。この低スキューにより、MultiTrack インタコネクはデータの他にクロックとコントロール信号を分配することができます。

図 3-3 に、LAB コントロール信号の生成回路を示します。

図 3-3. LAB ワイド・コントロール信号



アダプティブ・ロジック・モジュール

Stratix II GX アーキテクチャのロジックの基本的なビルディング・ブロックは ALM です。ALM はロジックを効率的に利用した先進機能を提供します。各 ALM には、2 個の ALUT (Adaptive LUT) 間で分割できる各種ルックアップ・テーブル (LUT) をベースにしたリソースが含まれています。2 個の ALUT への最大 8 本の入力により、1 個の ALM で 2 つのファンクションの様々な組み合わせを実装できます。この適応性により、ALM は 4 入力 LUT アーキテクチャとの完全な下位互換性が実現されます。1 個の ALM で、最大 6 本の入力を持つ任意のファンクションおよび特定の 7 入力ファンクションを実装することも可能です。

アダプティブ LUT ベースのリソースに加えて、各 ALM には 2 個のプログラマブル・レジスタ、2 個の専用の全加算器、1 本のキャリー・チェーン、1 本の共有演算チェーン、および 1 本のレジスタ・チェーンも含まれています。これらの専用リソースにより、ALM は様々な演算ファンクションやシフト・レジスタを効率的に実装することができます。各 ALM は、ローカル、ロウ、カラム、キャリー・チェーン、共有演算チェーン、レジスタ・チェーン、およびダイレクト・リンク・インタコネクトを含むあらゆるタイプのインタコネクトをドライブします。図 3-4 は Stratix II GX ALM の上位レベルのブロック図を示し、図 3-5 は ALM におけるすべての接続の詳細図です。

図 3-4. Stratix II GX ALM の上位レベルのブロック図

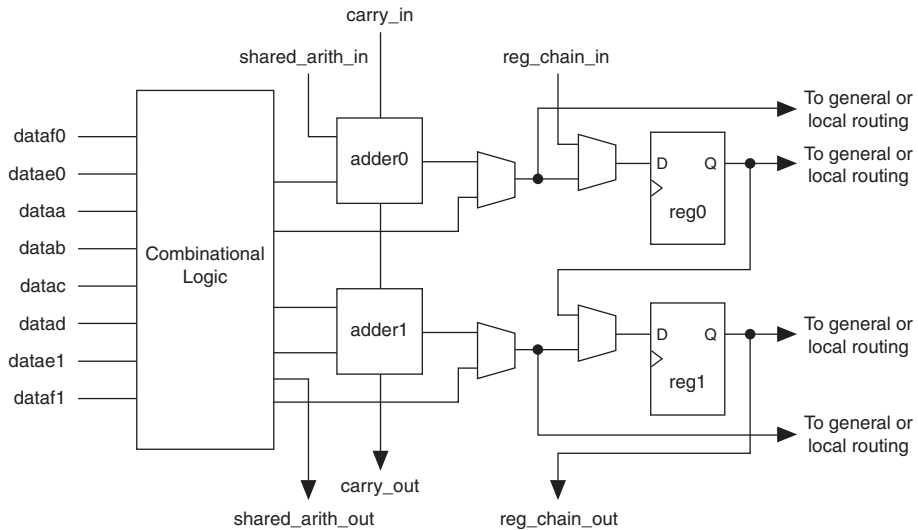
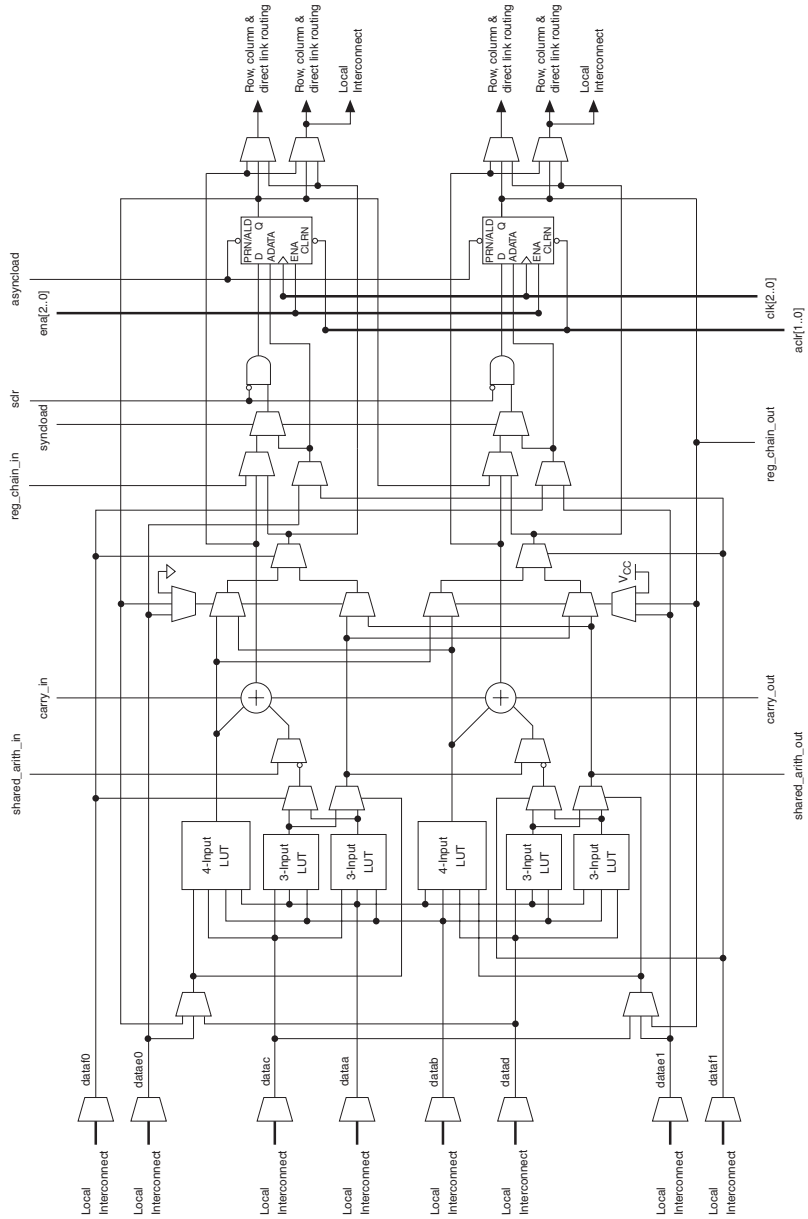


図 3-5. Stratix II GX の ALM の詳細



1 個の ALM には 2 個のプログラマブル・レジスタが含まれています。各レジスタには、データ、クロック、クロック・イネーブル、同期および非同期クリア、非同期ロード・データ、同期および非同期ロード / プリセットの各入力があります。

グローバル信号、汎用 I/O ピン、または任意の内部ロジックでレジスタのクロック・コントロール信号とクリア・コントロール信号をドライブすることができます。汎用 I/O ピンまたは内部ロジックのいずれかが、クロック・イネーブル、プリセット、非同期ロード、および非同期データをドライブできます。非同期ロード・データ入力は、レジスタ・パッキングに使用できる入力と同じ ALM の datae または dataf 入力から供給されます。組み合わせファンクションを実現するときには、レジスタがバイパスされ、LUT の出力が ALM の出力を直接ドライブします。

各 ALM には、ローカル、ロウ、およびカラム配線リソースをドライブする 2 セットの出力があります。LUT、加算器、またはレジスタ出力は、これらの出力を個別にドライブできます (図 3-5 を参照)。出力ドライブの各セットについて、2 本の ALM 出力がカラム、ロウ、またはダイレクト・リンク配線接続をドライブでき、これらの ALM 出力の 1 本はローカル・インタコネクト・リソースもドライブできます。これにより、レジスタがある出力をドライブしている状態で、LUT が別の出力をドライブすることが可能になります。この機能はレジスタ・パッキングと呼ばれ、デバイスの稼働率を向上させます。これはレジスタと組み合わせロジックを全く別の機能として使用できるからです。別の特殊パッキングモードでは、レジスタ出力を同一 ALM の LUT にフィードバックさせて、レジスタに独自のファン・アウト LUT をパッキングすることができます。これにより、フィッティング機能を向上させる別のメカニズムが提供されます。また、ALM はラッチされた出力およびラッチされていない出力の両方の LUT 出力もドライブ・アウト可能です。



Stratix II GX ALM の効率および従来のアーキテクチャとの比較について詳しくは、「Performance & Logic Efficiency Analysis of Stratix II GX Devices White Paper」を参照してください。

ALM 動作モード

Stratix II GX の ALM は、次のいずれかのモードで動作することができます。

- ノーマル・モード
- 拡張 LUT モード
- 演算モード
- 共有演算モード

各モードでは、ALM のリソースがそれぞれ異なる形で使用されます。各モードで、ALM (図 3-4 参照) への 11 入力 (すなわち、LAB ローカル・インタコネクタからの 8 つのデータ入力、前の ALM または LAB からの carry-in、前の ALM または LAB からの共有演算チェーン、そしてレジスタ・チェーン接続) が異なるデスティネーションに転送され、目的のロジック機能を実装します。——LAB ワイドの信号として供給可能なものは、レジスタへのクロック、非同期クリア、非同期プリセット / ロード、同期クリア、同期ロード、およびクロック・イネーブル・コントロールの各信号です。このような LAB ワイドの信号は、すべての ALM モードで使用できます。LAB ワイド・コントロール信号について詳しくは、「LAB コントロール信号」の項を参照してください。

Quartus II ソフトウェアおよびサポートされているサードパーティ合成ツールは、LPM (Library of Parameterized Modules) などのパラメータ化されたファンクションと併用することによって、カウンタ、加算器、減算器、および演算ファンクションなどの一般的なファンクションに対して適切なモードを自動的に選択します。また、必要に応じて、設計者が特別なファンクションを作成して、各デザインに最適な性能が得られる ALM の動作モードを指定することもできます。

ノーマル・モード

ノーマル・モードは、汎用のロジック・アプリケーションや組み合わせファンクションに適しています。このモードでは、LAB ローカル・インタコネクタからの最大 8 本のデータ入力組み合わせロジックの入力になります。ノーマル・モードでは、1 個の Stratix II GX ALM に 2 つのファンクションを実装するか、あるいは 1 個の ALM に最高 6 入力のファンクションを 1 つ実装できます。ALM は、完全に独立したファンクションの特定の組み合わせおよび共通の入力を持つファンクションの様々な組み合わせをサポートできます。図 3-6 に、ノーマル・モードでサポートされる LUT の組み合わせを示します。

図 3-6. ノーマル・モードの ALM 注 (1)

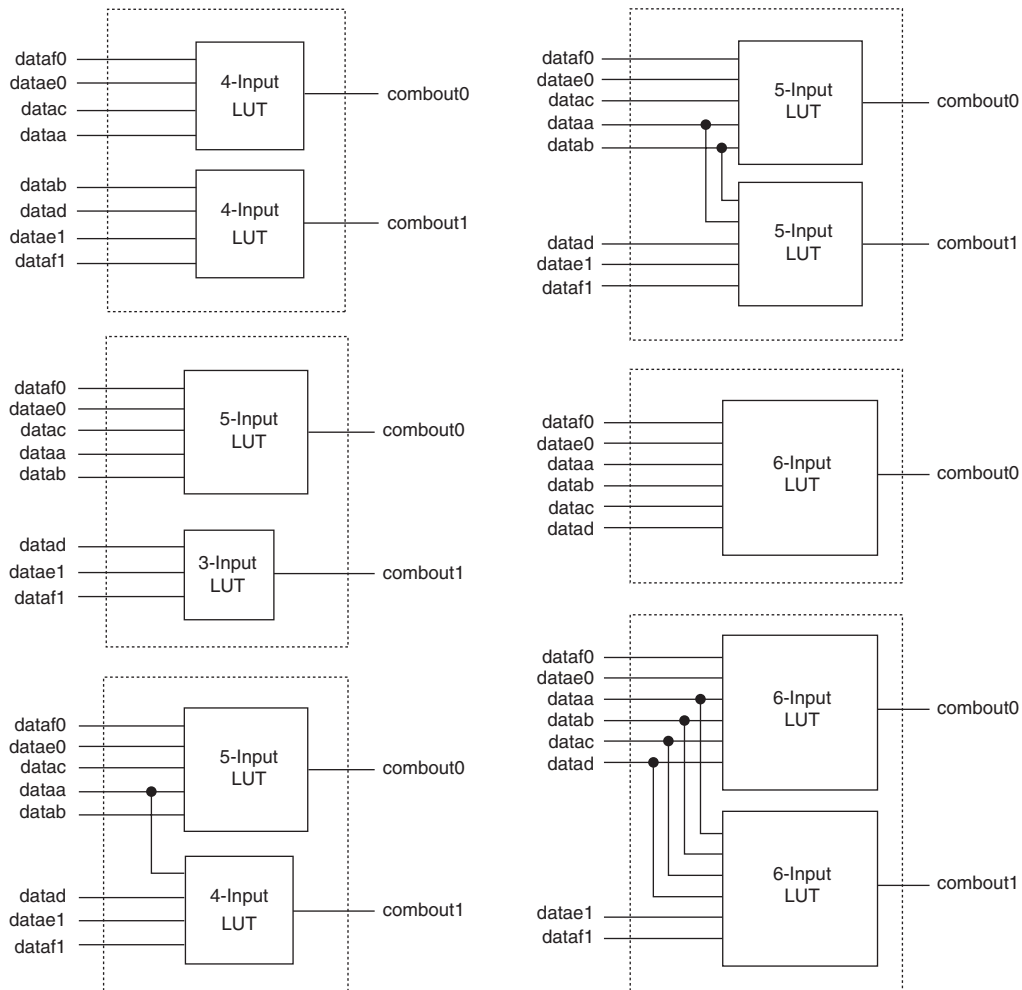


図 3-6 の注：

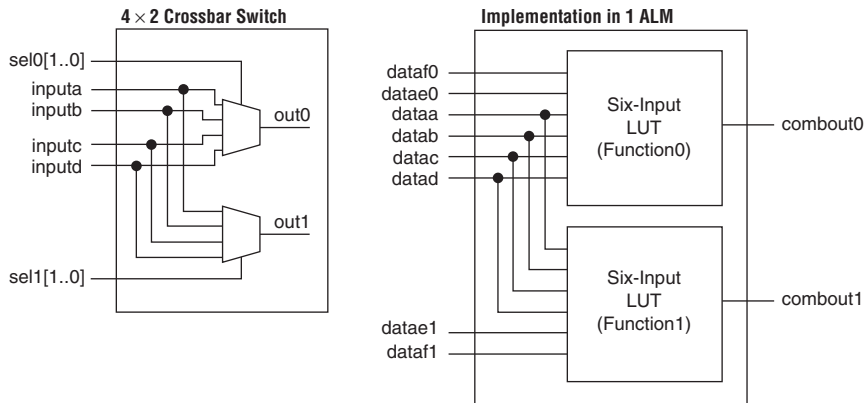
- (1) 図に示すよりも少ない入力を持つファンクションの組み合わせもサポートされます。例えば、4 と 3、3 と 3、3 と 2、5 と 2 などの入力数を持つファンクションの組み合わせがサポートされます。

ノーマル・モードでは、4 入力 LUT アーキテクチャとの完全な下位互換性が提供されます。1 個の Stratix II GX ALM に、2 つの独立した 4 入力以下のファンクションを実装できます。さらに、5 入力ファンクションと入力を共有しない独立した 3 入力ファンクションを実装できます。

1 個の ALM に 2 つの 5 入力ファンクションをパックするには、これらのファンクションが最低 2 本の共通入力を持っている必要があります。共通入力は、dataa および datab です。4 入力ファンクションと 5 入力ファンクションの組み合わせには、1 本の共通入力 (dataa または datab のいずれか) が必要です。

1 個の ALM に 2 つの 6 入力ファンクションを実装するには、4 本の入力を共有し、組み合わせファンクションが同じでなければなりません。例えば、4 × 2 クロスバー・スイッチ (共通入力と固有選択ラインを持つ 2 個の 4-to-1 マルチプレクサ) を 1 個の ALM に実装できます (図 3-7 を参照)。共有入力は dataa、datab、datac、および datad で、固有選択ラインは function0 に対する datae0 および dataf0、また function1 に対する datae1 および dataf1 です。このクロスバー・スイッチは、4 入力 LUT ベースのアーキテクチャにおいて 4 個の LUT を使用します。

図 3-7. 4 × 2 クロスバー・スイッチ例



あまり使用されていないデバイスでは、1 個の ALM に収まるファンクションは個別の ALM に実装できます。Quartus II のコンパイラは、デザインを展開して可能な最高の性能を引き出します。デバイスの使用率が高くなり始めると、Quartus II ソフトウェアは自動的に Stratix II GX ALM の潜在能力を最大限に活用します。Quartus II のコンパイラは、共通入力を持つファンクションまたは完全に独立したファンクションを自動的にサーチし、それらを 1 つの ALM に配置してデバイス・リソースを効率的に使用します。さらに、設計者は位置アサインメントを設定することによって、リソースの使用を手動でコントロールできます。dataa、datab、datac、datad、および datae0 と dataf0 または datae1 と dataf1 の入力を利用して、任意の 6 入力ファンクションを実装できます。datae0 と dataf0 を使用する場合、出力は register0 にドライブされるか、あるいは register0 がバイパスされ、データが出力ドライバのトップ・セットを使用してインタコネクต์に出力されます (図 3-8 を参照)。datae1 と dataf1 を使用する場合、出力は register1 にドライブされるか、register1 をバイパスし出力ドライバのボトム・セットを使用してインタコネクต์にドライブされます。Quartus II のコンパイラは、LUT への入力を自動的に選択します。レジスタの非同期ロード・データは ALM の datae または dataf 入力から供給されます。ノーマル・モードの ALM は、レジスタ・パッキングの機能をサポートします。

図 3-8. ノーマル・モードの 6 入力ファンクション 注 (1)、(2)

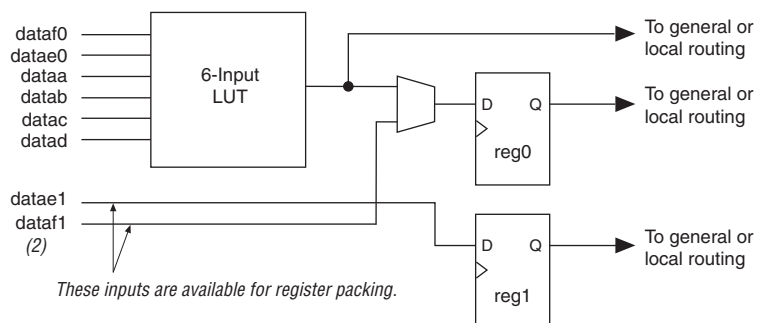


図 3-8 の注：

- (1) datae1 と dataf1 が 6 入力ファンクションの入力として使用される場合、datae0 と dataf0 はレジスタ・パッキングに使用できます。
- (2) 6 入力ファンクションがラッチされない場合、dataf1 入力はレジスタ・パッキングにしか使用できません。

拡張 LUT モード

拡張 LUT モードは、特定の 7 入力ファンクション・セットを実装するのに使用されます。このセットは、4 入力を共有する任意の 2 つの 5 入力ファンクションから信号が供給される 2 対 1 マルチプレクサでなければなりません。図 3-9 に、拡張 LUT モードを使用してサポートされる 7 入力ファンクションのテンプレートを示します。このモードでは、7 入力ファンクションがラッチされない場合は、未使用の 8 番目の入力をレジスタ・パッキングに使用できます。図 3-9 に示すテンプレートに適合するファンクションは、デザインで自然に生じます。これらのファンクションは多くの場合、デザインに Verilog HDL または VHDL コードの “if-else” 文として現れます。

図 3-9. 拡張 LUT モードでサポートされる 7 入力ファンクションのテンプレート

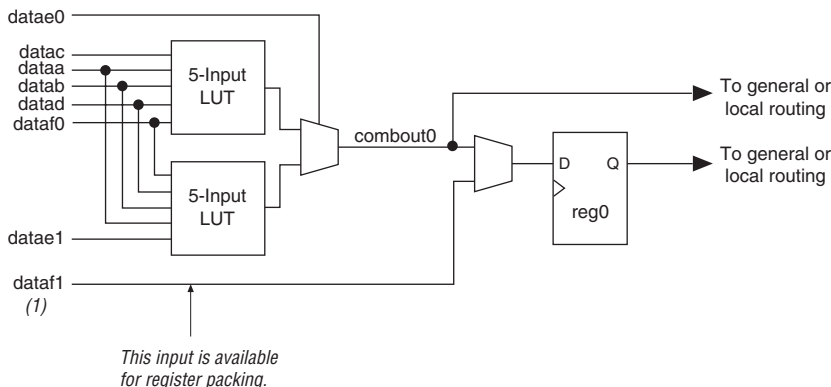


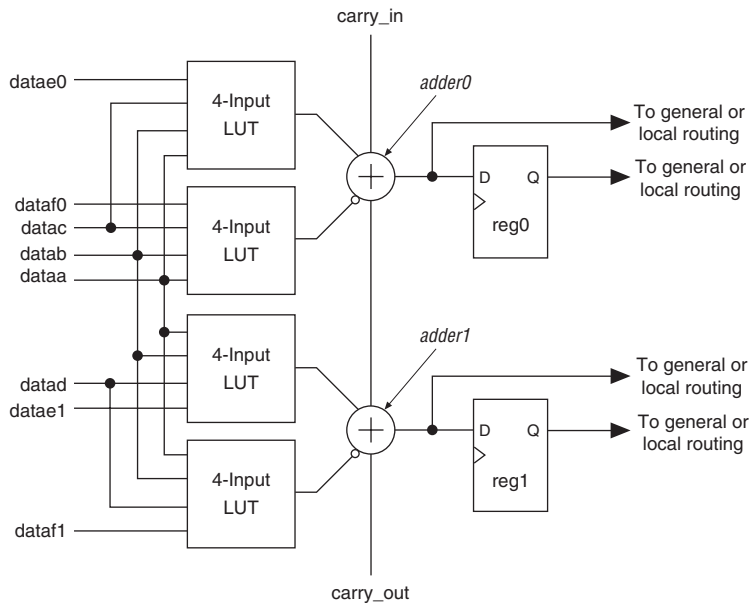
図 3-9 の注：

- (1) 7 入力ファンクションがラッチされない場合は、未使用の 8 番目の入力をレジスタ・パッキングに使用できます。第 2 のレジスタ reg1 は使用できません。

演算モード

演算モードは、加算器、カウンタ、乗算累積器、幅広いパリティ・ファンクション、およびコンパレータの構成に最適です。演算モードの ALM は、2 個の専用全加算器と共に 2 個の 4 入力 LUT を 2 組使用します。専用加算器によって、LUT は加算器前ロジックを実行できるため、各加算器は 2 つの 4 入力ファンクションの出力を加算することができます。4 個の LUT は、dataa および datab 入力を共有します。図 3-10 に示すように、キャリー・イン信号は adder0 に供給され、adder0 からのキャリー・アウト信号は adder1 の carry-in に供給されます。adder1 からのキャリー・アウト信号は、LAB 内の次の ALM の adder0 にドライブされます。また、演算モードの ALM では、ラッチされた加算器出力とラッチされていない加算器出力のいずれか一方、または両方をドライブアウトできます。

図 3-10. 演算モードの ALM

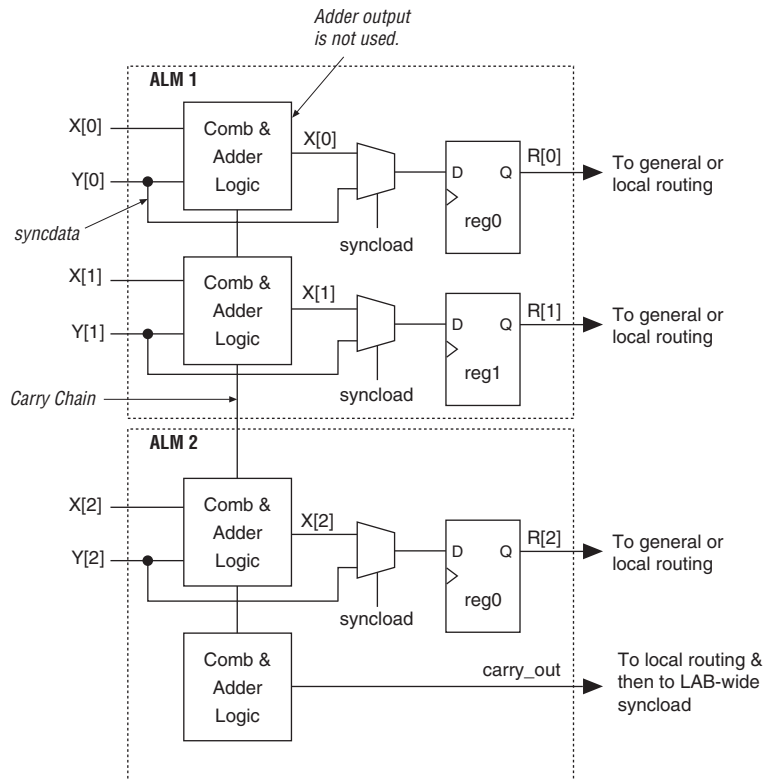


演算モードで動作している間、ALM は組み合わせロジックの出力と加算器のキャリ出力の同時使用をサポートできます。この動作では加算器の出力は無視されます。このように加算器と組み合わせロジックの出力を併用すると、この機能を使用可能なファンクションのリソースが最大 50% 節約されます。このような機能の一例として、[図 3-11](#) に示す条件付動作があります。この例の等式は次の通りです。

$$R = (X < Y) ? Y : X$$

このファンクションを実装するために、加算器を使用して 'X' から 'Y' を減算しています。'X' が 'Y' より小さい場合、carry_out 信号は '1' になります。carry_out 信号は加算器に送られ、LAB ローカル・インタコネクタにドライブ・アウトされます。その後、LAB ワイドの syncload 信号に供給されます。アサートされると、syncload は syncdata 入力を選択します。この場合、データ 'Y' は syncdata 入力をレジスタにドライブします。'X' が 'Y' より大きいか、または等しい場合、syncload 信号はデアサートされ、'X' がレジスタのデータ・ポートをドライブします。

図 3-11. 条件付き動作の例



演算モードではクロック・イネーブル、カウンタ・イネーブル、同期アップ/ダウン・コントロール、加算/減算コントロール、同期クリア、同期ロードの各信号も提供されています。クロック・イネーブル、カウンタ・イネーブル、同期アップ/ダウン・コントロール、および加算/減算コントロール各信号は、LAB ローカル・インタコネクタからのデータ入力により生成されます。これらのコントロール信号は、ALM 内の 4 つの LUT の間で共有される入力に使用できます。同期クリアと同期ロードのオプション信号は、LAB ワイドの信号であるため、LAB 内のすべてのレジスタに影響を与えます。Quartus II ソフトウェアは、カウンタに使用されていないレジスタを自動的に他の LAB に配置します。

キャリア・チェーン

演算モードまたは共有演算モードにおいて、キャリア・チェーンは、専用加算器間でのキャリア・ファンクションを高速化します。キャリア・チェーンは、LAB 内の最初の ALM または 5 番目の ALM から開始できます。最後のキャリア・アウト信号は ALM に接続され、そこでローカル、ロウ、カラムのいずれかのインタコネクต์に供給されます。

Quartus II のコンパイラは、コンパイル中にキャリア・チェーン・ロジックを自動的に作成しますが、設計者がデザインの入力時に手動で作成することもできます。LPM ファンクションなどのパラメータ化されたファンクションは、キャリア・チェーンの利点を自動的に活用して、適切な機能を実現します。Quartus II のコンパイラは、複数の LAB を自動的にリンクさせることにより、16 個（演算モードまたは共有演算モードでは 8 個）を超える ALM で構成される長いキャリア・チェーンを作成します。フィッティング機能を強化するため、長いキャリア・チェーンは垂直に並べ、TriMatrix メモリおよび DSP ブロックへの水平方向の接続を高速化することができます。キャリア・チェーンはカラム全体に延長できます。高ファン・イン演算ファンクションが実装されたときにデバイス内の 1 つの小さな領域で配線が密集するのを防ぐために、LAB は次の LAB に接続する前に LAB の上半分または下半分のいずれかのみを使用するキャリア・チェーンをサポートできます。LAB 内の ALM の残り半分は、ノーマル・モードでより狭いファン・イン・ファンクションを実装するのに利用できます。最初の LAB の上から 4 個の ALM を使用するキャリア・チェーンは、カラム内で次の LAB にある上半分の ALM にキャリア・インします。最初の LAB の下から 4 個の ALM を使用するキャリア・チェーンは、カラム内で次の LAB にある下半分の ALM にキャリア・インします。LAB カラムは 1 つおきに上半分がバイパス可能で、他の LAB カラムは下半分がバイパス可能です。キャリア・チェーン・インタコネクต์について詳しくは、「[MultiTrack インタコネクต์](#)」の項を参照してください。

共有演算モード

共有演算モードでは、ALM で 3 入力加算を実装できます。このモードでは、ALM は 4 個の 4 入力 LUT で構成されます。各 LUT は、3 本の入力の和または 3 本の入力のキャリアのいずれかを計算します。キャリア計算の出力は、共有演算チェーンと呼ぶ専用の接続を使用して、次の加算器（同じ ALM の adder1 または LAB 内の次の ALM の adder0）に供給されます。この共有演算チェーンは、加算器ツリーの実装に必要なサメーション・ステージの数を減らすことによって、加算器ツリーの性能を大幅に向上させることができます。図 3-12 に、共有演算モードの ALM を示します。

図 3-12. 共有演算モードの ALM

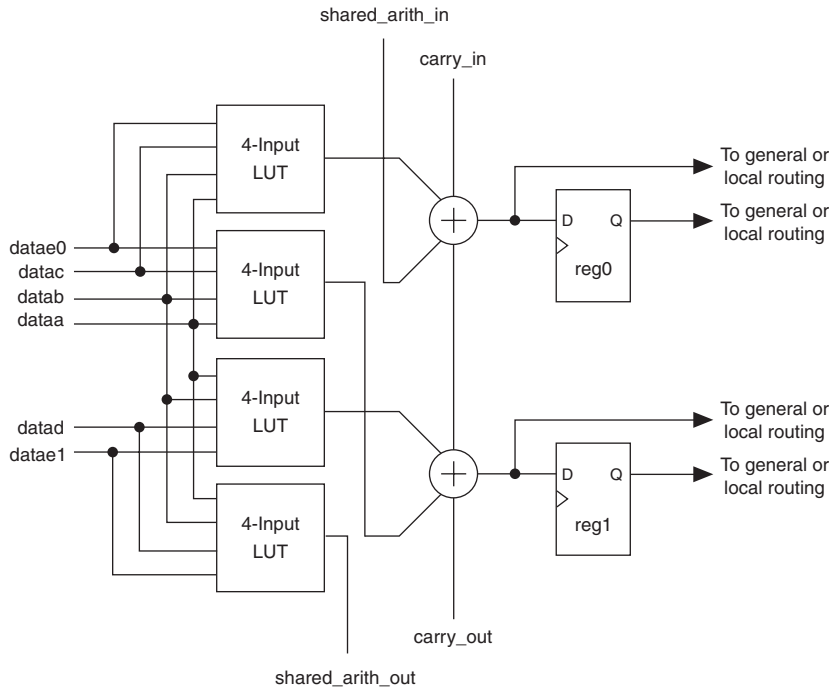
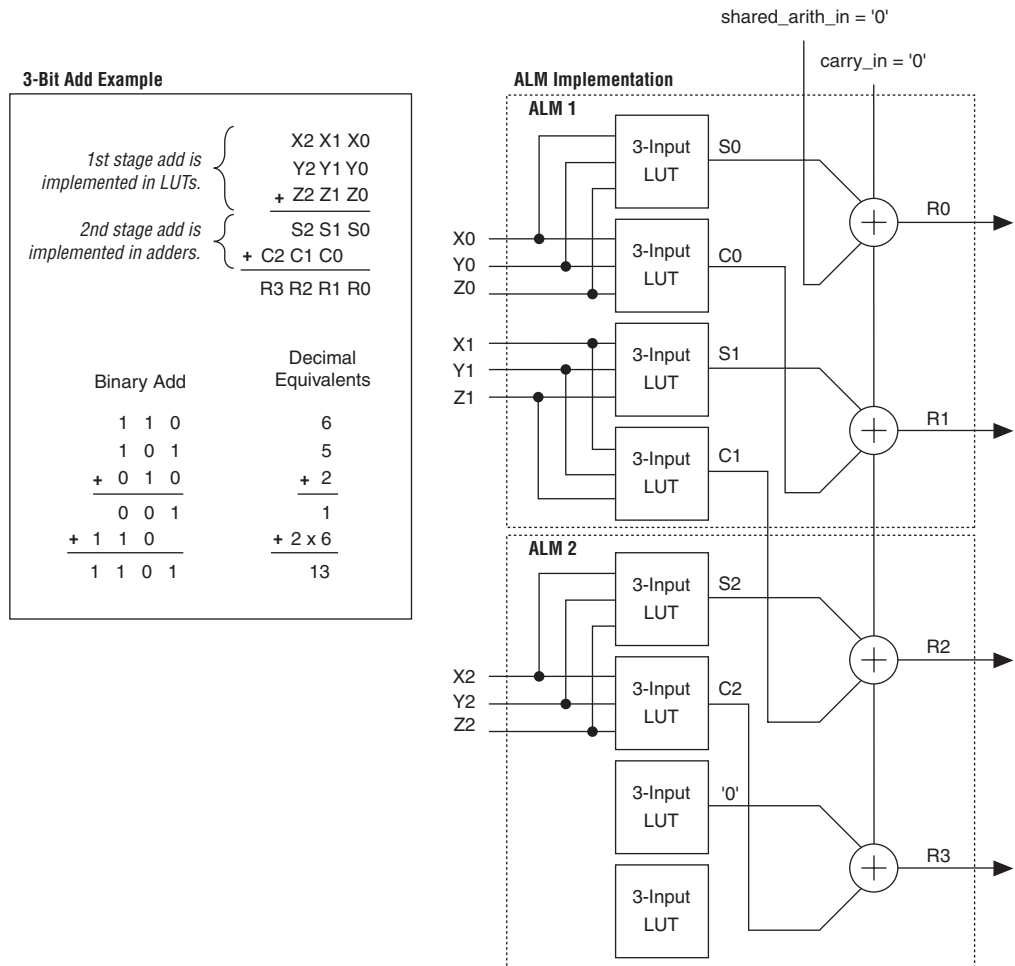


図 3-12 の注：

- (1) 共有演算モードのレジスタ・パッキングに、dataf0 および dataf1 入力を利用できます。

多様なアプリケーションに加算器ツリーが使用されます。例えば、ロジック・ベースの乗算器での部分積の合計をツリー構造で実装することができます。別の例は、スペクトラム拡散テクノロジーを使用して送信されたデータを回復またはデスペレッドするために、大きな加算器ツリーを使用して一定時間内のフィルタされたデータ・サンプルの和をとることができる相関器ファンクションです。共有演算モードを使用した3ビット加算動作の例を図 3-13 に示します。部分和 (S[2..0]) および部分キャリー (C[2..0]) は LUT を使用して取得でき、結果 (R[2..0]) は専用の加算器を使用して計算されます。

図 3-13. 共有演算モードを使用した 3 ビット加算の例



共有演算チェーン

専用のキャリア・チェーン配線に加えて、共有演算モードで使用可能な共有演算チェーンにより、ALM は 3 入力の加算を実装できるため、大きな加算器ツリーや相関器ファンクションを実装するのに必要なリソースを大幅に削減できます。共通演算チェーンは、LAB 内の最初の ALM または 5 番目の ALM から開始できます。Quartus II のコンパイラは、LAB を自動的にリンクさせて、16 個（演算モードまたは共有演算モードでは 8 個）を超える ALM で構成される共有演算チェーンを作成します。フィッティング機能を強化するため、長い共有演算チェーンは垂直に並べ、TriMatrix メモリおよび DSP ブロックへの水平方向の接続を高速化することができます。共有演算チェーンはカラム全体に延長できます。キャリア・チェーンと同様に、共有演算チェーンも上半分または下半分をバイパス可能です。この機能により、共有演算チェーンを LAB 内の ALM の半分でカスケード接続し、別の半分を幅の狭いファン・イン・ファンクションに使用できます。LAB カラムは 1 つおきに上半分がバイパス可能で、他の LAB カラムは下半分がバイパス可能です。共有演算チェーン・インタコネクトについて詳しくは、「[MultiTrack インタコネクト](#)」の項を参照してください。

レジスタ・チェーン

一般配線出力に加えて、LAB 内の ALM にはレジスタ・チェーン出力があります。レジスタ・チェーン配線により、同一 LAB 内のレジスタをカスケード接続できます。レジスタ・チェーン・インタコネクトにより、LAB は LUT を 1 つの組み合わせファンクションに使用したり、レジスタを別のシフト・レジスタの実装に使用することができます。これらのリソースは ALM 間の接続を高速化し、同時にローカル・インタコネクト・リソースの節約を図ります（[図 3-14](#) を参照）。Quartus II コンパイラは自動的にこれらのリソースを活用して、稼働率とパフォーマンスの向上を図ります。レジスタ・チェーン・インタコネクトについて詳しくは、「[MultiTrack インタコネクト](#)」の項を参照してください。

図 3-14. LAB 内のレジスタ・チェーン 注 (1)

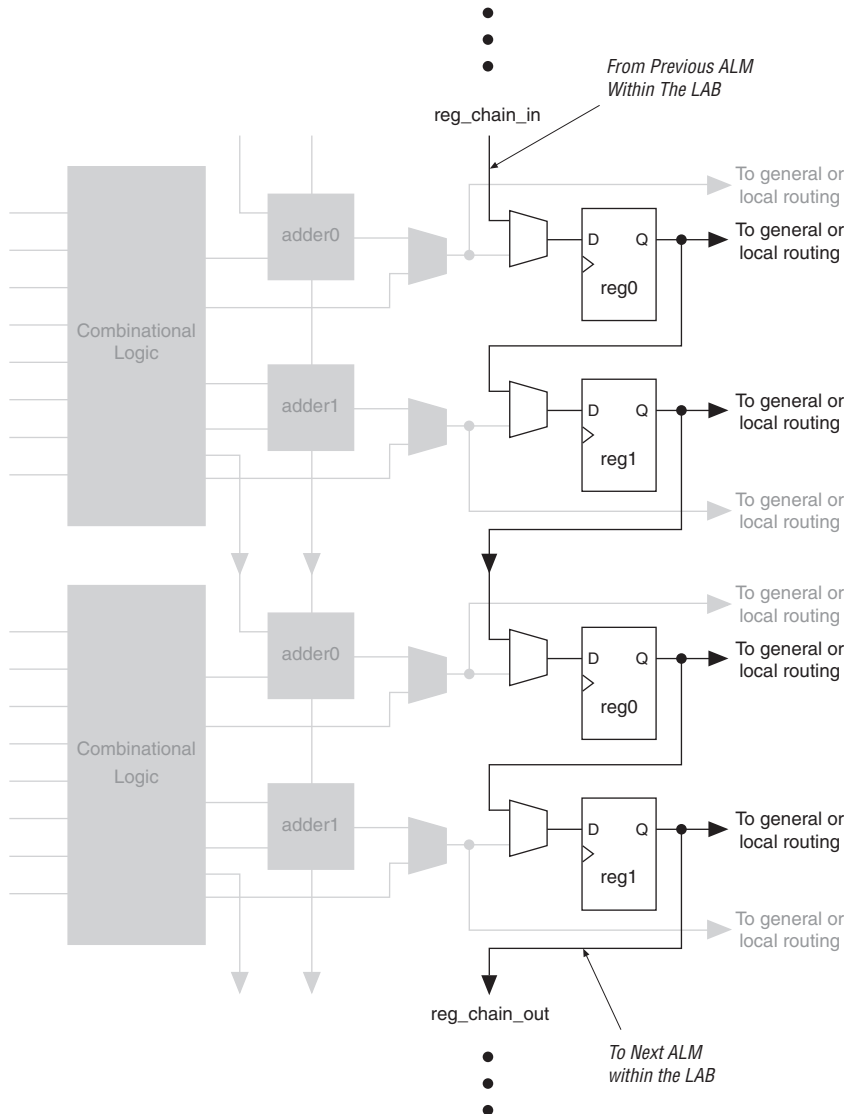


図 3-14 の注：

- (1) 組み合わせロジックまたはアダー・ロジックを使用して、独立したラッチされないファンクションを実装できます。

クリアおよびプリセット・ロジック・コントロール

レジスタのクリアとロード/プリセット信号を実現するロジックは、LAB ワイド信号によって制御されます。ALM は非同期クリアおよびプリセット機能を直接サポートします。レジスタのプリセットは、非同期ロードを High レベルにすることで達成されます。直接入力 of 非同期プリセットでは、NOT gate push-back を使用したテクニックは必要ありません。Stratix II GX デバイスは、同時非同期ロード/プリセット、およびクリア信号をサポートします。両方の信号が同時にアサートされた場合、非同期クリア信号が優先されます。各 LAB は最大 2 本のクリア信号と 1 本のロード/プリセット信号をサポートします。

Stratix II GX デバイスは、クリアとロード/プリセット・ポートの他に、デバイス内のすべてのレジスタをリセットするデバイス・ワイドのリセット・ピン (DEV_CLRn) を備えています。このピンは、Quartus II ソフトウェアでコンパイルを行う前に設定されたオプションによってコントロールされます。このデバイス・ワイドのリセット信号は、他のすべてのコントロール信号よりも優先されます。

MultiTrack インタコネク

Stratix II GX アーキテクチャでは、ALM、TriMatrix メモリ、DSP ブロック、およびデバイス I/O ピン間の接続は、DirectDrive™ テクノロジーによる MultiTrack 配線構造によって提供されます。MultiTrack インタコネクは、デザイン・ブロック間およびデザイン・ブロック内の接続に使用される長さや速度が異なる最適性能の連続配線ラインで構成されます。Quartus II のコンパイラは、デザインのクリティカル・パスを自動的に高速ラインに配置して、デザイン・パフォーマンスを向上させます。

DirectDrive テクノロジーは、任意のファンクションに対して、デバイス内の配置とは無関係に理想的な配線リソース使用量を保証する確定的配線テクノロジーです。MultiTrack インタコネクおよび DirectDrive テクノロジーは、デザインの変更や追加によって一般的に生じる最適化の繰り返しをなくすことによって、ブロック・ベース・デザインの集積化ステージを簡略化します。

MultiTrack インタコネクは、一定間隔で配置されたロウとカラムのインタコネクで構成されています。すべてのデバイスに対して一定した長さのリソースを持つ配線構造のため、集積度の異なるデバイスへの移行時にも予測可能で再現性のある性能を実現します。専用のロウ・インタコネクは、同一ロウ内の LAB、DSP ブロック、および TriMatrix メモリに入出力される信号を接続します。

これらのロウのリソースには以下のものがあります。

- LAB と隣接ブロック間のダイレクト・リンク・インタコネク
- 4 つのブロックを右または左に横断する R4 インタコネク

■ デバイスの左右に高速でアクセスするための R24 ロウ・インタコネク

ダイレクト・リンク・インタコネクにより、LAB、DSP ブロック、または TriMatrix メモリ・ブロックは、左または右に隣接するローカル・インタコネクをドライブしてから自分自身に戻すことができ、ロウ・インタコネク・リソースを使用することなく、隣接する LAB やブロック間に高速通信を提供します。

R4 インタコネクは、ソース LAB の右側または左側の 4 つの LAB か、3 つの LAB と 1 つの M512 RAM ブロックか、2 つの LAB と 1 つの M4K RAM ブロック、あるいは 2 つの LAB と 1 つの DSP ブロックのいずれかに対応した長さになっています。これらのリソースは、4 つの LAB 領域内の高速ロウ接続に使用されます。どの LAB にも、左側または右側のいずれかにドライブする独自の R4 インタコネクがあります。図 3-15 に、LAB からの R4 インタコネク接続を示します。

R4 インタコネクは DSP ブロック、RAM ブロック、およびロウ IOE をドライブでき、またこれらから R4 インタコネクをドライブすることもできます。LAB インタフェースの場合、基準となる LAB または隣接する LAB が R4 インタコネクをドライブできます。右にドライブする R4 インタコネクの場合、基準となる LAB および右の隣接 LAB がインタコネクをドライブできます。左にドライブする R4 インタコネクの場合、基準となる LAB および左の隣接 LAB がインタコネクをドライブできます。R4 インタコネクは、他の R4 インタコネクをドライブして、ドライブ可能な LAB の範囲を拡張することができます。R4 インタコネクは、1 つのロウを別のロウに接続するときに C4 および C16 インタコネクもドライブ可能です。さらに、R4 インタコネクは R24 インタコネクもドライブできます。

図 3-15. R4 インタコネクト接続 注 (1)、(2)、(3)

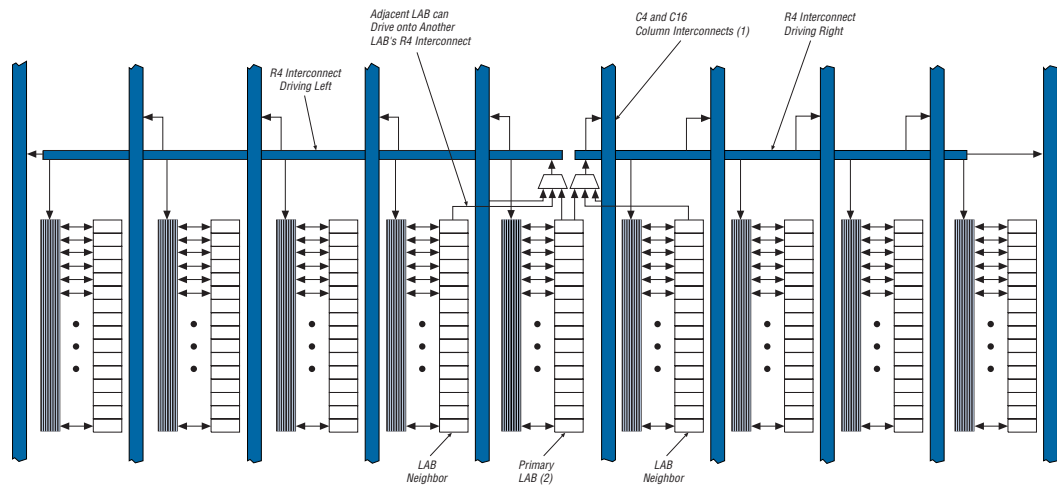


図 3-15 の注：

- (1) C4 および C16 インタコネクトは R4 インタコネクトをドライブできます。
- (2) このパターンは、LAB row 内の各 LAB に対して繰り返されています。
- (3) 図 3-15 の LAB は、1 つの LAB あたり 16 の論理出力が可能であることを示しています。

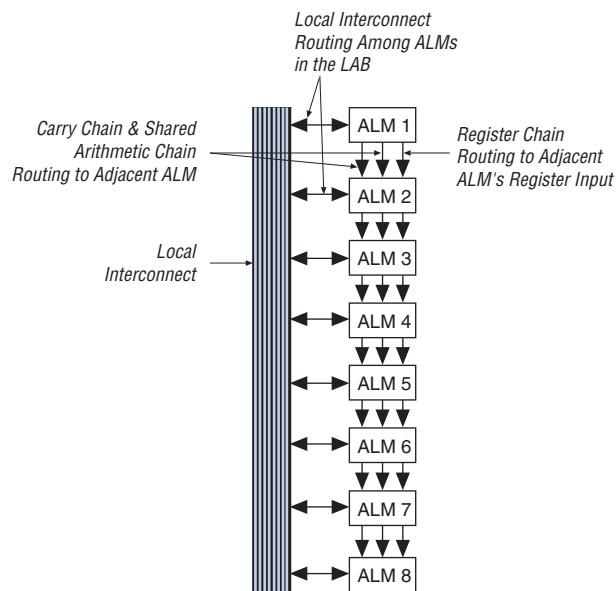
R24 ロウ・インタコネクトは 24 個の LAB に対応した長さになっており、LAB、TriMatrix メモリ、DSP ブロック、および ロウ IOE 間の長いロウ接続に対し、最高速のリソースを提供します。R24 ロウ・インタコネクトは M-RAM ブロックを横切ることができます。R24 ロウ・インタコネクトは、4 個の LAB ごとに別のロウまたはカラム・インタコネクトにドライブし、LAB ローカル・インタコネクトに直接ドライブすることはありません。R24 ロウ・インタコネクトは、R4 および C4 インタコネクトを介して LAB ローカル・インタコネクトをドライブします。R24 インタコネクトは R24、R4、C16、および C4 インタコネクトをドライブできます。カラム・インタコネクトは、ロウ・インタコネクトと類似した機能を果たしており、LAB、TriMatrix メモリ、DSP ブロック、および IOE の信号を垂直に配線します。LAB の各カラムに専用のカラム・インタコネクトが使用されます。

これらのカラムのリソースには以下のものがあります。

- LAB 内の共有演算チェーン・インタコネクト
- LAB 内および LAB 間のキャリー・チェーン・インタコネクト
- LAB 内のレジスタ・チェーン・インタコネクト
- 4 ブロックの距離を上下方向に横断する C4 インタコネクト
- デバイス内で高速垂直配線を実現する C16 カラム・インタコネクト

Stratix II GX デバイスは LAB 内部のインタコネク構造を拡張し、共有演算チェーンおよびキャリー・チェーンを配線して効率的な演算ファンクションを実現します。レジスタ・チェーン接続により、1つの ALM のレジスタ出力を LAB 内の次の ALM のレジスタ入力に直接接続し、高速シフト・レジスタを実現できます。これらの ALM 間の接続はローカル・インタコネクをバイパスします。Quartus II のコンパイラは、自動的にこれらのリソースを利用して使用効率と性能を向上させます。図 3-16 に、共有演算チェーン、キャリー・チェーン、およびレジスタ・チェーンのインタコネクを示します。

図 3-16. 共有演算チェーン、キャリー・チェーン、およびレジスタ・チェーンのインタコネク



C4 インタコネクは、ソース LAB の上または下にある、4 つの LAB、M512、または M4K ブロックに対応した長さの配線ラインとなっています。各 LAB には、上または下にドライブする独自の C4 インタコネクがあります。図 3-17 にカラム内の LAB からの C4 インタコネク接続を示します。C4 インタコネクは、DSP ブロック、TriMatrix メモリ・ブロック、カラムおよびロウ IOE を含む、全タイプのアーキテクチャ・ブロックをドライブでき、これらが C4 インタコネクをドライブすることも可能です。LAB インタコネクの場合、基準となる LAB または隣接する LAB が与えられた C4 インタコネクをドライブできます。C4 インタコネクは、ロウ・インタコネクをドライブしてカラム間接続を実現するだけでなく、互いをドライブして範囲を拡張することもできます。

図 3-17. C4 インタコネクタ接続 注 (1)

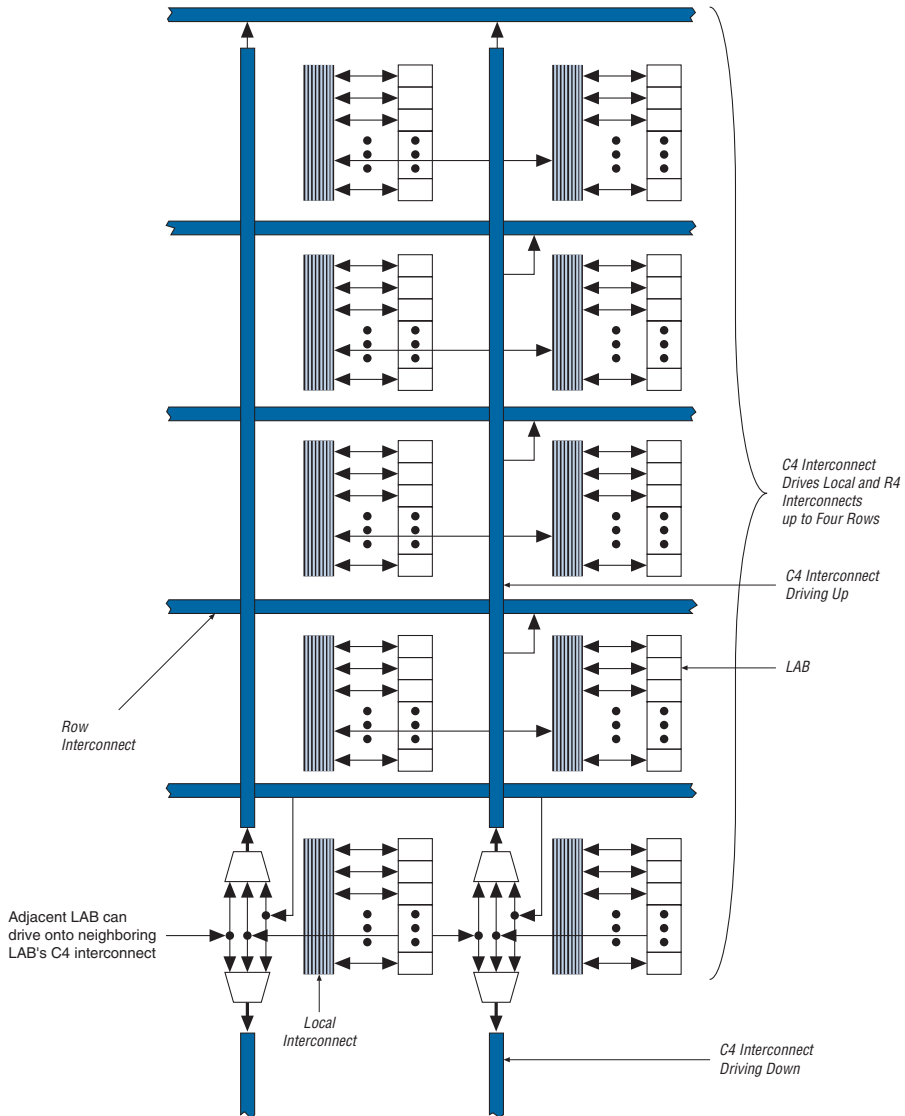


図 3-17 の注：

(1) 各 C4 インタコネクタは、上または下にある 4 本のロウをドライブできます。

C16 カラム・インタコネクは 16 個の LAB に対応した長さになっており、LAB、TriMatrix メモリ・ブロック、DSP ブロック、および IOE 間の長いカラム接続に対して最高速のリソースを提供します。C16 インタコネクは M-RAM ブロックを横切ることができ、また 4 個の LAB ごとにロウおよびカラムのインタコネクをドライブすることもできます。C16 インタコネクは C4 および R4 インタコネクを介して LAB ローカル・インタコネクをドライブし、LAB ローカル・インタコネクを直接ドライブすることはありません。すべてのエンベデッド・ブロックは LAB 間のインタフェースに類似したロジック・アレイと通信します。各ブロック（つまり、TriMatrix メモリ・ブロックおよび DSP ブロック）はロウおよびカラム・インタコネクに接続し、ロウおよびカラム・インタコネクによってドライブされるローカル・インタコネク領域が提供されています。これらのブロックには、隣接する LAB との間で高速接続を実現するダイレクト・リンク・インタコネクも提供されています。すべてのブロックにはロウ LAB クロック `labc1k[5..0]` が供給されています。

表 3-2 に Stratix II GX デバイスの配線方式を示します。

ソース	送信先															
	共有演算チェーン	キャリー・チェーン	レジスタ・チェーン	ローカル・インタコネク	ダイレクト・リンク・インタコネク	R4 インタコネク	R24 インタコネク	C4 インタコネク	C16 インタコネク	ALM	M512 RAM ブロック	M4K RAM ブロック	M-RAM ブロック	DSP ブロック	カラム IOE	ロウ IOE
共有演算チェーン										✓						
キャリー・チェーン										✓						
レジスタ・チェーン										✓						
ローカル・インタコネク										✓	✓	✓	✓	✓	✓	✓
ダイレクト・リンク・インタコネク				✓												
R4 インタコネク				✓		✓	✓	✓	✓							

表 3-2. Stratix II GX デバイスの配線方式 (2 / 2)

ソース	送信先															
	共有演算チェイン	キャリア・チェイン	レジスタ・チェイン	ローカル・インタコネク	ダイレクト・リンク・インタコネク	R4 インタコネク	R24 インタコネク	C4 インタコネク	C16 インタコネク	ALM	M512 RAM ブロック	M4K RAM ブロック	M-RAM ブロック	DSP ブロック	カラム IOE	ロウ IOE
R24 インタコネク						√	√	√	√							
C4 インタコネク				√		√		√								
C16 インタコネク						√	√	√	√							
ALM	√	√	√	√	√	√		√								
M512 RAM ブロック				√	√	√		√								
M4K RAM ブロック				√	√	√		√								
M-RAM ブロック					√	√	√	√								
DSP ブロック					√	√		√								
カラム IOE					√			√	√							
ロウ IOE					√	√	√	√								

TriMatrix メモリ

TriMatrix メモリは、M512、M4K、および M-RAM の 3 つのタイプの RAM ブロックで構成されています。これらのメモリ・ブロックは異なりますが、これらはすべてツール・デュアル・ポート、シンプル・デュアル・ポート、シングル・ポート RAM、ROM、FIFO (First-In First-Out) バッファなど、様々なタイプのメモリをパリティ付きまたはパリティなしで実装できます。表 3-3 に、各種 RAM ブロックのサイズと特長を示します。

表 3-3. TriMatrix メモリの特長 (1 / 2)

メモリの特長	M512 RAM ブロック (32 × 18 ビット)	M4K RAM ブロック (128 × 36 ビット)	M-RAM ブロック (4K × 144 ビット)
最大性能	500 MHz	550 MHz	420 MHz
ツール・デュアル・ポート・メモリ		√	√
シンプル・デュアル・ポート・メモリ	√	√	√
シングル・ポート・メモリ	√	√	√
シフト・レジスタ	√	√	
ROM	√	√	(1)
FIFO バッファ	√	√	√
パック・モード		√	√
バイト・イネーブル	√	√	√
アドレス・クロック・イネーブル		√	√
パリティ・ビット	√	√	√
混合クロック・モード	√	√	√
メモリ初期化 (.mif)	√	√	
シンプル・デュアル・ポート・メモリの異なる幅のサポート	√	√	√
ツール・デュアル・ポート・メモリの異なる幅のサポート		√	√
パワーアップ時の状態	出力はクリア	出力はクリア	出力は未知
レジスタ・クリア	出力レジスタ	出力レジスタ	出力レジスタ
混在ポートにおける書き込み中の読み出し	未知の出力 / 古いデータ	未知の出力 / 古いデータ	未知の出力

表 3-3. TriMatrix メモリの特長 (2 / 2)

メモリの特長	M512 RAM ブロック (32 × 18 ビット)	M4K RAM ブロック (128 × 36 ビット)	M-RAM ブロック (4K × 144 ビット)
構成	512 × 1 256 × 2 128 × 4 64 × 8 64 × 9 32 × 16 32 × 18	4K × 1 2K × 2 1K × 4 512 × 8 512 × 9 256 × 16 256 × 18 128 × 32 128 × 36	64K × 8 64K × 9 32K × 16 32K × 18 16K × 32 16K × 36 8K × 64 8K × 72 4K × 128 4K × 144

表 3-3 の注：

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ時間またはホールド時間に違反すると、メモリの内容が破壊されることがあります。これはリード動作とライト動作の両方に適用されます。

TriMatrix メモリは、アプリケーションを効率的にサポートする3種類のメモリ・サイズを提供しています。Quartus II ソフトウェアは、最も効率的なサイズの組み合わせを使用して、ユーザ定義メモリを自動的にエンベデッド・メモリ・ブロックに分割します。設計者が手動で、特定のブロック・サイズ、または複数のブロック・サイズにメモリを割り当てることもできます。

M512 RAM ブロック

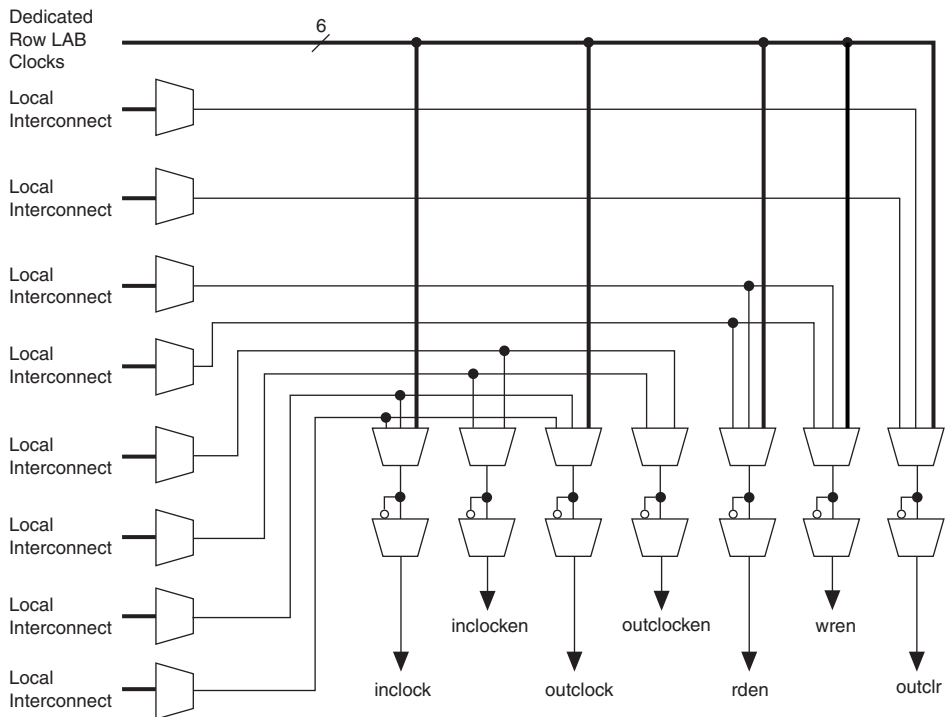
M512 RAM ブロックはシンプル・デュアル・ポート・メモリ・ブロックであり、小型の FIFO バッファ、DSP、クロック・ドメイン転送アプリケーションの実装に有用です。各ブロックに 576 RAM ビット (パリティ・ビットを含む) が含まれています。M512 RAM ブロックは以下のモードでコンフィギュレーションできます。

- シンプル・デュアル・ポート RAM
- シングル・ポート RAM
- FIFO
- ROM
- シフト・レジスタ

RAM または ROM としてコンフィギュレーションする場合、設計者は初期化ファイルを使用してメモリの内容をプリロードすることができます。

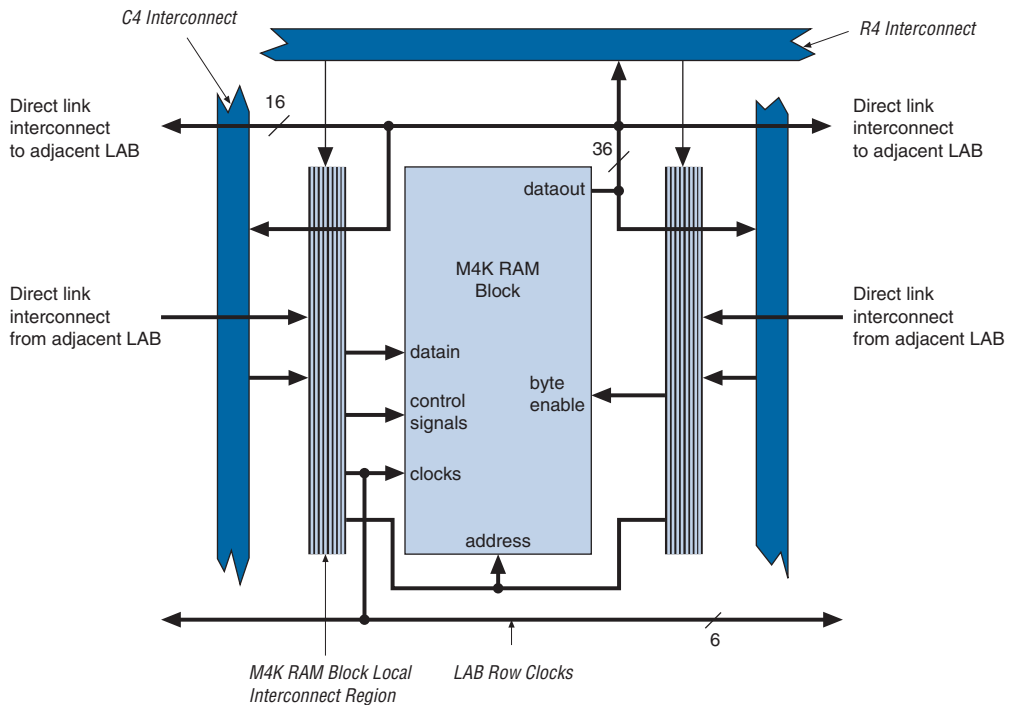
M512 RAM ブロックの入力と出力には異なるクロックが使用可能です。wren、datain、およびライト・アドレス・レジスタはすべて、ブロックに供給する 2 つのクロックのうちの 1 つから一緒にクロックされます。リード・アドレス、rden、および出力レジスタは、ブロックをドライブする 2 つのクロックのいずれかによってクロックでき、RAM ブロックはリード / ライトまたは入力 / 出力クロック・モードで動作できます。バイパスできるのは出力レジスタだけです。6 本の labclk 信号またはローカル・インタコネクタは、inclock、outclock、wren、rden、および outclr 信号をドライブできます。LAB と M512 RAM ブロックの間にある最先端インタコネクタにより、ALM は wren および rden 信号と RAM クロック、クロック・イネーブル、非同期クリア信号もコントロールできます。図 3-18 に、M512 RAM ブロック・コントロール信号を生成するロジックを示します。

図 3-18. M512 RAM ブロックのコントロール信号



Stratix II GX デバイス内の RAM ブロックには、ALM およびインタコネクで RAM ブロックをドライブ可能なローカル・インタコネクがあります。M512 RAM ブロックのローカル・インタコネクは、隣接する LAB からの R4、C4 およびダイレクト・リンク・インタコネクによってドライブされます。M512 RAM ブロックは、ロウ・インタコネクを通して左側または右側の LAB と、あるいはカラム・インタコネクによって左側または右側の LAB カラムと通信することができます。M512 RAM ブロックへのダイレクト・リンク入力接続は、左に隣接する LAB から最大 16 本、右に隣接する LAB からさらに最大 16 本です。M512 RAM 出力は、ダイレクト・リンク・インタコネクを通して、左側または右側の LAB にも接続できます。M512 RAM ブロックでは、LAB が左側にある場合も右側にある場合も LAB とのアクセスは均等で、性能も同じです。図 3-19 に、M512 RAM ブロックとロジック・アレイ間のインタフェースを示します。

図 3-19. M512 RAM ブロックの LAB ロウ・インタフェース



M4K RAM ブロック

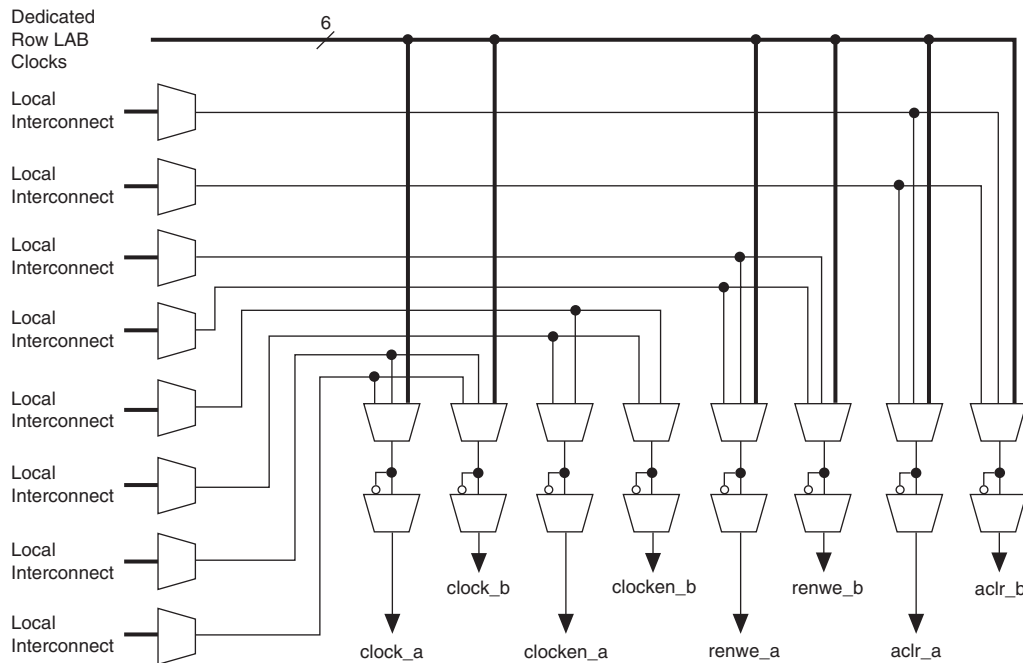
M4K RAM ブロックには、トゥルー・デュアル・ポート RAM に対するサポート機能があります。M4K RAM ブロックは、プロセッサ・コードの格納、ルック・アップ方式の実装、大容量メモリ・アプリケーションの実装など、多様なアプリケーション用バッファの実装に使用されます。各ブロックには 4,608 RAM ビット（パリティ・ビットを含む）が含まれています。M4K RAM ブロックは以下のモードでコンフィギュレーションできます。

- トゥルー・デュアル・ポート RAM
- シンプル・デュアル・ポート RAM
- シングル・ポート RAM
- FIFO
- ROM
- シフト・レジスタ

RAM または ROM としてコンフィギュレーションする場合、設計者は初期化ファイルを使用してメモリの内容をプリロードすることができます。

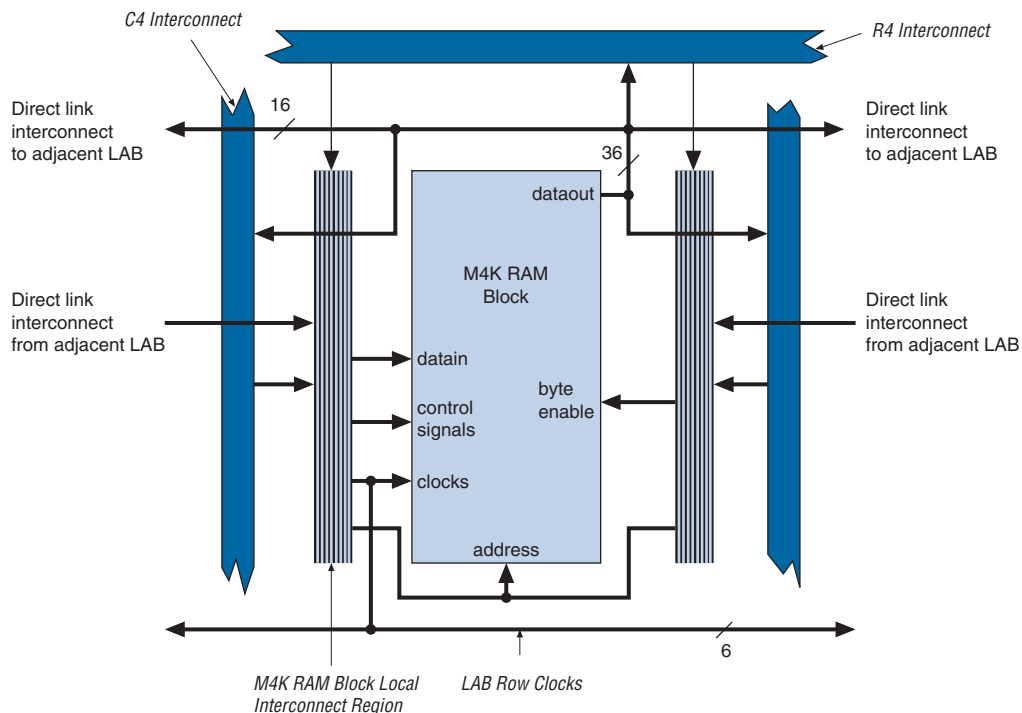
M4K RAM ブロックの入力と出力には異なるクロックが使用可能です。クロックに供給する 2 つのクロックのいずれかが、M4K RAM ブロック・レジスタ (renwe, address, byte enable, datain, および output レジスタ) をクロックできます。バイパスできるのは出力レジスタだけです。6 本の labclk 信号またはローカル・インタコネクトは、M4K RAM ブロックの A または B ポートに対するコントロール信号をドライブできます。ALM は、[図 3-20](#) に示すとおり、clock_a、clock_b、renwe_a、renwe_b、clr_a、clr_b、clocken_a、および clocken_b 信号もコントロールできます。

図 3-20. M4K RAM ブロックのコントロール信号



隣接する LAB からの R4、C4、およびダイレクト・リンク・インタコネクトは、M4K RAM ブロックのローカル・インタコネクトをドライブします。M4K RAM ブロックは、ロウ・リソースを通して左側または右側の LAB と、あるいはカラム・リソースを通して右側または左側の LAB カラムと通信することができます。M4K RAM ブロックへのダイレクト・リンク入力接続は、左に隣接する LAB から最大 16 本、右に隣接する LAB からさらに最大 16 本が可能です。M4K RAM ブロック出力は、ダイレクト・リンク・インタコネクトを通して、左側および右側の LAB にも接続できます。図 3-21 に、M4K RAM ブロックとロジック・アレイ間のインタフェースを示します。

図 3-21. M4K RAM ブロックの LAB ロウ・インタフェース



M-RAM ブロック

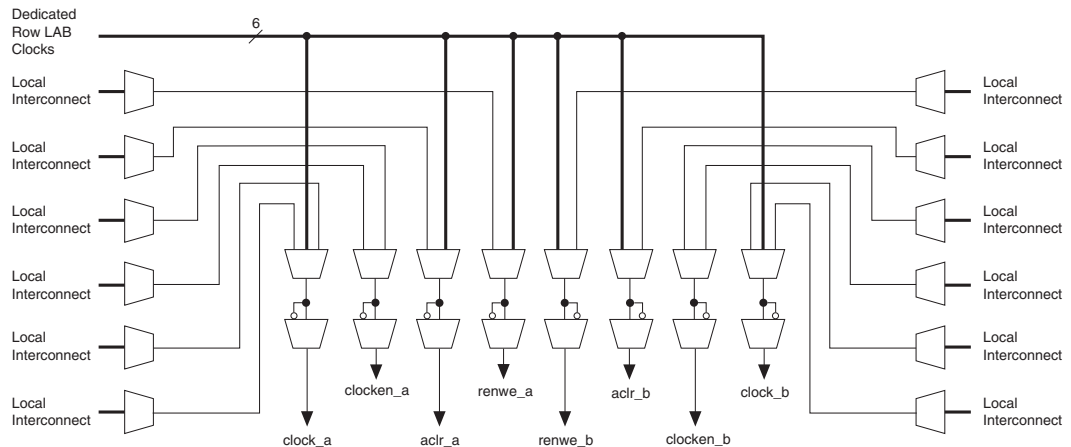
最も大きな TriMatrix メモリ・ブロックである M-RAM ブロックは、大量のデータをチップ上に格納する必要があるアプリケーションに有用です。各ブロックに 589,824 RAM ビット（パリティ・ビットを含む）が含まれています。M-RAM ブロックは以下のモードでコンフィギュレーションできます。

- ツール・デュアル・ポート RAM
- シンプル・デュアル・ポート RAM
- シングル・ポート RAM
- FIFO

設計者が初期化ファイルを使用して M-RAM ブロックの内容をイニシャライズすることはできません。M-RAM ブロックの内容はパワーアップ時にはすべて不定値になっています。M-RAM ブロックでは同期動作しかサポートされないため、すべての入力ラッチされます。出力レジスタはバイパスできます。

すべての RAM ブロックと同様に、M-RAM ブロックの入力と出力にも異なるクロックが使用可能です。ブロックに供給する 2 つのクロックのいずれかが、M-RAM ブロック・レジスタ (renwe、アドレス、バイト・イネーブル、datain、および出力レジスタ) をクロックできます。出力レジスタはバイパスできます。6 本の labc1k 信号またはローカル・インタコネクは、M-RAM ブロックの A および B ポートに対するコントロール信号をドライブできます。ALM は、[図 3-22](#) に示すとおり、clock_a、clock_b、renwe_a、renwe_b、clr_a、clr_b、clocken_a、および clocken_b 信号もコントロールできます。

図 3-22. M-RAM ブロックのコントロール信号



右側または左側の隣接する LAB からの R4、R24、C4、およびダイレクト・リンク・インタコネクは、M-RAM ブロックのローカル・インタコネクをドライブします。M-RAM ブロックへのダイレクト・リンク入力接続は、左に隣接する LAB から最大 16 本、右に隣接する LAB からさらに最大 16 本が可能です。M-RAM ブロック出力は、ダイレクト・リンク・インタコネクを通して、左側または右側の LAB にも接続できます。[図 3-23](#) は、EP2SGX130 デバイスのフロアプラン例と M-RAM インタフェースの位置を示します。[図 3-24](#) および [3-25](#) に、M-RAM ブロックとロジック・アレイ間のインタフェースを示します。

図 3-23. EP2SGX130 デバイスと M-RAM インタフェースの位置

注 (1)

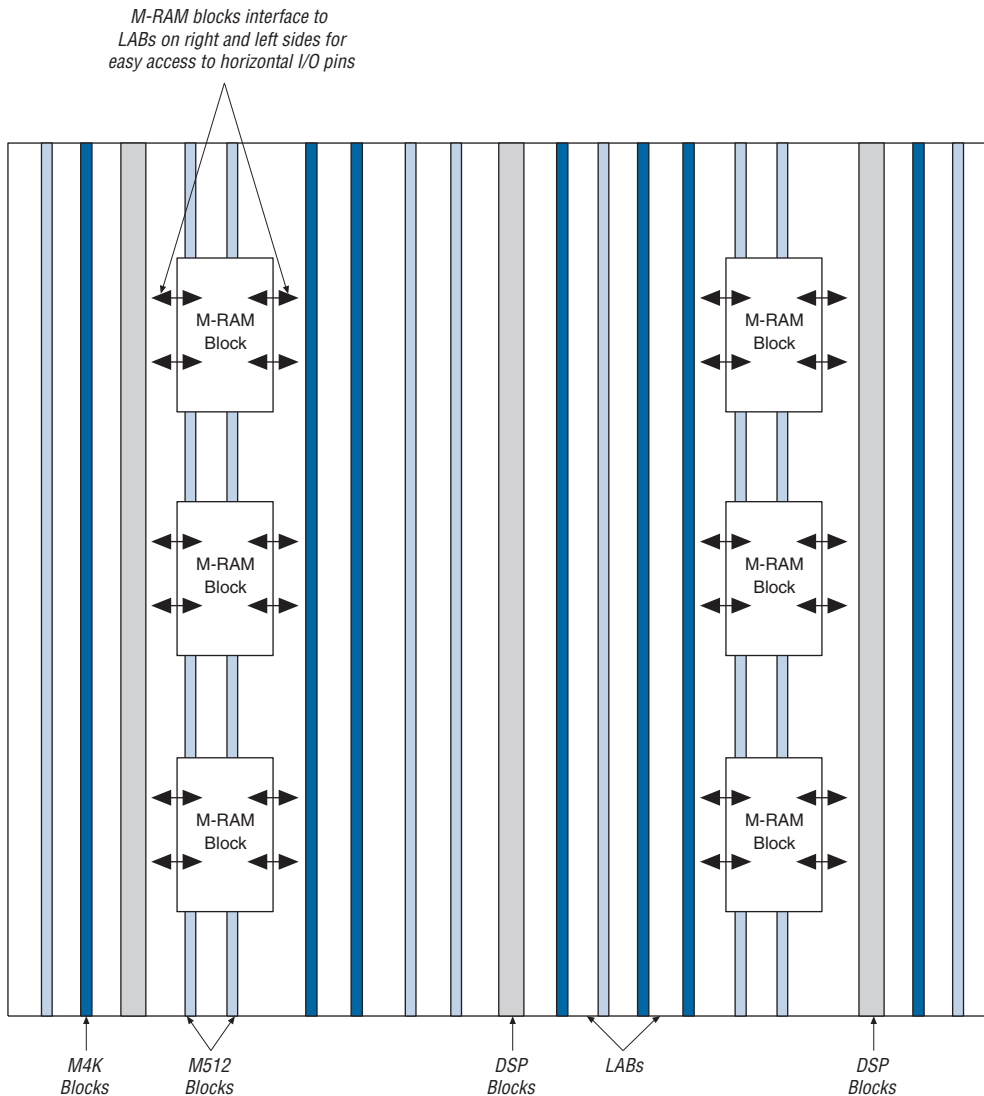


図 3-23 の注：

(1) 図のデバイスは EP2SGX130 です。M-RAM ブロックの数と位置はデバイスごとに異なります。

図 3-24. M-RAM ブロックの LAB ロウ・インタフェース

注 (1)

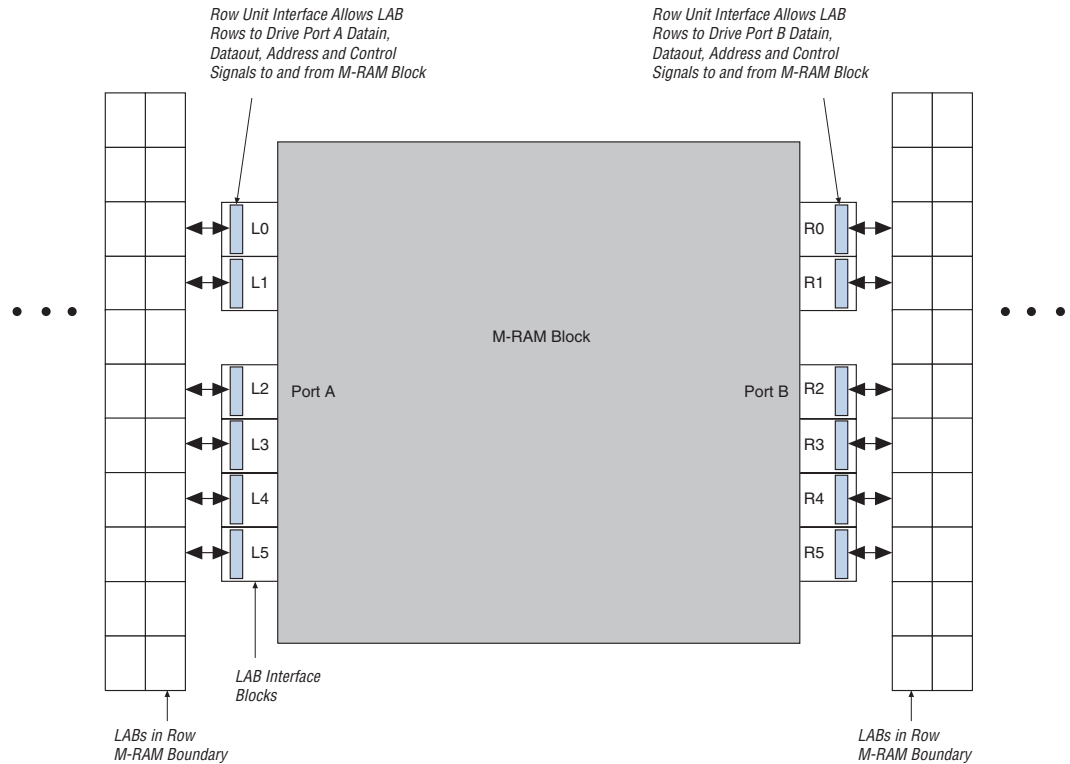


図 3-24 の注：

(1) R24 および C16 インタコネクタのみが M-RAM ブロックの境界を横切ります。

図 3-25. インタコネクต์への M-RAM ロウ・ユニットのインタフェース

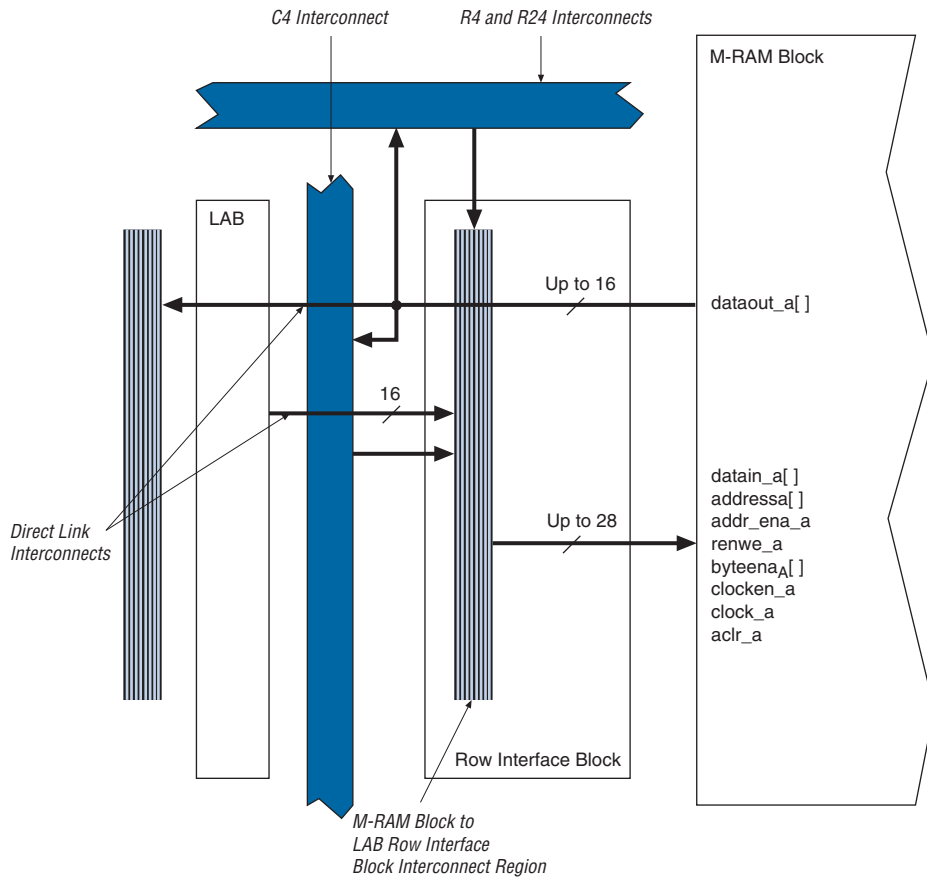


表 3-4 に、ロウ・ユニット・インタフェース (L0 ~ L5 および R0 ~ R5) へのアドレスおよびコントロール信号入力の接続と共に入力および出力データ信号の接続を示します。

表 3-4. M-RAM ロウ・インタフェース・ユニットの信号		
インタフェース・ブロック・ユニット	入力信号	出力信号
L0	datain_a[14..0] byteena_a[1..0]	dataout_a[11..0]
L1	datain_a[29..15] byteena_a[3..2]	dataout_a[23..12]
L2	datain_a[35..30] addressa[4..0] addr_ena_a clock_a clocken_a renwe_a aclr_a	dataout_a[35..24]
L3	addressa[15..5] datain_a[41..36]	dataout_a[47..36]
L4	datain_a[56..42] byteena_a[5..4]	dataout_a[59..48]
L5	datain_a[71..57] byteena_a[7..6]	dataout_a[71..60]
R0	datain_b[14..0] byteena_b[1..0]	dataout_b[11..0]
R1	datain_b[29..15] byteena_b[3..2]	dataout_b[23..12]
R2	datain_b[35..30] addressb[4..0] addr_ena_b clock_b clocken_b renwe_b aclr_b	dataout_b[35..24]
R3	addressb[15..5] datain_b[41..36]	dataout_b[47..36]
R4	datain_b[56..42] byteena_b[5..4]	dataout_b[59..48]
R5	datain_b[71..57] byteena_b[7..6]	dataout_b[71..60]



デジタル信号 処理ブロック

TriMatrix メモリについて詳しくは、「Stratix II GX デバイス・ハンドブック Volume 2」の「Stratix II GX デバイスの TriMatrix エンベデッド・メモリ・ブロック」の章を参照してください。

一般的に使用される DSP ファンクションは、FIR (Finite Impulse Response) フィルタ、複合 FIR フィルタ、IIR (Infinite Impulse Response) フィルタ、高速フーリエ変換 (FFT) ファンクション、DCT (Direct Cosine Transform) ファンクション、相関器などです。これらはすべて、基本的なビルディング・ブロックとして乗算器を使用します。さらに、積和演算や積算演算などの特殊演算を必要とするアプリケーションもあります。Stratix II GX デバイスは、これらの機能の演算要件を満たすために DSP ブロックを提供しています。

ALMベースの実装よりも高速かつ効率的に DSP 機能を実装するために、各 Stratix II GX デバイスには 2 ~ 4 カラムの DSP ブロックがあります。Stratix II GX デバイスは、1 カラムあたり最大 24 個の DSP ブロックを備えています (表 3-5 を参照)。各 DSP ブロックは最大で以下をサポートするようにコンフィギュレーションできます。

- 8 個の 9×9 ビット乗算器
- 4 個の 18×18 ビット乗算器
- 1 個の 36×36 ビット乗算器

図に示すとおり、Stratix II GX の DSP ブロックは 1 つの DSP ブロックで 1 つの 36×36 ビット乗算器をサポートでき、符号付き、符号なし、または混在符号乗算の任意の組み合わせに対応します。

図 3-26 に、カラムの 1 つとその周りの LAB ロウを示します。

図 3-26. カラム内に配置された DSP ブロック

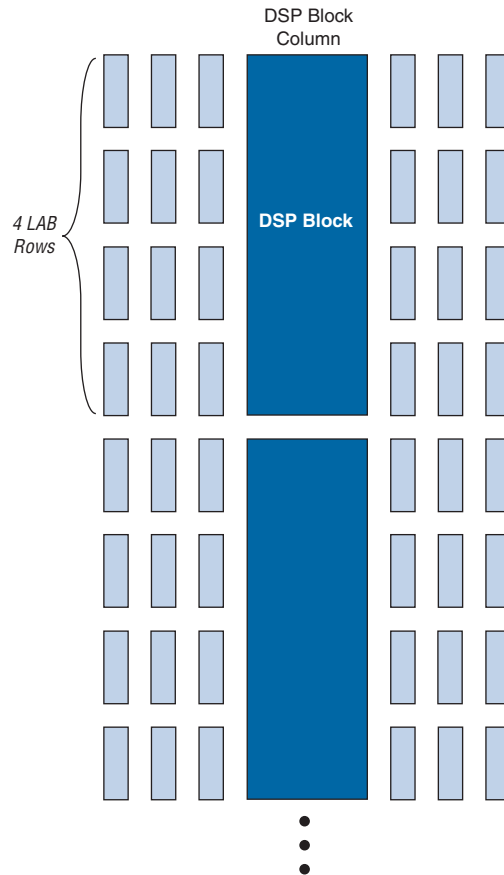


表 3-5 に、各 Stratix II GX デバイスの DSP ブロック数を示します。DSP ブロックの乗算器は、コンフィギュレーションに応じて、ブロック内の加算器/減算器または乗算累積器にオプションで信号を供給できます。すべての接続とブロックが DSP ブロック内に存在するため、これによって ALM への配線が容易になり、ALM の配線リソースが節約されて性能が向上します。

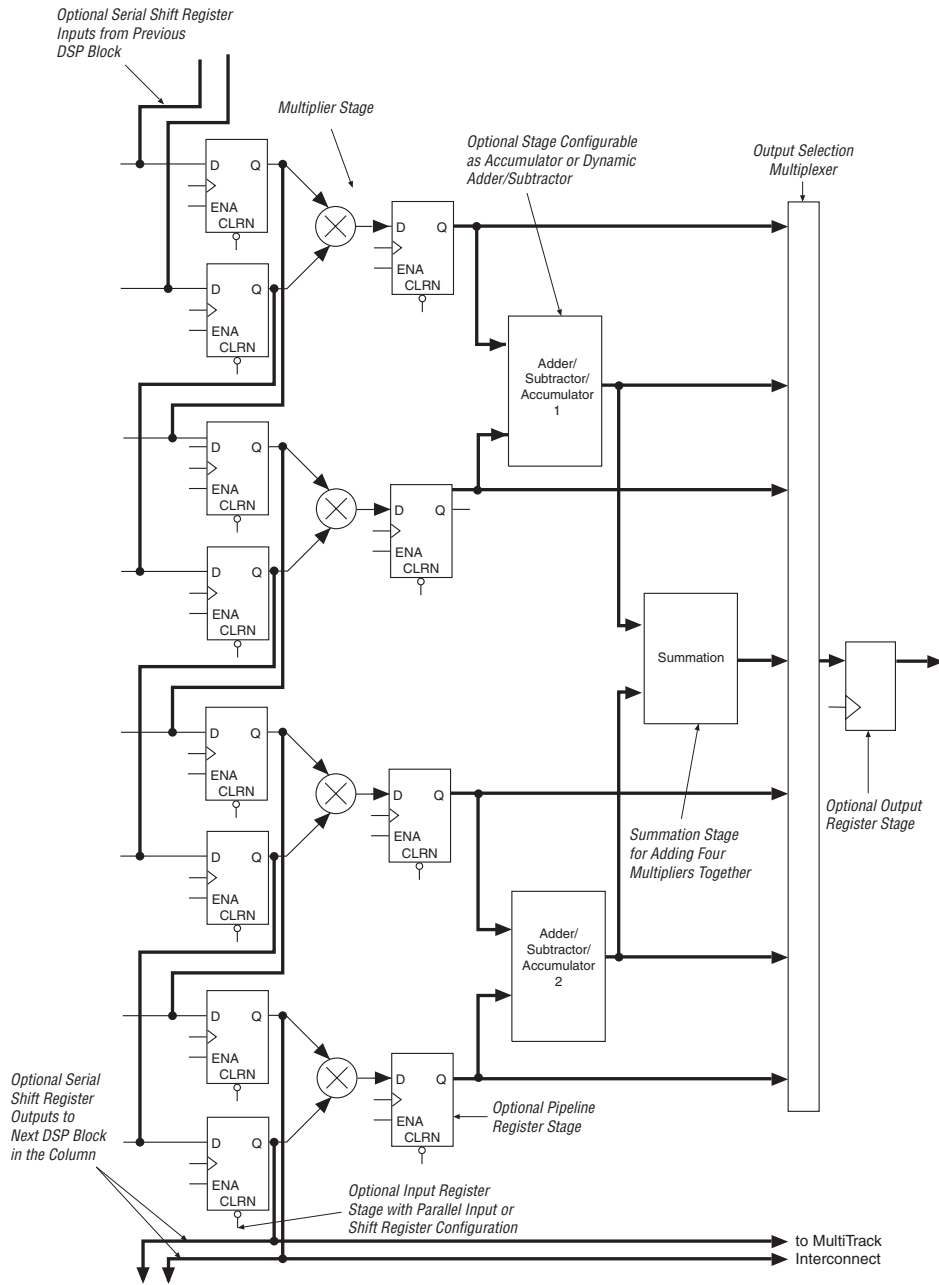
デバイス	DSP ブロック	9 × 9 乗算器の 総数	18 × 18 乗算器の 総数	36 × 36 乗算器の 総数
EP2SGX30	16	128	64	16
EP2SGX60	36	288	144	36
EP2SGX90	48	384	192	48
EP2SGX130	63	504	252	63

表 3-5 の注：

- (1) このリストには、1つのDSPブロックに収容できるファンクションのみが示されています。複数の DSP ブロックの場合は、さらに大きな乗算ファンクションをサポートできます。

さらに、DSP ブロックの入力レジスタは、FIR フィルタ・アプリケーション用のシフト・レジスタを効率的に実装でき、また DSP ブロックは Q1.15 フォーマットの丸めと飽和をサポートします。図 3-27 は、18 × 18 ビット乗算器モードにコンフィギュレーションした DSP ブロックのトップ・レベルの図を示しています。

図 3-27. 18 × 18 ビット・コンフィギュレーションの DSP ブロック図



動作モード

DSP ブロックの加算器、減算器、および累算ファンクションには、以下の4つの動作モードがあります。

- 単純な乗算器
- 乗算累積器
- 2乗算器・加算器
- 4乗算器・加算器

表 3-6 に、各 DSP ブロック・モードで可能な乗算器の数をサイズごとに示します。これらのモードでは、DSP ブロックによって、FFT、複合 FIR フィルタ、FIR フィルタ、2D FIR フィルタ、イコライザ、IIR、相関器、マトリックス乗算、およびその他多数のファンクションを含む、数多くの DSP アプリケーションを実装できます。DSP ブロックは、同一のブロック内で異なるモードおよび異なる乗算器サイズもサポートします。例えば、1 個の DSP ブロックの半分で乗算累積器モードの 18×18 ビット乗算器を 1 個実装し、残りの半分で単純な乗算器モードの 9×9 ビット乗算器を 4 個実装することができます。

DSP ブロックのモード	9×9	18×18	36×36
乗算器	8 個の乗算器と 8 つの積の出力	4 個の乗算器と 4 つの積の出力	1 個の乗算器と 1 つの積の出力
乗算累積器	-	2 つの 52 ビット乗算累積ブロック	-
2 乗算器・加算器	4 つの 2 乗算器・加算器 (2 つの 9×9 複素数乗算)	2 つの 2 乗算器・加算器 (1 つの 18×18 複素数乗算)	-
4 乗算器・加算器	2 つの 4 乗算器・加算器	1 つの 4 乗算器・加算器	-

DSP ブロックのインタフェース

Stratix II GX デバイスの DSP ブロック入力レジスタは、同じ DSP ブロックのカラム内でカスケード接続できるシフト・レジスタを生成できます。DSP ブロック間の専用接続によって、シフト・レジスタ・チェーンをカスケード接続するためのシフト・レジスタ入力間的高速接続が提供されます。ユーザは、4 タップを超える 9×9 ビットまたは 18×18 ビット FIR フィルタを実現するために、ALM 内に追加の加算器ステージを実装し、複数の DSP ブロック内のレジスタをカスケード接続できます。DSP ブロックが 36×36 ビットとしてコンフィギュレーションされる場合、加算器、減算器、または乗算累積器ステージは ALM 内に実装されます。各 DSP ブロックからシフト・レジスタ・チェーンを配線して、DSP ブロックの複数のカラムをカスケード接続することができます。

DSP ブロックは、左側および右側にある 4 本の LAB ロウにインタフェースする 4 つのブロック単位に分割されます。各ブロック単位は、36 個の入力と 36 個の出力を持つ 1 個の完全な 18×18 ビット乗算器と考えることができます。ローカル・インタコネク領域は各 DSP ブロックに関連しています。LAB と同様に、このインタコネク領域には、同一ロウ内の DSP ブロックの左側または右側にある LAB から出ている 16 本のダイレクト・リンク・インタコネクから信号を供給できます。R4 および C4 の配線リソースは、DSP ブロックのローカル・インタコネク領域にアクセスできます。出力も LAB 出力と同様に機能します。DSP ブロックからの 18 本の出力はダイレクト・リンク・インタコネクによって左側の LAB にドライブでき、残りの 18 本はダイレクト・リンク・インタコネクによって右側の LAB にドライブできます。36 個の出力は R4 および C4 配線のインタコネクにドライブできます。出力は右側または左側のカラム配線をドライブできます。

図 3-28 および 3-29 に、LAB ロウへの DSP ブロック・インタフェースを示します。

図 3-28. DSP ブロックのインタコネクットのインタフェース

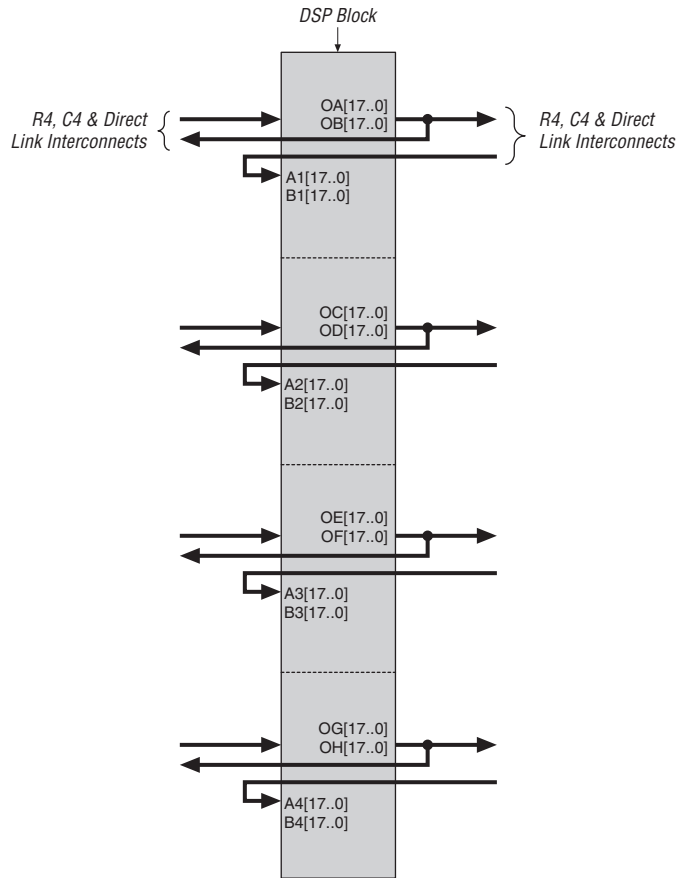
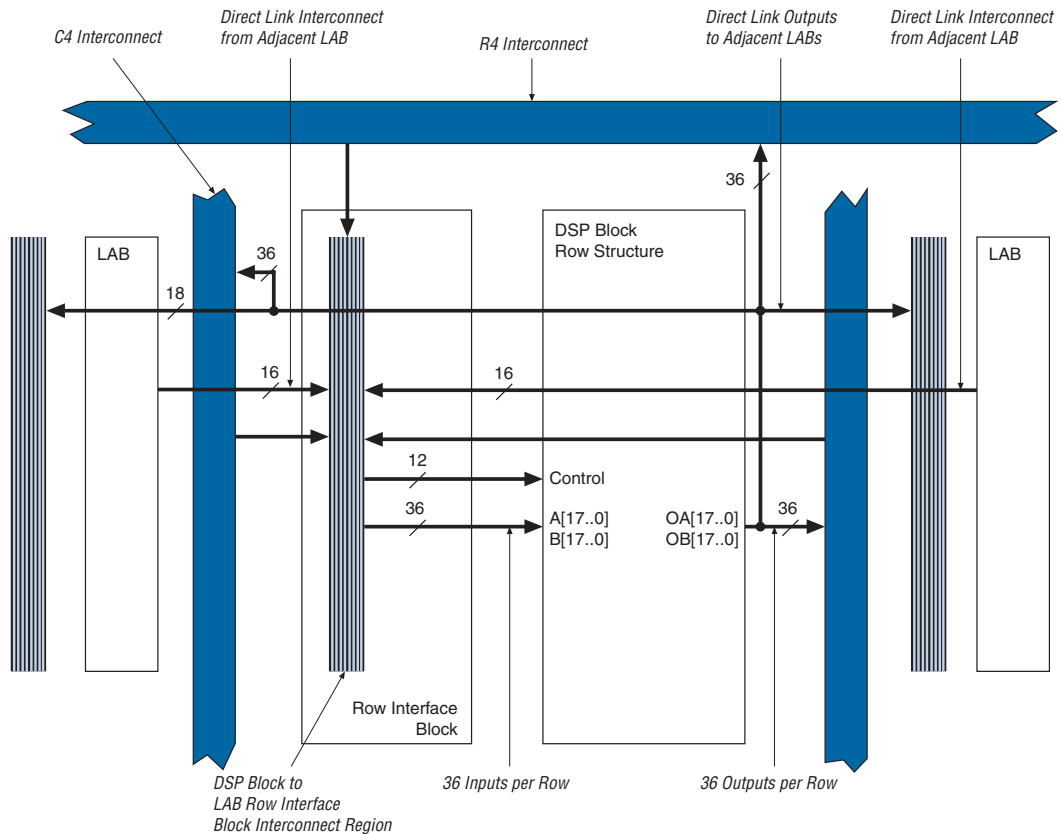


図 3-29. インタコネクトへの DSP ブロックのインタフェース



44本のコントロール信号で構成されるバスが、DSPブロック全体に信号を供給します。これらの信号には、クロック、非同期クリア、クロック・イネーブル、符号付き/符号なしコントロール信号、加算および減算コントロール信号、丸めおよび飽和コントロール信号、アキュムレータ同期ロードなどが含まれます。クロック信号はLABロウのクロックからきており、DSPブロック・インタフェースの特定のLABロウから生成されます。コントロール信号、データ入力、およびデータ出力に対するLABロウ・ソースを表3-7に示します。



DSP ブロックについて詳しくは、「Stratix II GX デバイス・ハンドブック Volume 2」の「Stratix II GX デバイスの DSP ブロック」の章を参照してください。

表 3-7. DSP ブロックの信号ソースおよび送信先			
インタフェースでの LAB ロウ	生成される コントロール信号	データ入力	データ出力
0	clock0 aclr0 ena0 mult01_saturate addnsub1_round/ accum_round addnsub1 signa sourcea sourceb	A1[17..0] B1[17..0]	OA[17..0] OB[17..0]
1	clock1 aclr1 ena1 accum_saturate mult01_round accum_sload sourcea sourceb mode0	A2[17..0] B2[17..0]	OC[17..0] OD[17..0]
2	clock2 aclr2 ena2 mult23_saturate addnsub3_round/ accum_round addnsub3 sign_b sourcea sourceb	A3[17..0] B3[17..0]	OE[17..0] OF[17..0]
3	clock3 aclr3 ena3 accum_saturate mult23_round accum_sload sourcea sourceb mode1	A4[17..0] B4[17..0]	OG[17..0] OH[17..0]

PLL & クロック・ネットワーク

Stratix II GX デバイスは、階層的なクロック構造および最先端の機能を備えた複数の PLL (Phase-Locked Loop) を提供します。enhanced PLL および fast PLL によって実現されるクロック合成の精度と多数のクロック・リソースを組み合わせることにより、完全なクロック管理ソリューションを提供します。

グローバルおよび階層クロック

Stratix II GX デバイスは、16 の専用グローバル・クロック・ネットワーク、32 のリージョナル・クロック・ネットワーク（4 分割されたデバイスのそれぞれのエリアにつき 8 本のクロック）を提供します。これらのクロックは、小さなスキューおよび遅延でデバイス領域ごとに最大 24 個のクロックを許容できる階層的なクロック構造に編成されています。この階層クロック方式によって、Stratix II GX デバイス内で最大 48 の独立したクロック・ドメインを提供します。

グローバル・クロック・ネットワークまたはリージョナル・クロック・ネットワークをドライブする 16 本のクロック専用ピン（CLK[15..0]）があります。4 本のクロック・ピンは、[図 3-30](#) および [3-31](#) に示すように、デバイスの各サイドをドライブします。内部ロジックと enhanced および fast PLL 出力は、グローバル・クロック・ネットワークおよびリージョナル・クロック・ネットワークもドライブできます。各グローバルおよびリージョナル・クロックには、クロック・ソースの選択をコントロールし、クロックをダイナミックにイネーブル / ディセーブルすることにより消費電力を低減するクロック・コントロール・ブロックがあります。[表 3-8](#) に、グローバルおよびリージョナル・クロックの特長を示します。

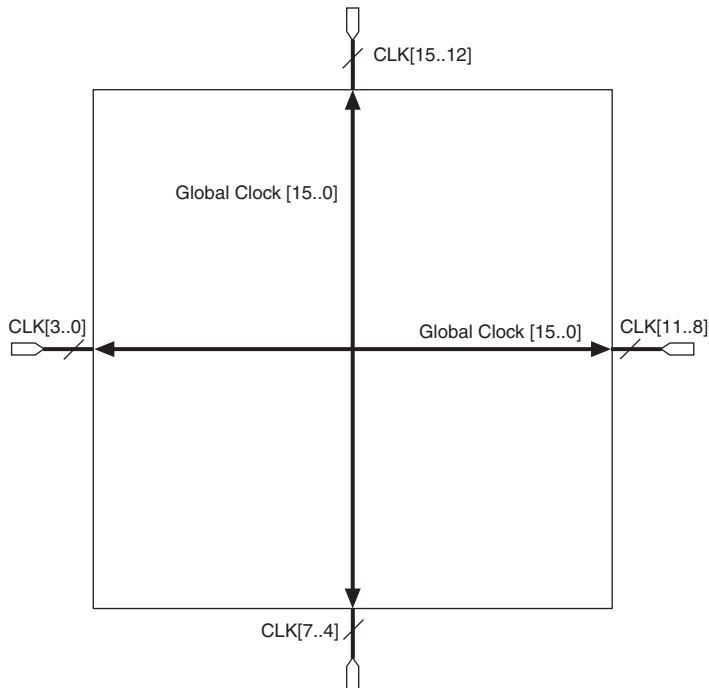
表 3-8. グローバルおよびリージョナル・クロックの特長

特長	グローバル・クロック	リージョナル・クロック
1 デバイスあたりの数	16	32
1 エリアあたり 使用可能な数	16	8
ソース	クロック・ピン、PLL 出力、 コア配線、トランシーバ間 クロック	クロック・ピン、PLL 出力、 コア配線、トランシーバ間 クロック
ダイナミック・ クロック・ソース選択	√	
ダイナミック・イネー ブル / ディセーブル	√	√

グローバル・クロック・ネットワーク

これらのクロックは、デバイスの4つのエリアにクロックを供給してデバイス全体をドライブします。グローバル・クロック・ネットワークは、デバイス内のすべてのリソース（IOE、ALM、DSP ブロック、および全メモリ・ブロック）に対するクロック・ソースとして使用できます。これらのリソースは、外部ピンから供給されるクロック・イネーブル、同期クリア、または非同期クリアなどのコントロール信号に使用することも可能です。グローバル・クロック・ネットワークは、内部で生成されるグローバル・クロックや非同期クリア、クロック・イネーブル、あるいはファンアウトの大きい他のコントロール信号用の内部ロジックでもドライブできます。図 3-30 に、グローバル・クロック・ネットワークをドライブする 12 本の専用 CLK ピンを示します。

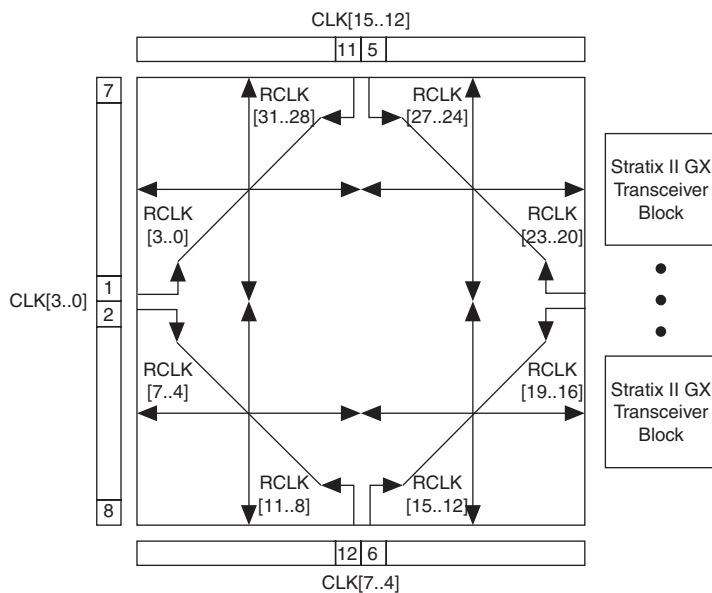
図 3-30. グローバル・クロック



リージョナル・クロック・ネットワーク

専用の CLK[15..0] 入力ピン、PLL 出力、または内部ロジックによってドライブされる Stratix II GX デバイスの 4 つの各エリアには、8 つのリージョナル・クロック・ネットワーク RCLK[7..0] があります。リージョナル・クロック・ネットワークは、1 つのエリア内に含まれるロジックに対して、最小のクロック遅延とスキューを実現します。CLK ピンは、[図 3-31](#) に示すとおり、特定のエリア内の CLK ネットワークを対称的にドライブします。

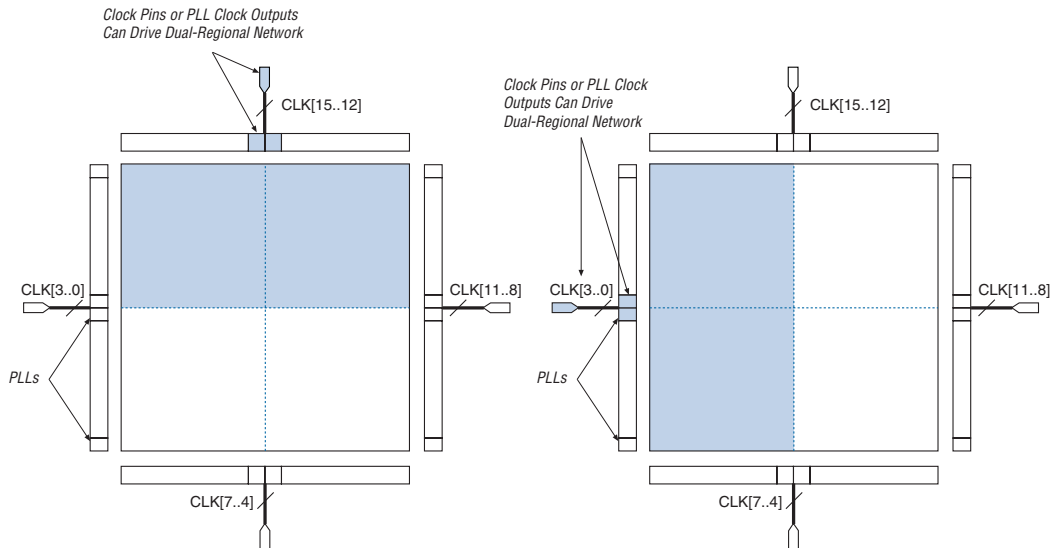
図 3-31. リージョナル・クロック



デュアル・リージョナル・クロック・ネットワーク

1つのソース（CLK ピンまたは PLL 出力）が、隣接するエリア内の2つのリージョナル・クロック・ネットワーク・ライン（各エリアから1つ）をドライブして、デュアル・リージョナル・クロックを生成できます。これにより、複数のエリアにまたがるロジックが同じ低スキュー・クロックを利用できます。このクロック信号を全サイドに配線する場合、1つのエリアをドライブするクロック信号と比較して速度はほぼ同じですが、クロック・スキューはわずかに高くなります。内部ロジック・アレイ配線は、デュアル・リージョナル・クロックをドライブできます。トップおよびボトムのクロック・ピンおよび enhanced PLL 出力は、水平方向のデュアル・リージョナル・クロックをドライブできます。図 3-32 に示すように、左または右のクロック・ピンおよび fast PLL 出力は垂直方向のデュアル・リージョナル・クロックをドライブできます。コーナー PLL はデュアル・リージョナル・クロックをドライブできません。

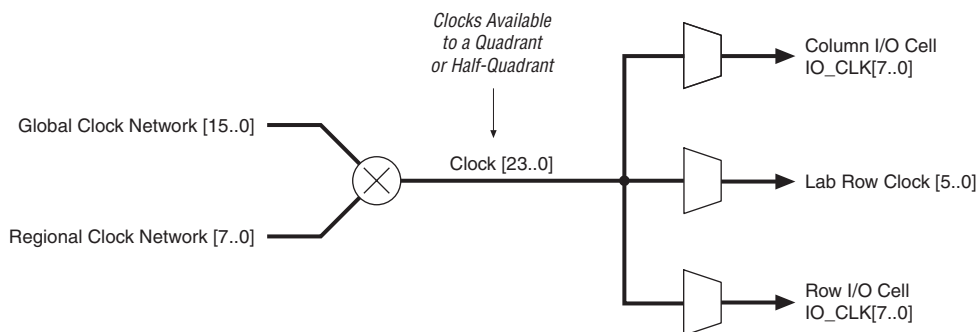
図 3-32. デュアル・リージョナル・クロック



リソースの結合

各エリア内には、16本のグローバル・クロック・ラインおよび8本のリージョナル・クロック・ラインで構成される24種類のクロック専用リソースがあります。マルチプレクサはこれらのクロックと共に使用され、LAB ロウ・クロック、カラム IOE クロック、またはロウ IOE クロックをドライブするバスを形成します。別のマルチプレクサを LAB レベルで使用して、LAB 内の ALM レジスタに供給する6つのロウ・クロックのうち3つを選択します (図 3-33 を参照)。

図 3-33. エリアごとの階層クロック・ネットワーク



IOE クロックには、24のエリアおよび1/2のエリア・クロック・リソースから選択された8本のI/Oクロック信号によってクロックされるロウおよびカラム・ブロック領域があります。I/Oクロック領域に対するエリアの関係図を図 3-34 および 3-35 に示します。

図 3-34. EP2SGX30 デバイス I/O クロック・グループ

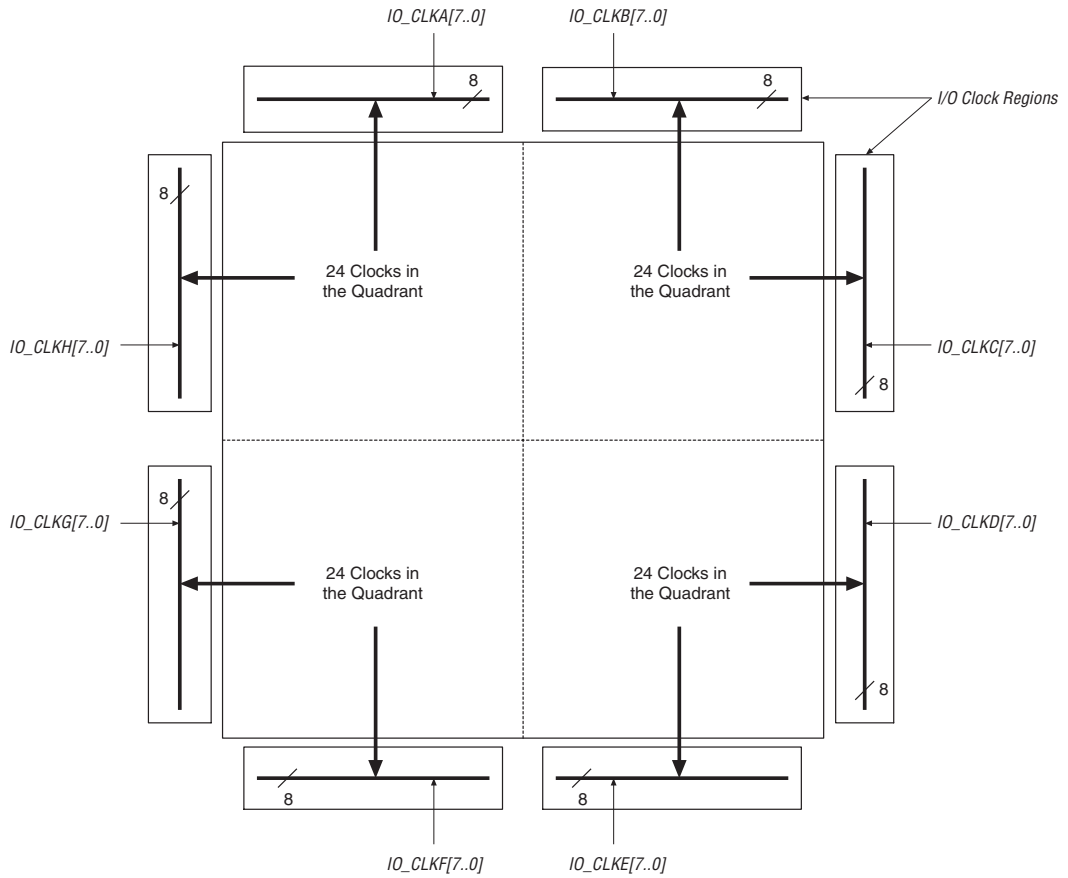
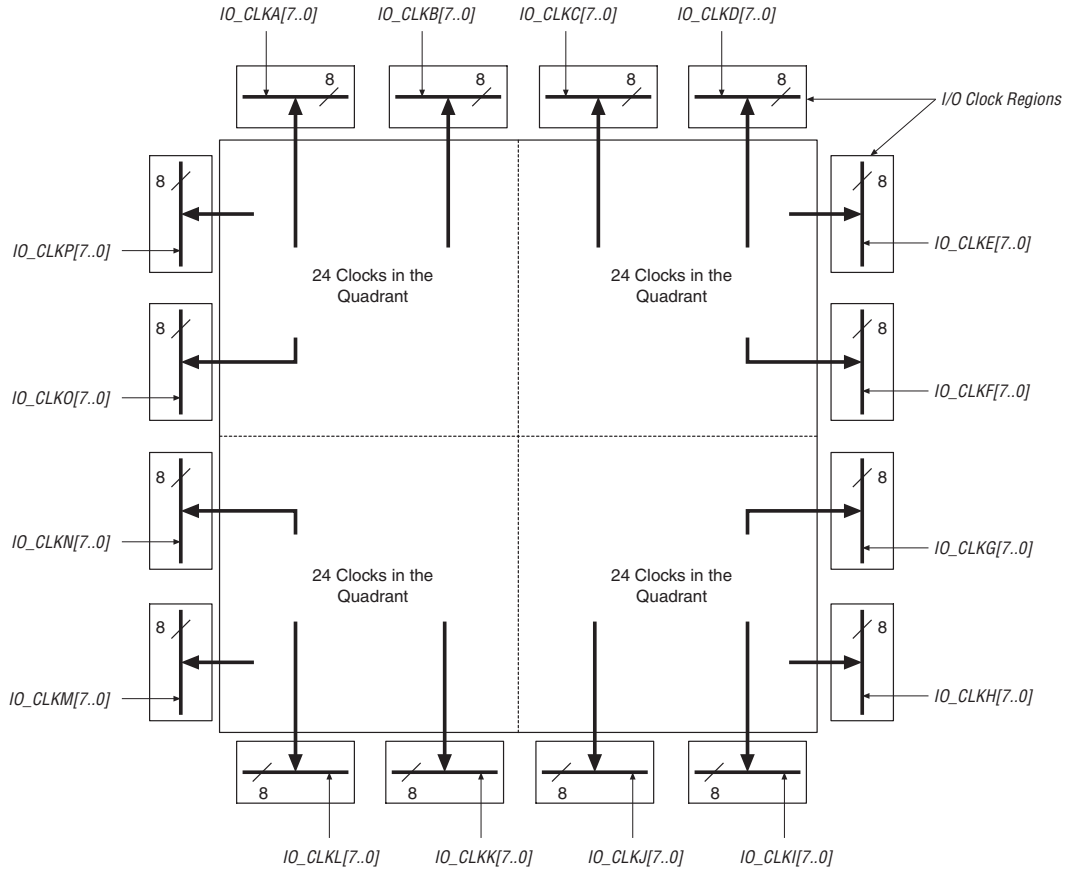


図 3-35. EP2SGX60、EP2SGX90、および EP2SGX130 デバイスの I/O クロック・グループ



設計者は Quartus II ソフトウェアを使用して、クロック入力ピンでグローバル、リージョナル、またはデュアル・リージョナル・クロック・ネットワークのいずれをドライブするかをコントロールできます。指定されなかった場合、Quartus II ソフトウェアは自動的にクロック・リソースを選択します。

クロック・コントロール・ブロック

各グローバル・クロック、リージョナル・クロック、および PLL 外部クロック出力には、専用のクロック・コントロール・ブロックがあります。コントロール・ブロックは以下の 2 つの機能を備えています。

- クロック・ソースの選択（グローバル・クロックに対してはダイナミック選択）
- クロックのパワーダウン（ダイナミック・クロック・イネーブル/ディセーブル）

図 3-36 から 3-38 に、グローバル・クロック、リージョナル・クロック、および PLL 外部クロック出力のクロック・コントロール・ブロックを示します。

図 3-36. グローバル・クロック・コントロール・ブロック

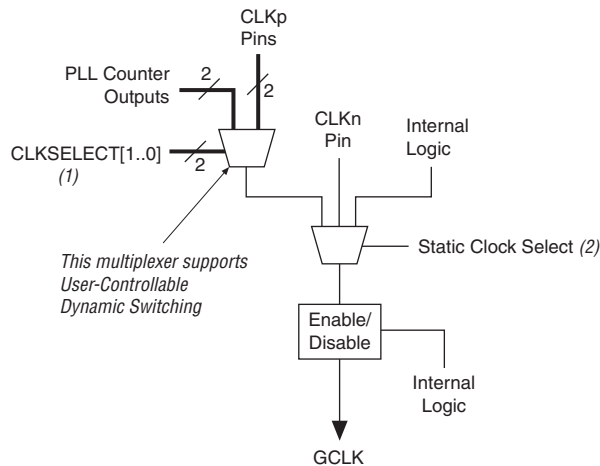


図 3-36 の注：

- (1) これらのクロック選択信号は、デバイスがユーザ・モードで動作しているときに、内部ロジックを通してダイナミックにコントロールできます。
- (2) これらのクロック選択信号は、コンフィギュレーション・ファイル（SRAM オブジェクト・ファイル (.sof) またはプログラマ・オブジェクト・ファイル (.pof)）を通してのみ設定でき、ユーザ・モードの動作中はダイナミックにコントロールすることはできません。

図 3-37. リージョナル・クロック・コントロール・ブロック

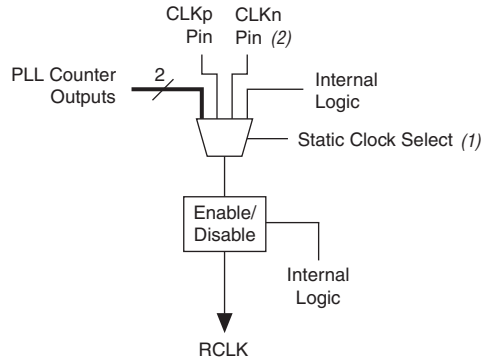


図 3-37 の注：

- (1) これらのクロック選択信号は、コンフィギュレーション・ファイル (SOF または POF) を通してのみ設定でき、ユーザ・モードの動作中はダイナミックにコントロールすることはできません。
- (2) デバイスのトップおよびボトムの CLKn ピンのみ、リージョナル・クロック選択への供給に使用されます。

図 3-38. 外部 PLL 出力クロック・コントロール・ブロック

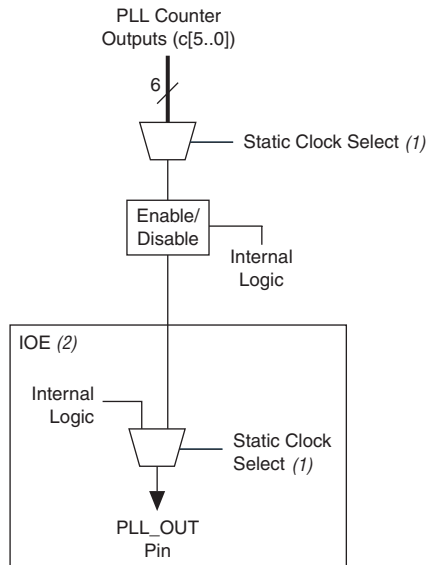


図 3-38 の注：

- (1) これらのクロック選択信号は、コンフィギュレーション・ファイル (SOF または POF) を通してのみ設定でき、ユーザ・モードの動作中はダイナミックにコントロールすることはできません。
- (2) クロック・コントロール・ブロックは、PLL_OUT ピンの IOE 内のマルチプレクサに信号を供給します。PLL_OUT ピンは兼用ピンです。したがって、このマルチプレクサは内部信号またはクロック・コントロール・ブロックの出力のいずれかを選択します。

グローバル・クロック・コントロール・ブロックでは、クロック・ソースの選択はスタティックまたはダイナミックにコントロールできます。設計者には、Quartus II ソフトウェアを使用してコンフィギュレーション・ファイル (SOF または POF) の特定のコンフィギュレーション・ビットを設定することにより、クロック・ソースをスタティックに選択するオプションがあります。あるいは、内部ロジックを使用してマルチプレクサ選択入力をドライブすることにより、ダイナミックに選択をコントロールすることも可能です。スタティックに選択する場合、クロック・ソースは選択マルチプレクサのどの入力にも設定できます。クロック・ソースをダイナミックに選択するとき、ユーザは2つの PLL 出力のいずれか (1 個の PLL からの c0 または c1 出力など)、2 個の PLL (1 個の PLL の c0/c1 クロック出力または他の PLL の c0/c1 クロック出力など) のいずれか、2 本のクロック・ピン (CLK0 または CLK1 など) のいずれか、あるいはクロック・ピンまたは PLL 出力の組み合わせのいずれかから選択できます。

リージョナルおよび PLL_OUT クロック・コントロール・ブロックでは、クロック・ソース選択はコンフィギュレーション・ビットを使用してスタティックにのみコントロールできます。クロック選択マルチプレクサへのいずれの入力も、クロック・ソースとして設定できます。

Stratix II GX クロック・ネットワークは、スタティック手法とダイナミック手法の両方でディセーブル (パワーダウン) できます。クロック・ネットワークがパワーダウンされると、クロック・ネットから信号が供給されるすべてのロジックがオフ状態になり、デバイスの全体的な消費電力が減少します。グローバルおよびリージョナル・クロック・ネットワークは、コンフィギュレーション・ファイル (SOF または POF) の設定によりスタティックにパワーダウンできます。使用されないクロック・ネットワークは、Quartus II ソフトウェアで生成されたコンフィギュレーション・ファイルのコンフィギュレーション・ビット設定により自動的にパワーダウンされます。ダイナミック・クロック・イネーブル / ディセーブル機能により、内部ロジックを GCLK および RCLK ネット、PLL_OUT ピンで同期してパワーアップ / ダウンをコントロールすることができます。図 3-36 から 3-38 に示すとおり、この機能は PLL から独立しており、クロック・ネットワークまたは PLL_OUT ピンに直接適用されます。

enhanced および fast PLL

Stratix II GX デバイスは、最大 4 個の enhanced PLL および 4 個の fast PLL を使用した堅牢なクロック・マネージメントおよび合成機能を提供します。これらの PLL によって性能が向上し、最先端のクロック・インタフェースおよびクロック周波数合成を提供します。クロック切り換え、スペクトラム拡散クロッキング、リコンフィギュレーション可能な帯域幅、位相コントロール、リコンフィギュレーション可能な位相シフトなど、Stratix II GX デバイスの enhanced PLL が備えている機能によって、設計者はクロックとシステムのタイミングを完全にコントロールできます。fast PLL は高速差動 I/O をサポートする高速出力だけでなく、逡倍および位相シフト付き汎用クロックも提供します。enhanced PLL および fast PLL は、Stratix II GX 高速 I/O および最先端クロック・アーキテクチャと一体となって動作し、システムの性能と帯域幅の大幅な向上を実現します。

Quartus II ソフトウェアにより、PLL およびその機能が外部デバイスなしで使用できます。表 3-9 に、各 Stratix II GX デバイスで使用可能な PLL とそのタイプを示します。

デバイス	fast PLL								enhanced PLL			
	1	2	3 (3)	4 (3)	7	8	9 (3)	10 (3)	5	6	11	12
EP2SGX30	√	√							√	√		
EP2SGX60	√	√			√	√			√	√	√	√
EP2SGX90	√	√			√	√			√	√	√	√
EP2SGX130	√	√			√	√			√	√	√	√

表 3-9 の注：

- EP2SGX30C/D および EP2SGX60C/D デバイスには fast PLL が 2 個（PLL 1 および 2）しかありませんが、これら 2 個の PLL からグローバルおよびリージョナル・クロック・ネットワークへの接続性は図示したものと同じです。
- fast PLL のエリア内のグローバルまたはリージョナル・クロックは、fast PLL 入力をドライブできます。ピンまたは他の PLL は、グローバルまたはリージョナル・ソースをドライブする必要があります。fast PLL をドライブする前に内部で生成されたロジックでソースをドライブすることはできません。
- Stratix II GX デバイスでは、PLL 3、4、9、および 10 は提供されていません。ただし、Stratix II GX の PLL の番号方式は、Stratix および Stratix II デバイスと合致しているので、表 3-9 にはこれらの PLL が示されています。

表 3-10 に、Stratix II GX デバイスの enhanced PLL および fast PLL の特長を示します。

表 3-10. Stratix II GX デバイスの PLL の特長		
特長	enhanced PLL	fast PLL
クロックの通信と分周	$m/(n \times \text{ポストスケール} \cdot \text{カウンタ})$ (1)	$m/(n \times \text{ポストスケール} \cdot \text{カウンタ})$ (2)
位相シフト	最小 125 ps の増分量 (3)、(4)	最小 125 ps の増分量 (3)、(4)
クロック切り換え	√	√ (5)
PLL リコンフィギュレーション	√	√
リコンフィギュレーション可能な帯域幅	√	√
スペクトラム拡散クロッキング	√	
プログラマブル・デューティ・サイクル	√	√
内部クロック出力数	6	4
外部クロック出力数	3 本の差動 / 6 本のシングル・エンド	(6)
フィードバック・クロック入力数	1 本のシングル・エンドまたは差動 (7)、(8)	

表 3-10 の注：

- (1) enhanced PLL では、 m 、 n の範囲は 1 ~ 256 で、ポストスケール・カウンタの範囲は 1 ~ 512 です（デューティ・サイクル 50%）。
- (2) fast PLL では、 m およびポストスケール・カウンタの範囲は 1 ~ 32 です。 n カウンタの範囲は 1 ~ 4 です。
- (3) 最小位相シフトは、動作制御発振器 (VCO: Voltage Controlled Oscillator) の周期を 8 で除算して求められます。
- (4) Stratix II GX デバイスは、すべての出力周波数を最低 45° ずつ微調整できます。周波数および分周パラメータによっては、より細かな微調整も可能です。
- (5) Stratix II GX の fast PLL は、マニュアル・クロック切り換えのみサポートします。
- (6) fast PLL は、任意の I/O ピンに外部クロックとしてドライブできます。高速差動 I/O ピンの場合、デバイスはデータ・チャネルを使用して txclkout を生成します。
- (7) フィードバック入力を使用されている場合、1 本（または f_{BIN} が差動の場合は 2 本）の外部クロック出力ピンが失われます。
- (8) すべての Stratix II GX デバイスに、1 個の PLL につき 1 つのシングル・エンドまたは差動外部フィードバック入力を持つ enhanced PLL が少なくとも 2 個あります。

図 3-39 に、Stratix II GX デバイスと PLL のフロアプランのトップ・レベル図を示します。

図 3-39. PLL の位置

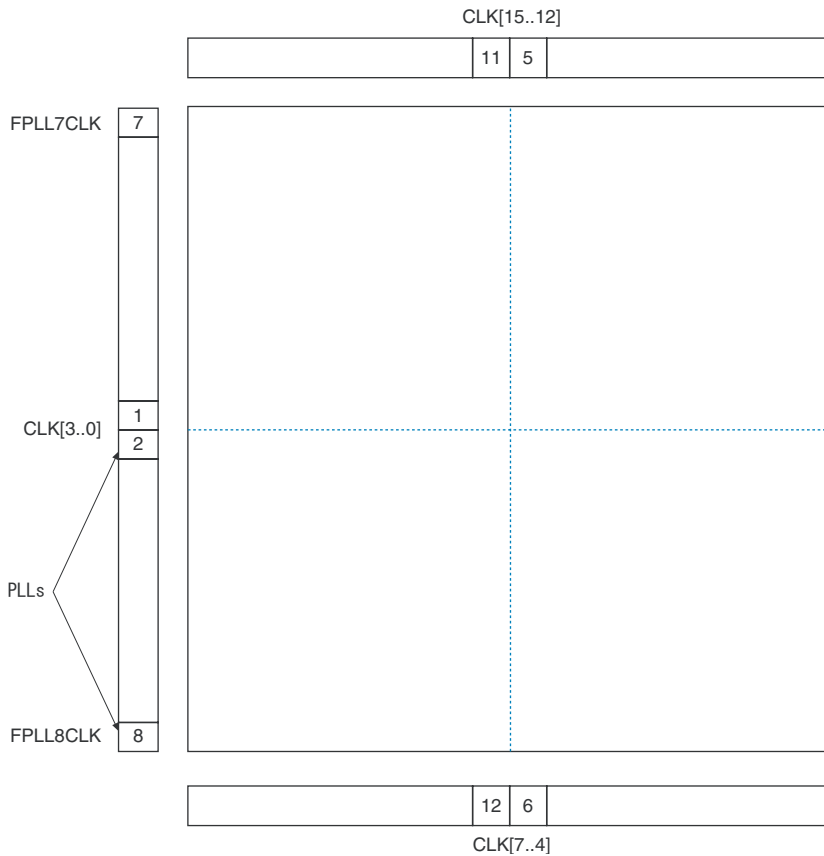


図 3-40 および 3-41 に、fast PLL 出力およびサイド・クロック・ピンからのグローバルおよびリージョナル・クロック接続を示します。デバイスの左側にある fast PLL 出力、内部ドライバ、および CLK ピンからグローバルおよびリージョナル・クロックへの接続をそれぞれ表 3-11 および 3-12 に示します。

図 3-40. センタ・クロック・ピンおよび fast PLL 出力からのグローバルおよびリージョナル・クロックの接続 注 (1)、(2)

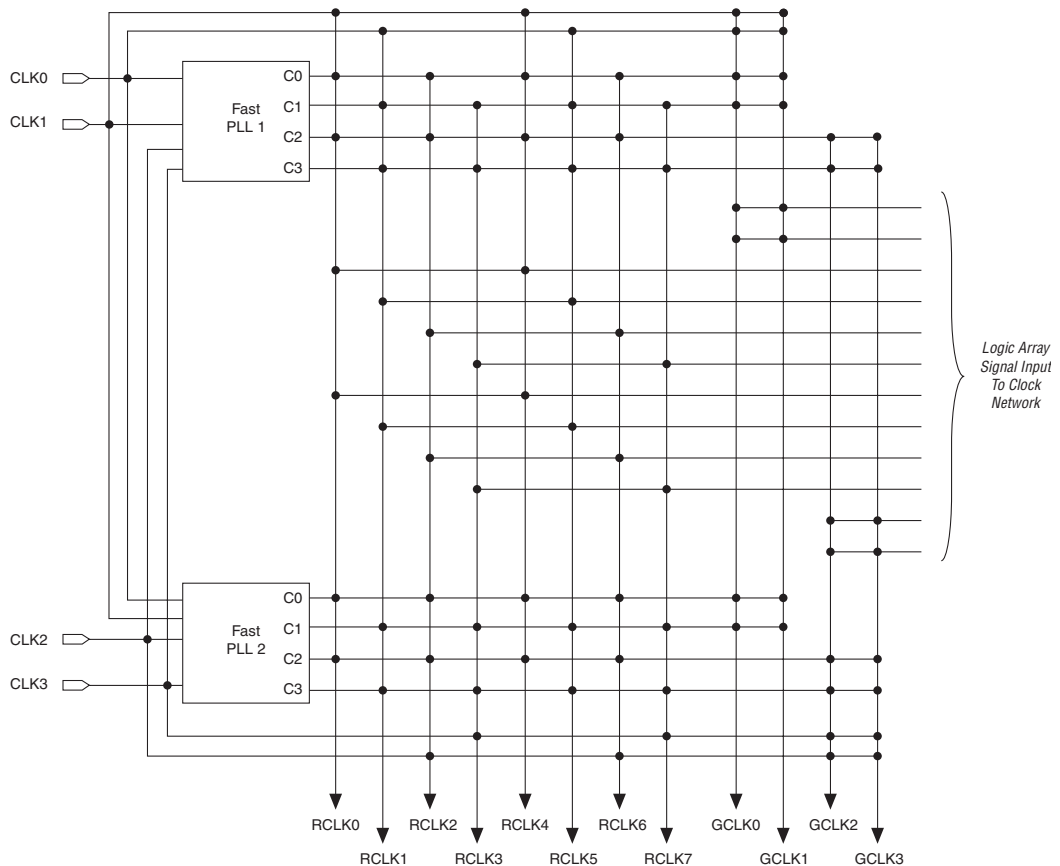


図 3-40 の注：

- (1) EP2SGX30C/D および EP2SGX60C/D デバイスには、fast PLL が 2 個（PLL 1 および 2）しかありませんが、これら 2 個の PLL からグローバルおよびリージョナル・クロック・ネットワークへの接続性は図示したものと同じです。
- (2) fast PLL のエリア内のグローバルまたはリージョナル・クロックは fast PLL 入力をドライブできます。ピンまたは他の PLL は、グローバルまたはリージョナル・ソースをドライブする必要があります。fast PLL をドライブする前に内部で生成されたロジックでソースをドライブすることはできません。

図 3-41. コーナ・クロック・ピンおよび fast PLL 出力からのグローバルおよびリージョナル・クロックの接続 注 (1)、(2)

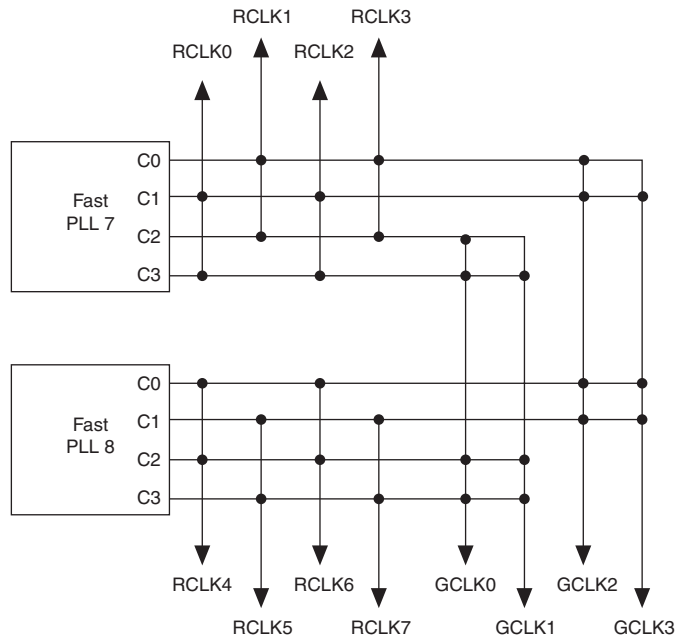


図 3-41 の注：

- (1) コーナーに配置された fast PLL は、グローバルまたはリージョナル・クロック・ネットワークを通してドライブすることも可能です。fast PLL へのグローバルまたはリージョナル・クロック入力、別の PLL、ピンでドライブされるグローバルまたはリージョナル・クロック、あるいは内部で生成されるグローバル信号からドライブできます。
- (2) EP2SGX30C/D および EP2SGX60C/D デバイスは、2 個の fast PLL (1 および 2) しかありません。コーナー fast PLL は含みません。

表 3-11. 左側のクロック・ピンおよび fast PLL 出力からのグローバルおよびリージョナル・クロックの接続 (1 / 3)

左側のグローバルおよびリージョナル・クロック・ネットワークの接続性	CLK0	CLK1	CLK2	CLK3	RCLK0	RCLK1	RCLK2	RCLK3	RCLK4	RCLK5	RCLK6	RCLK7
クロック・ピン												
CLK0p	√	√			√				√			
CLK1p	√	√				√				√		
CLK2p			√	√			√				√	

表 3-11. 左側のクロック・ピンおよび fast PLL 出力からのグローバルおよびリージョナル・クロックの接続 (2 / 3)

左側のグローバルおよび リージョナル・クロック・ ネットワークの接続性	CLK0	CLK1	CLK2	CLK3	RCLK0	RCLK1	RCLK2	RCLK3	RCLK4	RCLK5	RCLK6	RCLK7
CLK3p			√	√				√				√
内部ロジックからのドライバ												
GCLKDRV0	√	√										
GCLKDRV1	√	√										
GCLKDRV2			√	√								
GCLKDRV3			√	√								
RCLKDRV0					√				√			
RCLKDRV1						√				√		
RCLKDRV2							√				√	
RCLKDRV3								√				√
RCLKDRV4					√				√			
RCLKDRV5						√				√		
RCLKDRV6							√				√	
RCLKDRV7								√				√
PLL 1 出力												
c0	√	√			√		√		√		√	
c1	√	√				√		√		√		√
c2			√	√	√		√		√		√	
c3			√	√		√		√		√		√
PLL 2 出力												
c0	√	√				√		√		√		√
c1	√	√			√		√		√		√	
c2			√	√		√		√		√		√
c3			√	√	√		√		√		√	
PLL 7 出力												
c0			√	√		√		√				
c1			√	√	√		√					
c2	√	√				√		√				

表 3-11. 左側のクロック・ピンおよび fast PLL 出力からのグローバルおよびリージョナル・クロックの接続 (3 / 3)

左側のグローバルおよびリージョナル・クロック・ネットワークの接続性	CLK0	CLK1	CLK2	CLK3	RCLK0	RCLK1	RCLK2	RCLK3	RCLK4	RCLK5	RCLK6	RCLK7
c3	√	√			√		√					
PLL 8 出力												
c0			√	√					√		√	
c1			√	√						√		√
c2	√	√							√		√	
c3	√	√								√		√

表 3-12. 右側のクロック・ピンおよび fast PLL 出力からのグローバルおよびリージョナル・クロックの接続 (1 / 2)

右側のグローバルおよびリージョナル・クロック・ネットワークの接続性	CLK8	CLK9	CLK10	CLK11	RCLK16	RCLK17	RCLK18	RCLK19	RCLK20	RCLK21	RCLK22	RCLK23
クロック・ピン												
CLK8p	√	√			√				√			
CLK9p	√	√				√				√		
CLK10p			√	√			√				√	
CLK11p			√	√				√				√
内部ロジックからのドライバ												
GCLKDRV0	√	√										
GCLKDRV1	√	√										
GCLKDRV2			√	√								
GCLKDRV3			√	√								
RCLKDRV0					√				√			
RCLKDRV1						√				√		
RCLKDRV2							√				√	
RCLKDRV3								√				√
RCLKDRV4					√				√			
RCLKDRV5						√				√		

表 3-12. 右側のクロック・ピンおよび fast PLL 出力からのグローバルおよびリージョナル・クロックの接続 (2 / 2)												
右側のグローバルおよびリージョナル・クロック・ネットワークの接続性	CLK8	CLK9	CLK10	CLK11	RCLK16	RCLK17	RCLK18	RCLK19	RCLK20	RCLK21	RCLK22	RCLK23
RCLKDRV6							√				√	
RCLKDRV7								√				√
PLL 3 出力												
c0	√	√			√		√		√		√	
c1	√	√				√		√		√		√
c2			√	√	√		√		√		√	
c3			√	√		√		√		√		√
PLL 4 出力												
c0	√	√				√		√		√		√
c1	√	√			√		√		√		√	
c2			√	√		√		√		√		√
c3			√	√	√		√		√		√	
PLL 9 出力												
c0			√	√		√		√				
c1			√	√	√		√					
c2	√	√				√		√				
c3	√	√			√		√					
PLL 10 出力												
c0			√	√					√		√	
c1			√	√						√		√
c2	√	√							√		√	
c3	√	√								√		√

図 3-42 に、enhanced PLL 出力とトップおよびボトム of CLK ピンからのグローバルおよびリージョナル・クロックの接続を示します。

図 3-42. トップ/ボトムのカロック・ピンおよび enhanced PLL 出力からのグローバルおよびリージョナル・クロックの接続注 (1)、(2)

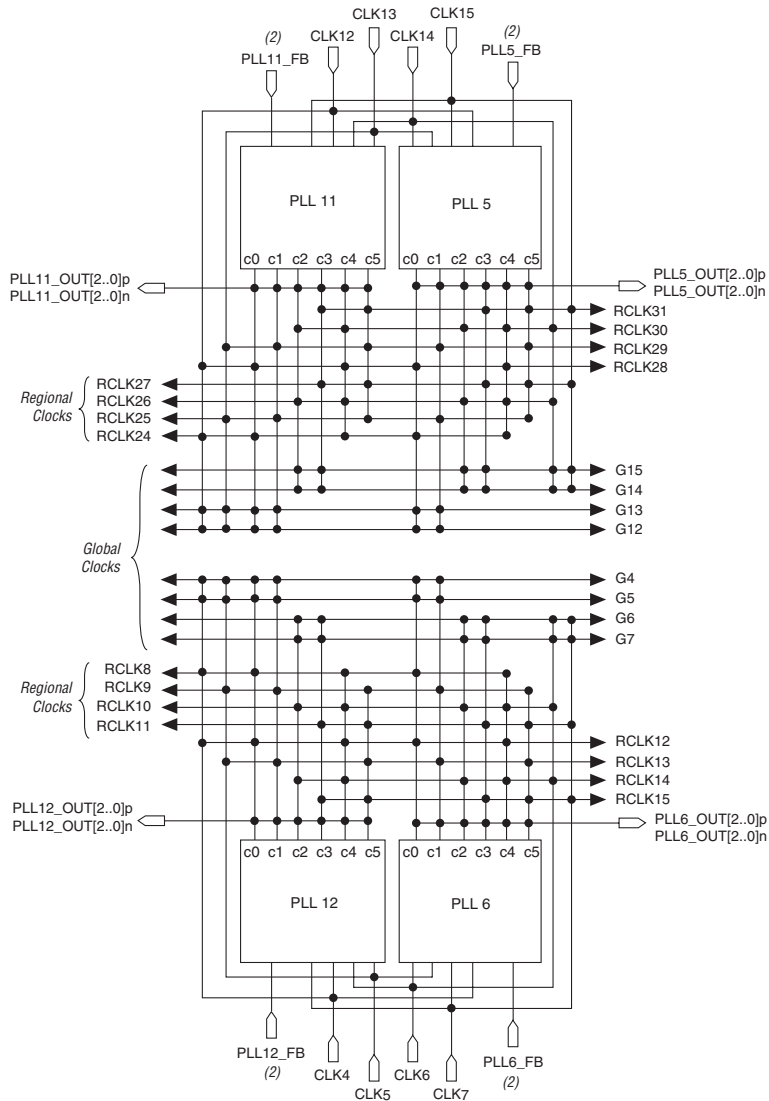


図 3-42 の注：

- (1) EP2SGX30C および EP2SGX30D デバイスには、fast PLL が 2 個 (PLL 5 および 6) しかありませんが、これら 2 個の PLL からグローバルおよびリージョナル・クロック・ネットワークへの接続性は図示したものと同じです。
- (2) デザインでフィードバック入力を使用されている場合、1 本 (または FBIN が差動の場合は 2 本) の専用クロック出力ピンが失われます。

トップのクロック・ピンおよび enhanced PLL 出力からグローバルおよびリージョナル・クロックへの接続を表 3-13 に示します。ボトムクロック・ピンからクロックへの接続を表 3-14 に示します。

トップ・サイドの グローバルおよび リージョナル・クロック・ ネットワークの接続性	DLLCLK	CLK12	CLK13	CLK14	CLK15	RCLK24	RCLK25	RCLK26	RCLK27	RCLK28	RCLK29	RCLK30	RCLK31
クロック・ピン													
CLK12p	√	√	√			√				√			
CLK13p	√	√	√				√				√		
CLK14p	√			√	√			√				√	
CLK15p	√			√	√				√				√
CLK12n		√				√				√			
CLK13n			√				√				√		
CLK14n				√				√				√	
CLK15n					√				√				√
内部ロジックからのドライバ													
GCLKDRV0		√											
GCLKDRV1			√										
GCLKDRV2				√									
GCLKDRV3					√								
RCLKDRV0						√				√			
RCLKDRV1							√				√		
RCLKDRV2								√				√	
RCLKDRV3									√				√
RCLKDRV4						√				√			
RCLKDRV5							√				√		
RCLKDRV6								√				√	
RCLKDRV7									√				√
enhanced PLL5 出力													
c0	√	√	√			√				√			

表 3-13. トップのクロック・ピンおよび enhanced PLL 出力からのグローバルおよびリージョナル・クロックの接続 (2 / 2)

トップ・サイドの グローバルおよび リージョナル・クロック・ ネットワークの接続性	DLLCLK	CLK12	CLK13	CLK14	CLK15	RCLK24	RCLK25	RCLK26	RCLK27	RCLK28	RCLK29	RCLK30	RCLK31
c1	√	√	√				√				√		
c2	√			√	√			√				√	
c3	√			√	√				√				√
c4	√					√		√		√		√	
c5	√						√		√		√		√
enhanced PLL 11 出力													
c0		√	√			√				√			
c1		√	√				√				√		
c2				√	√			√				√	
c3				√	√				√				√
c4						√		√		√		√	
c5							√		√		√		√

表 3-14. ボトム・クロック・ピンおよび enhanced PLL 出力からのグローバルおよびリージョナル・クロックの接続 (1 / 2)

ボトム・サイドの グローバルおよび リージョナル・クロック・ ネットワークの接続性	DLLCLK	CLK4	CLK5	CLK6	CLK7	RCLK8	RCLK9	RCLK10	RCLK11	RCLK12	RCLK13	RCLK14	RCLK15
クロック・ピン													
CLK4p	√	√	√			√				√			
CLK5p	√	√	√				√				√		
CLK6p	√			√	√			√				√	
CLK7p	√			√	√				√				√
CLK4n		√				√				√			
CLK5n			√				√				√		
CLK6n				√				√				√	
CLK7n					√				√				√

表 3-14. ボトムのカロック・ピンおよび enhanced PLL 出力からのグローバルおよびリージョナル・カロックの接続 (2 / 2)

ボトム・サイドの グローバルおよび リージョナル・カロック・ ネットワークの接続性	DLLCLK	CLK4	CLK5	CLK6	CLK7	RCLK8	RCLK9	RCLK10	RCLK11	RCLK12	RCLK13	RCLK14	RCLK15
内部ロジックからのドライバ													
GCLKDRV0		√											
GCLKDRV1			√										
GCLKDRV2				√									
GCLKDRV3					√								
RCLKDRV0						√				√			
RCLKDRV1							√				√		
RCLKDRV2								√				√	
RCLKDRV3									√				√
RCLKDRV4						√				√			
RCLKDRV5							√				√		
RCLKDRV6								√				√	
RCLKDRV7									√				√
enhanced PLL 6 出力													
c0	√	√	√			√				√			
c1	√	√	√				√				√		
c2	√			√	√			√				√	
c3	√			√	√				√				√
c4	√					√		√		√		√	
c5	√						√		√		√		√
enhanced PLL 12 出力													
c0		√	√			√				√			
c1		√	√				√				√		
c2				√	√			√				√	
c3				√	√				√				√
c4						√		√		√		√	
c5							√		√		√		√

enhanced PLL

Stratix II GX デバイスは、高度なクロック・マネージメント機能を備えた最大 4 個の enhanced PLL を備えています。また、外部クロック・フィードバック・モード、スペクトラム拡散クロック、およびカウンタのカスケード接続をサポートしています。図 3-43 に enhanced PLL のブロック図を示します。

図 3-43. Stratix II GX の enhanced PLL 注 (1)

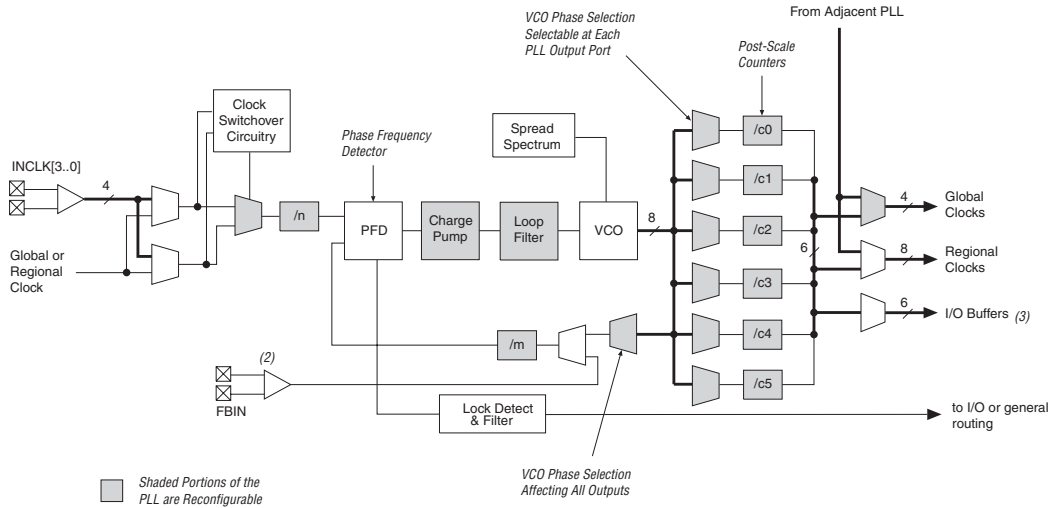


図 3-43 の注：

- (1) 各クロック・ソースは、PLL としてデバイスの同じサイドに物理的に配置されている 4 本のクロック・ピンのどれからでも供給できます。
- (2) フィードバック入力を使用される場合、1 本（または FBIN が差動の場合は 2 本）の外部クロック出力ピンが失われます。
- (3) 各 enhanced PLL には、3 本の差動外部クロック出力または 6 本のシングル・エンド外部クロック出力があります。

fast PLL

Stratix II GX デバイスは、高速シリアル・インタフェース機能を備えた最大 4 個の fast PLL を備えています。fast PLL は、高速差動 I/O インタフェースを管理する高速出力を提供します。図 3-44 に、fast PLL のブロック図を示します。

図 3-44. Stratix II GX デバイスの fast PLL

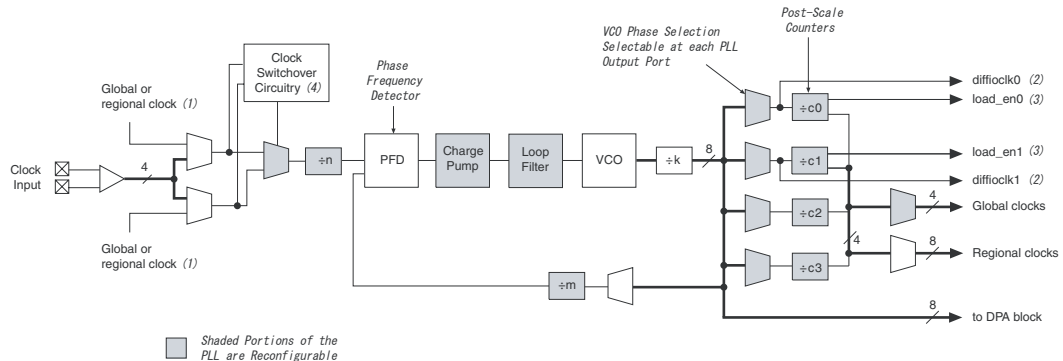


図 3-44 の注：

- (1) グローバルまたはリージョナル・クロック入力は、別の PLL からの出力、あるいはピンでドライブされるグローバルまたはリージョナル・クロックによってドライブできます。内部で生成されるグローバル信号でドライブすることはできません。
- (2) 高速差動 I/O サポート・モードでは、シリアライザ / デシリアライザ (SERDES) 回路にこの高速 PLL クロックが供給されます。Stratix II GX デバイスは、高速差動 I/O サポート・モードでは、各 fast PLL あたり 1 つのデータ転送レートのみサポートします。
- (3) この信号は差動 I/O SERDES コントロール信号です。
- (4) Stratix II GX の fast PLL は、マニュアル・クロック切り換えのみサポートします。



enhanced PLL および fast PLL については、「Stratix II GX デバイス・ハンドブック Volume 2」の「Stratix II GX デバイスの PLL」の章を参照してください。高速差動 I/O サポートについては、「DPA 搭載の高速差動 I/O のサポート」の項を参照してください。

I/O 構造

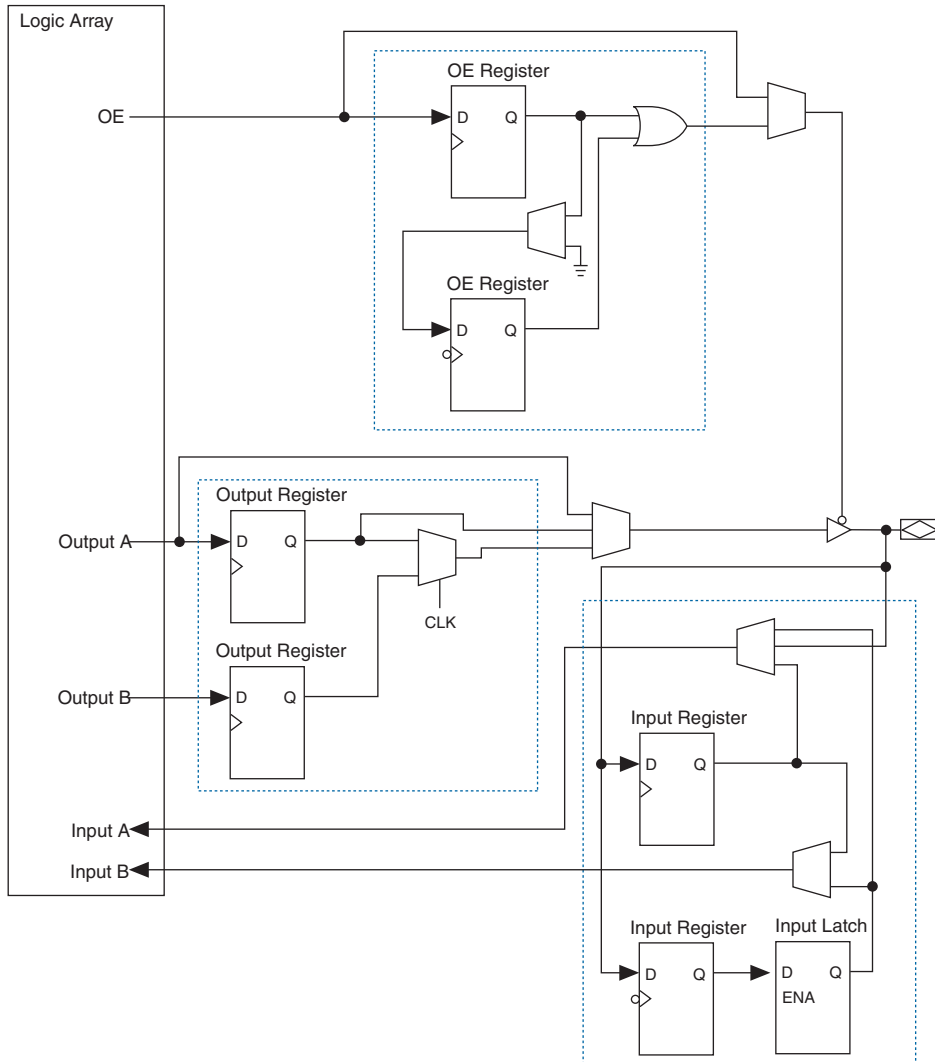
Stratix II GX の IOE は、以下のような多彩な機能を提供します。

- 専用の差動およびシングル・エンド形式の I/O バッファ
- 3.3 V、64 ビット、66 MHz PCI 仕様に準拠
- 3.3 V、64 ビット、133 MHz PCI-X 1.0 仕様に準拠
- JTAG (Joint Test Action Group) バウンダリ・スキャン・テスト (BST) のサポート
- オンチップ・ドライバ直列終端
- 差動形式の標準規格用 On-Chip Termination
- コンフィギュレーション時のプログラマブル・プルアップ抵抗
- 出力ドライブ能力コントロール
- トライ・ステート・バッファ
- バス・ホールド回路
- プログラマブル・プルアップ抵抗
- プログラマブルな入力および出力遅延
- オープン・ドレイン出力

- DQ および DQS I/O ピン
- DDR (Double Data Rate) レジスタ

Stratix II GX デバイスの IOE は、1 個の双方向の I/O バッファ、6 個のレジスタ、および完全な形で組み込まれた双方向のシングル・データ・レートまたは DDR 転送に対するラッチで構成されています。図 3-45 に、Stratix II GX の IOE 構造を示します。IOE は 2 個の入力レジスタ（および 1 個のラッチ）、2 個の出力レジスタ、および 2 個の出力イネーブル・レジスタを備えています。両方の入力レジスタとラッチを使用して DDR 入力を取り込み、両方の出力レジスタを使用して DDR 出力をドライブするデザインが可能です。さらに、出力イネーブル (OE) レジスタを高速の「Clock-to-Output」イネーブル・タイミングに使用することもできます。負のエッジでクロック駆動する OE レジスタは、DDR SDRAM のインタフェースに使用されます。Quartus II ソフトウェアは、複数の出力ピンまたは双方向ピンをコントロールする 1 個の OE レジスタを自動的に複製します。

図 3-45. Stratix II GX の IOE 構造



IOE は、Stratix II GX デバイス周辺の I/O ブロック内に配置されています。各ロウ I/O ブロックあたり最大 4 個の IOE、各カラム I/O ブロックあたり最大 4 個の IOE があります。ロウ I/O ブロックは、ロウ、カラム、またはダイレクト・リンク・インタコネクトをドライブします。カラム I/O ブロックは、カラム・インタコネクトをドライブします。

図 3-46 に、ロウ I/O ブロックとロジック・アレイの接続方法を示します。

図 3-46. インタコネクต์へのロウ I/O ブロックの接続

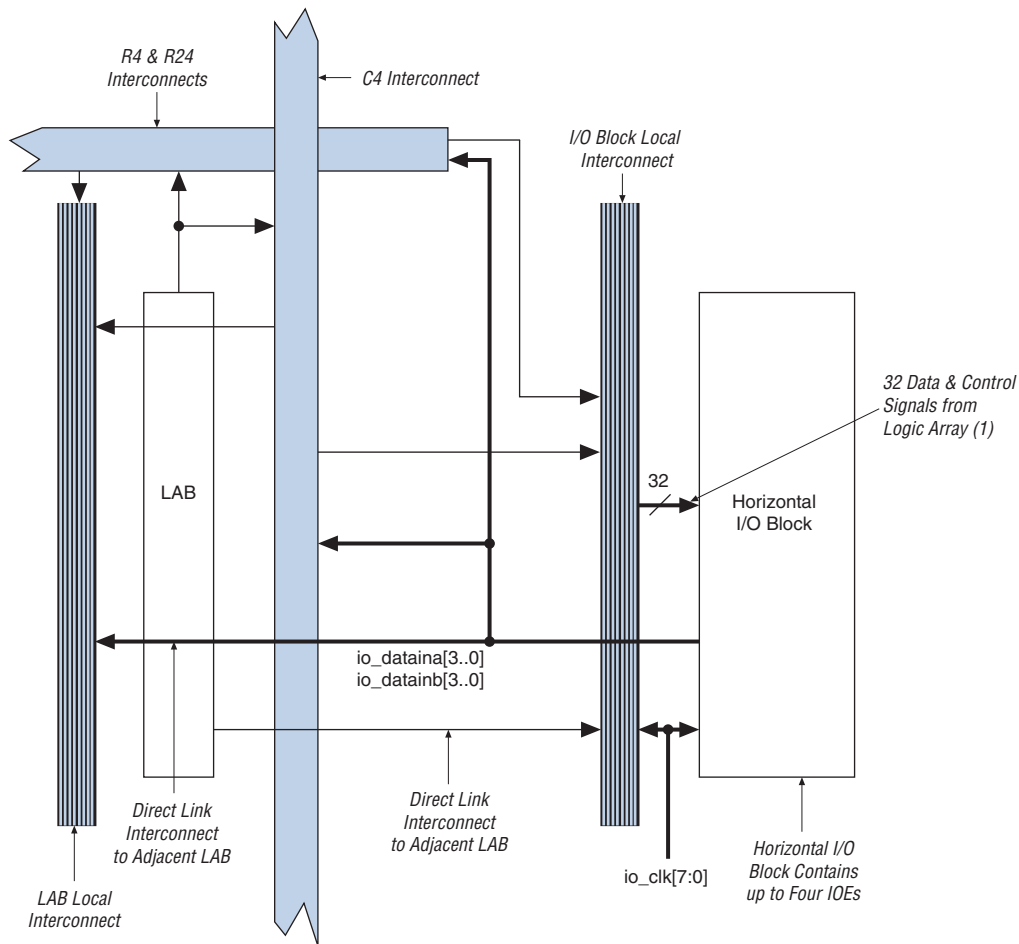


図 3-46 の注：

- (1) 32 本のデータおよびコントロール信号は、8 本のデータ出力ライン（各 DDR アプリケーションに 4 本のライン、 $io_dataouta[3..0]$ および $io_dataoutb[3..0]$ ）、4 本の出力イネーブル信号 ($io_oe[3..0]$)、4 本の入力クロック・イネーブル信号 ($io_ce_in[3..0]$)、4 本の出力クロック・イネーブル信号 ($io_ce_out[3..0]$)、4 本のクロック信号 ($io_clk[3..0]$)、4 本の非同期クリアおよびプリセット信号 ($io_aclr/apreset[3..0]$)、および4本の同期クリアおよびプリセット信号 ($io_sclr/spreset[3..0]$) で構成されます。

図 3-47 に、カラム I/O ブロックとロジック・アレイの接続方法を示します。

図 3-47. インタコネクタへのカラム I/O ブロックの接続

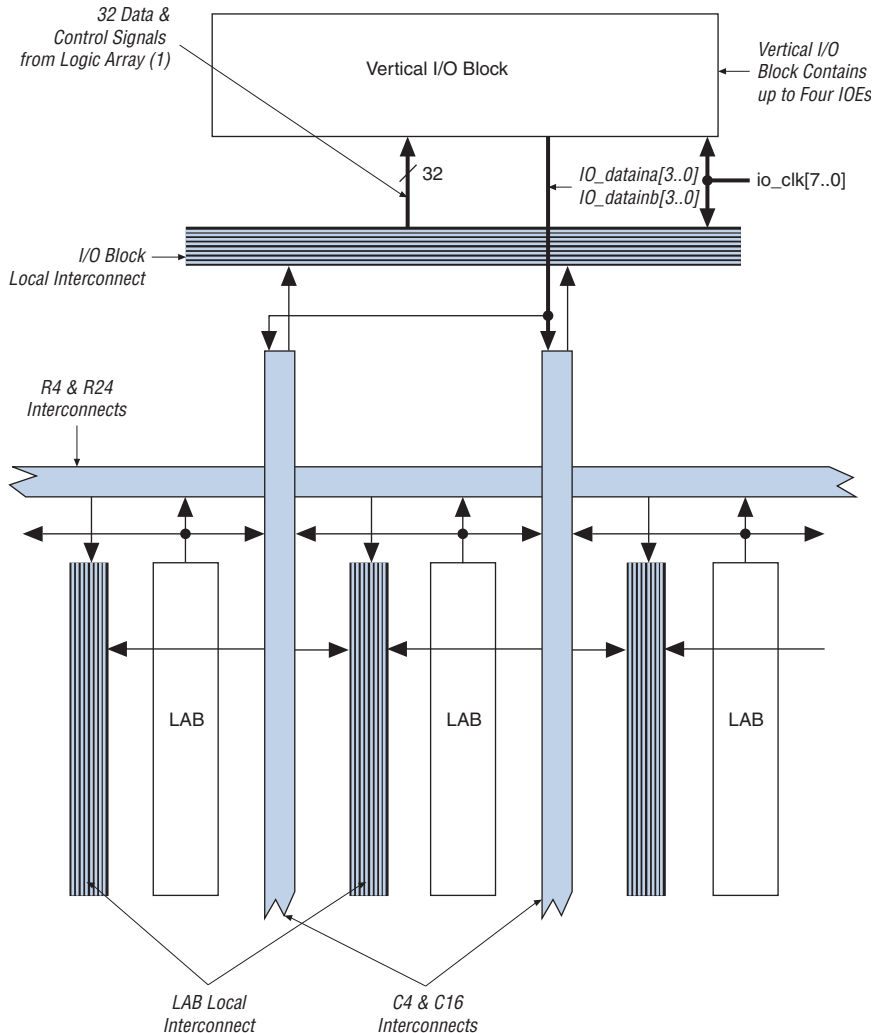


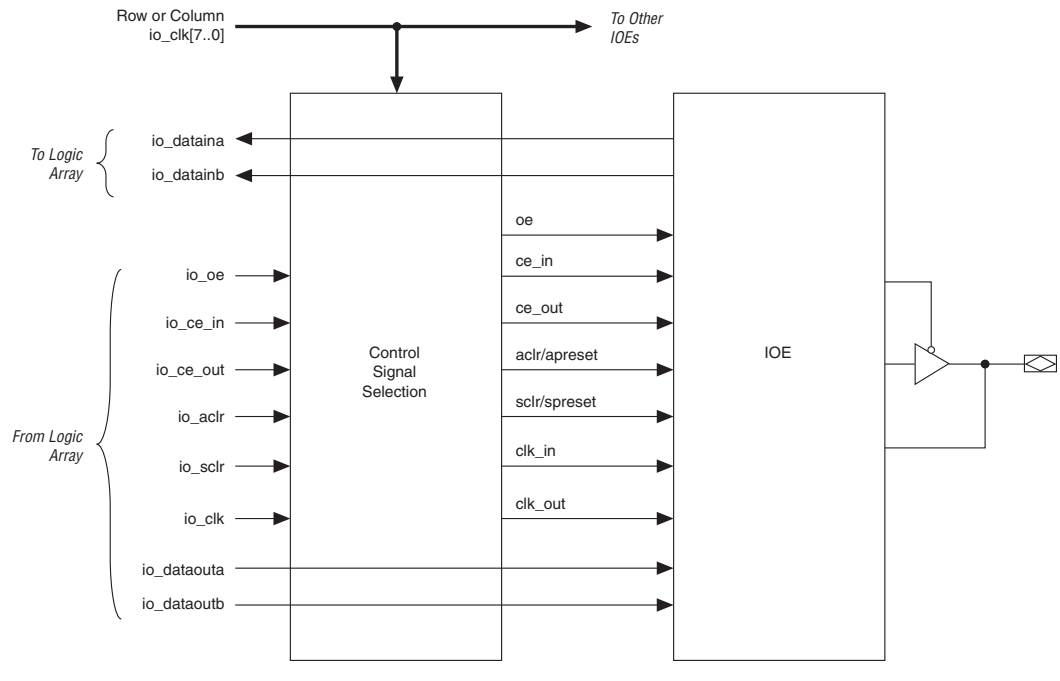
図 3-47 の注：

- (1) 32本のデータおよびコントロール信号は、8本のデータ出力ライン（各DDRアプリケーションに4本のライン、 $io_dataouta[3..0]$ および $io_dataoutb[3..0]$ ）、4本の出力イネーブル信号 ($io_oe[3..0]$)、4本の入力クロック・イネーブル信号 ($io_ce_in[3..0]$)、4本の出力クロック・イネーブル信号 ($io_ce_out[3..0]$)、4本のクロック信号 ($io_clk[3..0]$)、4本の非同期クリアおよびプリセット信号 ($io_aclr/apreset[3..0]$)、および4本の同期クリアおよびプリセット信号 ($io_sclr/spreset[3..0]$) で構成されます。

各ロウまたはカラム I/O ブロックに供給される 32 本のコントロールおよびデータ信号があります。これらのコントロールおよびデータ信号はロジック・アレイからドライブされます。ロウまたはカラム IOE クロック `io_clk[7..0]` は、低スキューで高速のクロック専用配線リソースを提供します。I/O クロックは、グローバルまたはリージョナル・クロックから生成されます（「PLL & クロック・ネットワーク」の項を参照）。

図 3-48 に I/O ブロックを通る信号パスを示します。

図 3-48. I/O ブロックを通る信号パス



各 IOE には、コントロール信号 `oe`、`ce_in`、`ce_out`、`aclr/apreset`、`sclr/spreset`、`clk_in`、および `clk_out` に対する独自のコントロール信号選択機能があります。図 3-49 にコントロール信号選択を示します。

図 3-49. IOE におけるコントロール信号選択 注 (1)

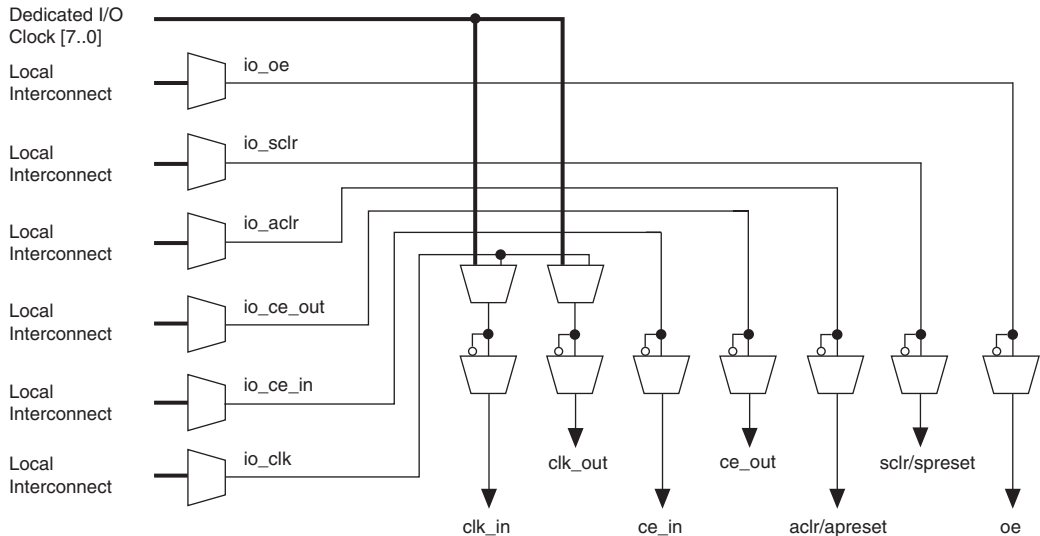


図 3-49 の注：

- (1) コントロール信号 `ce_in`、`ce_out`、`aclr/apreset`、`sclr/spreset`、および `oe` は、コントロール選択マルチプレクサが `ioe_clk[7..0]` 信号によって直接供給されない場合でも、グローバル信号とすることができます。`ioe_clk` 信号は I/O ローカル・インタコネクトをドライブでき、I/O ローカル・インタコネクトはコントロール選択マルチプレクサをドライブします。

通常の双方向動作では、入力レジスタは高速セットアップ・タイムを必要とする入力データに使用できます。入力レジスタは、OE レジスタおよび出力レジスタとは別の独自のクロック入力およびクロック・イネーブルを備えています。出力レジスタは、高速の「Clock-to-Output」遅延を必要とするデータに使用されます。OE レジスタは、高速の「Clock-to-Output」イネーブル・タイミングに使用できます。OE および出力レジスタは、関連 LAB、I/O 専用クロック、カラム・インタコネクト、ロウ・インタコネクトなどからの同じクロック・ソースおよび同じクロック・イネーブル・ソースを共有します。図 3-50 に、双方向にコンフィギュレーションされた IOE を示します。

図 3-50. 双方向 I/O コンフィギュレーションの Stratix II GX IOE 注 (1)

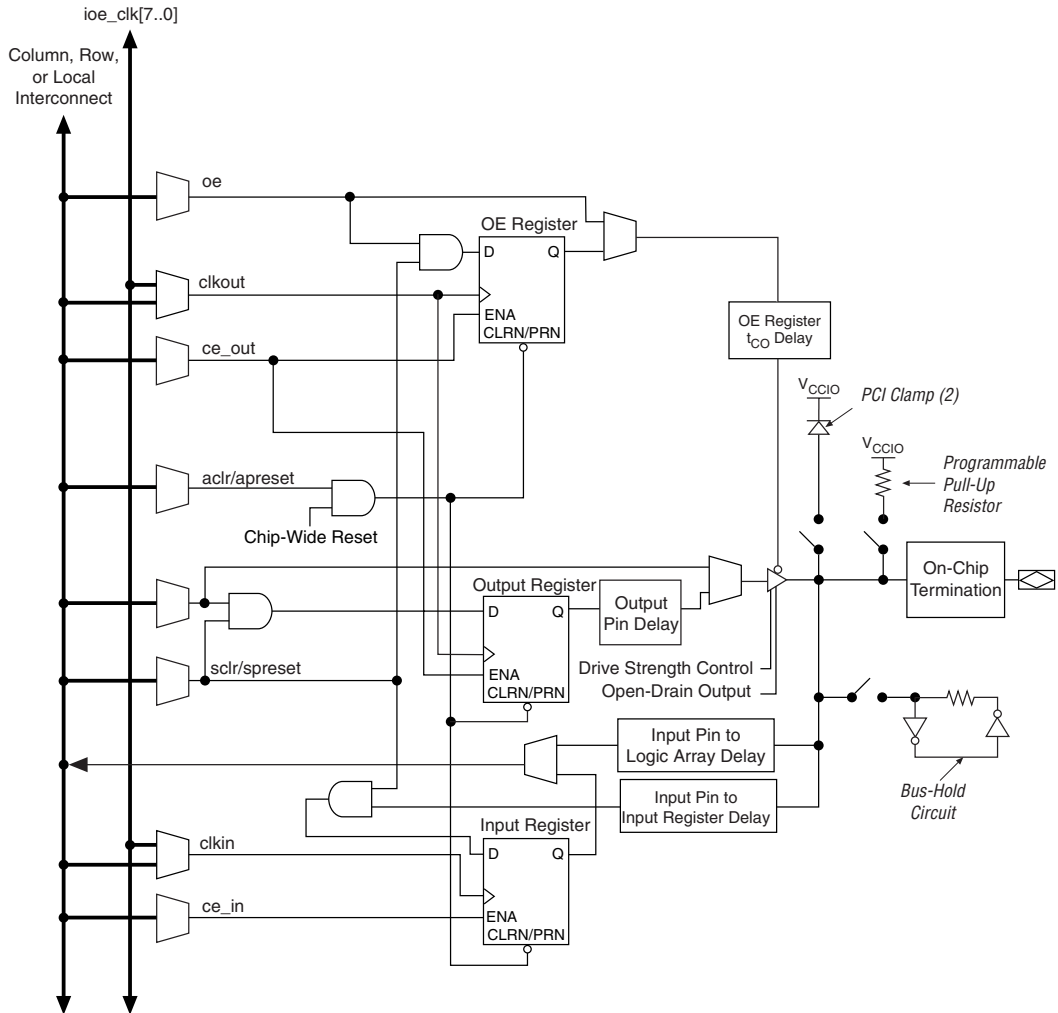


図 3-50 の注：

- (1) IOE に接続されるすべての入力信号は、IOE で反転できます。
- (2) オプションの PCI クランプはカラム I/O ピンでのみ使用可能です。

Stratix II GX デバイスの IOE には、入力 IOE レジスタからロジック・アレイ・レジスタへの転送、入力ピンからロジック・アレイ・レジスタへの転送、または出力 IOE レジスタからピンへの転送を確実に実現するためのプログラマブルな遅延機能が提供されています。

レジスタを直接ドライブするピンのパスに、0 ns のホールド・タイムを確保するための遅延が必要になることがあります。組み合わせ回路のロジックを通じてレジスタをドライブするピンのパスに遅延が不要になる場合もあります。プログラマブルな遅延機能は、入力ピンからロジック・アレイおよび IOE 入力レジスタへの遅延を低下させるために存在します。Quartus II のコンパイラは、このような遅延をプログラムして、0 ns のホールド・タイムを維持しながら、セットアップ・タイムを自動的に最小限に抑えます。また、プログラマブルな遅延機能によって、出力レジスタおよび / または出力イネーブル・レジスタに関してレジスタからピンまでの遅延を増加させることもできます。プログラマブルな遅延は、ロジック・アレイ・レジスタから IOE レジスタへの転送用に 0 ns のホールド・タイムを確保するのには必要なくなりました。Quartus II のコンパイラは、これら表 3-15 に、Stratix II GX デバイスに対するプログラマブルな遅延機能を示します。

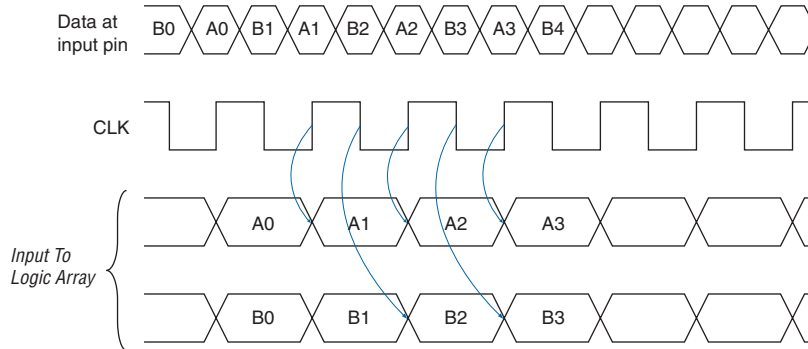
表 3-15. Stratix II GX のプログラマブルな遅延チェーン

プログラマブルな遅延	Quartus II ロジック・オプション
入力ピンからロジック・アレイまでの遅延	Input delay from pin to internal cells
入力ピンから入力レジスタまでの遅延	Input delay from pin to input register
出力ピン遅延	Delay from output register to output pin
出力イネーブル・レジスタ t_{CO} 遅延	Delay to output enable pin

Stratix II GX デバイスの IOE レジスタは、クリアまたはプリセットで同じ信号ソースを共有します。設計者は、個々の IOE に対するプリセットまたはクリアをプログラムできます。設計者はコンフィギュレーション完了後の電源投入時に、レジスタの初期値を High または Low に設定することができます。電源投入後のレジスタの初期値が Low に設定された場合は、非同期クリア信号でレジスタをコントロールすることができます。High に設定された場合は、非同期プリセットでレジスタをコントロールすることができます。この機能により、電源投入時に別のデバイスへのアクティブ Low 入力信号による誤った起動を防止できます。IOE 内の 1 個のレジスタがプリセットまたはクリア信号を使用する場合、その IOE 内のすべてのレジスタはプリセットまたはクリアが必要であれば同じ信号を使用しなければなりません。さらに、設計者は IOE レジスタに同期リセット信号を使用できます。

- (2) この信号接続は、専用の DQ ファンクション・ピンでのみ許容されます。
- (3) この信号は専用の DQS ファンクション・ピンにのみ使用されます。
- (4) オプションの PCI クランプはカラム I/O ピンでのみ使用可能です。

図 3-52. DDR モードでの入力のタイミング図



DDR 出力に IOE を使用する場合、2 個の出力レジスタは、クロック・エッジの立ち上がりにより ALM からの 2 つのデータ・パスが記録されるように構成されます。これらの出力レジスタはクロックによりマルチプレクサ化され、 $\times 2$ のレートで出力ピンをドライブします。1 つの出力レジスタはクロックが High のときに最初のビットを記録し、別の出力レジスタはクロックが Low の時に 2 番目のビットを記録します。図 3-53 に、DDR 出力用に構成された IOE を示します。図 3-54 には、DDR 出力のタイミング図を示します。

図 3-53. DDR 出力 I/O コンフィギュレーションの Stratix II GX IOE 注 (1)、(2)

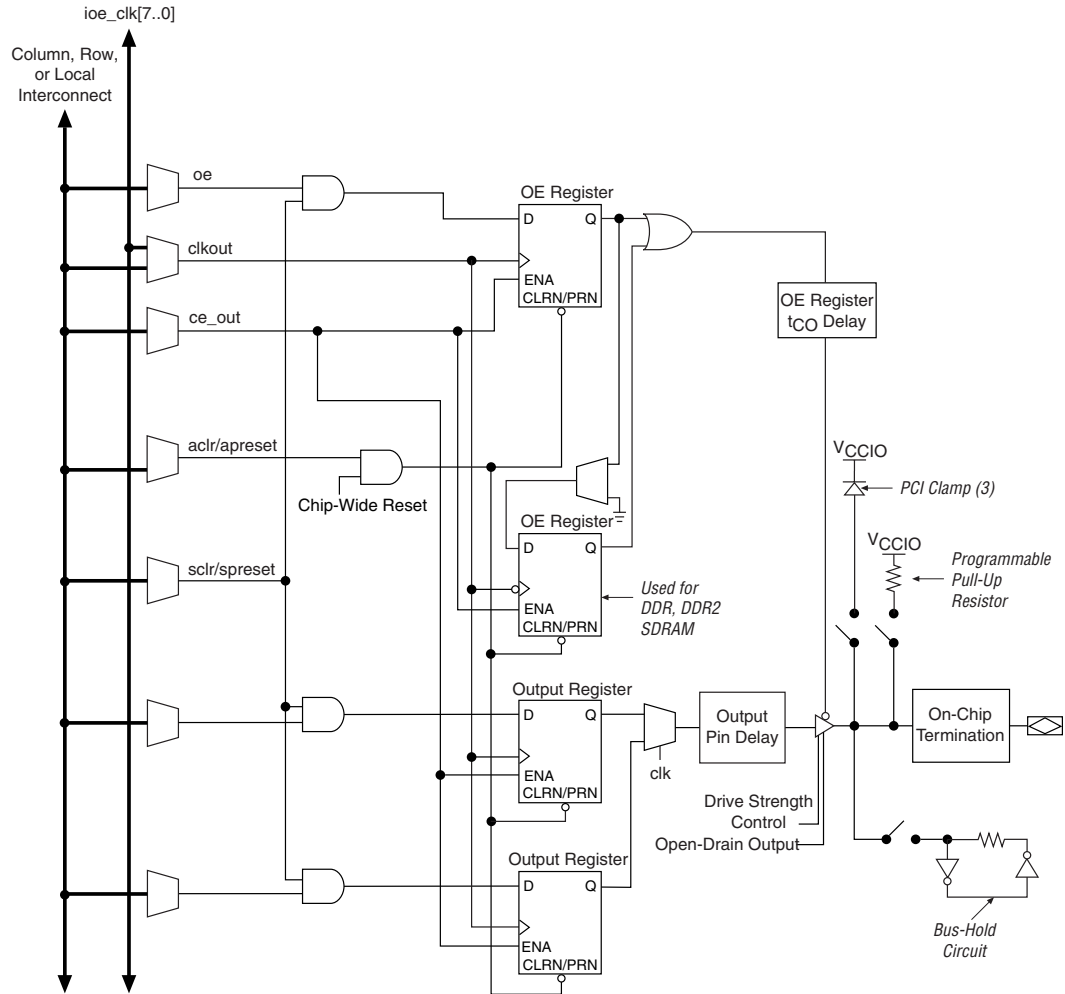
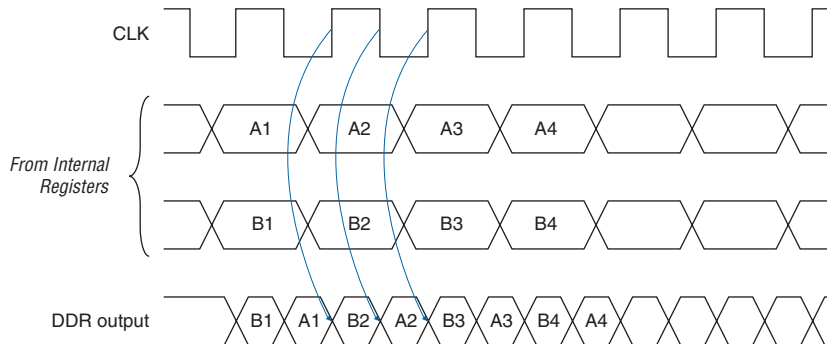


図 3-53 の注：

- (1) IOE に接続されるすべての入力信号は、IOE で反転できます。
- (2) トライ・ステート・バッファはアクティブ Low です。DDIO メガファンクションはトライ・ステート・バッファを、OE レジスタ・データ・ポートにインバータを持つアクティブ High として表します。
- (3) オプションの PCI クランプはカラム I/O ピンでのみ使用可能です。

図 3-54. DDR モードでの出力のタイミング図



Stratix II GX の IOE は、DDR 入力コンフィギュレーションと DDR 出力コンフィギュレーションを組み合わせることにより、双方向 DDR モードで動作します。負のエッジで記録する OE レジスタは、DDR SDRAM タイミング要件に適合するために、クロックの立ち下がりエッジまで OE 信号を非アクティブに保持します。

外部 RAM のインタフェース

Stratix II GX デバイスは、各 IOE 内の 6 個の I/O レジスタに加えて、DDR および DDR2 SDRAM、QDR II SRAM、RLDRAM II、SDR SDRAM など、外部メモリ・インタフェースにインタフェースするための専用位相シフト回路も内蔵しています。すべての Stratix II GX デバイスにおいて、デバイスのトップの I/O バンク（バンク 3 と 4）およびボトムの I/O バンク（バンク 7 と 8）は、データ信号とデータ・ストロブ信号を $\times 4$ 、 $\times 8/\times 9$ 、 $\times 16/\times 18$ 、または $\times 32/\times 36$ の DQ バス・モードでサポートします。表 3-16 に各デバイスでサポートされる DQ バスおよび DQS バスの数を示します。

デバイス	パッケージ	$\times 4$ グループ数	$\times 8/\times 9$ モードのグループ数	$\times 16/\times 18$ モードのグループ数	$\times 32/\times 36$ モードのグループ数
EP2SGX30	780 ピン FineLine BGA	18	8	4	0
EP2SGX60	780 ピン FineLine BGA	18	8	4	0
	1,152 ピン FineLine BGA	36	18	8	4
EP2SGX90	1,152 ピン FineLine BGA	36	18	8	4
	1,508 ピン FineLine BGA	36	18	8	4

表 3-16. DQS および DQ バス・モードのサポート (2 / 2) 注 (1)

デバイス	パッケージ	×4 グループ数	×8/×9 モードのグループ数	×16/×18 モードのグループ数	×32/×36 モードのグループ数
EP2SGX130	1,508 ピン FineLine BGA	36	18	8	4

表 3-16 の注：

(1) 数値はデバイスが供給されるまでの暫定仕様です。

各 DQS ピンで補正される遅延エレメントは、自動的に入力 DQS 同期化信号に対応する DQ データ信号のデータ・ウィンドウに整合させます。DQS 信号は、トップおよびボトム I/O バンク内のローカル DQS バスをドライブします。この DQS バスは I/O クロックに対する追加リソースであり、DQ 入力レジスタを DQS 信号でクロックするのに使用されます。

Stratix II GX デバイスには 2 つの位相シフト・リファレンス回路があり、デバイスのトップとボトムに 1 つずつ配置されています。トップの回路は、デバイスのトップにあるすべての DQS ピンに対する補正遅延エレメントをコントロールします。ボトムの回路は、デバイスのボトムにあるすべての DQS ピンに対する補正遅延エレメントをコントロールします。

各位相シフト・リファレンス回路は、システム基準クロックでドライブされます。このクロックは DQS 信号と同じ周波数でなければなりません。クロック・ピン CLK[15..12]p はデバイスのトップにある位相回路にクロックを供給し、クロック・ピン CLK[7..4]p はデバイスのボトムにある位相回路にクロックを供給します。さらに、PLL クロック出力は位相シフト・リファレンス回路にもクロックを供給できます。図 3-55 に、デバイスのトップにある各 DQS 遅延シフトの位相シフト・リファレンス回路コントロールを示します。デバイスのボトムにもこれと同じ回路があります。

図 3-55. DQS 位相シフト回路 注 (1)、(2)

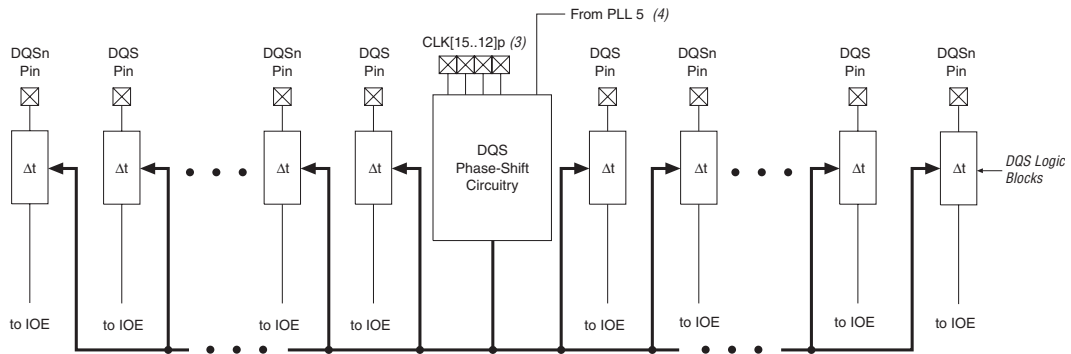


図 3-55 の注：

- (1) Stratix II GX デバイスのトップまたはボトムに、最大で 18 ペアの DQS ピンと DQSn ピンがあります。DQS 位相シフト回路の右側には最大 10 ペア、左側には最大 8 ペアあります。
- (2) t モジュールは DQS ロジック・ブロックを表します。
- (3) クロック・ピン CLK[15..12]p はデバイスのトップにある位相回路にクロックを供給し、クロック・ピン CLK[7..4]p はデバイスのボトムにある位相回路にクロックを供給します。PLL クロック出力を位相シフト回路への基準クロックとして使用することもできます。
- (4) PLL 5 はデバイスのトップにある DQS 位相シフト回路への供給にのみ、PLL 6 はデバイスのボトムにある DQS 位相シフト回路への供給にのみ使用できます。

これらの専用回路を enhanced PLL のクロックおよび位相シフト機能と組み合わせることにより、高速メモリへのインタフェースに対する完全なハードウェア・ソリューションが実現されます。



外部メモリ・インタフェースについて詳しくは、「Stratix II GX デバイス・ハンドブック Volume 2」の「Stratix II GX デバイスの外部メモリ・インタフェース」の章を参照してください。

プログラマブルなドライブ能力

Stratix II GX デバイスの各 I/O ピンの出力バッファは、特定の標準 I/O 規格に適合させるためのプログラマブルなドライブ能力コントロール機能が内蔵されています。LVTTTL、LVCMOS、SSTL、および HSTL 規格には、設計者がコントロール可能な複数レベルのドライブ能力があります。Quartus II ソフトウェアで使用されるデフォルト設定は、最大 I/O 性能を達成するために使用される最大電流強度の設定です。すべての標準 I/O 規格について、最小設定は規格の I_{OH}/I_{OL} を保証する最低ドライブ強度です。最小設定を使用すると、信号のスルー・レート・コントロールにより、システム・ノイズや信号オーバーシュートが減少します。

表 3-17 に、標準 I/O 規格で設定可能なドライブ能力のコントロールを示します。

標準 I/O 規格	カラム I/O ピンに対する I_{OH}/I_{OL} の設定電流値 (mA)	ロウ I/O ピンに対する I_{OH}/I_{OL} の設定電流値 (mA)
3.3-V LVTTTL	24, 20, 16, 12, 8, 4	12, 8, 4
3.3-V LVCMOS	24, 20, 16, 12, 8, 4	8, 4
2.5-V LVTTTL/LVCMOS	16, 12, 8, 4	12, 8, 4
1.8-V LVTTTL/LVCMOS	12, 10, 8, 6, 4, 2	8, 6, 4, 2
1.5-V LVCMOS	8, 6, 4, 2	4, 2
SSTL-2 Class I	12, 8	12, 8
SSTL-2 Class II	24, 20, 16	16
SSTL-18 Class I	12, 10, 8, 6, 4	10, 8, 6, 4
SSTL-18 Class II	20, 18, 16, 8	-
HSTL-18 Class I	12, 10, 8, 6, 4	12, 10, 8, 6, 4
HSTL-18 Class II	20, 18, 16	-
HSTL-15 Class I	12, 10, 8, 6, 4	8, 6, 4
HSTL-15 Class II	20, 18, 16	-

表 3-17 の注：

- (1) Quartus II ソフトウェアのデフォルトの電流設定は、各標準 I/O 規格に対する最大設定になっています。

オープン・ドレイン出力

Stratix II GX デバイスは、各 I/O ピンに対しオプションでオープン・ドレイン（オープン・コレクタと同等）出力を提供します。このオープン・ドレイン出力により、複数のデバイスのいずれかでアサートされるシステム・レベルのコントロール信号（インタラプト信号やライト・イネーブル信号など）を発信します。

バス・ホールド

Stratix II GX デバイスの各 I/O ピンは、オプションでバス・ホールド機能を提供しています。バス・ホールド回路は、I/O ピンの信号を最後にドライブされた状態に保持します。バス・ホールド機能は、次の入力信号が現れるまで、最後にドライブされた状態にピンを保持するため、バスがトライ・ステートになったとき、信号レベルを保持するための外部プルアップまたはプルダウン抵抗が不要になります。

バス・ホールド回路は、ノイズによって高周波数スイッチングが予定外に発生しそうな場合、ドライブされていないピンを入力スレッショルド電圧から離します。この機能は、設計者が各 I/O ピンに対して個別に選択できます。バス・ホールド出力のドライブは V_{CCIO} を超えることがなく、信号のオーバドライブを防ぎます。バス・ホールド機能がイネーブルの場合、プログラマブル・プルアップ・オプションは使用することができません。I/O ピンが差動信号用にコンフィギュレーションされているときは、バス・ホールド機能をディセーブルにしてください。

バス・ホールド回路は、約 $7\text{ k}\Omega$ の公称抵抗値 (RBH) を持つ抵抗を使用して、信号レベルを最後にドライブされた状態に固定します。この抵抗を通してドライブされる特定の持続電流、および次にドライブされる入力レベルの識別に使用されるオーバドライブ電流については、「Stratix II GX デバイス・ハンドブック Volume 1」の「DC & スwitching特性」の章を参照してください。この情報は、各 V_{CCIO} 電圧レベルについて記載されています。バス・ホールド回路は、コンフィギュレーション完了後にのみアクティブになります。ユーザ・モードに移行すると、バス・ホールド回路はコンフィギュレーションの終了時にピンに与えられた値をキャプチャします。

プログラマブル・プルアップ抵抗

Stratix II GX デバイスの各 I/O ピンは、ユーザ・モードで使用されるプログラマブル・プルアップ抵抗をオプションで提供します。この機能を 1 本の I/O ピンに対してイネーブルにすると、プルアップ抵抗 (通常 $25\text{ k}\Omega$) は、出力ピンが存在するバンクの V_{CCIO} レベルに出力を保持します。

最新の標準 I/O 規格のサポート

Stratix II GX デバイスの IOE は、次の標準 I/O 規格をサポートしています。

- 3.3 V LVTTTL/LVCMOS
- 2.5 V LVTTTL/LVCMOS
- 1.8 V LVTTTL/LVCMOS
- 1.5 V LVCMOS
- 3.3 V PCI
- 3.3 V PCI-X mode 1
- LVDS
- LVPECL (入力 / 出力クロックのみ)
- 差動 1.5 V HSTL Class I および II
- 差動 1.8 V HSTL Class I および II
- 差動 SSTL-18 Class I および II
- 差動 SSTL-2 Class I および II
- 1.5 V HSTL Class I および II

- 1.8 V HSTL Class I および II
- SSTL-2 Class I および II
- SSTL-18 Class I および II

表 3-18 に、Stratix II GX デバイスでサポートされる標準 I/O 規格を表記します。

標準 I/O 規格	タイプ	入力リファレンス電圧 (V_{REF}) (V)	出力電源電圧 (V_{CCIO}) (V)	ボード終端電圧 (V_{TT}) (V)
LVTTTL	シングル・エンド	-	3.3	-
LVCMOS	シングル・エンド	-	3.3	-
2.5 V	シングル・エンド	-	2.5	-
1.8 V	シングル・エンド	-	1.8	-
1.5 V LVCMOS	シングル・エンド	-	1.5	-
3.3 V PCI	シングル・エンド	-	3.3	-
3.3 V PCI-X mode 1	シングル・エンド	-	3.3	-
LVDS	差動	-	2.5 (3)	-
LVPECL (1)	差動	-	3.3	-
HyperTransportテクノロジー	差動	-	2.5 (3)	-
差動 1.5 V HSTL Class I および II (2)	差動	0.75	1.5	0.75
差動 1.8 V HSTL Class I および II (2)	差動	0.90	1.8	0.90
差動 SSTL-18 Class I および II (2)	差動	0.90	1.8	0.90
差動 SSTL-2 Class I および II (2)	差動	1.25	2.5	1.25
1.2 V HSTL (4)	リファレンス電圧	0.6	1.2	0.6
1.5 V HSTL Class I および II	リファレンス電圧	0.75	1.5	0.75
1.8 V HSTL Class I および II	リファレンス電圧	0.9	1.8	0.9
SSTL-18 Class I および II	リファレンス電圧	0.90	1.8	0.90

表 3-18. Stratix II GX でサポートされる標準 I/O 規格

標準 I/O 規格	タイプ	入力リファレンス電圧 (V_{REF}) (V)	出力電源電圧 (V_{CCIO}) (V)	ボード終端電圧 (V_{TT}) (V)
SSTL-2 Class I および II	リファレンス電圧	1.25	2.5	1.25

表 3-18 の注：

- (1) この標準 I/O 規格は、入力および出力カラム・クロック・ピンでのみ利用できます。
- (2) この標準 I/O 規格は、I/O バンク 3、4、7、8 の入力クロック・ピンと DQS ピン、そして I/O バンク 9、10、11、12 の出力クロック・ピンでのみ利用できます。
- (3) この標準 I/O 規格を入力および出力カラム・クロック・ピン (I/O バンク 3、4、7、8、9、10、11、および 12) で使用するとき、 V_{CCIO} は 3.3 V です。
- (4) 1.2 V HSTL は、I/O バンク 4、7 および 8 でのみサポートされます。



Stratix II GX の I/O バンクでサポートされる標準 I/O 規格について詳しくは、「Stratix II GX デバイス・ハンドブック Volume 2」の「Stratix II & Stratix II GX デバイスで選択可能な標準 I/O 規格」の章を参照してください。

図 3-56 に示すように、Stratix II GX デバイスは 6 個の I/O バンクと 4 個の enhanced PLL 外部クロック出力バンクを内蔵しています。デバイスの左側にある 2 個の I/O バンクには、LVDS 入力および出力のソース・シンクロナス高速差動 I/O をサポートする回路が含まれています。これらのバンクは、PCI ピンまたは PCI-X の I/O ピン、SSTL-18 Class II および HSTL 出力を除き、すべての Stratix II GX 標準 I/O 規格をサポートします。トップおよびボトム of I/O バンクは、すべてのシングル・エンド標準 I/O 規格をサポートします。さらに、enhanced PLL 外部クロック出力バンクは、SSTL および HSTL に対する差動のサポートなど、クロック出力機能を可能にします。

図 3-56. Stratix II GX の I/O バンク 注 (1)、(2)

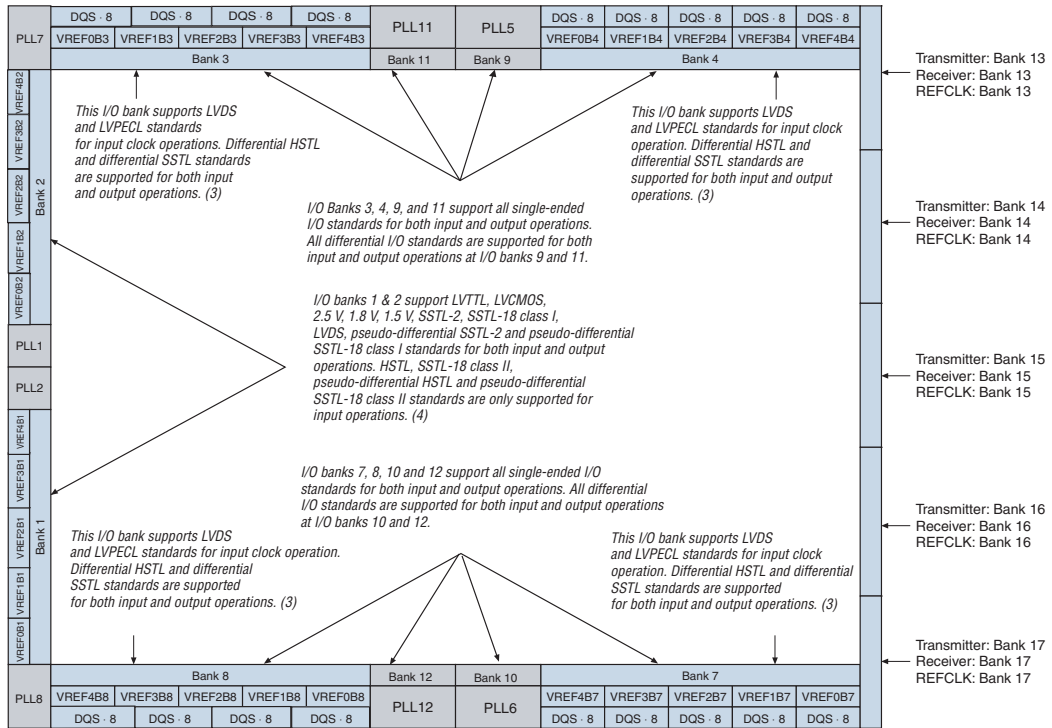


図 3-56 の注：

- 図 3-56 はシリコン・ダイの上面図で、フリップ・チップ・パッケージの裏面図に相当します。これは参考図にすぎません。
- 個々のデバイスの V_{REF} グループの数は、デバイスのサイズによって異なります。正確なピン配置については、ピン・リストおよび Quartus II ソフトウェアを参照してください。
- バンク 9 ~ 12 は、enhanced PLL 外部クロック出力バンクです。
- 水平方向の I/O バンクは、高速差動標準 I/O 規格のための SERDES および DPA 回路を搭載しています。差動標準 I/O 規格について詳しくは、「Stratix II GX デバイス・ハンドブック Volume 2」の「Stratix II GX デバイスの高速差動標準 I/O インタフェース」の章を参照してください。

各 I/O バンクには独自の V_{CCIO} ピンがあります。各バンクは異なる V_{CCIO} レベルを個別にサポートできるため、1 つのデバイスで、1.5 V、1.8 V、2.5 V、3.3 V のインタフェースをサポートすることができます。また、各バンクはリファレンス電圧を使用する標準規格 (SSTL-2 など) をサポートするための専用の VREF ピンも備えています。

各 I/O バンクは、入力および出力ピンに同じ V_{CCIO} を使用する複数の標準規格をサポートすることができます。各バンクがサポートできる V_{REF} 電圧レベルは 1 種類です。例えば、 V_{CCIO} が 3.3 V の場合、1 つのバンクで LVTTTL、LVCMOS、および 3.3 V PCI の入力と出力をサポートします。

On-Chip Termination (チップ内終端)

Stratix II GX デバイスは、信号の反射を低減し、シグナル・インテグリティを維持するために、差動 (LVDS テクノロジーの標準 I/O 規格の場合) および直列 On-Chip Termination を提供します。On-Chip Termination により必要な外部終端抵抗数が減るため、ボード設計が簡略化されます。終端はパッケージ内に配置できるため、反射を引き起こす原因となる小さなスタブが除去されます。

Stratix II GX デバイスは以下の 3 つのタイプの終端を提供します。

- 差動終端 (R_D)
- キャリブレーションなし直列終端 (R_S)
- キャリブレーション付き直列終端 (R_S)

表 3-19 に、I/O バンクごとの Stratix II GX の On-Chip Termination のサポートを示します。

On-Chip Termination のサポート	標準 I/O 規格のサポート	トップおよびボトム・バンク (3、4、7、8)	左バンク (1、2)
キャリブレーションなし 直列終端	3.3 V LVTTTL	√	√
	3.3 V LVCMOS	√	√
	2.5 V LVTTTL	√	√
	2.5 V LVCMOS	√	√
	1.8 V LVTTTL	√	√
	1.8 V LVCMOS	√	√
	1.5 V LVTTTL	√	√
	1.5 V LVCMOS	√	√
	SSTL-2 Class I および II	√	√
	SSTL-18 Class I	√	√
	SSTL-18 Class II	√	
	1.8 V HSTL Class I	√	√
	1.8 V HSTL Class II	√	
	1.5 V HSTL Class I	√	√
	1.2 V HSTL	√	

On-Chip Termination のサポート	標準 I/O 規格のサポート	トップおよびボトム・バンク (3、4、7、8)	左バンク (1、2)
キャリブレーション付き直列終端	3.3 V LVTTTL	√	
	3.3 V LVCMOS	√	
	2.5 V LVTTTL	√	
	2.5 V LVCMOS	√	
	1.8 V LVTTTL	√	
	1.8 V LVCMOS	√	
	1.5 V LVTTTL	√	
	1.5 V LVCMOS	√	
	SSTL-2 Class I および II	√	
	SSTL-18 Class I および II	√	
	1.8 V HSTL Class I	√	
	1.8 V HSTL Class II	√	
	1.5 V HSTL Class I	√	
1.2 V HSTL	√		
差動終端 (1)	LVDS		√
	HyperTransport テクノロジ		√

表 3-19 の注：

- (1) クロック・ピン CLK1、CLK3、CLK9、CLK11、およびピン FPLL[7..10]CLK は、差動 On-Chip Termination をサポートしません。クロック・ピン CLK0、CLK2、CLK8、および CLK10 は差動 On-Chip Termination をサポートしません。トップおよびボトム・バンクのクロック・ピン (CLK[4..7, 12..15]) は、差動 On-Chip Termination をサポートしません。

差動 On-Chip Termination

Stratix II GX デバイスは、LVDS 規格用の入力レシーバ・バッファに対して、公称抵抗値 100 Ω による差動 On-Chip Termination をサポートします。LVPECL 入力信号 (クロック・ピンでのみサポートされる) には、外部終端抵抗が必要です。「Stratix II GX デバイス・ハンドブック Volume 1」の「DC & スイッチング特性」の章の「高速標準 I/O 規格」に示すとおり、サポートされている差動データ・レートの全範囲で差動 On-Chip Termination がサポートされています。



差動 On-Chip Termination について詳しくは、「Stratix II GX デバイス・ハンドブック Volume 2」の「Stratix II GX デバイスの DPA を使用した高速差動 I/O インタフェース」の章を参照してください。

差動 On-Chip Termination の精度の仕様について詳しくは、「Stratix II GX デバイス・ハンドブック Volume 1」の「DC & スイッチング特性」の章を参照してください。

キャリブレーションなし直列 On-Chip Termination

Stratix II GX デバイスは、I/O ドライバに伝送線路のインピーダンスに厳密にマッチングする制御出力インピーダンスを供給するために、ドライバ・インピーダンス・マッチングをサポートしています。その結果、反射を大幅に低減できます。Stratix II GX デバイスは、シングル・エンド標準 I/O 規格に対して、25 および 50 Ω の標準 R_G 値により、直列 On-Chip Termination をサポートします。マッチング・インピーダンスが選択されると、電流ドライブ強度は選択不能になります。3-95 ページの表 3-19 に、キャリブレーションなしの直列 On-Chip Termination をサポートする出力規格のリストを示します。



Stratix II GX デバイスがサポートする直列 On-Chip Termination について詳しくは、「Stratix II GX デバイス・ハンドブック Volume 2」の「Stratix II & Stratix II GX デバイスで選択可能な標準 I/O 規格」の章を参照してください。

キャリブレーションなし On-Chip Termination の精度の仕様について詳しくは、「Stratix II GX デバイス・ハンドブック Volume 1」の「DC & スイッチング特性」の章を参照してください。

キャリブレーション付き直列 On-Chip Termination

Stratix II GX デバイスは、トップおよびボトム・バンクにおけるカラム I/O ピンでのキャリブレーション付き直列 On-Chip Termination をサポートします。トップ I/O バンク用に 1 つのキャリブレーション回路とボトム I/O バンク用に 1 つの回路があります。各直列 On-Chip Termination キャリブレーション回路は、各 I/O バッファの合計インピーダンスと、RUP ピンおよび RDN ピンに接続された外部 25 Ω または 50 Ω 抵抗を比較し、それらがマッチングするまでダイナミックにトランジスタをイネーブルまたはディセーブルします。キャリブレーションは、デバイス・コンフィギュレーションの最後に実行されます。キャリブレーション回路は、正しいインピーダンスを見つけるとパワーダウンし、ドライバ特性の変更を停止します。



Stratix II GX がサポートする直列 On-Chip Termination について詳しくは、「Stratix II GX デバイス・ハンドブック Volume 2」の「Stratix II & Stratix II GX デバイスで選択可能な標準 I/O 規格」の章を参照してください。

キャリブレーション付き On-Chip Termination の精度の仕様について詳しくは、「Stratix II GX デバイス・ハンドブック Volume 1」の「DC & スイッチング特性」の章を参照してください。

MultiVolt I/O インタフェース

Stratix II GX アーキテクチャは、MultiVolt™ I/O インタフェース機能をサポートしており、すべてのパッケージの Stratix II GX デバイスは電源電圧の異なるシステムとのインタフェースが可能です。Stratix II GX の VCCINT ピンは、常に 1.2V 電源に接続されている必要があります。VCCINT ピンのレベルが 1.2 V のとき、入力ピンは、1.5 V、1.8 V、2.5 V、3.3 V を許容します。VCCIO ピンは、要求される出力レベルに応じて、1.5 V、1.8 V、2.5 V、3.3 V のいずれかの電源に接続することができます。出力レベルは電源と同じ電圧のシステムと互換性を持ちます(例えば、VCCIO ピンが 1.5 V 電源に接続されている場合、出力レベルは 1.5 V のシステムと互換性があります)。Stratix II GX の VCCPD 電源ピンは、常に 3.3 V の電源に接続されている必要があります。これらの電源ピンは、出力バッファにブリドドライブ電源を供給するために使用され、出力ピンの性能を強化します。VCCPD ピンは、コンフィギュレーション入力ピンおよび JTAG 入力ピンにも電源を供給します。

表 3-20 は、Stratix II GX の MultiVolt I/O サポートをまとめたものです。

V _{CCIO} (V)	入力信号 (V)					出力信号 (V)					
	1.2	1.5	1.8	2.5	3.3	1.2	1.5	1.8	2.5	3.3	5.0
1.2	(4)	√(2)	√(2)	√(2)	√(2)	√(4)					
1.5	(4)	√	√	√(2)	√(2)	√(3)	√				
1.8	(4)	√(2)	√	√(2)	√(2)	√(3)	√(3)	√			
2.5	(4)			√	√	√(3)	√(3)	√(3)	√		
3.3	(4)			√(2)	√	√(3)	√(3)	√(3)	√(3)	√	√

表 3-20 の注：

- (1) 入力を V_{CCIO} より高く 4.0 V より低くドライブするには、PCI クランピング・ダイオードをディセーブルにし、Quartus II ソフトウェアの **Allow LVTTTL and LVCMOS input to overdrive input buffer** オプションを選択します。
- (2) ピン電流はデフォルト値よりもわずかに高くなる場合があります。ドライビング・デバイスの最大 V_{OL} 電圧および最小 V_{OH} 電圧が該当する Stratix II の最大 V_{IL} および最小 V_{IH} 電圧仕様に違反しないことを確認する必要があります。
- (3) V_{CCIO} は、Stratix II デバイスがドライブ・アウトするのに必要な電圧を規定していますが、受信デバイスの電源電圧レベルが異なる場合でも、 V_{CCIO} 値が入力の許容範囲内であれば、Stratix II デバイスにインタフェースできます。
- (4) Stratix II GX デバイスは 1.2 V HSTL をサポートしています。1.2 V LVTTTL および 1.2 V LVCMOS はサポートしていません。

TDO および nCEO ピンは、それらが存在するバンクの V_{CCIO} によって電源が供給されます。TDO は I/O バンク 4、nCEO は I/O バンク 7 にあります。理想的には、接続されている任意の 2 本のピンの I/O バッファ用 V_{CC} 電源は、同じ電圧レベルにあります。ただし、マスタ・デバイスの TDO ピンと nCEO ピンの V_{CCIO} レベル、およびスレーブ・デバイスの V_{CCSEL} で選択されるコンフィギュレーション電圧レベルによっては、そうならない場合もあります。マスタ・デバイスとスレーブ・デバイスは、チェーン内のどの場所にも配置できます。マスタは、スレーブ・デバイスに対して TDO または nCEO をドライブ・アウトしていることを示します。マルチ・デバイス・パッシブ・コンフィギュレーション方式の場合、マスタ・デバイスの nCEO ピンは、スレーブ・デバイスの nCE ピンをドライブします。スレーブ・デバイスの V_{CCSEL} ピンは、nCE に使用される入力バッファを選択します。 V_{CCSEL} がロジック High のときには、 V_{CCIO} でドライブされる 1.8 V/1.5 V バッファを選択します。 V_{CCSEL} がロジック Low のときには、 V_{CCPD} でドライブされる 3.3 V/2.5 V 入力バッファを選択します。理想的なケースは、マスタ・デバイスの nCEO バンクの V_{CCIO} を接続されているスレーブ・デバイスの nCE 入力バッファに対する V_{CCSEL} 設定に一致させることですが、アプリケーションによっては不可能な場合があります。表 3-21 は、nCEO がすべての電源の組み合わせに対して、正しく nCE をドライブするためのボード・デザイン推奨事項を示しています。

I/O バンク 3 における nCE 入力バッファ電源	I/O バンク 7 における Stratix II GX の nCEO V _{CCIO} 電圧レベル				
	V _{CCIO} = 3.3 V	V _{CCIO} = 2.5 V	V _{CCIO} = 1.8 V	V _{CCIO} = 1.5 V	V _{CCIO} = 1.2 V
VCCSEL High (V _{CCIO} バンク 3 = 1.5 V)	√(1)、(2)	√(3)、(4)	√(5)	√	√
VCCSEL High (V _{CCIO} バンク 3 = 1.8 V)	√(1)、(2)	√(3)、(4)	√	√	必要なレ ベル・シフタ
VCCSEL Low (V _{CCPD} = 3.3 V)	√	√(4)	√(6)	必要なレ ベル・シフタ	必要なレ ベル・シフタ

表 3-21 の注：

- (1) 入力バッファは 3.3 V を許容します。
- (2) nCEO 出力バッファは、V_{OH} (MIN) = 2.4 V に適合します。
- (3) 入力バッファは 2.5 V を許容します。
- (4) nCEO 出力バッファは、V_{OH} (MIN) = 2.0 V に適合します。
- (5) 入力バッファは 1.8 V を許容します。
- (6) 外部 250 Ω プルアップ抵抗は必須ではありませんが、ボードの信号レベルが最適でない場合は推奨されます。

JTAG チェインの場合、最初のデバイスの TDO ピンは、チェーン内の 2 番目のデバイスの TDI ピンをドライブします。JTAG 入力 I/O セル (TCK、TMS、TDI、および TRST) の V_{CCSEL} 入力は、内部で GND にハードワイヤされており、V_{CCPD} で電源供給される 3.3 V/2.5 V 入力バッファを選択します。理想的なケースは、最初のデバイスの TDO バンクの V_{CCIO} を 2 番目のデバイスの TDI に対する V_{CCSEL} 設定にマッチさせることですが、アプリケーションによっては不可能な場合があります。表 3-22 に、適切な JTAG チェイン動作を実現するためのボード・デザインの推奨事項が記載されています。

表 3-22. サポートされる TDO/TDI 電圧の組み合わせ

デバイス	TDI 入力バッファ電源	I/O バンク 4 における Stratix II GX TDO の V _{CCIO} 電圧レベル				
		V _{CCIO} = 3.3 V	V _{CCIO} = 2.5 V	V _{CCIO} = 1.8 V	V _{CCIO} = 1.5 V	V _{CCIO} = 1.2 V
Stratix II GX	常時 V _{CCPD} (3.3 V)	√ (1)	√ (2)	√ (3)	必要なレベル・シフト	必要なレベル・シフト
Stratix II GX 以外	VCC = 3.3 V	√ (1)	√ (2)	√ (3)	必要なレベル・シフト	必要なレベル・シフト
	VCC = 2.5 V	√ (1), (4)	√ (2)	√ (3)	必要なレベル・シフト	必要なレベル・シフト
	VCC = 1.8 V	√ (1), (4)	√ (2), (5)	√	必要なレベル・シフト	必要なレベル・シフト
	VCC = 1.5 V	√ (1), (4)	√ (2), (5)	√ (6)	√	√

表 3-22 の注：

- (1) TDO 出力バッファは、V_{OH}(MIN) = 2.4 V に適合します。
- (2) TDO 出力バッファは、V_{OH}(MIN) = 2.0 V に適合します。
- (3) 外部 250 Ω プルアップ抵抗は必須ではありませんが、ボードの信号レベルが最適でない場合は推奨されます。
- (4) 入力バッファは 3.3 V を許容する必要があります。
- (5) 入力バッファは 2.5 V を許容する必要があります。
- (6) 入力バッファは 1.8 V を許容する必要があります。

DPA 搭載の 高速差動 I/O の サポート

Stratix II GX デバイスは、最大 1 Gbps の速度で差動標準規格をサポートする専用回路を内蔵しています。LVDS 差動標準 I/O 規格は、Stratix II GX デバイスでサポートされています。さらに、トップおよびボトム I/O バンクの入力および出力クロック・ピンで、LVPECL 標準 I/O 規格がサポートされます。

高速差動 I/O 回路は、以下の高速標準 I/O インタコネクタ規格およびアプリケーションをサポートします。

- SPI-4 Phase 2 (POS-PHY Level 4)
- SFI-4
- パラレル RapidIO™ 規格

EP2SGX30 デバイスには、2 個の専用高速 PLL があり、EP2SGX60、EP2SGX90、および EP2SGX130 デバイスには、基準クロックを過倍して高速差動 SERDES チャンネルをドライブするための 4 個の専用高速 PLL があります。

表 3-23 から 3-26 に、各 Stratix II GX デバイスで各 fast PLL がクロック可能なチャンネル数を示します。表 3-23 から 3-26 で、各トランスミッタまたはレシーバの最初の列は、PLL から直接ドライブ可能なチャンネル数を示します。その後の 2 番目の列は、隣接するセンタ fast PLL からクロス・バンク・チャンネルが使用された場合に、1 個の fast PLL がドライブ可能な最大チャンネル数を示します。例えば、780 ピン FineLine BGA® の EP2SGX30 デバイスにおいて、PLL 1 は I/O バンク 1 では最大 16 本のトランスミッタ・チャンネルをドライブでき、I/O バンク 1 と 2 では最大 29 本のトランスミッタ・チャンネルをドライブできます。Quartus II ソフトウェアは、レシーバがトランスミッタをドライブしているときに、レシーバ PLL とトランスミッタ PLL をマージすることも可能です。この場合、1 個の fast PLL で最大レシーバ・チャンネル数と最大トランスミッタ・チャンネル数をドライブできます。

パッケージ	トランスミッタ / レシーバ	合計チャンネル数	センタ fast PLL パッケージ	
			PLL1	PLL2
780 ピン FineLine BGA	トランスミッタ	29	16	13
	レシーバ	31	17	14

パッケージ	トランスミッタ / レシーバ	合計チャンネル数	センタ fast PLL		コーナ fast PLL	
			PLL1	PLL2	PLL7	PLL8
780 ピン FineLine BGA	トランスミッタ	29	16	13		
	レシーバ	31	17	14		
1,152 ピン FineLine BGA	トランスミッタ	42	21	21	21	21
	レシーバ	42	21	21	21	21

パッケージ	トランスミッタ / レシーバ	合計チャンネル数	センタ fast PLL		コーナ fast PLL	
			PLL1	PLL2	PLL7	PLL8
1,152 ピン FineLine BGA	トランスミッタ	45	23	22	23	22
	レシーバ	47	23	24	23	24
1,508 ピン FineLine BGA	トランスミッタ	59	30	29	29	29
	レシーバ	59	30	29	29	29

表 3-26. EP2SGX130 デバイスの差動チャンネル 注 (1)

パッケージ	トランスミッタ/ レシーバ	合計チャンネル数	センタ fast PLL		コーナ fast PLL	
			PLL1	PLL2	PLL7	PLL8
1,508 ピン FineLine BGA	トランスミッタ	71	37	41	37	41
	レシーバ	73	37	41	37	41

表 3-23 から 3-26 の注：

- (1) レシーバ・チャンネルの総数は、データ・チャンネルとしてオプションで使用可能な4個の専用ではないクロック・チャンネルを含みます。

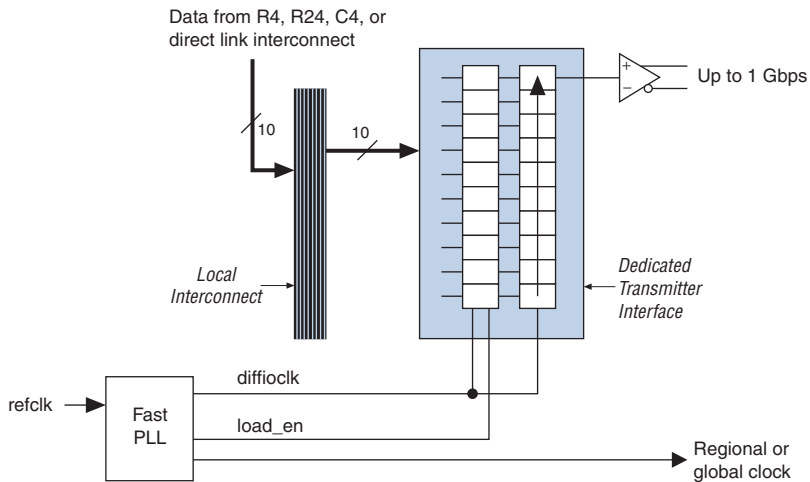
したがって、合計チャンネル数は、PLL 1、2、3、4 でアクセス可能なチャンネル数と PLL 7、8、11、12 でアクセス可能なチャンネル数を加算したものではありません。

DPA 搭載の専用回路のサポート

Stratix II GX デバイスは、最大 1 Gbps の LVDS 信号とのソース・シンクロナス・インタフェースをサポートします。Stratix II GX デバイスは、低速または高速クロックに従ってシリアル・チャンネルを送信または受信できます。

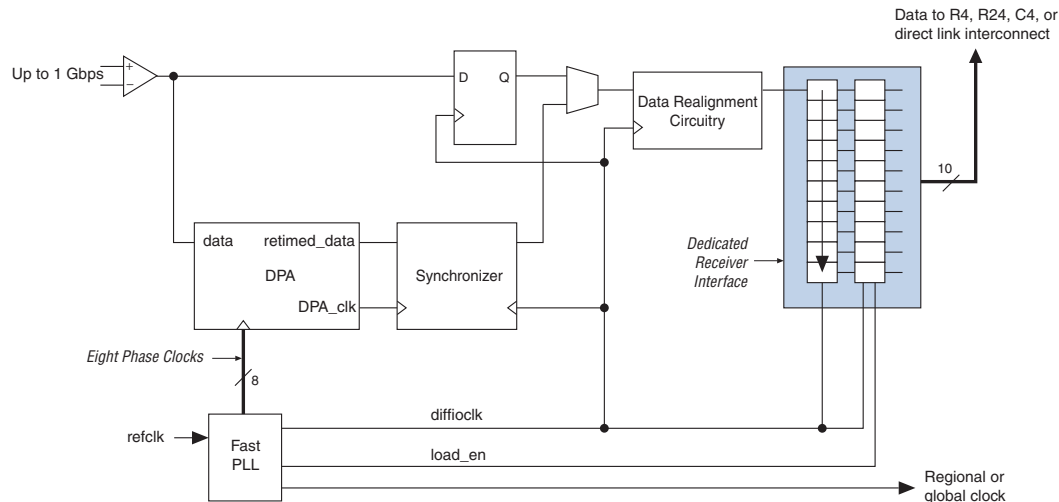
受信デバイスの PLL は、クロックを整数係数 W ($W = 1 \sim 32$) で通倍します。SERDES 係数 J は、レシーバからのデータをパラレル変換するか、またはシリアル化してトランスミッタに送るためのパラレル・データ幅を決定します。SERDES 係数 J は 4、5、6、7、8、9、または 10 に設定でき、PLL クロック通倍の W 値に等しくする必要はありません。ダイナミック・フェーズ・アライナを使用する設計では、これらの J 係数値もすべてサポートしています。 J 係数が 1 の場合、Stratix II GX デバイスは SERDES ブロックをバイパスします。 J 係数が 2 の場合、Stratix II GX デバイスは SERDES ブロックをバイパスし、DDR 入力レジスタおよび出力レジスタが IOE 内で使用されます。図 3-57 は、Stratix II GX トランスミッタ・チャンネルのブロック図です。

図 3-57. Stratix II GX トランスミッタ・チャンネル



Stratix II GX の各レシーバ・チャンネルには、位相の検出および選択のための DPA ブロック、SERDES、シンクロナイザ、およびデータ・リアライナ回路が含まれています。チャンネルの基本的なソース同期動作に影響を与えずに、DPA をバイパスすることができます。さらに、ロジック・アレイからのコントロール信号により、DPA ブロックの使用またはブロックのバイパスをダイナミックに切り換えることができます。図 3-58 に、Stratix II GX レシーバ・チャンネルのブロック図を示します。

図 3-58. Stratix II GX レシーバ・チャンネル



外部ピン、グローバル・クロック、またはリージョナル・クロックは fast PLL をドライブできます。これにより、SERDES ブロックと外部ピンまたはそのいずれかをドライブする 2 つの乗算された高速クロック、およびロジック・アレイをドライブする低速クロックの最大 3 つのクロックを出力できます。さらに、VCO からの 8 つの位相シフト・クロックを DPA 回路に供給できます。fast PLL について詳しくは、「Stratix II GX デバイス・ハンドブック Volume 2」の「Stratix II GX デバイスの PLL」の章を参照してください。

fast PLL からの 8 つの位相シフト・クロックは DPA ブロックに供給されます。DPA ブロックはシリアル・データ・アイの中心に最も近い位相を選択して、着信データをサンプリングします。これにより、ソース・シンクロナス回路は、チャンネル間スキューやクロック・チャンネル間スキューに関係なく、着信データを正確にキャプチャすることができます。DPA ブロックはシリアル・データの位相に最も近い位相にロックします。位相アラインメントされた DPA クロックが、シンクロナイザにデータを書き込むのに使用されます。

シンクロナイザは、DPA ブロックとデータ・リアラインメントおよび SERDES 回路の間に配置されます。DPA ブロックを利用するすべてのチャンネルが、データをサンプリングするのに異なる位相を選択できるため、データをデータ・リアラインメントおよび SERDES 回路の高速クロック・ドメインに同期させるには、シンクロナイザが必要です。

POS-PHY 4 およびパラレル RapidIO 規格などの高速ソース・シンクロナス・インタフェースでは、ソース同期クロック・レートはデータ・レートの倍数のバイト・レートまたは SERDES レートではありません。クロックはデータ・レートの 1/2 で、1/8 ではないため、ソース同期クロックはバイト境界またはワード境界を提供しません。このため、これらのプロトコルにはバイト・アラインメントが必要です。Stratix II GX デバイスの高速差動 I/O 回路は、ユーザ制御のバイト境界シフトを実現する専用データ・リアラインメント回路を提供します。これによりデザインが単純化され、ALM リソースも節約されます。設計者は ALM ベースのステート・マシンを使用して、バイト・アラインメントを示す特定のパターンが検出されるまで、レシーバのバイト境界をシフトさせるための信号を送ることができます。

fast PLL およびチャンネルのレイアウト

レシーバ・チャンネルとトランスミッタ・チャンネルは、デバイスの左側にある各 I/O バンクが 1 LAB ロウあたり 1 本のレシーバ・チャンネルと 1 本のトランスミッタ・チャンネルを持つようにインタリーブされます。図 3-59 に、EP2SGX30C/D および EP2SGX60C/D デバイスの fast PLL およびチャンネルのレイアウトを示します。図 3-60 には、EP2SGX60E、EP2SGX90E/F、および EP2SGX130G デバイスの fast PLL およびチャンネルのレイアウトを示します。

図 3-59. EP2SGX30C/D および EP2SGX60C/D デバイスの fast PLL およびチャンネルのレイアウト
注 (1)

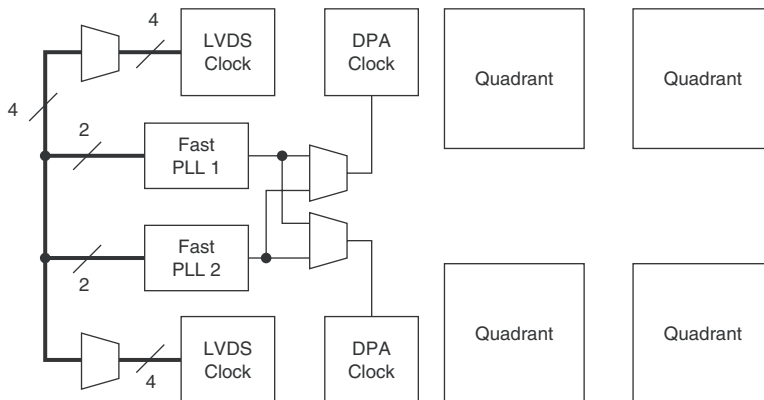


図 3-59 の注：

(1) 各デバイスがサポートするチャンネル数については、表 3-23 を参照してください。

図 3-60. EP2SGX60E～EP2SGX130デバイスのfast PLLおよびチャネルのレイアウト 注 (1)

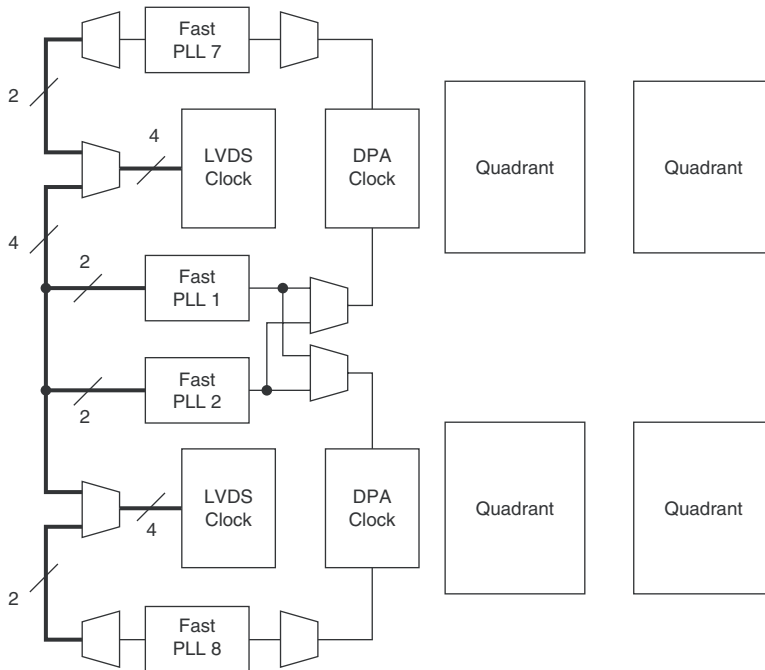


図 3-60 の注：

(1) 各デバイスがサポートするチャンネル数については、表 3-24～表 3-26 を参照してください。

