

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

Stratix® II GX ファミリー・デバイスは、高速シリアル・トランシーバと高性能スケーラブル・ロジック・アレイを組み合わせたアルテラの第3世代のFPGAファミリーです。Stratix II GX デバイスは、最大6.375 Gbpsのデータ・レートで動作可能なクロック / データ・リカバリ・ユニット (CRU) テクノロジーとエンベデッド SERDES 機能を備えた4 ~ 20本の高速トランシーバ・チャンネルを搭載しています。トランシーバは、4チャンネル・トランシーバ・ブロックにグループ化され、低消費電力と小さなダイ・サイズを実現するように設計されています。Stratix II GX FPGA テクノロジーは、Stratix II アーキテクチャ上に構築され、比類のない性能、優れた柔軟性、および迅速な「time-to-market」能力を備えた1.2V ロジック・アレイを提供します。このスケーラブルな高性能アーキテクチャにより、Stratix II GX デバイスは高速バックプレーン・インタフェース、チップ間および通信プロトコル・ブリッジ・アプリケーションに最適です。

特長

この項では Stratix II GX デバイスの特長を示します。

■ デバイスの主な特長

- 3種類のRAMブロック・サイズで構成される TriMatrix™ メモリにより、最大550 MHzのパフォーマンスで本格的なデュアル・ポート・メモリおよびFIFO (First-In First-Out) バッファを実現
- 1デバイス領域あたり32のリージョナル・クロック・ネットワークを備えた最大16のグローバル・クロック・ネットワーク
- 高速DSPブロックにより、乗算器 (最大450 MHz)、積和ファンクション、およびFIR (Finite Impulse Response) フィルタの専用ファンクションを提供
- 1デバイスあたり最大4個のenhanced PLLにより、スペクトラム拡散、プログラマブル帯域幅、クロック切り換え、リアルタイムPLLリコンフィギュレーション、高度な通倍と位相シフトを提供
- 多数のシングル・エンドおよび差動標準I/O規格をサポート
- 最大78チャンネルでの高速ソース・シンクロナス差動I/Oサポート
- SPI-4 Phase 2 (POS-PHY Level 4)、SFI-4.1、XSBI、UTOPIA IV、NPSI、およびCSIX-L1などのソース・シンクロナス標準バス規格をサポート

- QDR および QDR II SRAM、DDR および DDR2 SDRAM、および SDR SDRAM などの高速外部メモリをサポート
 - アルテラの MegaCore[®] ファンクションおよび AMPPSM (Altera Megafunction Partners Program) メガファンクションからの多数の IP (Intellectual Property) メガファンクションをサポート
 - コンフィギュレーション・ビットストリーム暗号化を使用してデザイン・セキュリティをサポート
 - リモート・コンフィギュレーション・アップデートをサポート
- トランシーバ・ブロックの特長
- CDR を備えた高速シリアル・トランシーバ・チャンネルは、1 チャンネルあたり 622 Mbps ~ 6.375 Gbps の全二重トランシーバ動作を提供
 - 最大 255 Gbps のシリアル帯域幅 (全二重) を提供する 4、8、12、16 または 20 本の高速シリアル・トランシーバ・チャンネルを搭載したデバイス
 - シグナル・インテグリティを向上するダイナミック・プログラマブル差動出力電圧 (V_{OD}) およびプリエンファシス設定
 - PCI Express、Gigabit Ethernet、SDI、アルテラの SerialLite II、XAUI、および CEI (OIF 6G) などの CDR ベースの標準バス規格をサポート
 - 非動作時に消費電力を低減するための個別トランスミッタ・チャンネルおよびレシーバ・チャンネル・パワーダウン機能を内蔵
 - 多様な伝送媒体でシグナル・インテグリティを改善するための選択可能な On-Chip Termination (チップ内終端) 抵抗 (100、120、または 150 Ω)
 - 8、10、16、20、32、40 ビット幅のデータ転送をサポートするプログラム可能なトランシーバと FPGA とのインタフェース
 - 622 Mbps ~ 6.375 Gbps を達成する (AC 結合と DC 結合の両方で) 1.2 V および 1.5 V 擬似電流モード・ロジック (PCML)
 - 信号喪失を示すレシーバ・インジケータ
 - ビルトイン・セルフ・テスト (BIST)
 - 外部デバイスを使用せずに、ホット・プラグインまたはホット・スワップおよびパワー・シーケンスをサポートするホット・ソケット (活線挿抜)
 - プログラマブル・パターンをサポートするレート・マッチャ、バイト・リオーダーリング、ビット・リオーダーリング、パターン検出、およびワード・アライナ
 - PIPE、XAUI、および GigE に準拠した専用回路
 - フレームまたはパケットが常に既知のバイト・レーンで開始するためのビルトイン・バイト・オーダーリング

- 各トランシーバ・ブロックに対する2個のPLL入力を備えたトランスミッタ。各トランスミッタで可変クロック・レートを提供する独立したクロック・デバイダ
- 8ビットから10ビットへのエンコーディングおよび10ビットから8ビットへのデコーディングを実行する8B/10Bエンコーダ/デコーダ
- トランシーバ・ブロックとロジック・アレイ間のクロック・ドメイン変換を実行する位相補償 FIFO バッファ
- レシーバ FIFO は受信データをローカル基準クロックに再同期化
- XAUI に準拠したチャンネル・アライナ


 特定のトランシーバ・ブロックはバイパスできます。詳しくは、「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX トランシーバ」の章を参照してください。

表 1-1 に、Stratix II GX デバイスの一覧を示します。

表 1-1. Stratix II GX デバイス一覧 (1 / 2)				
機能	EP2SGX30	EP2SGX60	EP2SGX90	EP2SGX130
ALM 数	13,552	24,176	36,384	53,016
等価 LE 数	33,880	60,440	90,960	132,540
トランシーバ・チャンネル数	4 または 8	4、8、または 12	12 または 16	20
トランシーバ・データ・レート	622 Mbps ~ 6.375 Gbps	622 Mbps ~ 6.375 Gbps	622 Mbps ~ 6.375 Gbps	622 Mbps ~ 6.375 Gbps
ソース・シンクロナス受信 チャンネル数	31	31 または 42	46 または 59	78
ソース・シンクロナス送信 チャンネル数	29	29 または 42	45 または 59	78
M512 RAM ブロック数 (32 × 18 ビット)	202	329	488	699
M4K RAM ブロック数 (128 × 36 ビット)	144	255	408	609
M-RAM ブロック数 (4K × 144 ビット)	1	2	4	6
トータル RAM ビット数	1,369,728	2,544,192	4,520,448	6,747,840
エンベデッド乗算器数 (18 × 18)	64	144	192	252
DSP ブロック数	16	36	48	63

機能	EP2SGX30	EP2SGX60	EP2SGX90	EP2SGX130
PLL 数	4	8	8	8
最大ユーザ I/O ピン数	372	364 または 534	558 または 650	734
パッケージ	780 ピン FineLine BGA®	780 ピン FineLine BGA 1,152 ピン FineLine BGA	1,152 ピン FineLine BGA 1,508 ピン FineLine BGA	1,508 ピン FineLine BGA

Stratix II GX デバイスは、実装スペースを節減する FineLine BGA パッケージで提供されています(表 1-2を参照)。すべての Stratix II GX デバイスは、同一のパッケージにおけるバーティカル・マイグレーションをサポートしています。バーティカル・マイグレーションとは、専用ピン、コンフィギュレーション・ピン、および電源ピンが同じ同一パッケージならばボード上のレイアウトを変更することなく、異なるデバイス間でマイグレーションできることです。I/O ピンのマイグレーションでは、I/O ピンがマイグレーション可能かを確認するために所定のパッケージ・タイプのすべての集積度でデバイスのピン配置出力を利用して使用可能な I/O ピンを照合させる必要があります。表 1-3 に、Stratix II GX デバイスのパッケージ・サイズを示します。

デバイス	トランシーバ・チャンネル数	ソース・シンクロナス・チャンネル数		最大ユーザ I/O ピン数		
		受信	送信	780 ピン FineLine BGA (29 mm)	1,152 ピン FineLine BGA (35 mm)	1,508 ピン FineLine BGA (40 mm)
EP2SGX30C	4	31	29	361		
EP2SGX60C	4	31	29	364		
EP2SGX30D	8	31	29	361		
EP2SGX60D	8	31	29	364		
EP2SGX60E	12	47 (1)	42		534	
EP2SGX90E	12	46 (1)	45		558	
EP2SGX90F	16	59 (1)	59			650
EP2SGX130G	20	73 (1)	78			734

表 1-2 の注：

(1) 2つの (追加) 差動トランシーバ・チャンネルとしても使用することのできる 2つの差動クロック入力を含みます。

表 1-3. Stratix II GX の FineLine BGA パッケージ・サイズ

寸法	780 ピン	1,152 ピン	1,508 ピン
ピッチ (mm)	1.00	1.00	1.00
面積 (mm ²)	841	1,225	1,600
長さ × 幅 (mm × mm)	29 × 29	35 × 35	40 × 40

