



15. Stratix II & Stratix II GX デバイスのパッケージ情報

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SI152010-4.1

はじめに

この章では、アルテラの Stratix[®] II および Stratix II GX デバイスのパッケージ情報を提供しています。内容は以下のとおりです。

- デバイスとパッケージのクロス・リファレンス
- 熱抵抗値
- パッケージ寸法

表 15-1 および 15-2 に、FineLine BGA[®] (FBGA) パッケージで提供されている Stratix II および Stratix II GX デバイスを表示します。

デバイス	パッケージ	ピン数
EP2S15	Flip-chip FBGA	484
	Flip-chip FBGA	672
EP2S30	Flip-chip FBGA	484
	Flip-chip FBGA	672
EP2S60	Flip-chip FBGA	484
	Flip-chip FBGA	672
	Flip-chip FBGA	1,020
EP2S90	Flip-chip FBGA	484
	Flip-chip FBGA	780
	Flip-chip FBGA	1,020
	Flip-chip FBGA	1,508
EP2S130	Flip-chip FBGA	780
	Flip-chip FBGA	1,020
	Flip-chip FBGA	1,508
EP2S180	Flip-chip FBGA	1,020
	Flip-chip FBGA	1,508

デバイス	パッケージ	ピン数
EP2SGX30	Flip-chip FBGA	780
EP2SGX60	Flip-chip FBGA	780
	Flip-chip FBGA	1,152
EP2SGX90	Flip-chip FBGA	1,152
	Flip-chip FBGA	1,508
EP2SGX130	Flip-chip FBGA	1,508

熱抵抗

Stratix II デバイスの熱抵抗値は、JEDEC 規格に対応したボードおよび標準ボードで提供されています。以下の値が提供されています。

- θ_{JA} (°C/W) 無風 — ヒート・シンクが使用されていない時の空気流量なしのジャンクションから周囲までの熱抵抗
- θ_{JA} (°C/W) 100 ft./min. — ヒート・シンクが使用されていない場合の 100 ft./min. でのジャンクションから周囲までの熱抵抗
- θ_{JA} (°C/W) 200 ft./min. — ヒート・シンクが使用されていない場合の 200 ft./min. でのジャンクションから周囲までの熱抵抗
- θ_{JA} (°C/W) 400 ft./min. — ヒート・シンクが使用されていない場合の 400 ft./min. でのジャンクションから周囲までの熱抵抗
- θ_{JC} — デバイスのジャンクションからケースまでの熱抵抗
- θ_{JB} — デバイスのジャンクションからボードまでの熱抵抗

表 15-3 に、熱抵抗の見積もりのための JEDEC 規格に対応したボード上の Stratix II デバイスの θ_{JA} (ジャンクションから周囲までの熱抵抗)、 θ_{JC} (ジャンクションからケースまでの熱抵抗)、および θ_{JB} (ジャンクションからボードまでの熱抵抗) の値を示します。JEDEC ボード規格は、2つの信号および2つの電源 / グランド・プレーンが必要です。www.jedec.org で提供されています。

デバイス	ピン数	パッケージ	θ_{JA} (°C/W) 無風	θ_{JA} (°C/W) 100 ft./min.	θ_{JA} (°C/W) 200 ft./min.	θ_{JA} (°C/W) 400 ft./min.	θ_{JC} (°C/W)	θ_{JB} (°C/W)
EP2S15	484	FBGA	13.1	11.1	9.6	8.3	0.36	4.19
	672	FBGA	12.2	10.2	8.8	7.6	0.36	4.09
EP2S30	484	FBGA	12.6	10.6	9.1	7.9	0.21	3.72
	672	FBGA	11.7	9.7	8.3	7.1	0.21	3.35

表 15-3. Stratix II デバイスの熱抵抗 (2 / 2)

デバイス	ピン数	パッケージ	θ_{JA} (°C/W) 無風	θ_{JA} (°C/W) 100 ft./min.	θ_{JA} (°C/W) 200 ft./min.	θ_{JA} (°C/W) 400 ft./min.	θ_{JC} (°C/W)	θ_{JB} (°C/W)
EP2S60	484	FBGA	12.3	10.3	8.8	7.5	0.13	3.38
	672	FBGA	11.4	9.4	7.8	6.7	0.13	2.95
	1,020	FBGA	10.4	8.4	7.0	5.9	0.13	2.67
EP2S90	484	Hybrid FBGA	12.0	9.9	8.3	7.1	0.07	3.73
	780	FBGA	10.8	8.8	7.3	6.1	0.09	2.59
	1,020	FBGA	10.2	8.2	6.8	5.7	0.10	2.41
	1,508	FBGA	9.3	7.4	6.1	5.0	0.10	2.24
EP2S130	780	FBGA	10.1	8.7	7.2	6.0	0.07	2.44
	1,020	FBGA	9.5	8.1	6.7	5.5	0.07	2.24
	1,508	FBGA	8.6	7.3	6.0	4.8	0.07	2.08
EP2S180	1,020	FBGA	9.0	7.9	6.5	5.4	0.05	2.10
	1,508	FBGA	8.1	7.1	5.8	4.7	0.05	1.94

表 15-4 に、表 15-5 に記載された条件のボード上の Stratix II デバイスの θ_{JA} (ジャンクションから周囲までの熱抵抗)、 θ_{JC} (ジャンクションからケースまでの熱抵抗)、および θ_{JB} (ジャンクションからボードまでの熱抵抗) の値を示します。

表 15-4. Stratix II デバイスの熱抵抗 (1 / 2)

デバイス	ピン数	パッケージ	θ_{JA} (°C/W) 無風	θ_{JA} (°C/W) 100 ft./min.	θ_{JA} (°C/W) 200 ft./min.	θ_{JA} (°C/W) 400 ft./min.	θ_{JC} (°C/W)	θ_{JB} (°C/W)
EP2S15	484	FBGA	12.6	9.9	8.1	6.7	0.36	2.48
	672	FBGA	11.4	8.8	7.2	5.9	0.36	2.41
EP2S30	484	FBGA	12.3	9.6	7.8	6.4	0.21	2.02
	672	FBGA	11.1	8.5	6.9	5.6	0.21	1.95
EP2S60	484	FBGA	12.1	9.4	7.6	6.3	0.13	1.74
	672	FBGA	10.9	8.3	6.6	5.4	0.13	1.56
	1,020	FBGA	9.6	7.1	5.6	4.5	0.13	1.33
EP2S90	484	Hybrid FBGA	11.2	8.9	7.2	5.9	0.07	2.48
	780	FBGA	10.0	7.6	6.1	4.9	0.09	1.22
	1,020	FBGA	9.2	6.9	5.5	4.4	0.10	1.16
	1,508	FBGA	8.2	6.0	4.7	3.7	0.10	1.15

表 15-4. Stratix II デバイスの熱抵抗 (2 / 2)

デバイス	ピン数	パッケージ	θ_{JA} (°C/W) 無風	θ_{JA} (°C/W) 100 ft./min.	θ_{JA} (°C/W) 200 ft./min.	θ_{JA} (°C/W) 400 ft./min.	θ_{JC} (°C/W)	θ_{JB} (°C/W)
EP2S130	780	FBGA	9.3	7.5	6.0	4.8	0.07	1.12
	1,020	FBGA	8.5	6.8	5.3	4.2	0.07	1.03
	1,508	FBGA	7.5	5.8	4.6	3.6	0.07	1.02
EP2S180	1,020	FBGA	8.0	6.7	5.3	4.2	0.05	0.93
	1,508	FBGA	7.1	5.7	4.5	3.5	0.05	0.91

表 15-5. ボードの仕様 注 (1)、(2)

ピン数	パッケージ	信号層	電源 / グランド層	サイズ (mm)
1,508	FBGA	12	12	100 × 100
1,020	FBGA	10	10	93 × 93
780	FBGA	9	9	89 × 89
672	FBGA	8	8	87 × 87
484	FBGA	7	7	83 × 83

表 15-5 の注：

- (1) 電源層の Cu 厚さ 35 μm 、Cu 90%
- (2) 信号層の Cu 厚さ 17 μm 、Cu 15%

表 15-6 に、Stratix II GX デバイスの θ_{JA} (ジャンクションから周囲までの熱抵抗) および θ_{JC} (ジャンクションからケースまでの熱抵抗) の値を示します。

表 15-6. Stratix II GX デバイスの熱抵抗

デバイス	ピン数	パッケージ	θ_{JA} (°C/W) 無風	θ_{JA} (°C/W) 100 ft./min.	θ_{JA} (°C/W) 200 ft./min.	θ_{JA} (°C/W) 400 ft./min.	θ_{JC} (°C/W)
EP2SGX30	780	FBGA	11.1	8.6	7.2	6.0	0.24
EP2SGX60	780	FBGA	10.9	8.4	6.9	5.8	0.15
	1,152	FBGA	9.9	7.5	6.1	5.0	0.15
EP2SGX90	1,152	FBGA	9.6	7.3	5.9	4.9	0.11
	1,508	FBGA	9.0	6.7	5.4	4.4	0.11
EP2SGX130	1,508	FBGA	8.3	6.6	5.3	4.3	0.10

パッケージ形状

パッケージ形状は、ピン数の少ない順に提供されています。アルテラのパッケージ形状は、JEDEC Publication No. 95 に準拠しています。

484 ピン FBGA - Flip Chip

- すべての寸法および公差は ASME Y14.5M – 1994 に準拠します。
- 基準寸法の単位はミリメートルです。
- A1 ピンは、パッケージ表面上のピンに近接する ID ドットまたは特別な形状で示されています。

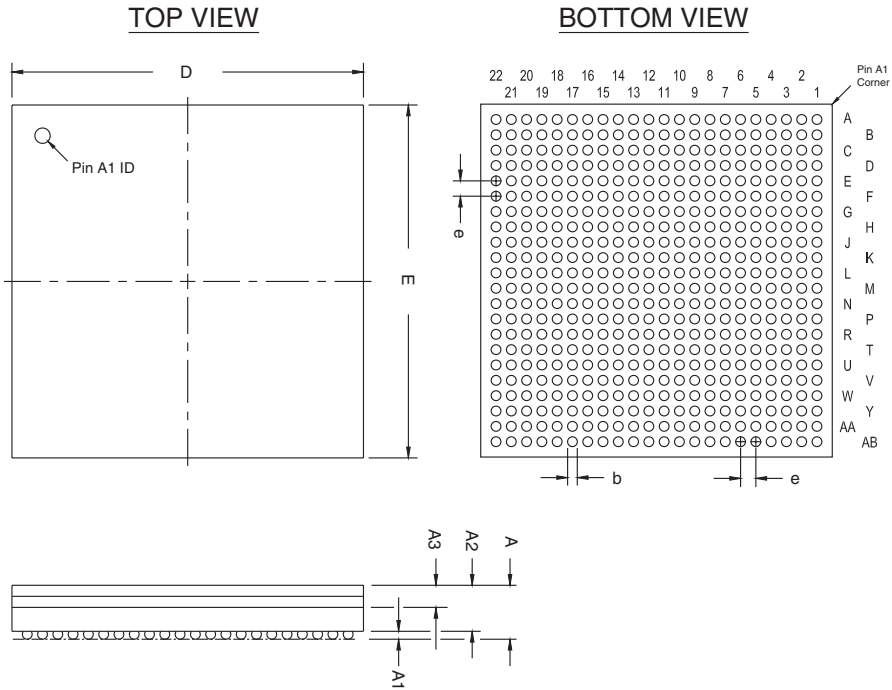
表 15-7 および 15-8 は、484 ピン FBGA の仕様およびパッケージ寸法の参考値を表示しています。

説明	仕様
注文コードの表記	F
パッケージ・コード	FBGA
サブストレート材質	BT
はんだボール組成	有鉛 : 63Sn:37Pb (Typ.) 無鉛 : Sn:3Ag:0.5Cu (Typ.)
JEDEC アウトライン・リファレンス	MS-034 variation: AAJ-1
リードの最大平坦度	0.008 インチ (0.20 mm)
重量	5.8 g
MSL	防湿袋に記載

シンボル	ミリメートル		
	最小	標準	最大
A	–	–	3.50
A1	0.30	–	–
A2	0.25	–	3.00
A3	–	–	2.50
D	23.00 BSC		
E	23.00 BSC		
b	0.50	0.60	0.70
e	1.00 BSC		

図 15-1 に、484 ピン FineLine BGA パッケージの寸法図を示します。

図 15-1. 484 ピン FPGA パッケージの寸法図



672 ピン FBGA - Flip Chip

- すべての寸法および公差は ASME Y14.5M - 1994 に準拠します。
- 基準寸法の単位はミリメートルです。
- A1 ピンは、パッケージ表面上のピンに近接する ID ドットまたは特別な形状で示されています。

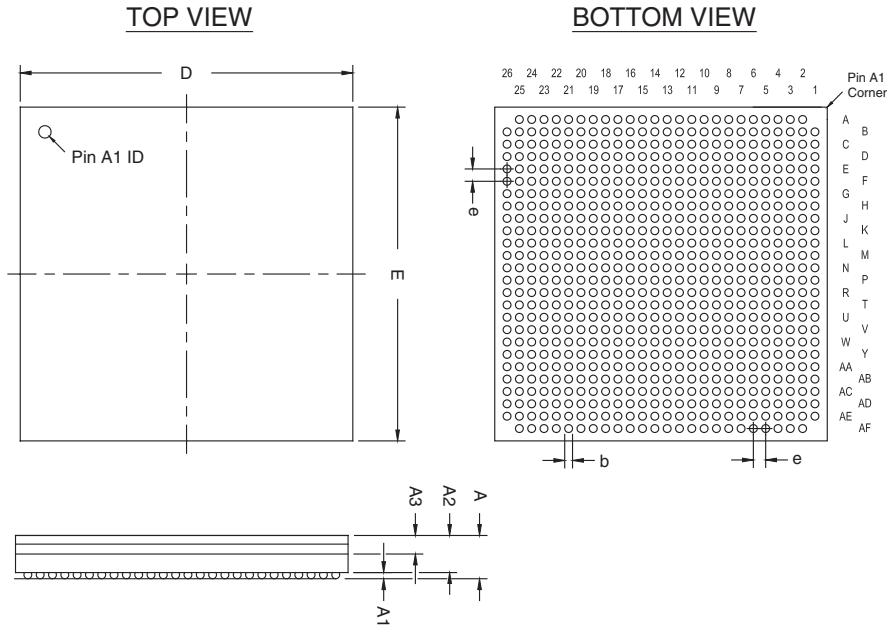
表 15-9 および 15-10 は、672 ピン FBGA の仕様およびパッケージ寸法の参考値を表示しています。

説明	仕様
注文コードの表記	F
パッケージ・コード	FBGA
サブストレート材質	BT
はんだボール組成	有鉛: 63Sn:37Pb (Typ.) 無鉛: Sn:3Ag:0.5Cu (Typ.)
JEDEC アウトライン・リファレンス	MS-034 Variation: AAL-1
リードの最大平坦度	0.008 インチ (0.20 mm)
重量	7.7 g
MSL	防湿袋に記載

シンボル	ミリメートル		
	最小	標準	最大
A	–	–	3.50
A1	0.30	–	–
A2	0.25	–	3.00
A3	–	–	2.50
D	27.00 BSC		
E	27.00 BSC		
b	0.50	0.60	0.70
e	1.00 BSC		

図 15-2 に、672 ピン FineLine BGA パッケージの寸法図を示します。

図 15-2. 672 ピン FPGA パッケージの寸法図



780 ピン FBGA - Flip Chip

- すべての寸法および公差は ASME Y14.5M - 1994 に準拠します。
- 基準寸法の単位はミリメートルです。
- A1 ピンは、パッケージ表面上のピンに近接する ID ドットまたは特別な形状で示されています。

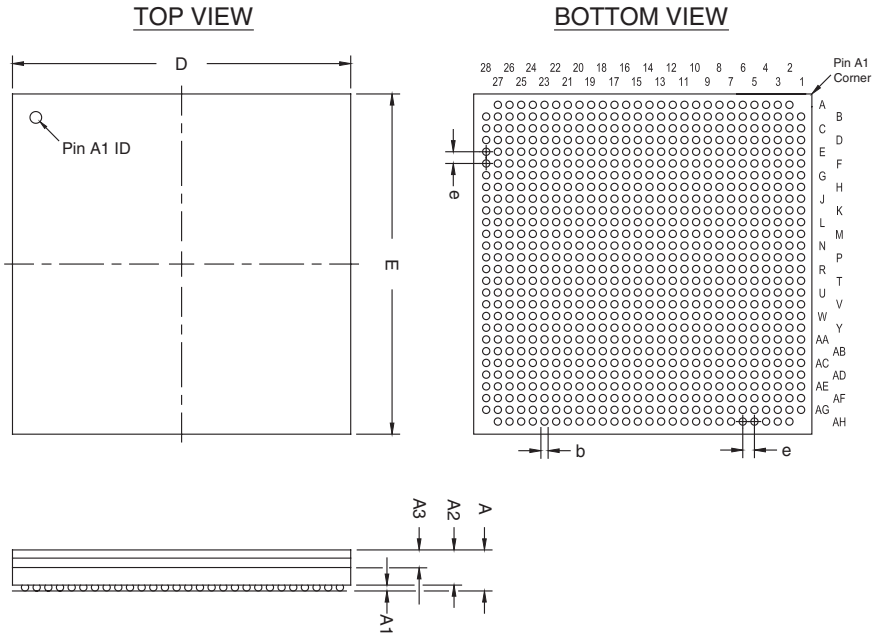
表 15-11 および 15-12 は、780 ピン FBGA の仕様およびパッケージ寸法の参考値を表示しています。

説明	仕様
注文コードの表記	F
パッケージ・コード	FBGA
サブストレート材質	BT
はんだボール組成	有鉛: 63Sn:37Pb (Typ.) 無鉛: Sn:3Ag:0.5Cu (Typ.)
JEDEC アウトライン・リファレンス	MS-034 variation: AAM-1
リードの最大平坦度	0.008 インチ (0.20 mm)
重量	8.9 g
MSL	防湿袋に記載

シンボル	ミリメートル		
	最小	標準	最大
A	–	–	3.50
A1	0.30	–	–
A2	0.25	–	3.00
A3	–	–	2.50
D	29.00 BSC		
E	29.00 BSC		
b	0.50	0.60	0.70
e	1.00 BSC		

図 15-3 に、780 ピン FineLine BGA パッケージの寸法図を示します。

図 15-3. 780 ピン FPGA パッケージの寸法図



1,020 ピン FBGA - Flip Chip

- すべての寸法および公差は ASME Y14.5M - 1994 に準拠します。
- 基準寸法の単位はミリメートルです。
- A1 ピンは、パッケージ表面上のピンに近接する ID ドットまたは特別な形状で示されています。

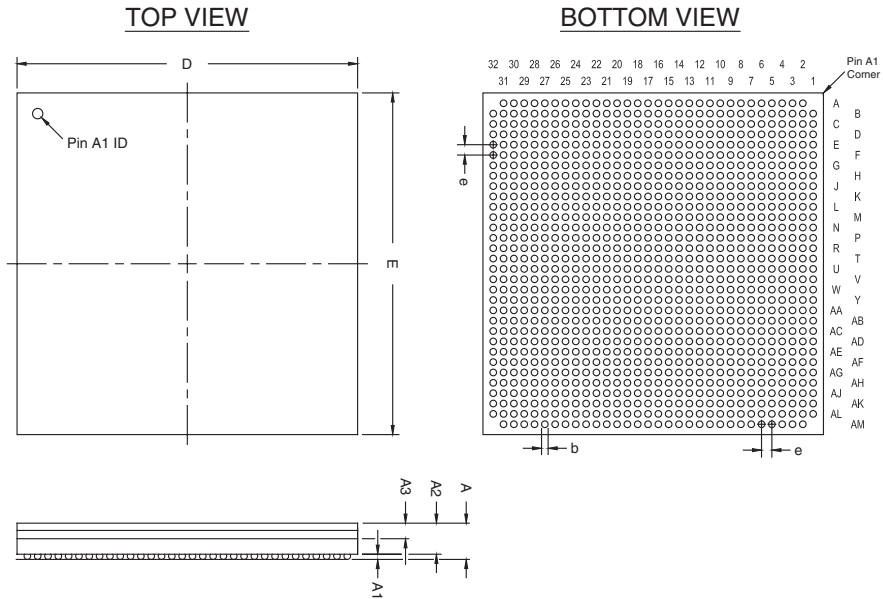
表 15-13 および 15-14 は、1,020 ピン FBGA の仕様およびパッケージ寸法の参考値を表示しています。

説明	仕様
注文コードの表記	F
パッケージ・コード	FBGA
サブストレート材質	BT
はんだボール組成	有鉛: 63Sn:37Pb (Typ.) 無鉛: Sn:3Ag:0.5Cu (Typ.)
JEDEC アウトライン・リファレンス	MS-034 variation: AAP-1
リードの最大平坦度	0.008 インチ (0.20 mm)
重量	11.5g
MSL	防湿袋に記載

シンボル	ミリメートル		
	最小	標準	最大
A	–	–	3.50
A1	0.30	–	–
A2	0.25	–	3.00
A3	–	–	2.50
D	33.00 BSC		
E	33.00 BSC		
b	0.50	0.60	0.70
e	1.00 BSC		

図 15-4 に、1,020 ピン FineLine BGA パッケージの寸法図を示します。

図 15-4. 1,020 ピン FPGA パッケージの寸法図



1,152 ピン FBGA - Flip Chip

- すべての寸法および公差は ASME Y14.5M - 1994 に準拠します。
- 基準寸法の単位はミリメートルです。
- A1 ピンは、パッケージ表面上のピンに近接する ID ドットまたは特別な形状で示されています。

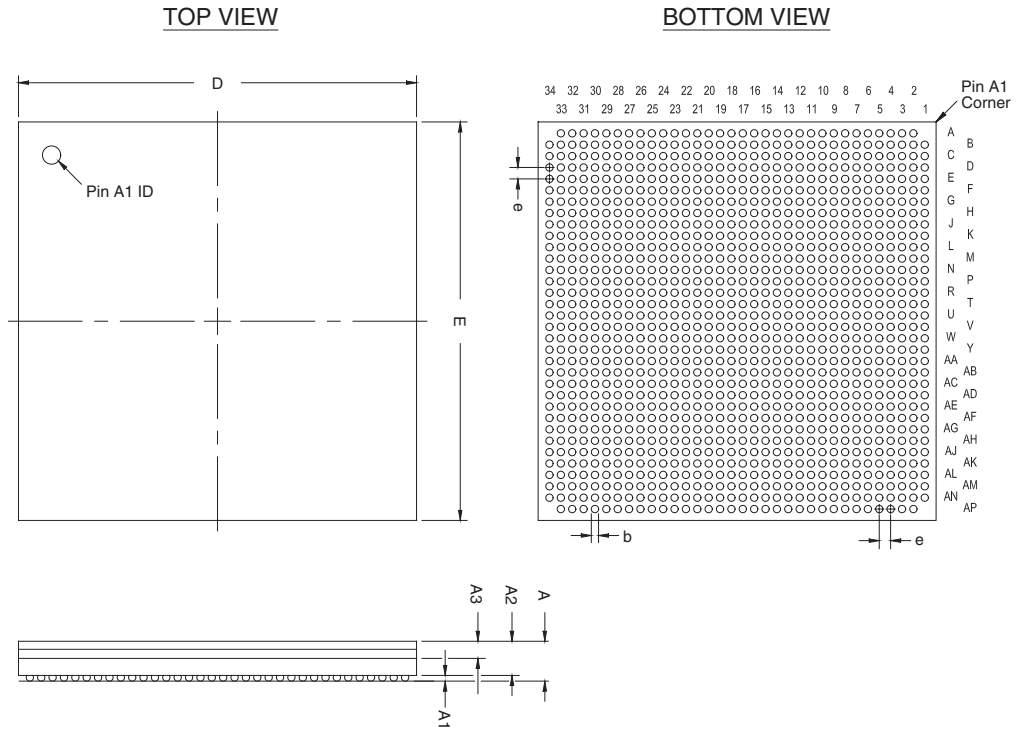
表 15-15 および 15-16 は、1,152 ピン FBGA の仕様およびパッケージ寸法の参考値を表示しています。

表 15-15. 1,152 ピン FPGA のパッケージ情報	
説明	仕様
注文コードの表記	F
パッケージ・コード	FBGA
サブストレート材質	BT
はんだボール組成	有鉛: 63Sn:37Pb (Typ.) 無鉛: Sn:3Ag:0.5Cu (Typ.)
JEDEC アウトライン・リファレンス	MS-034 variation: AAR-1
リードの最大平坦度	0.008 インチ (0.20 mm)
重量	12.0 g
MSL	防湿袋に記載

表 15-16. 1,152 ピン FPGA パッケージ寸法一覧			
シンボル	ミリメートル		
	最小	標準	最大
A	–	–	3.50
A1	0.30	–	–
A2	0.25	–	3.00
A3	–	–	2.50
D	35.00 BSC		
E	35.00 BSC		
b	0.50	0.60	0.70
e	1.00 BSC		

図 15-5 に、1,152 ピン FineLine BGA パッケージの寸法図を示します。

図 15-5. 1,152 ピン FPGA パッケージの寸法図



1,508 ピン FBGA - Flip Chip

- すべての寸法および公差は ASME Y14.5M - 1994 に準拠します。
- 基準寸法の単位はミリメートルです。
- A1 ピンは、パッケージ表面上のピンに近接する ID ドットまたは特別な形状で示されています。

表 15-17 および 15-18 は、1,508 ピン FBGA の仕様およびパッケージ寸法の参考値を表示しています。

説明	仕様
注文コードの表記	F
パッケージ・コード	FBGA
サブストレート材質	BT
はんだボール組成	有鉛: 63Sn:37Pb (Typ.) 無鉛: Sn:3Ag:0.5Cu (Typ.)
JEDEC アウトライン・リファレンス	MS-034 Variation: AAU-1
リードの最大平坦度	0.008 インチ (0.20 mm)
重量	14.6 g
MSL	防湿袋に記載

シンボル	ミリメートル		
	最小	標準	最大
A	–	–	3.50
A1	0.30	–	–
A2	0.25	–	3.00
A3	–	–	2.50
D	40.00 BSC		
E	40.00 BSC		
b	0.50	0.60	0.70
e	1.00 BSC		

図 15-6 に、1,508 ピン FineLine BGA パッケージの寸法図を示します。

図 15-6. 1,508 ピン FPGA パッケージの寸法図

