

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SI152005-4.0

はじめに

Stratix® II デバイス・ファミリは、HyperTransport™ テクノロジ、Rapid I/O、XSBI、および SPI などのソース・シンクロナス通信プロトコルをサポートする最大 1 Gbps の差動 I/O 機能を提供します。

Stratix II デバイスは、高速差動 I/O サポートのための以下の専用回路を備えています。

- 差動 I/O バッファ
- 送信シリアライザ
- 受信デシリアライザ
- データ・リアラインメント回路
- ダイナミック・フェーズ・アライナ (DPA)
- シンクロナイザ (FIFO バッファ)
- アナログ PLL (fast PLL)

高速差動インタフェース向けに、Stratix II デバイスは以下を含むさまざまな差動標準 I/O 規格に対応しています。

- LVDS
- HyperTransport テクノロジ
- HSTL
- SSTL
- LVPECL

 HSTL、SSTL、および LVPECL 標準 I/O 規格は、差動モードでは PLL クロック入力および出力にのみ使用できます。

I/O バンク


Stratix II の入力と出力は、ダイ周辺に位置するバンクに分割されます。LVDS および HyperTransport テクノロジをサポートする入力と出力は、デバイスの左右両側に 2 つずつある合計 4 つのバンクに配置されています。LVPECL、HSTL、および SSTL 標準規格は、差動クロック入力 / 出力として使用する場合、ダイの特定のトップおよびボトム・バンク (バンク 9 ~ 12) でサポートされます。差動 HSTL および SSTL 標準規格は、これらのバンクのピンが DQS/DQSn ピンとして使用される場合、バンク 3、4、7、および 8 でサポートされます。 5-1 に、ダイ上でのバンクおよび PLL の位置を示します。

図 5-1. Stratix II の I/O バンク 注 (1)、(2)、(3)、(4)、(5)、(6)、(7)

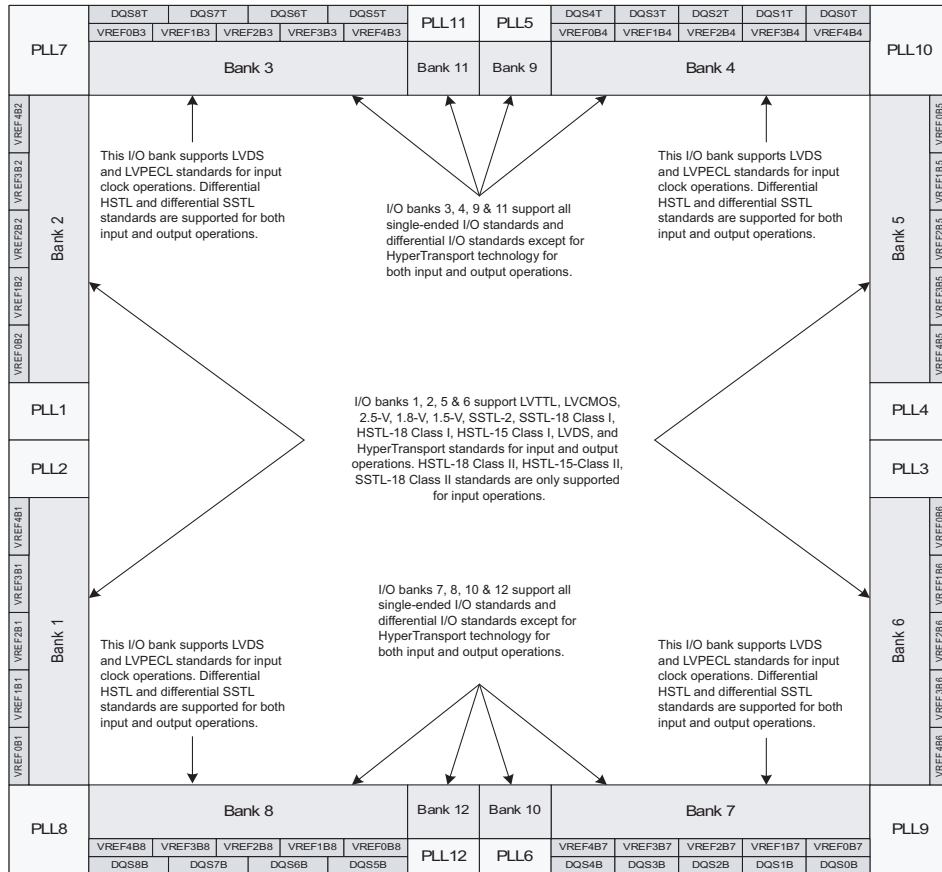


図 5-1 の注：

- 図 5-1 はシリコン・ダイの上面図で、フリップ・チップ・パッケージの裏面図に相当します。これは参考図にすぎません。正確なピン配置については、ピン・リストおよび Quartus II ソフトウェアを参照してください。
- 個々のデバイスの V_{REF} グループの数は、デバイスのサイズによって異なります。
- バンク 9 ~ 12 は、enhanced PLL 外部クロック出力バンクです。電圧リファレンス形式の標準規格が実装されたとき、これらの PLL バンクは隣接する V_{REF} グループを使用します。例えば、SSTL 入力が入力専用動作に使用された場合、VREFB7 の電圧レベルは SSTL 入力のリファレンス電圧レベルです。
- 差動 HSTL および差動 SSTL 規格は、DQS ピンでの双方向動作および PLL クロック入力ピンでの入力専用動作に使用できます。また、LVDS、LVPECL、および HyperTransport 規格は PLL クロック入力ピンでの入力専用動作に使用できます。詳しくは、「Stratix II デバイス・ハンドブック Volume 2」の「Stratix II & Stratix II GX デバイスで選択可能な標準 I/O 規格」の章を参照してください。
- Quartus II ソフトウェアは、左右の I/O バンクでは差動 SSTL および差動 HSTL 規格はサポートしません。これらの I/O バンクでこのような規格を実装する必要がある場合は、「Stratix II デバイス・ハンドブック Volume 2」の「Stratix II & Stratix II GX デバイスで選択可能な標準 I/O 規格」の章を参照してください。
- バンク 11 および 12 は、EP2S60、EP2S90、EP2S130、および EP2S180 デバイスでのみ提供されます。
- PLL 7、8、9、10、11、および 12 は、EP2S60、EP2S90、EP2S130、および EP2S180 デバイスでのみ提供されます。

表 5-1 に、各バンクでサポートされている差動標準 I/O 規格を表記します。

バンク	ロウ I/O (バンク 1、2、5 および 6)			カラム I/O (バンク 3、4、7～12)		
種類	クロック 入力	クロック 出力	データまたは レギュラー I/O ピン	クロック 入力	クロック 出力	データまたは レギュラー I/O ピン
差動 HSTL				√	√	(1)
差動 SSTL				√	√	(1)
LVPECL				√	√	
LVDS	√	√	√	√	√	
HyperTransport テクノロジー	√	√	√			

表 5-1 の注：

(1) DQS/DQSn ピンで入力と出力の両方に使用されます。

表 5-2 に、Stratix II デバイスの差動チャネルの総数を示します。使用可能なチャネルは、ダイの左右のバンクで均等に分割されます。右左のバンクにある専用ではないクロックは、データ・レシーバ・チャネルとして使用することもできます。レシーバ・チャネルの総数には、これらの 4 個の専用ではないクロック・チャネルが含まれます。同じのパッケージの異なるサイズのデバイスに、ピン・マイグレーションを使用できます。

表 5-2. Stratix II デバイスの差動チャネル 注 (1)、(2)、(3)						
デバイス	484 ピン FineLine BGA	484 ピン Hybrid FineLine BGA	672 ピン FineLine BGA	780 ピン FineLine BGA	1,020 ピン FineLine BGA	1,508 ピン FineLine BGA (3)
EP2S15	38 個の トランスミッタ 42 個のレシーバ		38 個の トランスミッタ 42 個のレシーバ			
EP2S30	38 個の トランスミッタ 42 個のレシーバ		58 個の トランスミッタ 62 個のレシーバ			
EP2S60	38 個の トランスミッタ 42 個のレシーバ		58 個の トランスミッタ 62 個のレシーバ		84 個の トランスミッタ 84 個のレシーバ	
EP2S90		38 個の トランスミッタ 42 個のレシーバ		64 個の トランスミッタ 68 個のレシーバ	90 個の トランスミッタ 94 個の トランスミッタ	118 個の トランスミッタ、 118 個のレシーバ
EP2S130				64 個の トランスミッタ 68 個のレシーバ	88 個の トランスミッタ 92 個のレシーバ	156 個の トランスミッタ、 156 個のレシーバ
EP2S180					88 個の トランスミッタ 92 個のレシーバ	156 個の トランスミッタ、 156 個のレシーバ

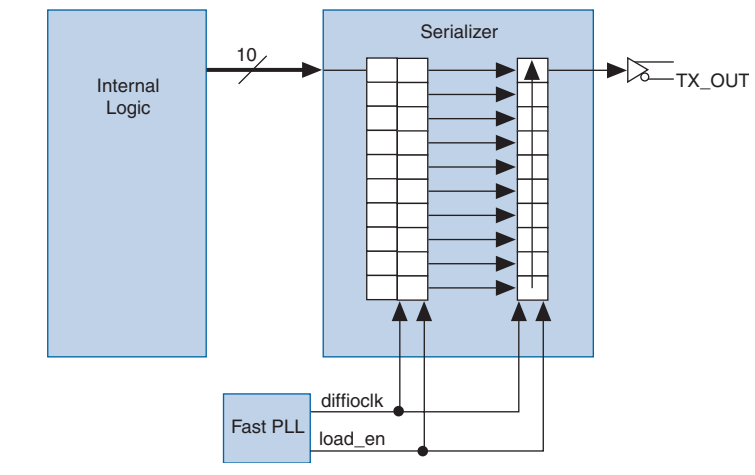
表 5-2 の注：

- (1) ピン数には専用 PLL 入力および出力ピンは含まれていません。
- (2) レシーバ・チャネルの総数は、データ・チャネルとして利用可能な 4 個の専用ではないクロック・チャネルを含みます。
- (3) 1,508 ピン FineLine BGA パッケージでは、92 個のレシーバ・チャネルと 92 個のトランスミッタ・チャネルのパーティカル・マイグレーションが可能です。

差動トランスミッタ

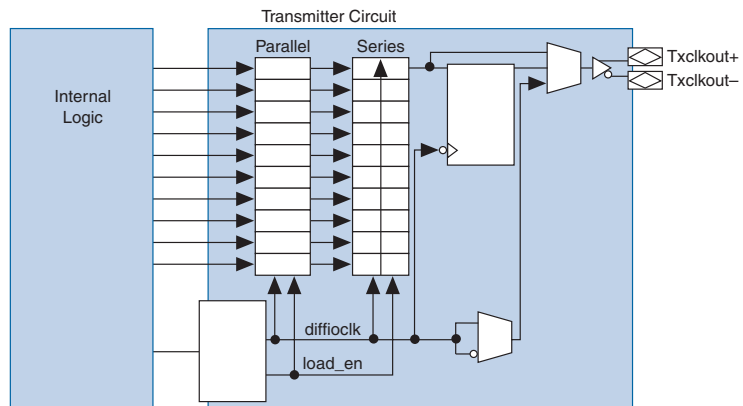
Stratix II トランスミッタは、LVDS および HyperTransport 信号方式をサポートする専用回路を内蔵しています。専用回路は差動バッファ、シリアライザ、および共有 fast PLL で構成されています。差動バッファは、Quartus® II ソフトウェアにスタティックに設定される、LVDS または HyperTransport 信号レベルをドライブできます。シリアライザは、パラレル・バスから最大 10 ビット幅のデータを内部ロジックから取得し、それをロード・レジスタにクロックし、データを差動バッファに送信する前にシフト・レジスタを使用してシリアル化します。最上位ビット (MSB) が最初に送信されます。ロード・レジスタおよびシフト・レジスタは、diffioclk (シリアル・レートで動作する fast PLL クロック) でクロックされ、fast PLL で生成されるロード・イネーブル信号によって制御されます。シリアライゼーション・ファクタは、Quartus II ソフトウェアを使用してスタティックに $\times 4$ 、 $\times 5$ 、 $\times 6$ 、 $\times 7$ 、 $\times 8$ 、 $\times 9$ 、または $\times 10$ に設定されます。ロード・イネーブル信号は fast PLL により自動的に生成され、シリアライゼーション・ファクタの設定から派生します。図 5-2 は、Stratix II トランスミッタのブロック図です。

図 5-2. Stratix II トランスミッタのブロック図



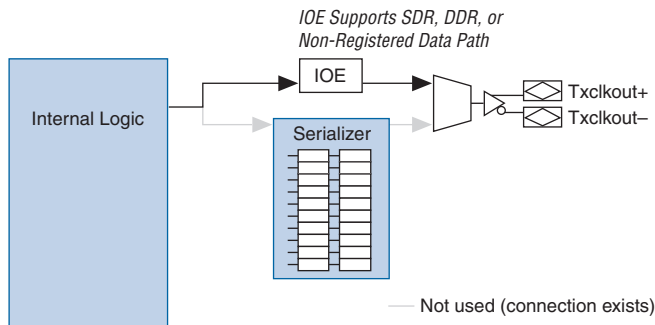
各 Stratix II トランスミッタ・データ・チャンネルは、トランスミッタ・クロック出力として動作するようにコンフィギュレーションできます。この柔軟性により、設計者は出力クロックをデータ出力の近くに配置して、ボード・レイアウトの簡略化し、クロックとデータ間のスキューを低減することができます。アプリケーションごとに、特定のクロック-データ・アラインメントまたはデータ・レート-クロック・レート・ファクタが必要になる場合があります。トランスミッタは、717 MHz の最大周波数と同じレートでクロック信号を出力できます。出力クロックは、2、4、8、または 10 で分周することも可能です。データに対するクロックの位相は、0° または 180° (エッジまたは中央揃え) に設定できます。fast PLL は、さらに 45° の増分でその他の位相シフトの追加サポートを提供します。これらの設定は、Quartus II MegaWizard® ソフトウェアでスタティックに行われます。図 5-3 に、クロック出力モードの Stratix II トランスミッタを示します。

図 5-3. クロック出力モードの Stratix II トランスミッタ



Stratix II シリアライザは、DDR (×2) および SDR (×1) の動作をサポートするためにバイパスすることができます。I/O エレメント (IOE) には、それぞれが DDR または SDR モードで動作可能な 2 個のデータ出力レジスタがあります。IOE のレジスタのクロック・ソースには、任意の配線リソース、fast PLL、または enhanced PLL を使用することができます。図 5-4 にバイパス・パスを示します。

図 5-4. Stratix II シリアライザ・バイパス



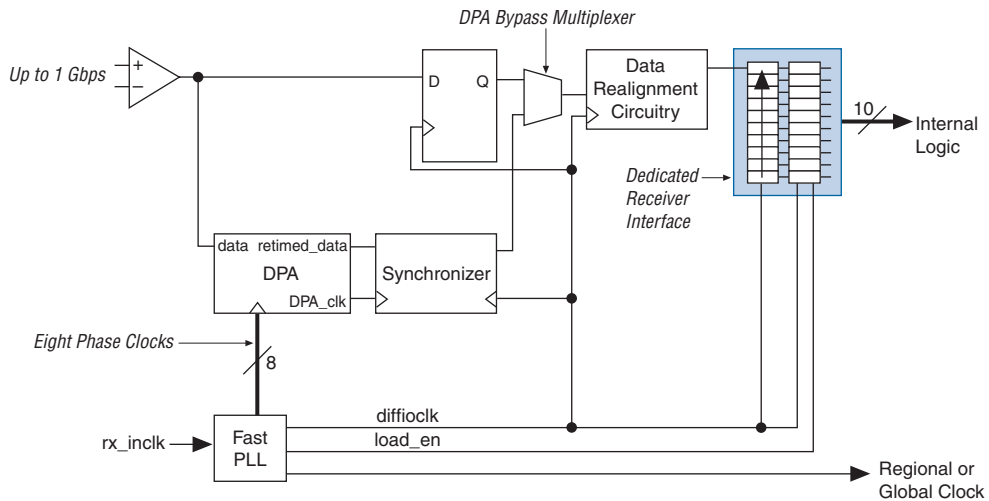
差動レシーバ

Stratix II レシーバは、拡張データ受信と併せて、高速 LVDS および HyperTransport 信号方式をサポートする専用回路を内蔵しています。各レシーバは差動バッファ、ダイナミック・フェーズ・アライナ (DPA)、同期化 FIFO バッファ、データ・リアライメント回路、デシリアライザ、および共有 fast PLL で構成されています。Quartus II ソフトウェアでスタティックに設定することで、差動バッファは LVDS または HyperTransport 信号レベルを受信します。DPA ブロックは着信データを 8 つのクロック位相のいずれかに揃えて、レシーバのスキュー・マージンを大きくします。DPA 回路は、必要ない場合はチャンネルごとにバイパスすることができます。DPA バイパスを、Quartus II MegaWizard Plug-In でスタティックに、またはオプションの RX_DPLL_ENABLE ポートを使用してダイナミックに設定します。

シンクロナイザ回路は、DPA ブロックとデシリアライザ間の位相差を補正する 1 ビット幅×16 ビット深度の FIFO バッファです。必要に応じて、データ・リアライメント回路はシリアル・ビット・ストリームに 1 ビットのレイテンシを挿入しワード境界をアラインメントします。デシリアライザはシフト・レジスタとパラレル・ロード・レジスタを内蔵し、最大 10 ビットを内部ロジックに送信します。Stratix II レシーバのデータパスは、diffioclk 信号または DPA 復元クロックによってクロックされます。デシリアライゼーション・ファクタは、Quartus II ソフトウェアを使用して、スタティックに 4、5、6、7、8、9、または 10 に設定できます。fast PLL は自動的にロード・イネーブル信号を生成しますが、この信号はデシリアライゼーション・ファクタ設定から派生します。

図 5-5 に、Stratix II レシーバのブロック図を示します。

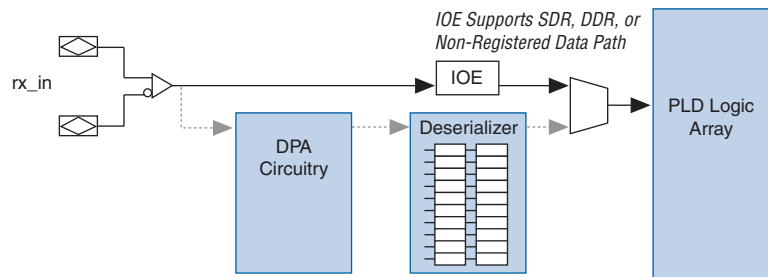
図 5-5. レシーバのブロック図



Stratix II デシリアライザは、シリアルライザ同様、DDR (×2) および SDR (×1) の動作をサポートするために、バイパスすることもできます。DPA およびデータ・リアライメント回路は、デシリアライザがバイパスされている場合は使用できません。IOE は、DDR または SDR モードで動作可能な 2 個のデータ入力レジスタを内蔵しています。IOE のレジスタのクロック・ソースは、任意の配線リソース、fast PLL、または enhanced PLL を使用することができます。

図 5-6 に、バイパス・パスを示します。

図 5-6. Stratix II デシリアライザ・バイパス



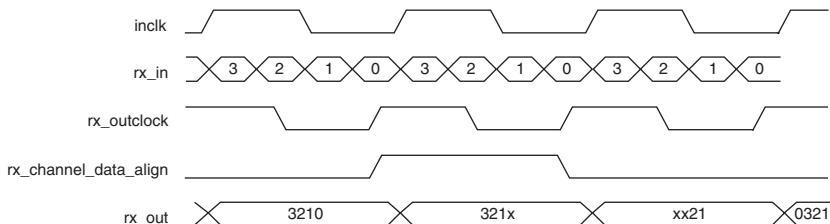
レシーバ・データ・リアラインメント回路

データ・リアラインメント回路は、ビット・レイテンシをシリアル・ストリームに挿入して、着信データのワード境界をアラインメントします。オプションの RX_CHANNEL_DATA_ALIGN ポートは、内部ロジックから個別に制御される各レシーバのビット挿入を制御します。データは RX_CHANNEL_DATA_ALIGN ポート上で各パルスごとに 1 ビット・スリップします。RX_CHANNEL_DATA_ALIGN ポートの要件を以下に示します。

- 最小パルス幅は、ロジック・アレイの平行ル・クロックの 1 周期です。
- パルス間の最小 Low 時間は、平行ル・クロックの 1 周期です。
- 最大 High または Low 時間はありません。
- 有効なデータは、RX_CHANNEL_DATA_ALIGN の立ち上がりエッジの 2 平行ル・クロック・サイクル後に利用可能になります。

図 5-7 にデシリアライゼーション・ファクタを 4 に設定した状態での、1 ビット・スリップ・パルス後のレシーバ出力 (RX_OUT) を示します。

図 5-7. データ・リアラインメント・タイミング

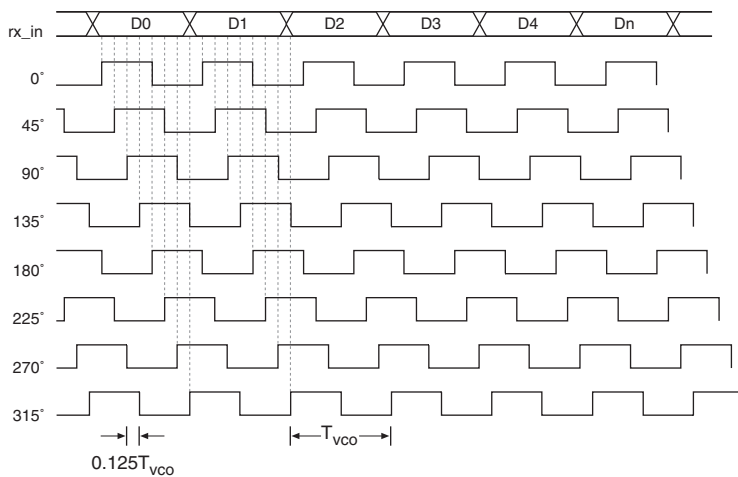


データ・リアラインメント回路は、ロールオーバーが発生する前に最大 11 ビット時間を挿入することができます。プログラマブル・ビットのロールオーバー・ポイントは、デシリアライゼーション・ファクタに関係なく、1 ~ 11 ビット時間にすることができます。プリセット・ロールオーバー・ポイントに達したことを示すために、各チャネルから FPGA にオプションのステータス・ポート RX_CDA_MAX が提供されます。

ダイナミック・フェーズ・アライナ

DPA ブロックは差動入力バッファから高速シリアル・データを取り込み、8つの位相クロックの1つを選択して、データをサンプリングします。DPAはシリアル・データの位相に最も近い位相を選択します。データと位相調整済みクロックの間の最大位相オフセットは1/8 UIであり、これはDPAの最大量子化誤差です。8つの位相は均等に分割され分解能は45度となります。図 5-8 に、DPA クロックと着信シリアル・データ間の可能な位相関係を示します。

図 5-8. DPA クロック位相とデータ・ビットの関係



各 DPA ブロックは着信データ・ストリームの位相を継続的にモニタし、必要に応じて、新しいクロック位相を選択します。新しいクロック位相の選択は、オプションの RX_DPLL_HOLD ポートにより回避することができます。このオプションは各チャンネルに提供されます。

DPA ブロックは、トレーニング・パターンおよびトレーニング・パターンの 256 以上のトレーニング・シーケンスを必要とします。トレーニング・パターンは固定されないため、設計者は少なくとも 1 回の遷移がある任意のトレーニング・パターンを使用することができます。オプションの出力ポート `RX_DPA_LOCKED` が内部ロジックに提供されており、DPA ブロックが着信データ位相に最も近い位相に安定したことを示します。新しい位相が選択されたかまたは DPA が同じ方向に 2 位相移動したとき、Quartus II MegaWizard Plug-In での選択に応じて、`RX_DPA_LOCKED` がデアサートされます。`RX_DPA_LOCKED` がデアサートされたときでも、データが有効なままの場合があります。`RX_DPA_LOCKED` がデアサートされたとき、データ・チェッカを使用してデータの正当性を確認します。

DPA 回路をリセットするために、独立したリセット・ポート `RX_RESET` を使用できます。DPA 回路はリセット後に再トレーニングする必要があります。

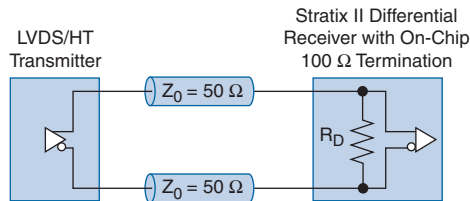
シンクロナイザ

シンクロナイザは、DPA 回路の復元クロックとレシーバのロジックの残りの部分をクロックする `diffioclk` 間の位相差を補正する、1 ビット × 6 ビットの深度の FIFO バッファです。シンクロナイザは位相差を補正するのみで、データとレシーバの `INCLK` 間の周波数差は補正できません。オプションのポート `RX_FIFO_RESET` は内部ロジックで使用でき、シンクロナイザをリセットします。

差動 I/O 終端

Stratix II デバイスは、LVDS および HyperTransport 規格用の各差動レシーバ・チャンネルのオンチップ 100 Ω 差動終端オプションを提供します。On-Chip Termination (チップ内終端) により、外部終端抵抗を用意する必要がないため、ボード・デザインが簡素化され、バッファと終端抵抗間のスタブに起因する反射が低減されます。Quartus II アサイメント・エディタで、On-Chip Termination をイネーブ爾できます。「Stratix II デバイス・ハンドブック Volume 1」の「DC& スイッチング特性」の「高速標準 I/O 規格」に示すとおり、サポートされている差動データ・レートの全範囲で差動 On-Chip Termination がサポートされています。図 5-9 に、Stratix II デバイスの On-Chip Termination を示します。

図 5-9. 差動 On-Chip Termination



差動 On-Chip Termination は、すべてのロウ I/O ピンおよびクロック・ピン CLK[0, 2, 8, 10] でサポートされています。クロック・ピン CLK[1, 3, 9, 11]、fast PLL クロック、トップおよびボトム I/O バンク (CLK[4..7, 12..15]) のクロックは差動 On-Chip Termination をサポートしていません。

fast PLL

高速差動 I/O レシーバおよびトランスミッタ・チャンネルは、fast PLL を使用して、パラレル・グローバル・クロック (rx- または tx- クロック)、および高速クロック (diffioclck) を生成します。図 5-1 に fast PLL の位置を示します。fast PLL VCO はデータ・レートのクロック周波数で動作します。各 fast PLL はシングル・シリアル・データ・レートをサポートしますが、使用できるのは (C0 および C1 fast PLL クロック出力からの) 2 つの独立したシリアライゼーション・ファクタとデシリアライゼーション・ファクタです。高速差動 I/O サポート・モードでは、クロック切り替えとダイナミック fast PLL リコンフィギュレーションが使用できます。fast PLL について詳しくは、「Stratix II ハンドブック Volume 2」の「Stratix II デバイスの PLL」の章を参照してください。

図 5-10 に、高速差動 I/O サポート・モードでの fast PLL のブロック図を示します。

図 5-10. fast PLL ブロック図

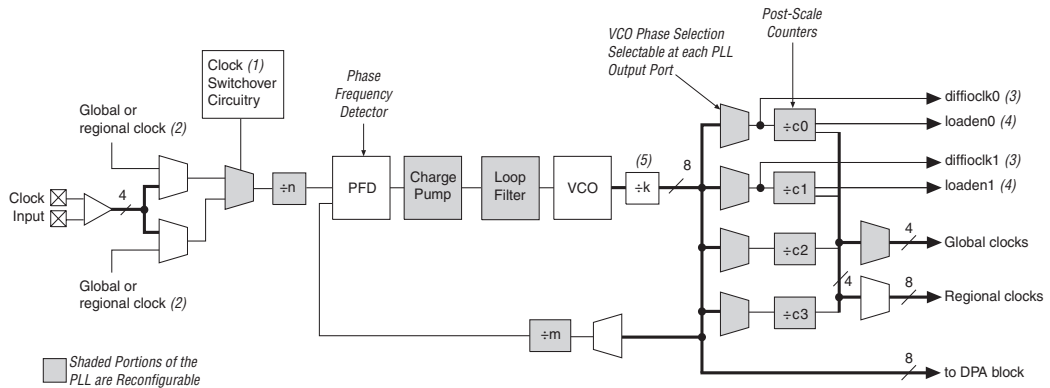


図 5-10 の注：

- (1) Stratix II fast PLL は、マニュアル・クロック切り替えのみサポートします。
- (2) グローバルまたはリージョナル・クロック入力は、別の PLL からの出力、ピンでドライブされるグローバルまたはリージョナル・クロック、あるいは内部で生成されるグローバル信号によってドライブできます。
- (3) 高速差動 I/O サポート・モードでは、SERDES にこの高速 PLL クロックが供給されます。Stratix II デバイスは、高速差動 I/O サポート・モードでは、各 fast PLL あたり 1 つのデータ転送レートのみサポートします。
- (4) この信号は、高速差動 I/O サポート SERDES コントロール信号です。

クロック

fast PLL は LVDS/DPA クロック・ネットワークを通して、差動レシーバおよびトランスミッタ・チャンネルに供給されます。センタ fast PLL は、それらの上のバンクまたは下のバンクに個別に供給できます。コーナ PLL は、それらに隣接するバンクにのみ供給できます。図 5-11 および 5-12 に、Stratix II デバイスの LVDS および DPA クロック・ネットワークを示します。

図 5-11. EP2S15 および EP2S30 デバイスの fast PLL および LVDS/DPA クロック

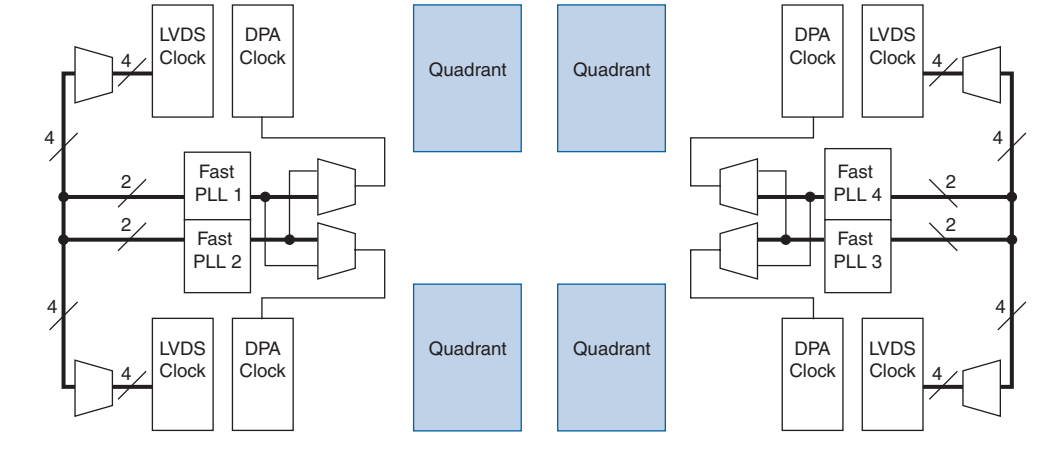
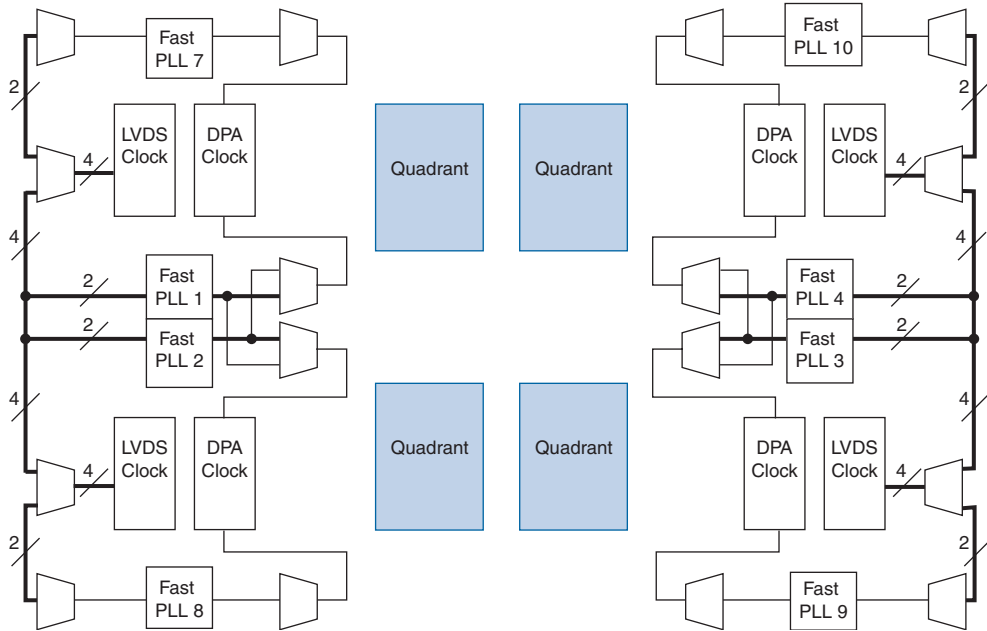


図 5-12. EP2S60、EP2S90、EP2S130 および EP2S180 デバイスの fast PLL および LVDS/DPA クロック



ソース同期タイミング制限

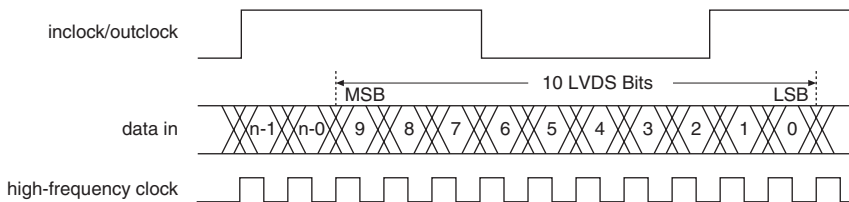
この項では、Stratix II デバイスでのソース同期信号方式のタイミング制約、波形、および仕様について説明します。LVDS および HyperTransport I/O 規格は高速データ送信を可能にします。この高速のデータ送信レートは、システム全体の性能向上をもたらします。高速システム性能を活用するには、これら高速信号のタイミング解析方法を理解することが重要です。差動ブロックのタイミング解析は、従来の同期タイミング解析とは異なります。

ソース同期タイミング解析は、クロッカー出力時間およびセットアップ時間に的を絞るのではなく、データとクロック信号間のスキューに基づいています。高速差動データ伝送には IC ベンダが提供するタイミング・パラメータを使用する必要があり、またボード・スキュー、ケーブル・スキュー、およびクロック・ジッタに強い影響を受けます。この項では、ソース同期差動データ方向タイミング・パラメータ、Stratix II デバイスのタイミング制約の定義、およびこれらタイミング・パラメータによるデザインの最大性能の決定方法を定義します。

差動データ方向

外部クロックと着信データの間には一定の関係があります。1 Gbps および SERDES 係数 10 の動作では、外部クロックが 10 倍になり、またフェーズ・アラインメントを PLL で各データ・ビットのサンプリング・ウィンドウと一致するよう設定できます。データは逡倍されたクロックの立ち上がりエッジでサンプリングされます。図 5-13 に、×10 モードのデータ・ビット方向を示します。

図 5-13. Quartus II ソフトウェアでのビット方向



差動 I/O のビット位置

高周波でのデータ伝送を成功させるにはデータの同期化が必要です。図 5-14 に、×8 モードで動作するレシーバ・チャンネルのデータ・ビット方向を示します。表 5-3 に示すように、パラレル変換後には最上位ビット (MSB) と最下位ビット (LSB) にも同様な配置が存在します。

図 5-14. 差動データの 1 個のチャンネルのビット・オーダ

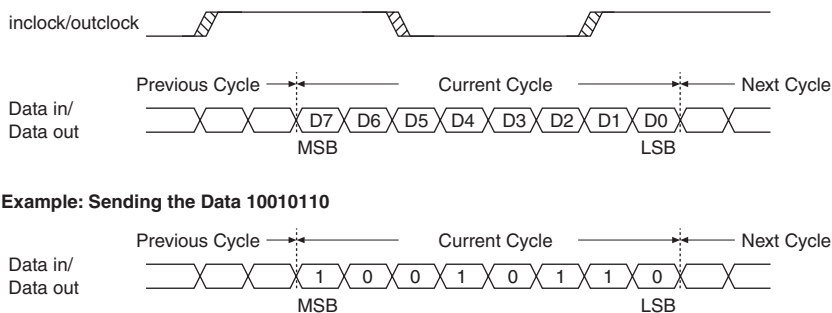


表 5-3 に、18 個の差動チャンネルの差動ビットの命名規則を示します。最上位ビット (MSB) および最下位ビット (LSB) の位置は、システムで使用されるチャンネル数が増えると増加します。

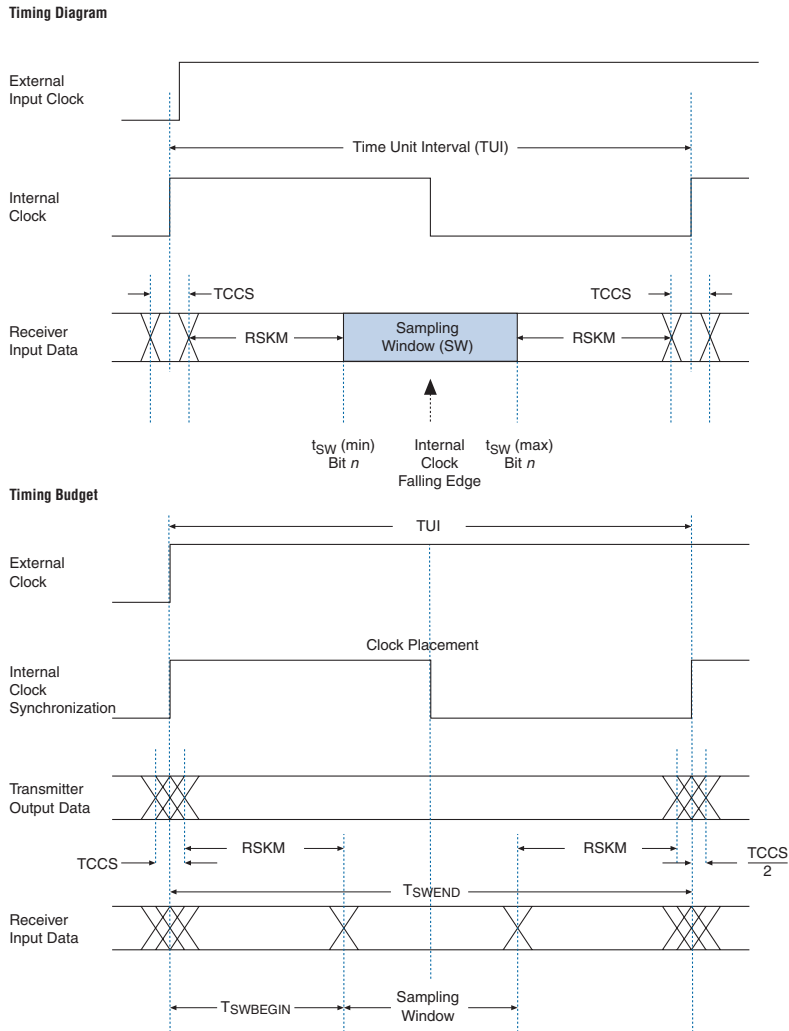
表 5-3. LVDS ビットの命名		
レシーバ・チャンネル・ データ番号	内部 8 ビット・パラレル・データ	
	最上位ビット (MSB) の位置	最下位ビット (LSB) の位置
1	7	0
2	15	8
3	23	16
4	31	24
5	39	32
6	47	40
7	55	48
8	63	56
9	71	64
10	79	72
11	87	80
12	95	88
13	103	96
14	111	104
15	119	112
16	127	120
17	135	128
18	143	136

DPA 以外の回路のレシーバ・スキュー・マージン

温度、媒体 (ケーブル、コネクタ、または PCB)、装荷、レシーバのセットアップおよびホールド時間、内部スキューなどのシステム環境における変化により、レシーバのサンプリング・ウィンドウが減少します。レシーバのクロック入力およびデータ入力サンプリング・ウィンドウ間のタイミング・マージンは、レシーバ・スキュー・マージン (RSKM) と呼ばれます。図 5-15 に、RSKM とレシーバのサンプリング・ウィンドウの関係を示します。

TCCS、RSKM、およびサンプリング・ウィンドウ仕様は、DPA のない高速ソース同期差動信号に使用されます。DPA を使用する場合、これらの仕様はより簡単なシングル DPA ジッタ許容仕様と交換されます。例えば、DPA 付き各入力で異なる位相のクロックを選択する理由がレジバ・スキューの場合、このマージンの要件は排除されます。

図 5-15. DPA がない場合の差動高速タイミング図およびタイミングの制約



差動ピン配置 ガイドライン

適切な高速動作を確実に実行させるために、差動ピン配置ガイドラインが発行されています。Quartus II コンパイラは、これらのガイドラインに準拠しているかどうか自動的にチェックし、準拠していない場合はエラー・メッセージを表示します。この項は、DPA を使用する場合としない場合のガイドラインに分かれています。

DPA を使用する場合のガイドライン

Stratix II デバイスは、デバイスの左右のバンクに差動レシーバと差動トランスミッタを搭載しています。各レシーバは、クロックの位相に関連するチャンネルのデータ位相にアラインメントするための専用 DPA 回路を備えています。左または右バンクのチャンネル (1 個または複数) が DPA モードで使用されている場合、以下のガイドラインに準拠する必要があります。

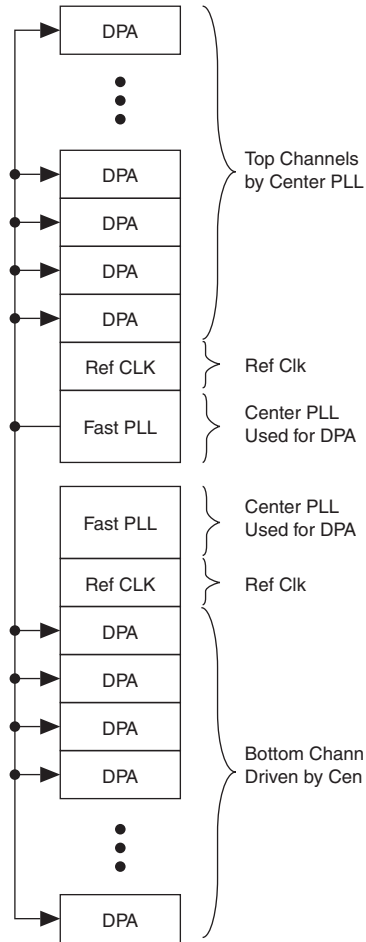
DPA およびシングル・エンド I/O

- DPA チャンネルがバンクでイネーブルされた場合、そのバンク内にシングル・エンド I/O を配置することはできません。バンク内には差動標準 I/O 規格のみ配置できます

fast PLL/DPA チャンネルのドライブ距離

- 各 fast PLL は、1つのバンクにおいて DPA モードでは最大 25 の隣接するロウ (基準クロック・ロウを含まない) をドライブできます。
- 未使用チャンネルは 25 個以内にすることが可能ですが、使用するチャンネルはすべて同じ fast PLL からの DPA モードになければなりません。センタ fast PLL は、[図 5-16](#) に示すように最大 50 チャンネル (fast PLL の上下のバンクにそれぞれ 25 個ずつ) がドライブできるよう、同時に 2つのバンクのドライブが可能です。
- センタ fast PLL の1つが、その上および下のバンクで DPA チャンネルをドライブする場合、他のセンタ fast PLL は DPA チャンネルをドライブできません。

図 5-16. センタ fast PLL のドライブ機能

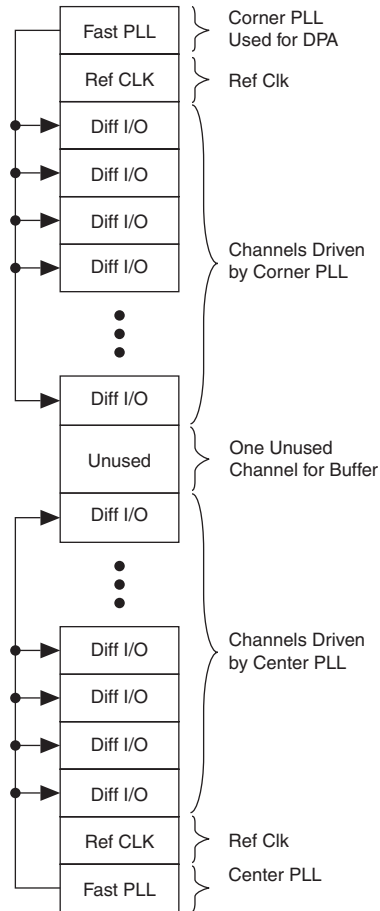


コーナおよびセンタ fast PLL の使用

- コーナ PLL が1つのグループを、センタ fast PLL が別のグループをドライブするというように、差動バンクが2個の fast PLL でドライブされている場合、2つの DPA チャネル・グループ間にこれらを分離するロウが最低1つはなければなりません(図 5-17 参照)。この2つのグループは別々の周波数で動作できます。すべてのチャンネルがダイにボンディングされているわけではありません。I/O サポートの有無に関係なく、各 LAB ロウはチャンネルと見なされます。

- 1個のfast PLLがDPAチャンネルおよびDPA以外のチャンネルをドライブしている場合でも、DPA チャンネルが連続している限り分離させる必要はありません。

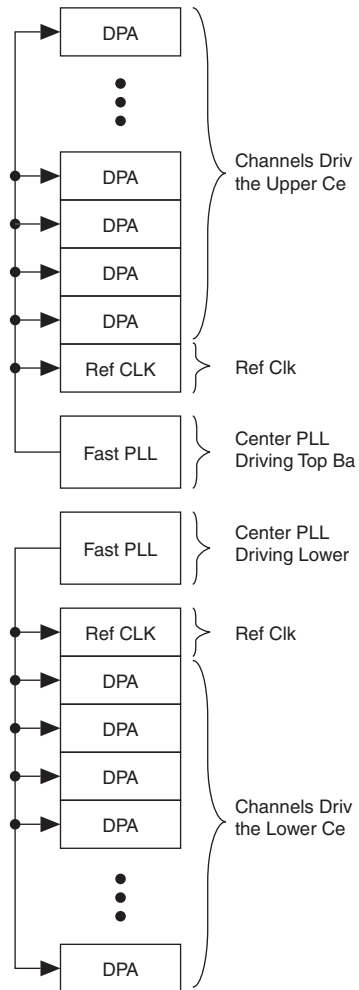
図 5-17. シングル・バンクの DPA チャンネルをドライブするコーナおよびセンタ PLL の使用



両方のセンタ fast PLL の使用

- 両方のセンタ fast PLL が隣接するエリアでのみ DPA チャネルをドライブする場合、それらを DPA に使用することができます。図 5-18 を参照してください。
- fast PLL の 1 つがトップ・バンクとボトム・バンクをドライブする場合、またはセンタ fast PLL がバンクをクロスしてドライブしている（例えば、下側の fast PLL がトップ・バンクをドライブし、トップ fast PLL が下側のバンクをドライブする）場合、両方のセンタ fast PLL を DPA に使用することはできません。

図 5-18. DPA チャンネルをドライブするときのセンタ fast PLL の使用



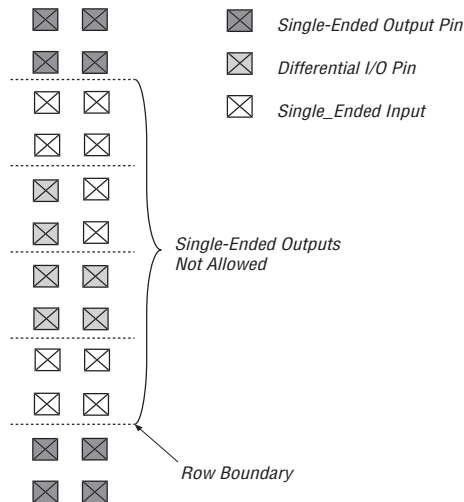
DPA なし差動 I/O の使用についてのガイドライン

差動チャンネル、あるいは左バンクまたは右バンクのチャンネルが DPA なしのモードで使用されている場合、以下の項のガイドラインに準拠する必要があります。

高速差動 I/O およびシングル・エンド I/O

- シングル・エンド標準 I/O 規格が高速 I/O バンクと同じ V_{CCIO} を使用している限り、同じ I/O バンクでシングル・エンド I/O を使用できます。
- シングル・エンド入力、SERDES 回路を使用する差動チャンネルと同じ LAB ロウに存在することができますが、IOE 入力レジスタは差動 I/O と同じ LAB ロウに配置されたシングル・エンド I/O に使用することはできません。SERDES 差動チャンネルと同じ LAB ロウ内に配置された SERDES 以外の差動入力にも、入力レジスタに対するルールと同じルールが適用されます。入力レジスタはコア・ロジック内に実装する必要があります。SERDES 差動チャンネルと同じ LAB ロウ内に配置された SERDES 以外の差動入力にも、入力レジスタに対するルールと同じルールが適用されます。
- 図 5-19 に示すように、シングル・エンド出力ピンは差動 I/O ピンから少なくとも 1 つの LAB ロウだけ離れている必要があります。

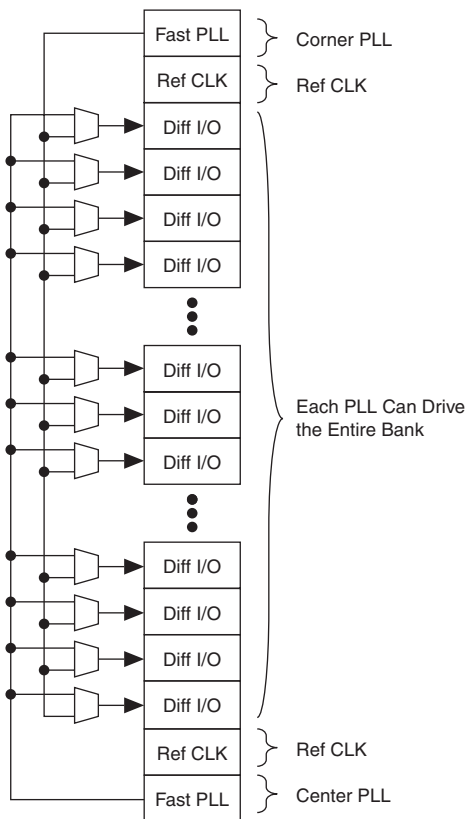
図 5-19. 差動 I/O ピンに対するシングル・エンド出力ピンの配置



fast PLL/ 差動 I/O ドライブ距離

- 図 5-20 に示すように、各 fast PLL はバンク全体のすべてのチャンネルをドライブすることができます。

図 5-20. DPA なしの差動チャンネルをドライブするときの fast PLL ドライブ能力

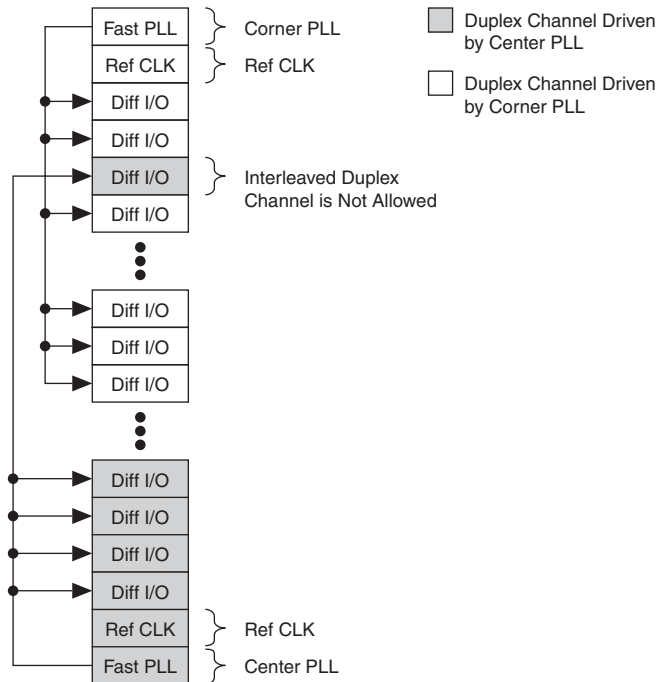


コーナおよびセンタ fast PLL の使用

- 独立した fast PLL でドライブされるチャンネルが、トランスミッタ・チャンネルまたはレシーバ・チャンネルをインタリーブしない限り、コーナおよびセンタ fast PLL を使用することができます。図 5-21 に、コーナおよびセンタ fast PLL を使用するときの差動チャンネルの違法な配置を示します。

- 1個の fast PLL がトランスミッタ・チャンネルのみドライブし、もう1個の fast PLL がレシーバ・チャンネルのみドライブしている場合、これらの fast PLL でドライブされるチャンネルは互いにオーバーラップさせることができます。
- センタ fast PLL は、トランスミッタ・チャンネルとレシーバ・チャンネルの両方に使用できます。

図 5-21. I/O バンクでインタレースされた二重チャンネルの違法な配置



ボード・デザインの検討事項

この項では、Stratix II 高速 I/O ブロックから最適な性能を引き出し、最適な信号品質を実現した機能デザインの実装に、確実に初回で成功する方法について説明します。ボード・レイアウトの推奨事項、および I/O ピンの終端について詳しくは、「AN 224: 高速ボード・レイアウト・ガイドライン」を参照してください。

デバイスから最高の性能を引き出すには、配線パターンおよびコネクタのインピーダンス、差動配線、および終端手法に注意する必要があります。この項は、「Stratix II デバイス・ハンドブック Volume 1」の「Stratix II デバイス・ファミリー・データ・シート」を参照しながら読み進めてください。

Stratix II 高速モジュールは、1 Gbps もの高い周波数で媒体を伝達される信号を生成します。ボード設計者は、以下のガイドラインを使用する必要があります。

- ボード・デザインの基礎を制御された差動インピーダンスに置きます。配線パターン幅、厚さ、および 2 つの差動配線パターン間の距離など、すべてのパラメータを計算して比較します。
- 外部リファレンス抵抗をできるだけレシーバ入力ピンの近くに配置します。
- 表面実装コンポーネントを使用します。
- 90° または 45° のコーナは避けます。
- バックプレーン・デザインに、HMZD や VHDM などの高性能コネクタを使用します。高性能コネクタのサプライヤとして、Teradyne Corp (www.teradyne.com) と Tyco International Ltd. (www.tyco.com) の 2 社があります。
- 配線パターンのインピーダンスがコネクタまたはターミネーションのインピーダンスと一致するように、バックプレーンとカード・トレースを設計します。
- 両方の信号配線パターンに同じ数のビアを使用します。
- 信号間のスキューを回避するために、等しい長さの配線パターンを作成してください。配線パターンの長さが等しくない場合、TCCS の値が増加するとクロス・ポイントやシステム・マージンが不正になります。
- インピーダンスが中断する原因となるため、ビアの数を制限してください。
- fast PLL のパワー・プレーンとグランド・プレーンは、0.001、0.01、0.1 μF といった一般的なバイパス・コンデンサ容量でデカップルします。また、0.0047 μF や 0.047 μF を使用することもできます。
- ノイズの結合を避けるために、スイッチングする TTL 信号は差動信号から遠ざけてください。
- TTL クロック信号を差動信号の上または下に配線してはなりません。
- 隣接するレイヤの信号は互いに直角に配線します。

まとめ

DPA およびデータ・レイアラインメント回路を備えた Stratix II 高速差動入出力を使用して、堅牢なマルチギガビット・システムを構築することができます。DPA 回路により、物理的配置から生じるタイミング・スキューを補正できます。データ・リアラインメント回路により、デバイスはトランスミッタとレシーバ間でデータ・パケットをアラインメントすることができます。差動 On-Chip Termination と共に、Stratix II デバイスは高速アプリケーション用のシングルチップ・ソリューションとして使用できます。

