

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SI151004-3.0

Stratix®II デバイスは、外部デバイスを使用せずに、ホット・プラグインまたはホット・スワップとしても知られるホット・ソケット（活線挿抜）およびパワー・シーケンスをサポートします。ユーザは、システムの動作中に動作中のシステム・バスやシステムに実装されたボードに影響を与えることなく、Stratix II ボードをシステムに取り付けたり、取り外すことができます。

ホット・ソケット機能によって、5.0 V、3.3 V、2.5 V、1.8 V、1.5 V、および 1.2 V デバイスが混在するプリント基板（PCB）上で Stratix II デバイスを使用する際の問題も一部解消されます。Stratix II のホット・ソケット機能により、ユーザはボード上のデバイスごとに適切なパワーアップ・シーケンスを確保する必要がなくなります。

Stratix II のホット・ソケット機能の特長は、以下のとおりです。

- 外部コンポーネントやボードを操作せずに、ボードまたはデバイスの挿抜が可能
- パワーアップ・シーケンスのサポート
- ホット・インサート中のシステム・バスへの影響がない I/O バッファ

この章では、Stratix II デバイスのパワー・オン・リセット（POR）回路についても説明します。POR 回路は、V_{CC} が動作範囲内になるまで、デバイスをリセット状態に維持します。

Stratix II の ホット・ ソケット仕様

Stratix II デバイスは、外付け部品や特別なデザイン要件なしで上記の 3 つの特長をすべて満たすホット・ソケット機能を提供します。Stratix II デバイスのホット・ソケット機能により、以下が実現されます。

- デバイスを損傷させることなく、パワーアップ前にドライブ可能。
- I/O ピンはパワーアップ時にトライ・ステートを維持。デバイスはパワーアップ前またはパワーアップ時にドライブ・アウトしないため、動作中の他のバスに影響しません。
- 信号ピンが V_{CCIO}、V_{CCPD}、または V_{CCINT} 電源をドライブしない。デバイスの I/O ピンへの外部入力信号は、デバイスの内部バスを通して V_{CCIO} または V_{CCINT} 電源に供給されない。

デバイスはパワーアップ前にドライブ可能

パワーアップまたはパワーダウン前、またはその間に、デバイスに損傷を与えることなく、Stratix II デバイスの I/O ピン、専用入力ピン、および専用クロック・ピンに信号を入力することができます。Stratix II デバイスは、任意のパワーアップ・シーケンスまたはパワーダウン・シーケンス (V_{CCIO} 、 V_{CCINT} 、および V_{CCPD}) をサポートし、システム・レベルのデザインを簡素化します。


I/O ピンはパワーアップ時にトライ・ステートを維持

ホット・ソケットをサポートしないデバイスは、パワーアップ前またはパワーアップ時にドライブ・アウトして、システム動作に割り込んだり、競合を引き起こす可能性があります。ホット・ソケットの状態では、Stratix II デバイスの出力バッファはシステムのパワーアップまたはパワーダウン時にオフになります。また、Stratix II デバイスは、デバイスがコンフィギュレーションされて適切な動作状態になるまではドライブ・アウトしません。

信号ピンは V_{CCIO} 、 V_{CCINT} または V_{CCPD} 電源をドライブしない

ホット・ソケットをサポートしないデバイスは、デバイスの信号ピンを通じてパワーアップされるときに電源が短絡する可能性があります。この不適切なパワーアップによって、ドライブするデバイスとドライブされるデバイスの両方が損傷し、カードのパワーアップが妨害される場合があります。

Stratix II デバイスには、パワーアップ前またはパワーアップ時に、I/O ピン、専用入力ピン、または専用クロック・ピンから V_{CCIO} 、 V_{CCINT} 、または V_{CCPD} ピンへの電流経路はありません。Stratix II デバイスは、システム・ボードの動作を中断または妨害することなく、パワーアップ後のシステム・ボードに取り付ける（またはシステム・ボードから取り外す）ことができます。ホット・ソケット時、Stratix II デバイスはバックプレーンのシグナル・インテグリティに最小限の影響しか及ぼしません。

 V_{CCIO} 、 V_{CCINT} 、および V_{CCPD} ピンは、任意のシーケンスでパワーアップまたはパワーダウンできます。電源ランプ・レートの範囲は $100 \mu\text{s}$ ~ 100ms です。 V_{CC} 電源は、I/O ピンのドライブ・アウトを避けるために、互いに 100ms 以内にパワーダウンする必要があります。ホット・ソケット中には、I/O ピンのキャパシタンスは 20pF 未満です。Stratix II デバイスは、次のホット・ソケット仕様に適合しています。

- ホット・ソケット DC 仕様： $|I_{IOPIN}| < 300 \mu\text{A}$

- ホット・ソケット AC 仕様： $I_{IOPIN} < 8 \text{ mA}$ 、
10 ns の場合は $I_{IOPIN} > 8 \text{ mA}$

I_{IOPIN} は、デバイスの任意のユーザ I/O ピンの電流です。デバイスのパワーアップまたはパワーダウン時、AC 仕様には 2 つの要件があります。

- パワーアップまたはパワーダウン時のピーク電流は、 $< 8 \text{ mA}$ です。
- 10 ns 以下の場合には、ピーク電流は 8 mA を超えることができます。

DC 仕様は、パワーアップまたはパワーダウン状態でデバイスへのすべての V_{CC} 電源が安定している場合に適用されます。

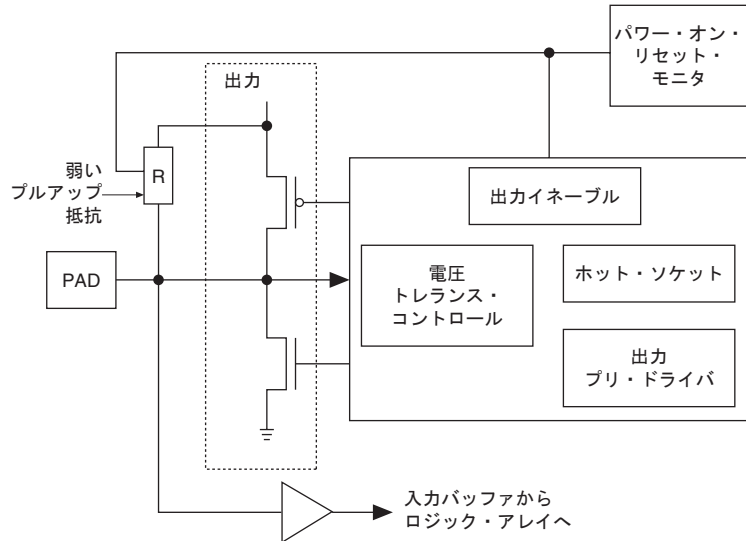
ホット・ソケットに関する一般的な問題として、ラッチ・アップの危険性があります。電氣的なサブシステムがアクティブ・システムにホット・ソケットされると、ラッチ・アップが発生する可能性があります。ホット・ソケット時に、電源からデバイスの V_{CC} プレーンとグラウンド・プレーンに給電される前に、信号ピンがアクティブ・システムによって接続されドライブされることがあります。これにより、ラッチ・アップが発生し、 V_{CC} からデバイス内のグラウンドへの低インピーダンス・パスが生じる可能性があります。その結果、デバイスに大きな電流が流れ、電氣的損傷を引き起こす可能性があります。それにもかかわらず、Stratix II デバイスではホット・ソケット時にラッチ・アップは発生しません。

Stratix II デバイスの ホット・ ソケット機能

ホット・ソケット機能は、パワーアップ・イベント時 (V_{CCINT} 、 V_{CCIO} 、または V_{CCPD} 電源のいずれか) またはパワーダウン時に出力バッファをオフにします。ホット・ソケット回路は、 V_{CCINT} 、 V_{CCIO} 、または V_{CCPD} がスレッシュホールド電圧より低い場合に、内部 HOTSCKT 信号を生成します。HOTSCKT 信号によって出力バッファが遮断されるため、ピンを通して DC 電流がリークすることはありません (ウィーク・プルアップ・リーク電流を除く)。 V_{CC} が非常にゆっくり上昇する場合、POR 信号がリリースされてコンフィギュレーションが完了した後も、 V_{CC} は依然として比較的低い電圧のままです。出力バッファがこの低い V_{CC} 電圧では、ホット・ソケット回路によって設定された状態から反転できないため、CONF_DONE、nCEO、および nSTATUS ピンは応答しません。そのため、これらのコンフィギュレーション・ピンがコンフィギュレーション中に確実に動作できるように、これらのピンではホット・ソケット回路は取り除かれています。これらのピンに期待される動作は、パワーアップおよびパワーダウン・シーケンス中にドライブ・アウトすることです。

各 I/O ピンには、[図 4-1](#) に示す回路があります。

図 4-1. Stratix II デバイスのホット・ソケット回路のブロック図



POR 回路は、 V_{CCINT} 電圧レベルをモニタし、デバイスがユーザ・モードになるまで I/O ピンをトライ・ステートに維持します。I/O ピンから V_{CCIO} へのウィーク・プルアップ抵抗 (R) によって、I/O ピンがフロート状態にならないようにしています。3.3 V トランス・コントロール回路により、 V_{CCIO} 、 V_{CCINT} 、および V_{CCPD} の一部またはすべてに給電される前に I/O ピンを 3.3 V でドライブでき、デバイスがユーザ・モードでない場合に I/O ピンのドライブ・アウトを防ぎます。ホット・ソケット回路は、デバイスに給電される前に外部信号によって I/O ピンがドライブされた場合に、I/O ピンが内部で V_{CCIO} 、 V_{CCINT} 、および V_{CCPD} に給電するのを防止します。

図 4-2 に、Stratix II デバイス I/O バッファのトランジスタ・レベルの断面を示します。このデザインでは、 V_{CCIO} に V_{CCINT} より先に給電された場合、または I/O パッド電圧が V_{CCIO} より高い場合には、出力バッファはドライブしません。これはホット・ソケット中の突発的な電圧スパイクにも適用されます。ホット・ソケット中には、信号 I/O ピンから V_{CCINT} 、 V_{CCIO} 、または V_{CCPD} への電流経路はありません。 V_{PAD} リーク電流によって、3.3 V トレラント回路のキャパシタンスが充電されます。

図 4-2. FPGA デバイス I/O バッファのトランジスタ・レベル図

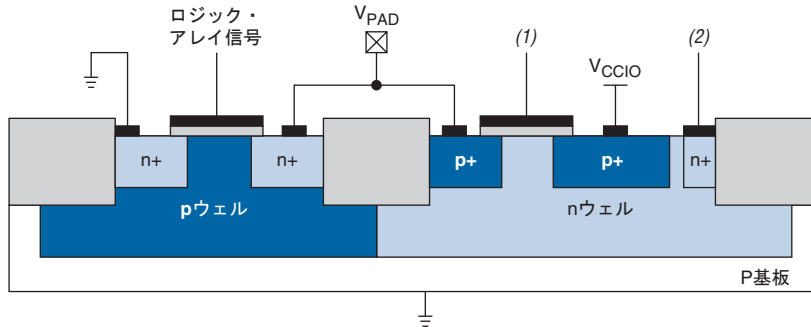


図 4-2 の注：

- (1) これは、ロジック・アレイ信号、あるいは V_{CCIO} または V_{PAD} のいずれか大きい方の信号です。
- (2) これは、 V_{CCIO} または V_{PAD} のいずれか大きい方の信号です。

パワー・オン・リセット回路

Stratix II デバイスは、パワーアップ時に電源電圧レベルが安定するまでデバイス・システム全体をリセット状態に維持する POR 回路を備えています。POR 回路は、 V_{CCINT} 、 V_{CCIO} 、および V_{CCPD} の電圧レベルをモニタし、 V_{CC} が上昇して通常のユーザ・レベルに達するまで、すべてのユーザ I/O ピンをトライ・ステートにします。また、POR 回路により、コンフィギュレーションがトリガされる前に 8 個すべての I/O バンク V_{CCIO} 電圧、 V_{CCPD} 電圧、およびロジック・アレイ V_{CCINT} 電圧が許容レベルに到達することも保証されます。Stratix II デバイスがユーザ・モードに入った後、POR 回路はユーザ・モード中に電圧低下状態を検知できるよう、継続して V_{CCINT} 電圧レベルをモニタします。ユーザ・モード中に、 V_{CCINT} 電圧が Stratix II の動作レベルより低いレベルに降下すると、POR 回路によってデバイスがリセットされます。

Stratix II デバイ스에電源が投入されたとき、 V_{CC} が (最大 V_{CC} 立ち上がり時間として規定された) 所定の時間内に推奨動作範囲に達した場合は、パワー・オン・リセット・イベントが発生します。Stratix II デバイスの最大 V_{CC} 立ち上がり時間は 100 ms です。Stratix II デバイスには、12 ms または 100 ms のパワーアップ時 POR 遅延時間を選択するための専用入力ピン (PORSEL) があります。PORSEL ピンをグラウンドに接続した場合、POR 時間は 100 ms です。PORSEL ピンを V_{CC} に接続した場合、POR 時間は 12 ms です。

