

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SI151003-4.0

IEEE Std. 1149.1 (JTAG) バウンダリ・ スキヤンの サポート

すべての Stratix®II デバイスは、IEEE Std. 1149.1 に準拠した JTAG BST 回路を搭載しています。JTAG バウンダリ・スキヤン・テストは、コンフィギュレーションの実行前または完了後に行うことができますが、コンフィギュレーションの実行中に行うことはできません。Stratix II デバイスでは、Quartus®II ソフトウェア、または Jam ファイル (.jam) または Jam Byte-Code ファイル (.jbc) を使用したハードウェアによるコンフィギュレーションにも JTAG ポートが使用可能です。

Stratix II デバイスは、JTAG BST チェインを通じて IOE に設定されている標準 I/O 規格のリコンフィギュレーションをサポートします。JTAG チェインは、ユーザ・モードの前またはユーザ・モード中はいつでも、CONFIG_IO 命令を通じてすべての入力ピンおよび出力ピンに対する標準 I/O 規格をアップデートできます。Stratix II デバイスの複数のピンが電圧リファレンスを使用する標準規格でボード上の他のデバイスをドライブしているか、これらのデバイスから信号を受信している場合は、この機能をコンフィギュレーション前の JTAG テストに使用できます。Stratix II デバイスは、JTAG テスト前にはコンフィギュレーションされていないことがあり、その場合には I/O ピンをチップ間通信に適した電気規格に合わせてコンフィギュレーションすることはできません。JTAG チェインを通じて特定の標準 I/O 規格をプログラムすることにより、他のデバイスへの I/O 接続を完全にテストすることができます。

JTAG モードで動作するデバイスは、TDI、TDO、TMS、および TCK の 4 本の専用ピン、および TRST の 1 本のオプション・ピンを使用します。TCK ピンは内部ウィーク・プルダウン抵抗を備えていますが、TDI ピン、TMS ピンおよび TRST ピンは内部ウィーク・プルアップ抵抗を備えています。JTAG 入力ピンは、3.3 V VCCPD ピンで駆動します。TDO 出力ピンは、バンク 4 の VCCIO 電源で駆動します。

また、Stratix II デバイスは、SignalTap®エンベデッド・ロジック・アナライザでデバイスのロジック動作をモニタする時にも JTAG ポートを使用します。Stratix II デバイスは、表 3-1 に示す JTAG インストラクションをサポートします。



Stratix II, Stratix, Cyclone[®] II, および Cyclone デバイスは、JTAG チェインで最初の17デバイス以内にならなくてはなりません。これらのデバイスはすべて、同一の JTAG コントローラを備えています。Stratix II, Stratix, Cyclone II, または Cyclone デバイスが 18 番目以降にある場合には、これらのデバイスのコンフィギュレーションは失敗する可能性があります。これは、SignalTap II には影響を与えません。

Stratix II デバイスのインストラクション・レジスタの長さは 10 ビットで、USERCODE レジスタの長さは 32 ビットです。表 3-2 および 3-3 は、Stratix II デバイスのバウンダリ・レジスタの長さ と IDCODE を示したものです。

JTAG インストラクション	インストラクション・ コード	説明
SAMPLE/PRELOAD	00 0000 0101	通常動作中のデバイスのピンから信号を取り込んでテストすることができる。また、最初のデータ・パターンをデバイス・ピンに出力させることができる。SignalTap II エンベデッド・ロジック・アナライザにも使用される。
EXTEST (1)	00 0000 1111	出力ピンにテスト・パターンを強制的に与え、入力ピンでテスト結果を取り込むことによって、外部回路との接続とボード・レベルの配線がテストできる。
BYPASS	11 1111 1111	TDI ピンと TDO ピンの間に 1 ビットのバイパス・レジスタを配置することによって、デバイスに通常の動作をさせながら BST データが選択されたデバイスをバイパスして、隣接したデバイスに同期転送させることができる。
USERCODE	00 0000 0111	32 ビットの USERCODE レジスタを選択して TDI ピンと TDO ピンの間に配置することによって、USERCODE を TDO にシリアルにシフト・アウトさせることができる。
IDCODE	00 0000 0110	IDCODE レジスタを選択して TDI ピンと TDO ピンの間に配置することによって、IDCODE が TDO にシリアルにシフト・アウトさせることができる。
HIGHZ (1)	00 0000 1011	TDI ピンと TDO ピンの間に 1 ビットのバイパス・レジスタを配置することによって、すべての I/O ピンをトライ・ステートにした状態で、デバイスに通常の動作をさせながら BST データが選択されたデバイスをバイパスして、隣接したデバイスに同期転送させることができる。

表 3-1. Stratix II の JTAG インストラクション (2 / 2)		
JTAG インストラクション	インストラクション・ コード	説明
CLAMP (1)	00 0000 1010	TDI ピンと TDO ピンの間に 1 ビットのバイパス・レジスタを配置することによって、I/O ピンをバウンダリ・スキャン・レジスタ内のデータで定義される状態に保持し、デバイスに通常の動作をさせながら BST データが指定したデバイスをバイパスして、隣接したデバイスに同期転送させることができる。
ICR インストラクション		JTAG ポートを通じて Stratix II デバイスを MasterBlaster™、ByteBlasterMV™ または ByteBlaster II ダウンロード・ケーブルでコンフィギュレーションするとき、またはエンベデッド・プロセッサまたは JRunner から .jam または .jbc でコンフィギュレーションするときを使用される。
PULSE_NCONFIG	00 0000 0001	nCONFIG ピンに物理的な影響を与えずに、Low のパルスを与えられ、リコンフィギュレーションが行なわれる状態をエミュレーションする。
CONFIG_IO (2)	00 0000 1101	JTAG テストのため、ユーザー I/O ピンの標準 I/O 規格は JTAG チェインによって変更可能。この命令はコンフィギュレーション中または前後に実行可能であるが、コンフィギュレーション中に実行されると、コンフィギュレーション動作は停止する。CONFIG_IO 命令が実行されると、nSTATUS は Low に保持され、コンフィギュレーション・デバイスがリセットされる。IOE コンフィギュレーション・レジスタがロードされるまで nSTATUS は Low のまま保持され、TAP コントローラ・ステート・マシンは UPDATE_DR ステートに遷移される。
SignalTap II インストラクション		Signal Tap II エンベデッド・ロジック・アナライザでデバイス内部の動作をモニタするとき使用される。

表 3-1 の注：

- (1) バス・ホールドおよびウィーク・プルアップ抵抗の機能を設定すると、HIGHZ のハイ・インピーダンス・ステート、CLAMP、EXTTEST は無効になります。
- (2) CONFIG_IO インストラクションについて詳しくは、「MorphIO: An I/O Reconfiguration Solution for Altera Devices White Paper」を参照してください。

Quartus II は、JTAG ユーザ・コードとしてプログラミング・ファイルのチェックサム値の使用を選択することができる Auto Usercode 機能を備えています。選択すると、チェックサムは USERCODE レジスタに自動的にロードされます。**Settings** ダイアログ・ボックス (Assignments メニュー) の **General**、次に **Device & Pin Options** をクリックして **Auto Usercode** オプションをオンにします。

表 3-2. Stratix II デバイスのバウンダリ・スキャン・レジスタの長さ


デバイス	バウンダリ・スキャン・レジスタの長さ
EP2S15	1,140
EP2S30	1,692
EP2S60	2,196
EP2S90	2,748
EP2S130	3,420
EP2S180	3,948

表 3-3. Stratix II デバイスの 32 ビット IDCODE

デバイス	IDCODE (32 ビット) (1)			
	バージョン (4 ビット)	パート番号 (16 ビット)	メーカーの ID (11 ビット)	LSB (1 ビット) (2)
EP2S15	0000	0010 0000 1001 0001	000 0110 1110	1
EP2S30	0000	0010 0000 1001 0010	000 0110 1110	1
EP2S60	0001	0010 0000 1001 0011	000 0110 1110	1
EP2S90	0000	0010 0000 1001 0100	000 0110 1110	1
EP2S130	0000	0010 0000 1001 0101	000 0110 1110	1
EP2S180	0000	0010 0000 1001 0110	000 0110 1110	1

表 3-3 の注：

- (1) 左側が最上位ビット (MSB) です。
- (2) IDCODE の最下位ビット (LSB) は常に 1 です。

 Stratix、Stratix II、Cyclone、および Cyclone II デバイスは、JTAG チェインで最初の17デバイス以内にならなくてはなりません。これらのデバイスはすべて、同一の JTAG コントローラを備えています。Stratix、Stratix II、Cyclone、および Cyclone II デバイスが 18 番目以降にある場合には、これらのデバイスのコンフィギュレーションは失敗する可能性があります。これは、SignalTap II には影響を与えません。



JTAG について詳しくは、次の資料を参照してください。

- 「Stratix II デバイス・ハンドブック Volume 2」または「Stratix II GX デバイス・ハンドブック Volume 2」の「IEEE Std. 1149.1 (JTAG) Boundary-Scan Testing for Stratix II & Stratix II GX Devices」の章
- Jam Programming & Test Language Specification

SignalTap II エンベデッド・ ロジック・ アナライザ

コンフィギュ レーション

Stratix II デバイスは、IEEE Std. 1149.1 (JTAG) 回路を通じて一定の期間デバイス内部の動作をモニタする SignalTap II エンベデッド・ロジック・アナライザを搭載しています。ユーザは内部信号を I/O ピンに出力させることなく、内部ロジックの状態を実際のスピードで解析することができます。FineLine BGA[®]パッケージのような最先端パッケージでは、ボード設計および製造後のデバック工程でモニタするピンに対する接続を追加することが困難であるため、この機能は特に重要となります。

Stratix II アーキテクチャのロジック、回路、配線は、CMOS SRAM エレメントによってコンフィギュレーションされます。アルテラの FPGA デバイスはリコンフィギュレーション可能で、すべてのデバイスは広範な生産テスト・プログラムが実施されているため、ユーザは故障検出テストを実行する必要がなく、シミュレーションおよびデザインを検証に専念できます。

Stratix II デバイスは、システム起動時にアルテラのコンフィギュレーション・デバイスに格納されたデータまたは外部コントローラ (MAX[®]II デバイスまたはマイクロコントローラなど) から供給されるデータによってコンフィギュレーションされます。Stratix II デバイスは、ファースト・パッシブ・パラレル (FPP)、アクティブ・シリアル (AS)、パッシブ・シリアル (PS)、パッシブ・パラレル非同期 (PPA)、および JTAG コンフィギュレーション手法を使用してコンフィギュレーションすることができます。Stratix II デバイスの最適化されたインタフェースは、マイクロプロセッサからのシリアルまたはパラレル・データを同期または非同期にコンフィギュレーションします。また、インタフェースは Stratix II デバイスをメモリとして取り扱うことができるため、仮想メモリ位置にデータを書き込む動作でデバイスをコンフィギュレーションすることができ、リコンフィギュレーションも容易に実行できます。

サポートされたコンフィギュレーション手法に加えて、Stratix II はデザイン・セキュリティ、復元、およびリモート・システム・アップグレードの機能も提供しています。コンフィギュレーション・ビットストリーム暗号化および AES 技術によるデザイン・セキュリティ機能は、ユーザのデザインを保護するメカニズムを提供しています。復元機能により、Stratix II FPGA は圧縮されたコンフィギュレーション・ビットストリームを受け取り、このデータをリアルタイムで復元し、必要メモリおよびコンフィギュレーション時間を低減します。リモート・システム・アップグレード機能は、Stratix II のデザインに対して遠隔地からのリアルタイム・システム・アップグレードを行います。詳しくは、“[コンフィギュレーション手法](#)” の項を参照してください。

動作モード

Stratix II アーキテクチャには、回路に電源が投入されるごとにロードする必要があるコンフィギュレーション・データのストアに SRAM のコンフィギュレーション・エレメントが使用されています。SRAM のデータをデバイスに物理的にロードするプロセスは、コンフィギュレーションと呼ばれます。デバイスはコンフィギュレーションの完了直後にイニシャライズの動作に入り、レジスタをリセットし、I/O ピンをイネーブルにしてロジック・デバイスとしての動作を開始します。I/O ピンは、電源投入時およびコンフィギュレーションの実行前と実行中にトライ・ステートとなります。このコンフィギュレーションおよびイニシャライズのプロセスをまとめてコマンド・モードと呼びます。通常のデバイス動作はユーザ・モードと呼ばれます。

Stratix II は SRAM のコンフィギュレーション・エレメントを使用しているため、新しいコンフィギュレーション・データをデバイスにロードすることによってイン・サーキットでのリコンフィギュレーションを行うことができます。リアル・タイム・リコンフィギュレーションの場合、特定のピンを使用してデバイスを強制的にコマンド・モードにします。コンフィギュレーション・プロセスによって、別のコンフィギュレーション・データがロードされ、デバイスが再度イニシャライズされた後、ユーザ・モード動作が再開します。ユーザは、新しいコンフィギュレーション・ファイルをシステム内またはリモートで供給することによって、フィールドでシステムをアップグレードすることができます。

PORSEL は、電源投入時に 12 ms または 100 ms の POR 遅延時間を切り替える専用ピンです。PORSEL ピンがグランドに接続されているとき POR 時間は 100 ms となり、PORSEL ピンが V_{CC} に接続されているとき POR 時間は 12 ms となります。

nIO PULLUP ピンは、コンフィギュレーションの実行前および実行中に、ユーザ I/O ピンおよび兼用コンフィギュレーション I/O ピン (nCSO、ASDO、DATA[7..0]、nWS、nRS、RDYnBSY、nCS、CS、RUnLU、PGM[2..0]、CLKUSR、INIT_DONE、DEV_OE、DEV_CLR) の内部プルアップがオンまたはオフになるかを選択する専用入力です。ロジック High (1.5 V、1.8 V、2.5 V、3.3 V) は内部ウィーク・プルアップ抵抗をオフにし、ロジック Low はオンにします。

また、Stratix II デバイスは、コンフィギュレーション入力ピンおよび JTAG ピンで 3.3V/2.5V バッファを動作するために 3.3V に接続する必要のある新しい電源 V_{CCPD} を提供しています。 V_{CCPD} は、 V_{CCSEL} がグランドに接続されたとき、すべての JTAG 入力ピン (TCK、TMS、TDI、TRST) およびコンフィギュレーション・ピンに適用します。 V_{CCSEL} に影響されるピンについては、表 3-4 を参照してください。

V_{CCSEL} ピンを使用すれば、(コンフィギュレーション入力が存在するバンクの) V_{CCIO} 設定をコンフィギュレーション入力で要求される電圧から独立させることができます。したがって、 V_{CCIO} を選択するときに、コンフィギュレーション入力にドライブされる V_{IL} および V_{IH} レベルを気にする必要はありません。

PLL_ENA ピンおよびコンフィギュレーション入力ピン (表 3-4) は、3.3 V/2.5 V 入力バッファおよび 1.8 V/1.5 V 入力バッファのデュアル・バッファ・デザインを備えています。VCCSEL 入力ピンのレベルにより、どちらの入力バッファが使用されるか決定されます。表 3-4 に、VCCSEL に影響されるピンを示します。

ピン	VCCSEL = LOW (GND に接続)	VCCSEL = HIGH (V _{CCPD} に接続)
nSTATUS (入力として使用)	3.3V/2.5V 入力バッファが選択される。入力バッファは V _{CCPD} で動作する。	1.8V/1.5V 入力バッファが選択される。入力バッファは IOバンクの V _{CCIO} で動作する。
nCONFIG		
CONF_DONE (入力として使用)		
DATA[7..0]		
nCE		
DCLK (入力として使用)		
CS		
nWS		
nRS		
nCS		
CLKUSR		
DEV_OE		
DEV_CLRn		
RUnLU		
PLL_ENA		

VCCSEL は、電源投入時にサンプリングされます。しかしながら、VCCSEL 設定は進行中またはリコンフィギュレーション中には変更できません。VCCSEL 入力バッファは、V_{CCINT} で動作し、V_{CCPD} またはグラウンドに組み込まれていなくてはなりません。ロジック High VCCSEL 接続は 1.8 V/1.5 V 入力バッファを選択し、ロジック Low は 3.3 V/2.5 V 入力バッファを選択します。VCCSEL は、コンフィギュレーション・デバイスまたは MAX[®] II/マイクロプロセッサをドライブするロジック・レベルに適合していません。

3.3V/2.5Vのコンフィギュレーション入力電圧をサポートする必要がある場合は、VCCSELをロジック Low に設定しなければなりません。コンフィギュレーション入力を持つI/OバンクのV_{CCIO}は任意のサポートされている電圧に設定することができます。1.8V/1.5Vのコンフィギュレーション入力電圧をサポートする必要がある場合は、VCCSELをロジック High にコンフィギュレーション入力を持つバンクのV_{CCIO}を1.8V/1.5Vに設定しなければなりません。



多電源システムにおける TDO および nCEO を使用に関する情報を含む多電源サポートについて詳しくは、「Stratix II デバイス・ハンドブック、Volume 1」の「Stratix II アーキテクチャ」の章を参照してください。

コンフィギュレーション手法

Stratix II デバイスのコンフィギュレーション・データは、5種類のコンフィギュレーション・モードのいずれかでデバイスへロードすることができます(表 3-5 参照)、ターゲットとなるアプリケーションに応じて選択することができます。ユーザは、Stratix II デバイスをコンフィギュレーションするために、コンフィギュレーション・デバイス、インテリジェント・コントローラ、または JTAG ポートを使用することができます。コンフィギュレーション・デバイスは、Stratix II デバイスを自動的にコンフィギュレーションすることができます。

各デバイスのコンフィギュレーション・イネーブル (nCE) ピンおよびコンフィギュレーション・イネーブル出力 (nCEO) ピンを接続することにより、5種類のコンフィギュレーション・モードのいずれかで複数の Stratix II デバイスをコンフィギュレーションすることができます。

Stratix II FPGA は、次の機能を備えています。

- コンフィギュレーション・ファイル・ストレージを低減するコンフィギュレーション・データ復元
- デザインを保護するコンフィギュレーション・データ暗号化を使用したデザイン・セキュリティ
- Stratix II デザインを遠隔地からアップデートするリモート・システム・アップグレード

表 3-5 に各コンフィギュレーション手法で使用されるコンフィギュレーション機能を示します。

表 3-5. Stratix II デバイスのコンフィギュレーション機能				
コンフィギュレーション手法	コンフィギュレーション方法	デザイン・セキュリティ	復元	リモート・システム・アップグレード
FPP	MAX II デバイスまたはマイクロプロセッサおよび Flash デバイス	√ (1)	√ (1)	√
	エンハンスド・コンフィギュレーション・デバイス		√ (2)	√
AS	シリアル・コンフィギュレーション・デバイス	√	√	√ (3)
PS	MAX II デバイスまたはマイクロプロセッサおよび Flash デバイス	√	√	√
	エンハンスド・コンフィギュレーション・デバイス	√	√	√
	ダウンロード・ケーブル (4)	√	√	
PPA	MAX II デバイスまたはマイクロプロセッサおよび Flash デバイス			√
JTAG	ダウンロード・ケーブル (4)			
	MAX II デバイスまたはマイクロプロセッサおよび Flash デバイス			


表 3-5 の注：

- (1) これらのモードでは、ホスト・システムは 4 倍のデータ・レートの DCLK を送信する必要があります。
- (2) Stratix II デバイスの復元機能が有効でない間、エンハンスド・コンフィギュレーション・デバイスの復元機能は有効です。
- (3) AS コンフィギュレーション手法が使用されているときのみ、リモート・アップデート・モードはサポートされます。ローカル・アップデート・モードはサポートされていません。
- (4) サポートされたダウンロード・ケーブルは、アルテラの USB プラスタ・ユニバーサル・シリアル・バス (USB) ポート・ダウンロード・ケーブル、MasterBlaster シリアル /USB 通信ケーブル、ByteBlaster II パラレル・ポート・ダウンロード・ケーブル、および ByteBlasterMV パラレル・ポート・ダウンロード・ケーブルを含みます。

Stratix II および Stratix II GX デバイスのコンフィギュレーション手法について詳しくは、「Stratix II デバイス・ハンドブック、Volume 2」または「Stratix II GX デバイス・ハンドブック、Volume 2」の「Stratix II & Stratix II GX デバイスのコンフィギュレーション」の章を参照してください。

コンフィギュレーション・ビットストリーム暗号化を使用したデバイス・セキュリティ

Stratix II FPGA は、高度暗号化標準 (Advanced Encryption Standard、略称: AES) アルゴリズムを使用してコンフィギュレーション・ビットストリームを暗号化する機能を備えた業界初の FPGA です。デザイン・セキュリティ機能を使用しているとき、128 ビットのセキュリティ・キーは Stratix II FPGA に格納されます。デザイン・セキュリティ機能がイネーブルされた Stratix II FPGA のコンフィギュレーションを成功させるには、同じ 128 ビットのセキュリティ・キーで暗号化されたコンフィギュレーション・ファイルでコンフィギュレーションする必要があります。セキュリティ・キーは、Stratix II デバイスに内蔵された不揮発性メモリに格納することができます。この不揮発性メモリは、格納のためにバッテリー・バックなどの外部デバイスは必要としません。

 暗号化コンフィギュレーション・ファイルは、非暗号化コンフィギュレーション・ファイルと同じサイズです。パッシブ・シリアル (PS) またはアクティブ・シリアル (AS) などのシリアル・コンフィギュレーション方式を使用する場合、コンフィギュレーション時間はデザイン・セキュリティがイネーブルされていてもされていなくても同じです。ファースト・パッシブ・パラレル (FPP) 手法をデザイン・セキュリティ機能または復元機能と併用する場合は、4x DCLK が必要です。その結果、コンフィギュレーション時間はデザイン・セキュリティと復元機能のどちらもイネーブルになっていない FPGA のコンフィギュレーション時間と比較して長くなります。この機能について詳しくは、お問い合わせください。

デバイス・コンフィギュレーション・データ復元

Stratix II FPGA は、コンフィギュレーション・メモリおよび時間を節減するコンフィギュレーション・データの復元をサポートします。この機能により、圧縮されたコンフィギュレーション・データをコンフィギュレーション・デバイスまたはその他のメモリに格納し、この圧縮されたビット・ストリームを Stratix II FPGA に送信することができます。コンフィギュレーションの間、Stratix II FPGA はリアルタイムでビット・ストリームを復元し、SRAM セルをプログラムします。

Stratix II FPGA は、FPP (MAX II デバイス / マイクロプロセッサおよび Flash メモリ)、AS および PS コンフィギュレーション手法で復元をサポートしています。復元は PPA コンフィギュレーション手法または JTAG ベースのコンフィギュレーションではサポートされていません。

リモート・システム・アップグレード機能

デザイン・サイクルの短縮化、標準規格の進化、および遠隔地でのシステムの展開は、今日のシステム設計者が直面している課題です。Stratix II デバイスは、固有のリプログラマビリティとリモート・システム・アップデートを実行する専用回路によって、これらの課題への効率的な対応を支援します。リモート・システム・アップグレードは、経費のかかる製品回収を行わずに機能強化やバグ修正を配信することができ、「Time-to-Market」の短縮や製品寿命の延長に役立ちます。

Stratix II FPGA は、専用のリモート・システム・アップグレード回路を備えており、容易にリモート・システムのアップデートを行うことができます。Stratix II デバイスに実装されたソフト・ロジック (Nios[®] プロセッサまたはユーザ・ロジック) は、遠隔地から新しいコンフィギュレーション・イメージをダウンロードし、それをコンフィギュレーション・メモリに格納し、さらに専用リモート・システム・アップグレード回路にリコンフィギュレーション・サイクルの開始を指示することもできます。この専用回路は、コンフィギュレーション・プロセス中およびコンフィギュレーション・イメージに戻ることによってエラー状態から回復し、エラー状態情報を提供します。この専用リモート・システム・アップグレード回路はシステム・ダウンタイムを回避することができ、リモート・システム・アップグレードを正常に実行するための重要なコンポーネントです。

RSC は、FPP、AS、PS、および PPA の Stratix II コンフィギュレーション方式でサポートされています。RSC は、コンフィギュレーション・データのリアルタイム復元や、AES を使用した安全かつ効率的なフィールド・アップグレードを実現するデザイン・セキュリティなどの Stratix II の最新機能と併用して実装することも可能です。

Stratix II デバイスのリモート・コンフィギュレーション手法について詳しくは、「Stratix II デバイス・ハンドブック、Volume 2」または「Stratix II GX デバイス・ハンドブック、Volume 2」の「Stratix II & Stratix II GX デバイスのリモート・システム・アップグレード」の章を参照してください。

JRunnerによるStratix II FPGAのコンフィギュレーション

JRunner は、JTAG モードの ByteBlaster II または ByteBlasterMV ケーブルを通じて、Stratix II を含むアルテラの FPGA をコンフィギュレーションするソフトウェア・ドライバです。プログラミング入力ファイルは Raw Binary File (.rbf) フォーマットをサポートします。また、JRunner は Quartus II ソフトウェアで生成された Chain Description File (.cdf) も必要とします。JRunner は、エンベデッド JTAG コンフィギュレーションをターゲットにしています。ソース/コードは、Windows NT のオペレーション・システム (OS) 向けに開発されていますが、その他のプラットフォームで動作するようにカスタマイズすることができます。

JRunner ソフトウェア・ドライバについて詳しくは、「JRunner Software Driver: An Embedded Solution to the JTAG Configuration White Paper」およびアルテラ・ウェブサイト (www.altera.co.jp) のソース・ファイルを参照してください。

SRunnerによるシリアル・コンフィギュレーション・デバイスのプログラミング

シリアル・コンフィギュレーション・デバイスは、SRunner を使用した外部マイクロプロセッサにより、イン・システムでプログラムすることができます。SRunner は、異なるエンベデッド・システムにフィットするよう簡単にカスタマイズ可能なエンベデッド・シリアル・コンフィギュレーション・デバイス・プログラミングを構築するコンフィギュレーションソフトウェア・ドライバです。SRunner は、.rpd ファイル (ロウ・プログラミング・データ) を読み込むことができ、シリアル・コンフィギュレーション・デバイスを書き込むことができます。SRunner を使用してのシリアル・コンフィギュレーション・デバイスのプログラミング時間は、Quartus II を使用してのプログラミング時間に相当します。

SRunner について詳しくは、「SRunner: An Embedded Solution for EPCS Programming White Paper」またはアルテラ・ウェブサイト (www.altera.co.jp) のソース・コードを参照してください。

シリアル・コンフィギュレーション・デバイスのプログラミングについて詳しくは、「コンフィギュレーション・ハンドブック」の「Serial Configuration Devices (EPCS1 & EPCS4) Data Sheet」を参照してください。

MicroBlasterDriverによる Stratix II FPGAのコンフィギュレーション

MicroBlaster™ ソフトウェア・ドライバは、RBF プログラミング入力ファイルをサポートし、エンベデッド FPP または PS コンフィギュレーションに最適です。ソース・コードは Windows NT オペレーティング・システム向けに開発されていますが、他の OS で動作するようにカスタマイズすることが可能です。MicroBlaster ソフトウェア・ドライバについて詳しくは、アルテラ・ウェブサイト (www.altera.co.jp) の「Configuring the MicroBlaster Fast Passive Parallel Software Driver White Paper」または「Configuring the MicroBlaster Passive Serial Software Driver White Paper」を参照してください。

PLL リコンフィギュレーション

Stratix II デバイス・ファミリの PLL (Phase-Locked-Loop) は、デバイス全体のリコンフィギュレーションなしの乗算、分周、VCO 位相選択、および帯域幅選択のコンフィギュレーションをサポートしています。ユーザはロジック・アレイまたは標準 I/O ピンからのシリアル・データを使用して、シリアル・チェーンにある PLL のカウンタの設定値をプログラムすることができます。このオプションによって周波数合成の柔軟性が大幅に向上し、PLL の周波数および遅延のリアルタイム変動が許容されます。デバイスの残りの部分は、PLL をリコンフィギュレーションしている間も機能します。

Stratix II デバイスの PLL について詳しくは、「Stratix II デバイス・ハンドブック、Volume 2」または「Stratix II GX デバイス・ハンドブック、Volume 2」の「Stratix II & Stratix II GX デバイスの PLL」の章を参照してください。

温度検知ダイオード

Stratix II デバイスは、パワー・マネージメントで温度センサとして使用するダイオードが接続されたトランジスタを内蔵しています。このダイオードは、Maxim Integrated Products 社の MAX1617A または MAX1619 などの外部デジタル・サーモメータ・デバイスと共に使用されます。これらのデバイスは、Stratix II デバイスのダイオードを通してバイアス電流をステアリングし、順方向電圧を測定してこの測定値を 8 ビット符号付き数値 (7 ビット+符号) の形式で温度に変換します。外部デバイスの出力は、Stratix II デバイスの接合温度を表し、インテリジェント電源管理に使用することができます。

図 3-1 に示す通り、このダイオードは外部温度検知デバイスに接続するために、Stratix II デバイス 2 本のピン (tempdiodep および tempdioden) が必要です。温度検知ダイオードはパッシブ・エレメントであるため、Stratix II デバイスに電源を投入する前に使用することができます。

図 3-1. 外部温度検知ダイオード

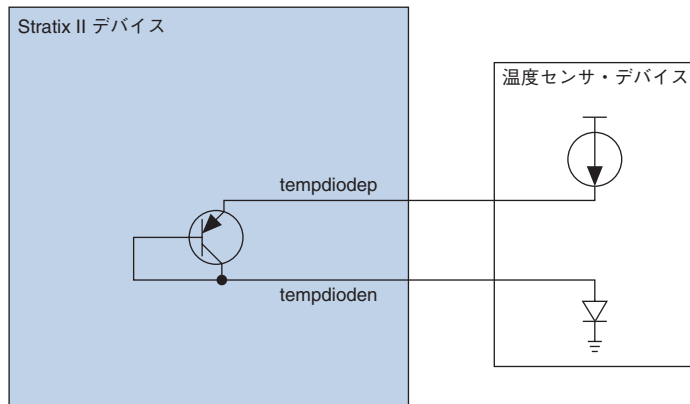
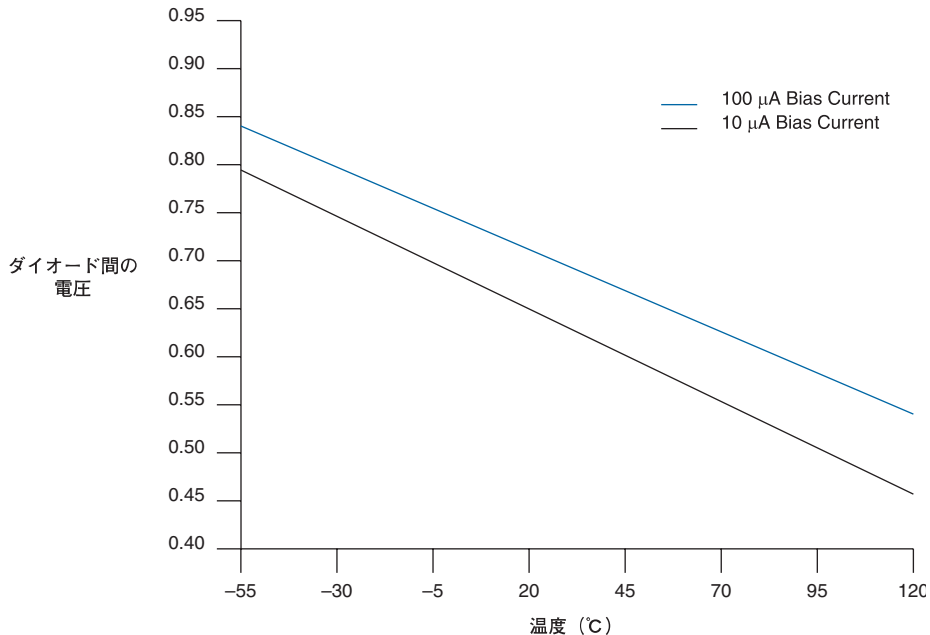


表 3-6 に、Stratix II の温度検知ダイオードのバイアス電圧および電流の特性を示します。

パラメータ	最小	標準	最大	単位
IBIAS (High)	80	100	120	μA
IBIAS (Low)	8	10	12	μA
VBP - VBN	0.3		0.9	V
VBN		0.7		V
直列抵抗値			3	Ω

温度検知ダイオードは、図 3-2 に示す全動作範囲で機能します。

図 3-2. 温度対温度検知ダイオード電圧



SEU の 自動検出

Stratix II デバイスは、SEU (Single Event Upset) 検出の自動チェック用内蔵回路を提供します。高地や地球の北極または南極への至近距離でエラー・フリー動作が要求される一部のアプリケーションには、継続してデータの正確性を保証するために定期的なチェックが必要です。Quartus II ソフトウェアの Device & Pin Options ダイアログ・ボックスによって制御されるエラー検出 CRC (Cyclic Redundancy Check) 機能は、32 ビット CRC 回路を使用してデータの信頼性を確保しており、SEU を軽減するために最良の選択肢の 1 つです。

このエラー検出 CRC 機能は、Stratix II デバイス内の既存の回路を用いて実装できるため、外部ロジックは必要ありません。Stratix II デバイスでは、CRC はコンフィギュレーション中にデバイスによって計算され、通常動作中に自動的に計算された CRC に対してチェックされます。コンフィギュレーション SRAM が破壊されると、CRC_ERROR ピンがソフト・エラーをレポートし、デバイスのリコンフィギュレーションを開始します。

カスタム・ビルト回路

Stratix II デバイスに専用回路が組み込まれており、自動的にエラー検出を実行します。Stratix II デバイスのエラー検出回路は、デバイスがユーザ・モードの間、コンフィギュレーション SRAM セル内のエラーを継続的にチェックします。ユーザは、エラー用に 1 本の外部ピンをモニタし、それを使用してリコンフィギュレーション・サイクルをトリガできます。また、内蔵クロック分周期を調整して、希望するチェック間隔の時間を選択できます。

ソフトウェア・インタフェース

Quartus II ソフトウェア・バージョン 4.1 以降では、ユーザが Device & Pin Options ダイアログ・ボックスで自動エラー検出 CRC 機能をオンにすることができます。このダイアログ・ボックスでは、この機能をイネーブルし、CRC の内部周波数を 400 kHz ~ 50 MHz の間で設定できます。これにより、CRC 回路が FPGA デバイスの内部コンフィギュレーション SRAM ビットを検証するレートを制御します。

CRC について詳しくは、「AN 357: Error Detection Using CRC in Altera FPGA Devices」を参照してください。

