

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SI151001-4.0

はじめに

Stratix® II FPGA ファミリは、1.2 V、90 nm、全層銅配線 SRAM プロセスをベースにしており、性能を最大限に引き出す新しいロジック構造を特長とし、デバイス集積度は 18,000 個相当のロジック・エレメント (LE) 数に達します。Stratix II デバイスは、メモリ要求の厳しいアプリケーション向けに最大 9 M ビットのオン・チップ TriMatrix™ メモリを提供し、高性能フィルタおよびその他のデジタル信号処理 (DSP) 機能を効果的に実現する最大 384 個の乗算器 (18 ビット×18 ビット) を搭載する DSP ブロックを備えています。DDR (Double Data Rate) SDRAM および DDR2 SDRAM、RLDRAM II、QDR (Quad Data Rate) II SRAM、および SDR (Single Data Rate) SDRAM など、様々な高速外部メモリ・インタフェースがサポートされています。Stratix II デバイスは、ダイナミック・フェーズ・アラインメント (DPA) 回路による 1 Gbps ソース・シンクロナス信号に加えて、様々な I/O 標準規格をサポートしています。Stratix II デバイスは、最大 550 MHz の内部クロック周波数および最大 12 個の PLL (Phase-Locked-Loop) による完全なクロック管理ソリューションを提供します。Stratix II デバイスは、高度暗号化標準 (Advanced Encryption Standard、略称: AES) アルゴリズムを使用してコンフィギュレーション・ビットストリームを暗号化する機能を備えた業界初の FPGA です。

特長

Stratix II ファミリは、以下の特長を備えています。

- 15,600 ~ 179,400 個の等価 LE (表 1-1 を参照)
- Stratix II アーキテクチャの基本的な構成要素である新しい革新的なアダプティブ・ロジック・モジュール (ALM) により、性能およびリソース使用効率を最大化
- RAM は最大 9,383,040 ビット (1,172,880 バイト) で、ロジック・リソースを削減せずに使用可能
- 3 種類のサイズの RAM ブロックで構成された TriMatrix メモリにより、トゥルー・デュアル・ポート・メモリおよび FIFO (First-In First-Out) バッファを実装
- 高速 DSP ブロックにより、乗算器 (最大 450 MHz)、積和ファンクション、および FIR (Finite Impulse Response) フィルタの専用ファンクションを提供
- 1 デバイス領域あたり 24 のクロック・リソースによる最大 16 本のグローバル・クロック

- ユーザ・モードで消費電力を低減するために、クロック・ネットワークをパワー・ダウンできるダイナミック・クロック・ネットワーク・イネーブル / ディセーブルをサポートするクロック・コントロール・ブロック
- 1デバイスあたり最大12個のPLL (4個のenhanced PLLおよび8個のfast PLL) により、スペクトラム拡散、プログラマブル帯域幅、クロック切り換え、リアル・タイム PLL リコンフィギュレーション、および高度な通倍と位相シフトを提供
- 多数のシングル・エンドおよび差動標準 I/O 規格をサポート
- 1Gbps 性能の DPA 回路による高速差動 I/O サポート
- Parallel RapidIO、SPI-4 Phase 2 (POS-PHY Level 4)、HyperTransport™ テクノロジ、および SFI-4 などの高速ネットワーキングおよび標準通信バス規格をサポート
- DDR および DDR2 SDRAM、RLDRAM II、QDR II SRAM、および SDR SDRAM などの高速外部メモリをサポート
- アルテラの MegaCore® ファンクションおよび Altera Megafunction Partners Program (AMPPSM) メガファンクションからの多数の IP (Intellectual Property) メガファンクションをサポート
- コンフィギュレーション・ビットストリーム暗号化を使用してデザイン・セキュリティをサポート
- リモート・コンフィギュレーション・アップデートをサポート

表 1-1. Stratix II FPGA ファミリの特長 (1 / 2)

特長	EP2S15	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
ALM 数	6,240	13,552	24,176	36,384	53,016	71,760
アダプティブ・ルックアップ・テーブル (ALUT) 数 (1)	12,480	27,104	48,352	72,768	106,032	143,520
等価 LE 数 (2)	15,600	33,880	60,440	90,960	132,540	179,400
M512 RAM ブロック数	104	202	329	488	699	930
M4K RAM ブロック数	78	144	255	408	609	768
M-RAM ブロック数	0	1	2	4	6	9
トータル RAM ビット数	419,328	1,369,728	2,544,192	4,520,488	6,747,840	9,383,040
DSP ブロック数	12	16	36	48	63	96
18 ビット×18 ビット乗算器数 (3)	48	64	144	192	252	384
enhanced PLL 数	2	2	4	4	4	4

表 1-1. Stratix II FPGA ファミリの特長 (2 / 2)

特長	EP2S15	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
fast PLL 数	4	4	8	8	8	8
最大ユーザ I/O ピン数	366	500	718	902	1,126	1,170

表 1-1 の注：

- (1) 1 個の ALM には 2 個の ALUT が含まれています。ALUT は、ロジック合成の際に Quartus®II ソフトウェアで取り扱われるロジック機能の最小単位です。
- (2) Stratix デバイス (4 入力 LUT ベースのアーキテクチャ) における LE の相当数です。
- (3) これらの乗算器は、DSP ブロックを使用して実装されています。

Stratix II デバイスは、実装スペースを節減する FineLine BGA® パッケージで提供されています (表 1-2 および 1-3 を参照)。

表 1-2. Stratix II のパッケージおよび I/O ピン数 注 (1)、(2)

デバイス	484 ピン FineLine BGA	484 ピン Hybrid FineLine BGA	672 ピン FineLine BGA	780 ピン FineLine BGA	1,020 ピン FineLine BGA	1,508 ピン FineLine BGA
EP2S15	342		366			
EP2S30	342		500			
EP2S60 (3)	334		492		718	
EP2S90 (3)		308 (4)		534	758	902
EP2S130 (3)				534	742	1,126
EP2S180 (3)					742	1,170


表 1-2 の注：

- (1) I/O ピンの総数には、データ入力に使用可能な 8 個のクロック入力専用ピン (clk1p、clk1n、clk3p、clk3n、clk9p、clk9n、clk11p、および clk11n) が含まれます。
- (2) Quartus II ソフトウェアの I/O ピン数は、汎用 I/O ピンとして使用できない 1 本の追加ピン PLL_ENA を含みます。PLL_ENA ピンは、デバイス内での PLL のイネーブルのみに使用できます。
- (3) 1020 ピンおよび 1508 パッケージの EP2S60、EP2S90、EP2S130、および EP2S180 デバイスの I/O ピン数には、データ入力に使用可能な 8 個の専用 fast PLL クロック入力 (FPLL7CLKp/n、FPLL8CLKp/n、FPLL9CLKp/n、および FPLL10CLKp/n) が含まれます。
- (4) この I/O ピン数は暫定仕様であり、変更される場合があります。

表 1-3. Stratix II FineLine BGA パッケージのサイズ

寸法	484 ピン	484 ピン Hybrid	672 ピン	780 ピン	1,020 ピン	1,508 ピン
ピッチ (mm)	1.00	1.00	1.00	1.00	1.00	1.00
面積 (mm ²)	529	729	729	841	1,089	1,600
長さ×幅 (mm×mm)	23×23	27×27	27×27	29×29	33×33	40×40

すべての Stratix II デバイスは、同一パッケージにおけるバーティカル・マイグレーションをサポートしています (例えば、672 ピン FineLine パッケージの EP2S15、EP2S30、および EP2S60 デバイス間でマイグレーションが可能です)。バーティカル・マイグレーションとは、同一のパッケージならば、専用ピン、コンフィギュレーション・ピン、および電源ピンのボード上のレイアウトを変更することなく、異なるデバイス間でマイグレーションできることです。

 集積度の高いデバイスへのマイグレーションでは、集積度の高い方のデバイスの I/O ピン数が少ない可能性があります。集積度の高いデバイスは、追加ロジックをサポートするためにより多くの電力とグラウンド・ピンが必要となります。I/O ピンのマイグレーションでは、I/O ピンがマイグレーション可能かを確認するために所定のパッケージ・タイプのすべての集積度でデバイスのピン配置出力を利用して使用可能な I/O ピンを照合させる必要があります。

ボード・レイアウトが1つのパッケージでマイグレーション可能な集積度をサポートするように、Quartus II ソフトウェア (Assignments メニュー>Device>Migration Devices) でパーティカル・パスを適用させます。コンパイル後、選択されたマイグレーション・パスによって提供されない I/O、DQ、LVDS、およびその他のピンの情報メッセージを確認します。表 1-5 に、Stratix II デバイスで提供されているパッケージおよび集積度の高いデバイスへのマイグレーションを行う際にマイグレーションできない I/O ピンの総数を示します。追加 I/O ピンは、高い集積度のデバイスから低い集積度のデバイスへのマイグレーションの場合にはマイグレーションできない可能性があります。

表 1-4. Stratix II のパーティカル・マイグレーション・パスでマイグレーションできない I/O ピンの総数

パーティカル・マイグレーション・パス	484 ピン FineLine BGA	672 ピン FineLine BGA	780 ピン FineLine BGA	1020 ピン FineLine BGA	1508 ピン FineLine BGA
EP2S15 から EP2S30 へ	0 (1)	0			
EP2S15 から EP2S60 へ	8 (1)	0			
EP2S30 から EP2S60 へ	8 (1)	8			
EP2S60 から EP2S90 へ				0	
EP2S60 から EP2S130 へ				0 (2)	
EP2S60 から EP2S180 へ				0 (2)	
EP2S90 から EP2S130 へ			0 (1)	16 (2)	17 (2)
EP2S90 から EP2S180 へ				16 (2)	0 (2)
EP2S130 から EP2S180 へ				0	0

表 1-4 の注：

- (1) いくつかの DQ/DQS ピンは、マイグレーションできません。詳細については、Quartus II ソフトウェアのインフォメーション・メッセージを参照してください。
- (2) EP2S60 および EP2S90 デバイスは、-3 スピード・グレードの EP2S130 および EP2S180 デバイスにはマイグレーションできません。

Stratix II デバイスは、最大 3 つのスピード・グレード、-3、-4、および -5 で提供されており、-3 が最も高速です。表 1-5 に、Stratix II デバイスのスピード・グレードを示します。

デバイス	温度 グレード	484 ピン FineLine BGA	484 ピン Hybrid FineLine BGA	672 ピン FineLine BGA	780 ピン FineLine BGA	1,020 ピン FineLine BGA	1,508 ピン FineLine BGA
EP2S15	一般用	-3, -4, -5		-3, -4, -5			
	工業用	-4		-4			
EP2S30	一般用	-3, -4, -5		-3, -4, -5			
	工業用	-4		-4			
EP2S60	一般用	-3, -4, -5		-3, -4, -5		-3, -4, -5	
	工業用	-4		-4		-4	
EP2S90	一般用		-4, -5		-4, -5	-3, -4, -5	-3, -4, -5
	工業用					-4	-4
EP2S130	一般用				-4, -5	-3, -4, -5	-3, -4, -5
	工業用					-4	-4
EP2S180	一般用					-3, -4, -5	-3, -4, -5
	工業用					-4	-4