



11. Stratix & Stratix GX デバイスの コンフィギュレーション

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

S52013-3.2

はじめに

Stratix® および Stratix GX デバイスは、数種類のコンフィギュレーション手法の 1 つを使用してコンフィギュレーションすることができます。すべてのコンフィギュレーション手法では、マイクロプロセッサ、コンフィギュレーション・デバイス、またはダウンロード・ケーブルのいずれかを使用します (表 11-1 を参照)。

コンフィギュレーション手法	一般的な使用
ファースト・パッシブ・パラレル (FPP)	各クロック・サイクルで 8 ビットのコンフィギュレーション・データがロードされるパラレル同期コンフィギュレーション・デバイスまたはマイクロプロセッサ・インタフェースとのコンフィギュレーション。
パッシブ・シリアル (PS)	シリアルな同期マイクロプロセッサ・インタフェースまたは MasterBlaster™ 通信ケーブル、USB-Blaster、ByteBlaster™ II、または ByteBlasterMV パラレル・ポート・ダウンロード・ケーブルによるコンフィギュレーション。
パッシブ・パラレル非同期 (PPA)	パラレルな同期マイクロプロセッサ・インタフェースとのコンフィギュレーション。この手法では、マイクロプロセッサはターゲット・デバイスをメモリとして扱います。
リモート/ローカル・アップデート FPP	Nios® (16 ビット ISA) および Nios II (32 ビット ISA) またはその他のエンベデッド・プロセッサを使用したコンフィギュレーション。リモートで FPP 手法を使用してデータをロードすることにより、Stratix または Stratix GX デバイス・コンフィギュレーションを更新できます。
リモート/ローカル・アップデート PS	Nios またはその他のエンベデッド・プロセッサを使用したパッシブ・シリアル同期コンフィギュレーション。リモートで PS 手法を使用してデータをロードすることにより、Stratix または Stratix GX デバイス・コンフィギュレーションを更新できます。
リモート/ローカル・アップデート PPA	Nios またはその他のエンベデッド・プロセッサを使用したパッシブ・パラレル非同期コンフィギュレーション。この手法では、Nios マイクロプロセッサはターゲット・デバイスをメモリとして扱います。リモートで PPA 手法を使用してデータをロードすることにより、Stratix または Stratix GX デバイス・コンフィギュレーションを更新できます。
JTAG (Joint Test Action Group)	IEEE Std. 1149.1 JTAG ピンを使用したコンフィギュレーション。ダウンロード・ケーブルまたはエンベデッド・デバイスのいずれかと JTAG コンフィギュレーションが可能です。SignalTap® II エンベデッド・ロジック・アナライザを使用することができます。

この章では、1つまたは複数の Stratix または Stratix GX デバイスをコンフィギュレーションする方法について説明します。以下の資料も併せてご利用ください。

- *MasterBlaster Serial/USB Communications Cable Data Sheet*
- *USB Blaster USB Port Download Cable Development Tools Data Sheet*
- *ByteBlaster II Parallel Port Download Cable Data Sheet*
- *ByteBlasterMV Parallel Port Download Cable Data Sheets*
- *Configuration Devices for SRAM-Based LUT Devices Data Sheet*
- *Enhanced Configuration Devices (EPC4, EPC8, & EPC16) Data Sheet*
- *The Remote System Configuration with Stratix & Stratix GX Devices chapter*



デバイスのコンフィギュレーション・オプションの設定またはコンフィギュレーション・ファイルの生成について詳しくは、「コンフィギュレーション・ハンドブック Volume 2」の 6 章および 7 章のソフトウェア設定セクションを参照してください。

デバイスの コンフィギュ レーションに ついて

デバイスの動作中、アルテラの FPGA はコンフィギュレーション・データを SRAM セルに保存します。SRAM メモリは揮発性のため、デバイスに電源を投入するたびにコンフィギュレーション・データを SRAM セルにロードする必要があります。コンフィギュレーションの完了後、デバイスはレジスタおよび I/O ピンを初期化しなくてはなりません。初期化後、デバイスはユーザ・モードに入ります。図 11-1 に、コンフィギュレーション、初期化、およびユーザ・モード時のデバイスの状態を示します。

図 11-1. Stratix および Stratix GX のコンフィギュレーション・サイクル

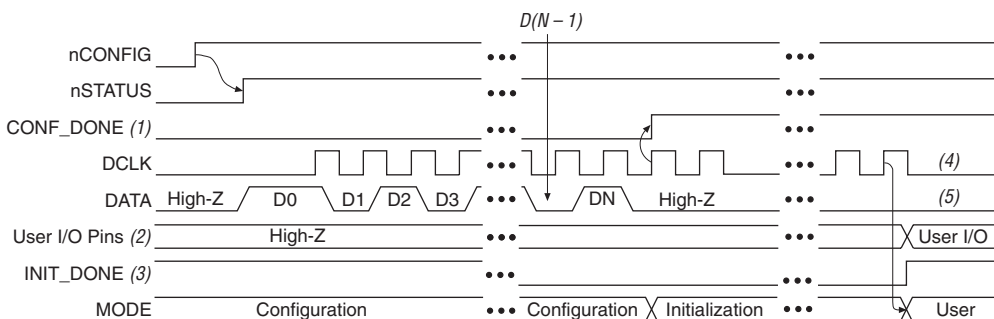


図 11-1 の注：

- (1) 初期起動およびコンフィギュレーション時には、CONF_DONE は Low になります。コンフィギュレーション実行後、CONF_DONE は High になります。デバイスがリコンフィギュレーションされた場合、nCONFIG が Low にドライブされた後、CONF_DONE は Low になります。

- (2) コンフィギュレーション実行中、ユーザ I/O ピンはトライ・ステートになります。また、コンフィギュレーション実行中、Stratix および Stratix GX デバイスは nIO_PULLUP によってイネーブルされると、I/O ピンにウィーク・プルアップ抵抗が接続されます。初期化後、ユーザ I/O ピンはユーザのデザインで割り当てられた機能を実行します。
- (3) INIT_DONE ピンを使用している場合、nCONFIG が Low のとき、およびコンフィギュレーション開始時には 10 kΩ の外部抵抗プルアップのためにこのピンは High になります。INIT_DONE をイネーブルするオプション・ビットがデバイスにプログラムされると（コンフィギュレーション・データの最初のフレーム時）、INIT_DONE ピンが Low になります。
- (4) DCLK はフロート状態のままにしないでください。このピンは High または Low にしておく必要があります。
- (5) DATA0 はフロート状態のままにしないでください。このピンは High または Low にしておく必要があります。

パッシブ・コンフィギュレーション手法を使用して、Stratix または Stratix GX デバイスのコンフィギュレーション・データをロードできます。パッシブ・コンフィギュレーション手法を使用すると、Stratix または Stratix GX デバイスは、コンフィギュレーション・プロセスを制御するマイクロプロセッサなどのインテリジェント・ホストによってシステムに組み込まれます。ホストはコンフィギュレーション・データをストレージ・デバイス（ハード・ディスク、RAM、その他のシステム・メモリなど）から供給します。パッシブ・コンフィギュレーションを使用すると、システムの動作中にデバイスをリコンフィギュレーションすることによってターゲット・デバイスの機能を変更できます。また、システム・ユーザに新しいプログラミング・ファイルを配布することによって、フィールドでシステムをアップグレードすることもできます。

以下のセクションでは、Stratix および Stratix GX デバイス・コンフィギュレーションで使用する MSEL[2..0]、VCCSEL、PORSEL、および nIO_PULLUP ピンについて説明します。

MSEL[2..0] ピン

表 11-2 に示すように、Stratix または Stratix GX デバイスのコンフィギュレーション手法を選択するには、MSEL2、MSEL1、および MSEL0 ピンを High または Low に設定します。

表 11-2. Stratix および Stratix GX デバイスの コンフィギュレーション手法 (1 / 2)			
説明	MSEL2	MSEL1	MSEL0
FPP コンフィギュレーション	0	0	0
PPA コンフィギュレーション	0	0	1
PS コンフィギュレーション	0	1	0
リモート/ローカル・アップデート FPP (1)	1	0	0
リモート/ローカル・アップデート PPA (1)	1	0	1
リモート/ローカル・アップデート PS (1)	1	1	0

**表 11-2. Stratix および Stratix GX デバイスの
コンフィギュレーション手法 (2 / 2)**

説明	MSEL2	MSEL1	MSEL0
JTAG ベースのコンフィギュレーション (3)	(2)	(2)	(2)

表 11-2 の注：

- (1) これらの手法では、セカンダリ・ピン `runLU` をドライブして、リモート・アップデートまたはローカル・アップデートを実行するかどうかを指定する必要があります。
- (2) MSEL ピンはフロート状態にしないで、`VCCIO` または `GND` に接続してください。これらのピンは、生産時に使用される JTAG 以外のコンフィギュレーション手法をサポートします。JTAG コンフィギュレーションしか使用しない場合は、MSEL ピンをグラウンドに接続する必要があります。
- (3) JTAG ベースのコンフィギュレーションは、他のコンフィギュレーション手法よりも優先されます。つまり MSEL ピンの設定は無視されます。

MSEL[] ピンは、それらのピンが存在する I/O バンクの `VCCIO` またはグラウンドに接続できます。

VCCSEL ピン

Stratix および Stratix GX デバイスは、コンフィギュレーションおよび JTAG 入力ピンの 3.3 V、2.5 V、1.8 V、または 1.5 V LVTTL 標準 I/O 規格を使用してコンフィギュレーションすることができます。VCCSEL は Stratix および Stratix GX デバイスの専用入力で、3.3 V/2.5 V 入力バッファと 1.8 V/1.5 V 入力バッファを選択するコンフィギュレーション専用の入力ピンです。Low 入力で 3.3 V/2.5 V 信号がサポートされ、High 入力で 1.8 V/1.5 V 信号がサポートされます。High 入力では 3.3 V/2.5 V 信号もサポートされます。VCCSEL は、TDI、TMS、TCK、TRST、MSEL0、MSEL1、MSEL2、nCONFIG、nCE、DCLK、PLL_ENA、CONF_DONE、および nSTATUS ピンが存在するコンフィギュレーション関連 I/O バンク (3、4、7、および 8) に影響を与えます。VCCSEL ピンは、ロジック High レベルに対しては 1.5、1.8、2.5、または 3.3 V にプルできます。VCCSEL には内蔵 2.5 kΩ プルダウン抵抗があります。したがって、プルアップ抵抗を使用してこの信号をプルアップするには、1 kΩ 抵抗を使用する必要があります。

また、VCCSEL は、コンフィギュレーション関連のすべての I/O バンク (3、4、7、および 8) のパワー・オン・リセット (POR) トリップ・ポイントも設定します。これらの I/O バンクは、コンフィギュレーションを開始する前に適切な電圧レベルにパワーアップされます。電源投入時に、FPGA は V_{CCINT} およびコンフィギュレーション I/O バンクのすべての V_{CCIO} が POR トリップ・ポイントを超えるまで nSTATUS を解放しません。VCCSEL をグランド (ロジック Low) に設定した場合、すべてのコンフィギュレーション I/O バンクの POR トリップ・ポイントが 3.3 V/2.5 V 信号と一致する電圧に設定されます。VCCSEL = 0 の場合、これらの I/O バンクの POR トリップ・ポイントは 1.8 V の高さに設定することができます。コンフィギュレーション・バンクのいずれかの V_{CCIO} が 1.8 V または 1.5 V に設定されている場合、この I/O バンクに供給される電圧は POR トリップ・ポイントに到達できず、FPGA がコンフィギュレーションを開始できません。


 I/O バンクの 3、4、7、または 8 の V_{CCIO} が 1.5 V または 1.8 V に設定され、使用するコンフィギュレーション信号が 3.3 V または 2.5 V 信号を必要とする場合は、VCCSEL を V_{CC} (ロジック High) に設定し、POR トリップ・ポイントを低くしてコンフィギュレーションを正しく実行できるようにする必要があります。

表 11-3 に、コンフィギュレーション I/O バンクの V_{CCIO} 設定およびコンフィギュレーション入力信号電圧に応じた VCCSEL の設定方法を示します。

表 11-3. VCCSEL 設定		
V_{CCIO} (バンク 3、4、7、8)	コンフィギュレーション 入力信号電圧	V_{CCSEL}
3.3 V/2.5 V	3.3 V/2.5 V	GND
1.8 V/1.5 V	3.3 V/2.5 V/1.8 V/1.5 V	VCC
3.3 V/2.5 V	1.8 V/1.5 V	サポートなし

VCCSEL 信号は、DATA[7..0] および PPA ピン (nWS、nRS、CS、nCS、および RDYnBSY) などの兼用コンフィギュレーション・ピンを含め、どの兼用ピンもコントロールしません。コンフィギュレーション実行中、これらの兼用ピンはピンを持つ I/O バンクを駆動する V_{CCIO} 電源電圧に対応する電圧レベルをドライブ・アウトします。コンフィギュレーション実行後、兼用ピンはデザインで指定された標準 I/O 規格を継承します。

PORSEL ピン

PORSEL は、電源投入時に 2 ms または 100 ms の POR 遅延時間を切り替える専用ピンです。PORSEL ピンがグランドに接続されているとき POR 時間は 100 ms となり、PORSEL ピンが VCC に接続されているとき POR 時間は 2 ms となります。PORSEL には内蔵 2.5 kΩ プルダウン抵抗があります。したがって、プルアップ抵抗を使用してこの信号をプルアップするには、1 kΩ 抵抗を使用する必要があります。

エンハンスド・コンフィギュレーション・デバイスを使用して Stratix デバイスをコンフィギュレーションするときは、Stratix デバイスの PORSEL 設定がエンハンスド・コンフィギュレーション・デバイスの PORSEL 設定と同じかそれより高速であることを確認します。エンハンスド・コンフィギュレーション・デバイスが POR を終了した後で FPGA に電源が投入されない場合、プルアップ抵抗がこの信号を High にプルするため CONF_DONE 信号は High になります。エンハンスド・コンフィギュレーション・デバイスが POR を終了すると、エンハンスド・コンフィギュレーション・デバイスの OE が解放され、プルアップ抵抗によって High にプルアップされます。エンハンスド・コンフィギュレーション・デバイスは、nCS/CONF_DONE 信号も High であることを検知するため、テスト・モードに入ります。したがって、FPGA への電源投入は、エンハンスド・コンフィギュレーション・デバイスが POR を終了する前に行う必要があります。

広いマージンを確保するために、エンハンスド・コンフィギュレーション・デバイスの使用時には 100 ms の設定を選択して、Stratix FPGA に電源を投入してからコンフィギュレーションを試みることができます (表 11-4)。

表 11-4. PORSEL 設定	
PORSEL 設定	POR 時間 (ms)
GND	100
V _{CC}	2

nIO_PULLUP ピン

nIO_PULLUP ピンにより、すべてのユーザ I/O ピンをデバイス・コンフィギュレーションの実行前と実行中に、内部ウィーク・プルアップ抵抗で VCCIO にプルアップすることができます。コンフィギュレーション実行中に、nIO_PULLUP が V_{CC} に接続された場合、すべてのユーザ I/O ピンおよびすべての兼用ピンのウィーク・プルアップはディセーブルされます。これがグランドに接続された場合は、コンフィギュレーション実行中にプルアップがイネーブルされます。nIO_PULLUP ピンは、ロジック High レベルに対しては 1.5 V、1.8 V、2.5 V、または 3.3 V にプルできます。nIO_PULLUP には 2.5 k Ω 内部プルダウン抵抗があります。したがって、プルアップ抵抗を使用してこの信号をプルアップするには、1 k Ω 抵抗を使用する必要があります。

TDO & nCEO ピン

TDO ピンおよび nCEO ピンは、ピンが存在する I/O バンクに電源を供給する V_{CCIO} と同じ電圧レベルをドライブします。それに応じて、TDO を含むバンク用の V_{CCIO} 電源を選択する必要があります。例えば、ByteBlasterMV ケーブルの使用時には、TDO を含むバンク用の V_{CCIO} を 3.3 V にパワーアップする必要があります。TDO の電流強度は 12 mA です。

コンフィギュレーション・ファイルのサイズ

表 11-5 および 11-6 に、各 Stratix および Stratix GX デバイスに必要なコンフィギュレーション・ファイルの大きなサイズをまとめます。マルチ・デバイス・コンフィギュレーションに必要な記憶域を計算するには、各デバイスのファイル・サイズを加算します。

表 11-5. Stratix コンフィギュレーション・ファイルのサイズ

デバイス	ロウ・バイナリ・ファイル (.rbf) サイズ (ビット)
EP1S10	3,534,640
EP1S20	5,904,832
EP1S25	7,894,144
EP1S30	10,379,368
EP1S40	12,389,632
EP1S60	17,543,968
EP1S80	23,834,032

表 11-6. Stratix GX コンフィギュレーション・ファイルのサイズ

デバイス	ロウ・バイナリ・ファイルのサイズ (ビット)
EP1SGX10C	3,579,928
EP1SGX10D	3,579,928
EP1SGX25C	7,951,248
EP1SGX25D	7,951,248
EP1SGX25F	7,951,248
EP1SGX40D	12,531,440
EP1SGX40G	12,531,440

表 11-5 および 11-6 の数字のみを使用して、デザインをコンパイルする前のファイル・サイズを見積もる必要があります。アルテラの Quartus® II ソフトウェアのバージョンごとに、プログラミング時に追加される付加ビット数が多少異なる可能性があるため、正確なファイル・サイズも変化する場合があります。ただし、どのバージョンの Quartus II ソフトウェアでも、同じデバイスをターゲットとするデザインではコンフィギュレーション・ファイルは同じサイズになります。

アルテラの コンフィギュ レーション・ デバイス

アルテラのエンハンスド・コンフィギュレーション・デバイス (EPC16、EPC8、および EPC4 デバイス) は、高集積 FPGA 向けのシングル・デバイス・コンフィギュレーション・ソリューションをサポートし、FPP および PS コンフィギュレーション手法で使用されます。これらは自身の JTAG インタフェースを介して ISP に対応します。エンハンスド・コンフィギュレーション・デバイスは、コントローラとフラッシュ・メモリの 2 つの主要ブロックに分かれます。



エンハンスド・コンフィギュレーション・デバイスについて詳しくは、「コンフィギュレーション・ハンドブック Volume 2」の「エンハンスド・コンフィギュレーション・デバイス (EPC4、EPC8 & EPC16) データシート」および「アルテラ・エンハンスド・コンフィギュレーション・デバイス」の章を参照してください。

EPC2 および EPC1 コンフィギュレーション・デバイスは、PS コンフィギュレーション手法向けにコンフィギュレーション・サポートを提供します。EPC2 デバイスは自身の JTAG インタフェースを介して ISP に対応します。EPC2 および EPC1 はカスケード接続して、大きなコンフィギュレーション・ファイルを保持することができます。



EPC2、EPC1、および EPC1441 コンフィギュレーション・デバイスについて詳しくは、「コンフィギュレーション・ハンドブック Volume 2」の「Configuration Devices for SRAM-Based LUT Devices Data Sheet」の章を参照してください。

コンフィギュレーション手法

このセクションでは、Stratix および Stratix GX デバイスを以下のコンフィギュレーション手法でコンフィギュレーションする方法について説明します。

- コンフィギュレーション・デバイスによる PS コンフィギュレーション
- ダウンロード・ケーブルによる PS コンフィギュレーション
- マイクロプロセッサによる PS コンフィギュレーション
- FPP コンフィギュレーション
- PPA コンフィギュレーション
- JTAG プログラミングおよびコンフィギュレーション
- 複数のデバイスの JTAG プログラミングおよびコンフィギュレーション

PS コンフィギュレーション

Stratix または Stratix GX デバイスの PS コンフィギュレーションは、MAX[®] デバイス、フラッシュ・メモリ内蔵マイクロプロセッサ、アルテラ・コンフィギュレーション・デバイス、ダウンロード・ケーブルなどのインテリジェント・ホストを使用して実行できます。PS 手法では、外部ホスト (MAX デバイス、エンベデッド・プロセッサ、コンフィギュレーション・デバイス、またはホスト PC) がコンフィギュレーションを制御します。コンフィギュレーション・データは、DCLK の各立ち上がりエッジで DATA0 ピンを介してターゲットの Stratix デバイスに送られます。

コンフィギュレーション・デバイスによる PS コンフィギュレーション

このコンフィギュレーション・デバイス手法では、アルテラのコンフィギュレーション・デバイスを使用して Stratix または Stratix GX デバイスに、シリアル・ビットストリームでデータを供給します (図 11-3)。

このコンフィギュレーション・デバイス手法では、nCONFIG は通常、V_{CC} に接続されます (EPC16、EPC8、EPC4、または EPC2 デバイスの使用時には、nCONFIGはnINIT_CONFに接続しておくことができます)。デバイスへの電源投入時に、ターゲットの Stratix または Stratix GX デバイスは nCONFIG で Low から High への遷移を検知してコンフィギュレーションを開始します。次に、ターゲット・デバイスはオープン・ドレインの CONF_DONE ピンを Low にドライブし、このピンがコンフィギュレーション・デバイスの nCS ピンを Low にドライブします。パワー・オン・リセット (POR) の終了時に、ターゲットおよびコンフィギュレーション・デバイスはオープン・ドレインの nSTATUS ピンを解放します。

コンフィギュレーションを開始する前に、コンフィギュレーション・デバイスは最大 200 ms の POR 遅延を設けて電源を安定させる (コンフィギュレーション・デバイスの POR 実行前または実行中に Stratix または Stratix GX デバイスに電源を供給する) ことができます。EPC2 デバイスの場合、この POR 遅延は最大 200 ms です。エンハンスド・コンフィギュレーション・デバイスの場合、PORSEL ピンを VCC または GND に接続することによって、2 ms または 100 ms を選択できます。この間、コンフィギュレーション・デバイスは OE ピンを Low にドライブします。OE ピンはターゲット・デバイスの nSTATUS ピンに接続されるため、この Low 信号によってコンフィギュレーションが遅れます。ターゲットおよびコンフィギュレーション・デバイスは POR を完了すると nSTATUS を解放し、それによって nSTATUS はプルアップ抵抗で High にプルアップされます。

複数のデバイスをコンフィギュレーションするときは、すべてのデバイスが OE ピンまたは nSTATUS ピンを解放するまでコンフィギュレーションは開始されません。すべてのデバイスの準備が整うと、コンフィギュレーション・デバイスは内部オシレータを使用してシリアルにデータを出力してターゲット・デバイスに送ります。

コンフィギュレーションが成功すると、Stratix FPGA は 10 MHz 内部オシレータを基準クロックとして使用して初期化を開始します。初期化後、この内部オシレータはオフになります。CONF_DONE ピンは、ターゲット・デバイスによって解放され、プルアップ抵抗によって High にプルアップされます。初期化が完了すると、FPGA はユーザ・モードに入ります。CONF_DONE ピンには、デバイスが初期化されるように 10 k Ω の外部プルアップ抵抗が必要です。

コンフィギュレーション実行中にエラーが発生すると、ターゲット・デバイスは nSTATUS ピンを Low にドライブし、内部で自身をリセットして、コンフィギュレーション・デバイスをリセットします。Quartus II ソフトウェアの **Global Device Options** ダイアログ・ボックス (Assign メニュー) から選択可能な **Auto-Restart Configuration on Frame Error** オプションがオンになっている場合、エラーが発生するとデバイスは自動的にリコンフィギュレーションされます。このオプションを見つけるには、**Compiler Settings** (Processing メニュー) を選択し、**Chips & Devices** タブをクリックします。

このオプションがオフになっている場合は、外部システムが nSTATUS でエラーを監視し、nCONFIG に Low のパルスを与えてコンフィギュレーションを再開する必要があります。外部システムは、nCONFIG がシステムの制御下にある場合は、それを V_{CC} に接続しないでパルスを与えることができます。コンフィギュレーションが完了すると、ターゲット・デバイスは CONF_DONE を解放し、これによって nCS を High にドライブしてコンフィギュレーション・デバイスをディセーブルします。コンフィギュレーション・デバイスは、コンフィギュレーション実行前および実行後に DCLK を Low にドライブします。

また、コンフィギュレーション・デバイスがすべてのデータを送信した後で CONF_DONE が High になっていないことを検出した場合、コンフィギュレーション・デバイスはターゲット・デバイスが正しくコンフィギュレーションされていないものと判断します。この場合、コンフィギュレーション・デバイスは OE ピンに数ミリ秒の Low パルスを与えて、ターゲット・デバイスの nSTATUS ピンを Low にドライブします。ソフトウェアで **Auto-Restart Configuration on Frame Error** オプションが設定されている場合、ターゲット・デバイスはリセットした後で nSTATUS ピンに Low のパルスを与えます。nSTATUS が High に戻ると、コンフィギュレーション・デバイスはターゲット・デバイスをリコンフィギュレーションします。コンフィギュレーションが完了すると、コンフィギュレーション・デバイスは DCLK を Low にドライブします。

CONF_DONE を Low にプルして初期化を遅らせないでください。その代わりに、Quartus II ソフトウェアの **Enable User-Supplied Start-Up Clock (CLKUSR)** オプションを使用して、同じコンフィギュレーション・チェーンにない複数のデバイスの初期化を同期させてください。同じコンフィギュレーション・チェーン内のデバイスはまとめて初期化されます。デバイス・コンフィギュレーション実行後に CONF_DONE が Low にドライブされると、コンフィギュレーション・デバイスはターゲット・デバイスが正しくコンフィギュレーションされていないものと判断します。

図 11-2 に、1 つの Stratix または Stratix GX デバイスを 1 つのコンフィギュレーション・デバイスでコンフィギュレーションする方法を示します。

図 11-2. シングル・デバイス・コンフィギュレーション回路

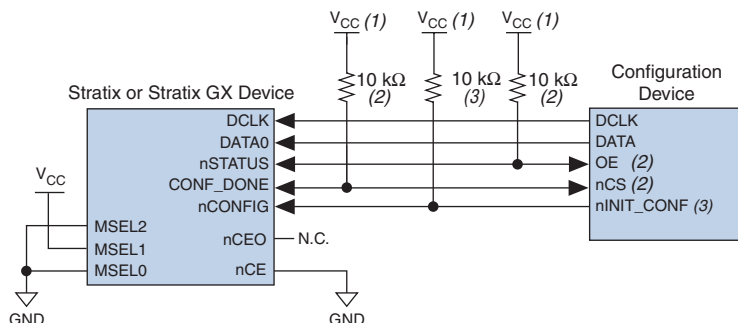



図 11-2 の注：

- (1) プルアップ抵抗はコンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。
- (2) エンハンスド・コンフィギュレーション・デバイスおよびEPC2デバイスには、OE および nCS に内部プログラマブル・プルアップがあります。nSTATUS および CONF_DONE 信号が(1.8V や 1.5V ではなく)3.3V または 2.5V にプルアップされる場合にのみコンフィギュレーション・デバイスの内部プルアップを使用してください。外部プルアップを使用する場合は、10 kΩ でなければなりません。
- (3) nINIT_CONF ピンは、EPC16、EPC8、EPC4、および EPC2 デバイスにあります。nINIT_CONF を使用しない場合は、抵抗を通してnCONFIGをV_{CC}にプルする必要があります。nINIT_CONF ピンには内部プルアップ抵抗があり、EPC16、EPC8、EPC4、EPC2 デバイスでは常にアクティブになっています。これらのデバイスでは、nINIT_CONF ピンに外部プルアップ抵抗は必要ありません。

図 11-3 に、複数の Stratix または Stratix GX デバイスを複数の EPC2 または EPC1 コンフィギュレーション・デバイスでコンフィギュレーションする方法を示します。

ソフトウェアで **Auto-Restart Configuration on Frame Error** オプションがオンになっている場合、Stratix または Stratix GX デバイスはリセット・タイム・アウト期間の経過後に nSTATUS ピンを解放します。nSTATUS ピンが解放されて High にプルされると、コンフィギュレーション・デバイスはチェーンをリコンフィギュレーションします。**Auto-Restart Configuration on Frame Error** オプションがオンになっていない場合、Stratix または Stratix GX デバイスは nCONFIG への Low パルスでリセットされるまで、nSTATUS を Low にドライブします。

また、いくつかの EPC2/EPC1 コンフィギュレーション・デバイスをカスケード接続して、複数の Stratix および Stratix GX デバイスをコンフィギュレーションすることもできます。最初のコンフィギュレーション・デバイスからすべてのデータが送信されると、コンフィギュレーション・デバイスは nCASC を Low にドライブし、このピンが後続のコンフィギュレーション・デバイスの nCS をドライブします。コンフィギュレーション・デバイスは後続のコンフィギュレーション・デバイスを 1 クロック・サイクル未満でアクティブにするため、データ・ストリームは中断されません。

 エンハンスド (EPC16、EPC8、および EPC4) コンフィギュレーション・デバイスをカスケード接続することはできません。

1 つのコンフィギュレーション・チェーンを使用して、複数の Stratix および Stratix GX デバイスをコンフィギュレーションすることができます。この手法では、最初のデバイスの nCEO ピンがチェーン内の 2 番目のデバイスの nCE ピンに接続されます。別のデバイスがある場合は、次のデバイスの nCE ピンを直前のデバイスの nCEO ピンに接続します。正しくコンフィギュレーションするには、デバイスの CONF_DONE ピンおよび nSTATUS ピンをすべてまとめて接続する必要があります。


 図 11-4 に、コンフィギュレーション・デバイスを使用して複数の Stratix および Stratix GX デバイスをコンフィギュレーションする例を示します。

図 11-4. 1 つのコンフィギュレーション・デバイスによる複数の Stratix および Stratix GX デバイスのコンフィギュレーション 注 (1)

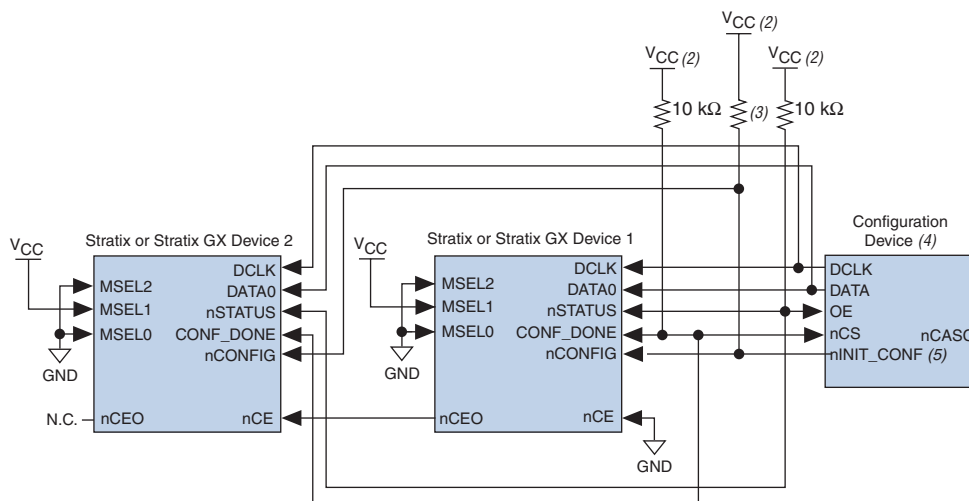


図 11-4 の注：

- (1) マルチ・デバイスのアクティブ・シリアル・コンフィギュレーションを実行するときは、各プロジェクトの SOF からコンフィギュレーション・デバイス・プログラマ・オブジェクト・ファイル (.pof) を生成する必要があります。Quartus II ソフトウェアの **Device & Pin Option** ダイアログ・ボックスを使用すると、複数の SOF を結合することができます。コンフィギュレーションおよびプログラミング・ファイルの作成方法については詳しくは、「コンフィギュレーション・ハンドブック Volume 2」のソフトウェア設定セクションを参照してください。
- (2) プルアップ抵抗はコンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。
- (3) エンハンスド・コンフィギュレーション・デバイスおよび EPC2 デバイスには、OE および nCS に内部プログラマブル・プルアップがあります。nSTATUS および CONF_DONE 信号が (1.8 V や 1.5 V ではなく) 3.3 V または 2.5 V にプルアップされる場合にのみコンフィギュレーション・デバイスの内部プルアップを使用してください。外部プルアップを使用する場合は、10 kΩ でなければなりません。
- (4) EPC16、EPC8、および EPC4 コンフィギュレーション・デバイスをカスケード接続することはできません。
- (5) nINIT_CONF ピンは、EPC16、EPC8、EPC4、および EPC2 デバイスにあります。nINIT_CONF を使用しない場合は、抵抗を通して nCONFIG を VCC にプルする必要があります。nINIT_CONF ピンには内部プルアップ抵抗があり、EPC16、EPC8、EPC4、EPC2 デバイスでは常にアクティブになっています。これらのデバイスでは、nINIT_CONF ピンに外部プルアップ抵抗は必要ありません。

表 11-7 に、コンフィギュレーション実行中および実行後のデバイスの DATA ピンの状態を示します。

表 11-7. コンフィギュレーション実行前および実行後のDATAピンの状態		
ピン	Stratix または Stratix GX デバイス	
	実行中	実行後
DATA0 (1)	コンフィギュレーションに使用	ユーザ定義
DATA[7..1] (2)	一部のコンフィギュレーション・モードで使用	ユーザ定義
I/O ピン	トライ・ステート	ユーザ定義

表 11-7 の注：

- (1) ここに示す状態は、コンフィギュレーション・デバイスによりコンフィギュレーションした場合です。
- (2) これらのピンの機能は、Quartus II ソフトウェアの **Device & Pin Option** ダイアログ・ボックスを使用して指定した設定によって決まります（詳しくは、「コンフィギュレーション・ハンドブック Volume 2」のソフトウェア設定セクションおよび Quartus II ソフトウェアの Help を参照してください）。

ダウンロード・ケーブルによる PS コンフィギュレーション

ダウンロード・ケーブルによる PS コンフィギュレーションでは、インテリジェント・ホストが MasterBlaster、USB-Blaster、ByteBlaster II、または ByteBlasterMV ケーブルを介して、ストレージ・デバイスから Stratix または Stratix GX デバイスにデータを転送します。この手法でコンフィギュレーションを開始するために、ダウンロード・ケーブルは nCONFIG ピンで Low から High への遷移を生成します。次に、プログラミング・ハードウェアがコンフィギュレーション・データを 1 ビットずつデバイスの DATA0 ピンに置きます。データは、CONF_DONE が High になるまでターゲット・デバイスに送られます。CONF_DONE ピンには、デバイスが初期化されるように 10 kΩ の外部プルアップ抵抗が必要です。

Stratix または Stratix GX デバイスのプログラミング・ハードウェアの使用時には、Quartus II ソフトウェアはエラーが発生したときにコンフィギュレーションを再開する必要があるため、**Auto-Restart Configuration on Frame Error** オプションをオンにしてもコンフィギュレーション・サイクルに影響を与えません。また、Quartus II ソフトウェア・プログラマとダウンロード・ケーブルを使用した FPGA のプログラミング時には、**Enable User-Supplied Start-Up Clock (CLKUSR)** オプションは SOF でディセーブされるため、このオプションがデバイスの初期化に影響を与えることはありません。したがって、CLKUSR オプションをオンにした場合、Quartus II プログラマとダウンロード・ケーブルを使用して FPGA をコンフィギュレーションするときに、CLKUSR にクロックを供給する必要はありません。図 11-5 に、MasterBlaster、USB-Blaster、ByteBlaster II、または ByteBlasterMV ケーブルを使用した Stratix または Stratix GX デバイスの PS コンフィギュレーションを示します。

図 11-5. ダウンロード・ケーブルによる PS コンフィギュレーション回路

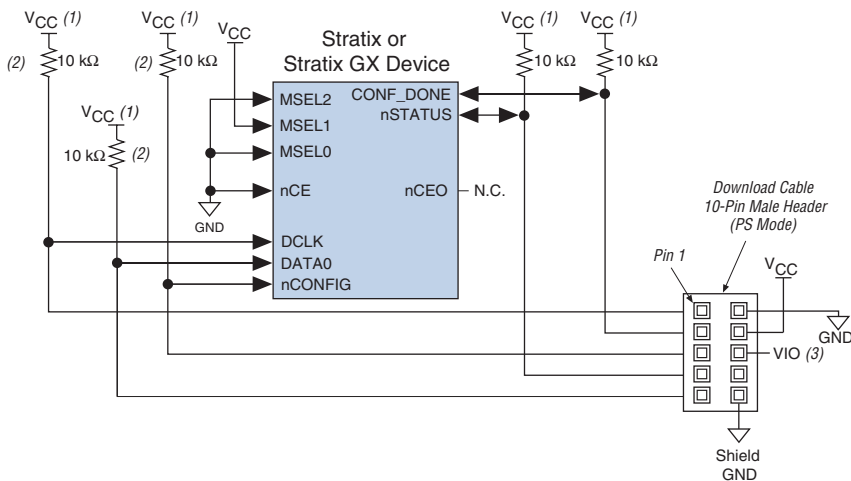


図 11-5 の注：

- (1) プルアップ抵抗は MasterBlaster (VIO ピン) または ByteBlasterMV ケーブルと同じ電源電圧に接続する必要があります。
- (2) ボードで使用されるコンフィギュレーション手法がダウンロード・ケーブルのみの場合、DATA0 ピンおよび DCLK ピンのプルアップ抵抗のみが必要です。これにより、DATA0 ピンおよび DCLK ピンがコンフィギュレーション実行後にフロート状態になったままにならないようにしています。例えば、デザインでコンフィギュレーション・デバイスも使用する場合、DATA0 ピンと DCLK ピンのプルアップ抵抗は必要ありません。
- (3) ヘッダのピン 6 は MasterBlaster 出力ドライバの V_{IO} リファレンス電圧です。V_{IO} はデバイスの V_{CCIO} と一致する必要があります。このピンは ByteBlasterMV ヘッダの非接続ピンです。

各デバイスの nCEO ピンを後続デバイスの nCE ピンに接続することにより、プログラミング・ハードウェアを使用して複数の Stratix および Stratix GX デバイスをコンフィギュレーションすることができます。その他のコンフィギュレーション・ピンはすべてチェーン内の各デバイスに接続されます。

すべての CONF_DONE ピンがまとめて接続されているため、チェーン内のすべてのデバイスは同時に初期化されユーザ・モードに入ります。また、nSTATUS ピンもまとめて接続されているため、いずれかのデバイスがエラーを検出すると、チェーン全体でコンフィギュレーションが停止します。この場合、Quartus II ソフトウェアはコンフィギュレーションを再開する必要があります。したがって、**Auto-Restart Configuration on Frame Error** オプションがコンフィギュレーション・サイクルに影響を与えることはありません。

図11-6に、複数のStratixおよびStratix GXデバイスを複数のMasterBlasterまたはByteBlasterMVケーブルでコンフィギュレーションする方法を示します。

図 11-6. ダウンロード・ケーブルによるマルチ・デバイス PS コンフィギュレーション

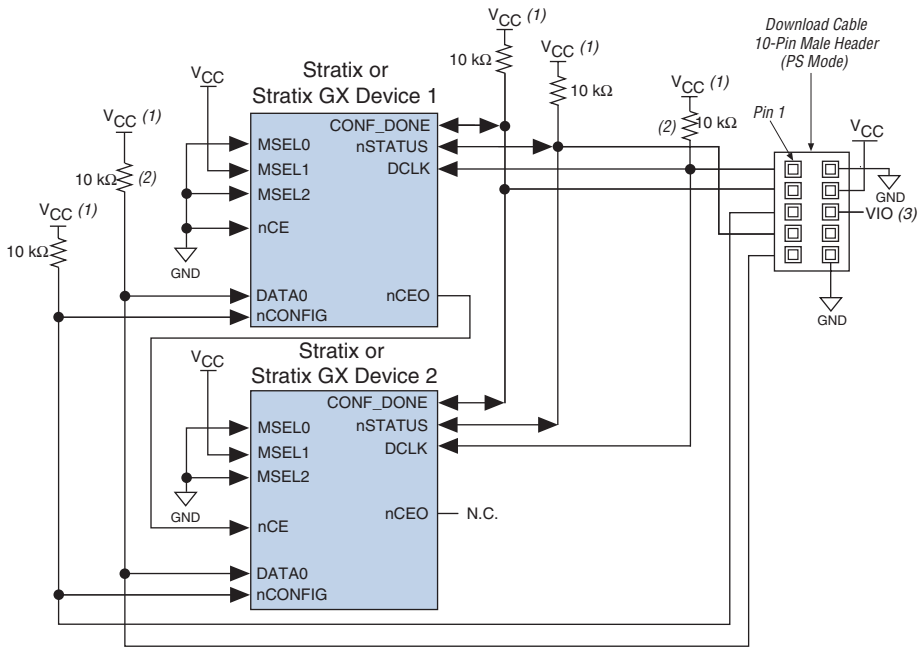


図 11-6 の注：

- (1) プルアップ抵抗は MasterBlaster (VIO ピン) または ByteBlasterMV ケーブルと同じ電源電圧に接続する必要があります。

- (2) ボードで使用されるコンフィギュレーション手法がダウンロード・ケーブルのみの場合、DATA0 ピンおよび DCLK ピンのプルアップ抵抗のみが必要です。これにより、DATA0 ピンおよび DCLK ピンがコンフィギュレーション実行後にフロート状態になったままにならないようにしています。例えば、デザインでコンフィギュレーション・デバイスも使用する場合、DATA0 ピンと DCLK ピンのプルアップ抵抗は必要ありません。
- (3) V_{IO} は MasterBlaster 出力ドライバのリファレンス電圧です。 V_{IO} はデバイスの V_{CCIO} と一致する必要があります。この値については、「MasterBlaster Serial/USB Communications Cable Data Sheet」を参照してください。

ダウンロード・ケーブルを使用してボード上のデバイスをコンフィギュレーションするとき、ボード上にコンフィギュレーション・デバイスも存在する場合は、コンフィギュレーション・デバイスをターゲット・デバイスとケーブルから電気的に絶縁する必要があります。コンフィギュレーション・デバイスを分離する 1 つの方法は、コンフィギュレーション・デバイスとケーブルを切り替えて選択可能なロジック（マルチプレクサなど）を追加することです。マルチプレクサ・デバイスは、nSTATUS および CONF_DONE 信号を双方向で転送できなければなりません。別の方法は、ケーブルとコンフィギュレーション・デバイスの間で 5 つの共通信号（CONF_DONE、nSTATUS、DCLK、nCONFIG、および DATA0）にスイッチを追加することです。さらに別の方法は、ケーブルを使用してコンフィギュレーションするときボードからコンフィギュレーション・デバイスを取り外すことです。図 11-7 に、Stratix または Stratix GX デバイスをコンフィギュレーションするためのコンフィギュレーション・デバイスとダウンロード・ケーブルの組み合わせを示します。

図 11-7. PS とコンフィギュレーション・デバイスの組み合わせ手法によるコンフィギュレーション

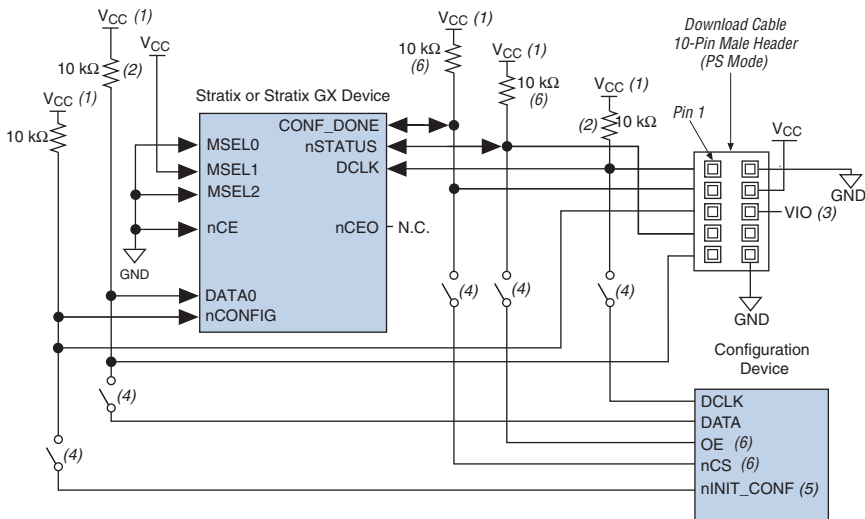


図 11-7 の注：

- (1) プルアップ抵抗はコンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。

- (2) ボードで使用されるコンフィギュレーション手法がダウンロード・ケーブルのみの場合、DATA0 ピンおよび DCLK ピンのプルアップ抵抗のみ必要です。これにより、DATA0 ピンおよび DCLK ピンがコンフィギュレーション実行後にフロート状態になったままにならないようにしています。例えば、デザインでコンフィギュレーション・デバイスも使用する場合、DATA0 ピンと DCLK ピンのプルアップ抵抗は必要ありません。
- (3) ヘッダのピン 6 は MasterBlaster 出力ドライバの V_{IO} リファレンス電圧です。 V_{IO} はターゲット・デバイスの V_{CCIO} と一致する必要があります。これは ByteBlasterMV ヘッダの非接続ピンです。
- (4) コンフィギュレーション・デバイスが Stratix または Stratix GX デバイスに接続されているときは、ダウンロード・ケーブルを使用してコンフィギュレーションを実行しないでください。その代わりに、ダウンロード・ケーブルを使用するときにはソケットからコンフィギュレーション・デバイスを取り外すか、ダウンロード・ケーブルとコンフィギュレーション・デバイスの間の 5 つの共通信号にスイッチを配置します。コンフィギュレーション・デバイスでコンフィギュレーションするときは、ダウンロード・ケーブルを取り外します。
- (5) nINIT_CONF を使用しない場合は、直接または抵抗を通して nCONFIG を V_{CC} にプルする必要があります。
- (6) 外部プルアップを CONF_DONE ピンおよび nSTATUS ピンで使用する場合は、必ず 10 k Ω でなければなりません。CONF_DONE および nSTATUS 信号が (1.8 V や 1.5 V ではなく) 3.3 V または 2.5 V にプルアップされる場合にのみ、コンフィギュレーション・デバイスの内部プルアップを使用できます。



MasterBlaster または ByteBlasterMV ケーブルの使用方法について詳しくは、下記の資料を参照してください。

- [USB-Blaster USB Port Download Cable Data Sheet](#)
- [MasterBlaster Serial/USB Communications Cable Data Sheet](#)
- [ByteBlasterMV Parallel Port Download Cable Data Sheet](#)
- [ByteBlaster II Parallel Port Download Cable Data Sheet](#)

マイクロプロセッサによる PS コンフィギュレーション

マイクロプロセッサによる PS コンフィギュレーションでは、マイクロプロセッサがストレージ・デバイスからターゲットの Stratix または Stratix GX デバイスにデータを転送します。この手法でコンフィギュレーションを開始するには、マイクロプロセッサは nCONFIG ピンに Low から High への遷移を生成し、ターゲット・デバイスは nSTATUS を解放する必要があります。次に、マイクロプロセッサまたはプログラミング・ハードウェアがコンフィギュレーション・データを 1 ビットずつ Stratix または Stratix GX デバイスの DATA0 ピンに置きます。各データ・バイトの最下位ビット (LSB) を最初に出力しなければなりません。データは、CONF_DONE が High になるまで継続的にターゲット・デバイスに送られます。

すべてのコンフィギュレーション・データが Stratix または Stratix GX デバイスに送信された後、CONF_DONE ピンが High になり、コンフィギュレーションの成功と初期化の開始を示します。CONF_DONE ピンには、デバイスが初期化されるように 10 k Ω の外部プルアップ抵抗が必要です。デフォルトでは、初期化には 10 MHz で動作する内部オシレータを使用します。初期化後、この内部オシレータはオフになります。clkusr オプションを使用している場合、すべてのデータが転送された後、clkusr は Stratix または Stratix GX デバイスが適切に初期化されるように、さらに 136 回クロックを供給する必要があります。コンフィギュレーションの完了後に、DCLK をデバイスにドライブしても、デバイス動作には影響ありません。

信号のハンドシェイクは、PS コンフィギュレーション・モードでは使用されません。したがって、コンフィギュレーション・クロック速度は、正しいコンフィギュレーションを実行するには規定周波数以下でなければなりません。最大 DCLK 周期はありません。DCLK を無期限に停止してコンフィギュレーションを中止することができます。

ターゲット・デバイスがコンフィギュレーション実行中にエラーを検出すると、ターゲット・デバイスは nSTATUS ピンを Low にドライブしてマイクロプロセッサに警告します。次に、マイクロプロセッサは nCONFIG に Low のパルスを与えて、コンフィギュレーション・プロセスを再開できます。また、Quartus II ソフトウェアで、**Auto-Restart Configuration on Frame Error** オプションがオンになっている場合、ターゲット・デバイスはリセット・タイム・アウト期間経過後に nSTATUS を解放します。nSTATUS が解放された後、マイクロプロセッサは nCONFIG に Low のパルスを与えなくても、ターゲット・デバイスをリコンフィギュレーションすることができます。

また、マイクロプロセッサは、コンフィギュレーションが正しく実行されるように、CONF_DONE ピンおよび INIT_DONE ピンを監視することもできます。マイクロプロセッサがすべてのデータを送信し、初期化クロックがスタートしたが、CONF_DONE および INIT_DONE が High になっていない場合、マイクロプロセッサはターゲット・デバイスをリコンフィギュレーションする必要があります。デフォルトでは、INIT_DONE 出力はディセーブルされています。Quartus II ソフトウェアで、**Enable INIT_DONE output** オプションをオンにして、INIT_DONE 出力をイネーブルすることができます。

Quartus II ソフトウェアの **Enable INIT_DONE output** オプションをオンにしない場合は、デバイスが正しく初期化され確実にユーザ・モードになるように、CONF_DONE 信号が High になった後、最大 t_{CD2UM} (表 11-8 を参照) の間だけ待ってください。

コンフィギュレーション実行中および初期化中、デバイスがユーザ・モードに入る前に、マイクロプロセッサは CONF_DONE 信号を Low にドライブしてはいけません。


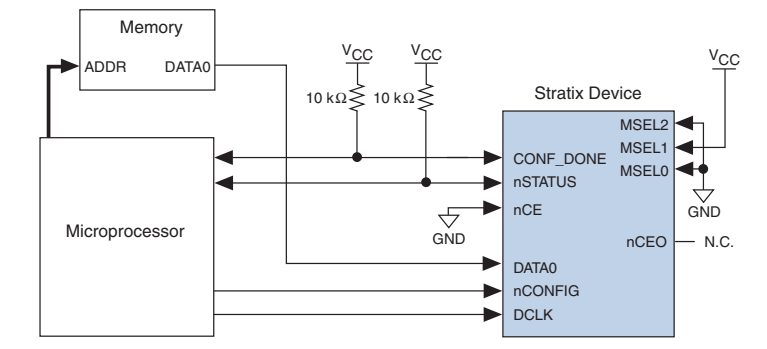
 オプションの CLKUSR ピンが使用されているとき、nCONFIG を Low にプルして、デバイスの初期化中にコンフィギュレーションを再開する場合は、nSTATUS が Low の間 (最大 40 μ s)、CLKUSR がトグルし続けるようにする必要があります。

図 11-8 に、マイクロプロセッサによる PS コンフィギュレーションの回路を示します。

図 11-8. マイクロプロセッサによる PS コンフィギュレーション回路



PS コンフィギュレーション・タイミング

図 11-9 に、Stratix および Stratix GX デバイスの PS コンフィギュレーション・タイミング波形を示します。表 11-8 に、Stratix および Stratix GX デバイスの PS タイミング・パラメータを示します。

表 11-8. Stratix および Stratix GX デバイスの PS タイミング・パラメータ (1 / 2)				
シンボル	パラメータ	最小	最大	単位
t_{CF2CD}	nCONFIG Low から CONF_DONE Low		800	ns
t_{CF2ST0}	nCONFIG Low から nSTATUS Low		800	ns
t_{CF2ST1}	nCONFIG High から nSTATUS High		40 (2)	μ s
t_{CFG}	nCONFIG Low パルス幅	40		μ s
t_{STATUS}	nSTATUS Low パルス幅	10	40 (2)	μ s
t_{CF2CK}	nCONFIG High から DCLK の最初の立ち上がりエッジ	40		μ s
t_{ST2CK}	nSTATUS High から DCLK の最初の立ち上がりエッジ	1		μ s
t_{DSU}	DCLK の立ち上がりエッジ前のデータ・セットアップ時間	7		ns
t_{DH}	DCLK の立ち上がりエッジ後のデータ・ホールド時間	0		ns
t_{CH}	DCLK の High 時間	4		ns
t_{CL}	DCLK の Low 時間	4		ns
t_{CLK}	DCLK 周期	10		ns
f_{MAX}	DCLK 最大周波数		100	MHz

表 11-8. Stratix および Stratix GX デバイスの PS タイミング・パラメータ (2 / 2)

シンボル	パラメータ	最小	最大	単位
t_{CD2UM}	CONF_DONE High からユーザ・モード (1)	6	20	μs

表 11-8 の注：

- (1) 最小値および最大値は、デバイスを起動するためのクロック・ソースとして内部オシレータが選択された場合にのみ適用されます。クロック・ソースがCLKUSRの場合は、クロック周期を136倍にしてこの値を得ます。
- (2) ユーザが nSTATUS の Low パルス幅を延長してコンフィギュレーションを遅延させない場合に、この値が得られます。

図 11-9. Stratix および Stratix GX デバイスの PS タイミング波形 注 (1)

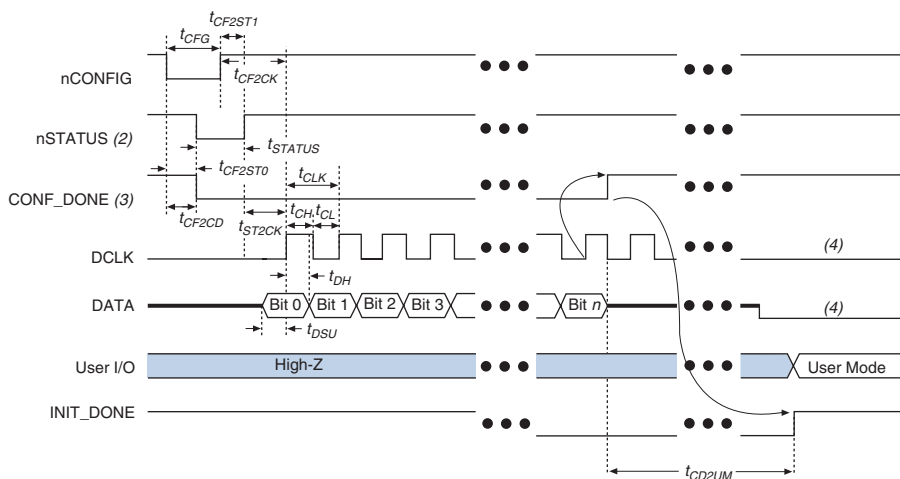


図 11-9 の注：

- (1) この波形の開始はデバイスがユーザ・モードにあることを示します。ユーザ・モードでは、nCONFIG、nSTATUS、および CONF_DONE は、ロジック High レベルにあります。nCONFIG を Low にプルすると、リコンフィギュレーション・サイクルが開始されます。
- (2) 電源投入時に、Stratix II デバイスは POR 遅延の間 nSTATUS を Low に保持します。
- (3) 電源投入時、コンフィギュレーション実行前および実行中には、CONF_DONE は Low です。
- (4) DCLK はコンフィギュレーション実行後は、フロート状態のままにはなりません。このピンは High または Low のいずれかが都合の良いレベルにドライブします。DATA[] は、コンフィギュレーション実行後はユーザ I/O ピンとして使用可能であり、これらのピンの状態は兼用ピンの設定によって決まります。

FPP コンフィギュレーション

Stratix および Stratix GX デバイスのパラレル・コンフィギュレーションは、ますます強まる高速コンフィギュレーション時間の要求に応えます。Stratix および Stratix GX デバイスは、クロック・サイクルごとにバイト・ワイドのコンフィギュレーション・データを受信でき、100 MHz コンフィギュレーション・クロックでコンフィギュレーション時間が 100 ms 以下になることを保証しています。Stratix および Stratix GX デバイスは、このモードでは最大 800 Mbps のプログラミング・データ帯域幅をサポートしています。EPC16、EPC8、EPC4 デバイスまたはマイクロプロセッサによるパラレル・コンフィギュレーションを使用できます。

このセクションでは、Stratix および Stratix GX デバイスでの FPP コンフィギュレーションに対する以下の手法について説明します。

- エンハンスド・コンフィギュレーション・デバイスを使用した FPP コンフィギュレーション
- マイクロプロセッサを使用した FPP コンフィギュレーション

エンハンスド・コンフィギュレーション・デバイスを使用した FPP コンフィギュレーション

エンハンスド・コンフィギュレーション・デバイスで FPP を使用すると、DCLK サイクルごとにバイト・ワイドで Stratix または Stratix GX デバイスにデータを供給します (図 11-10)。

図 11-10. エンハンスド・コンフィギュレーション・デバイスを使用した FPP コンフィギュレーション

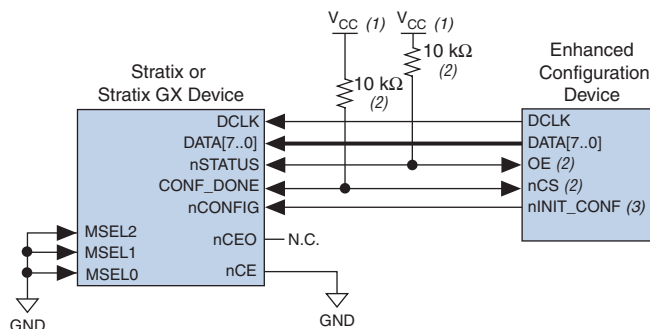


図 11-10 の注：

- (1) プルアップ抵抗は、コンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。

- (2) エンハンスド・コンフィギュレーション・デバイスおよび EPC2 デバイスには、OE および nCS に内部プログラマブル・プルアップがあります。nSTATUS および CONF_DONE 信号が (1.8V や 1.5V ではなく) 3.3V または 2.5V にプルアップされる場合にのみコンフィギュレーション・デバイスの内部プルアップを使用してください。外部プルアップを使用する場合は、10 k Ω でなければなりません。
- (3) nINIT_CONF ピンは、EPC16、EPC8、EPC4、および EPC2 デバイスにあります。nINIT_CONF を使用しない場合は、抵抗を通して nCONFIG を V_{CC} にプルする必要があります。nINIT_CONF ピンには内部プルアップ抵抗があり、EPC16、EPC8、EPC4、EPC2 デバイスでは常にアクティブになっています。これらのデバイスでは、nINIT_CONF ピンに外部プルアップ抵抗は必要ありません。

エンハンスド・コンフィギュレーション・デバイス手法では、nCONFIG は、nINIT_CONF に接続されています。電源投入時には、Stratix または Stratix GX デバイスは、nCONFIG で Low から High への遷移を検知してコンフィギュレーションを開始します。Stratix または Stratix GX デバイスはオープン・ドレインの CONF_DONE ピンを Low にドライブし、このピンがエンハンスド・コンフィギュレーション・デバイスの nCS ピンを Low にドライブします。

コンフィギュレーションの開始前に、エンハンスド・コンフィギュレーション・デバイスで PORSEL ピンが V_{CC} に接続されている場合は、2 ms の POR 遅延があります。PORSEL ピンがグラウンドに接続されている場合、POR 遅延は 100 ms となります。各デバイスが電圧が安定していると判断すると、nSTATUS ピンまたは OE ピンを解放します。エンハンスド・コンフィギュレーション・デバイスの OE ピンがターゲットの Stratix または Stratix GX デバイスの nSTATUS ピンに接続されているため、コンフィギュレーションは各デバイスで nSTATUS ピンおよび OE ピンが解放されるまで遅延します。nSTATUS ピンおよび OE ピンは解放されると、それぞれのデバイスの抵抗によってプルアップされます。複数のデバイスをコンフィギュレーションするときには、nSTATUS ピンを連結して、すべてのデバイスがそれぞれの OE ピンまたは nSTATUS ピンを解放したときのみ、コンフィギュレーションが実行されるようにします。エンハンスド・コンフィギュレーション・デバイスは、66 MHz 内部オシレータを使用して Stratix または Stratix GX デバイスにパラレルにデータを出力するか、または EXTCLK ピンにより Stratix または Stratix GX デバイスにドライブします。

コンフィギュレーション実行中にエラーが発生した場合、Stratix または Stratix GX デバイスは nSTATUS ピンを Low にドライブし、内部で自身をリセットして、エンハンスド・コンフィギュレーション・デバイスをリセットします。Quartus II ソフトウェアは、エラーが発生すると自動的にリコンフィギュレーションを開始する **Auto-restart configuration after error** オプションを提供しています。このオプションをオンまたはオフにする方法については、「コンフィギュレーション・ハンドブック Volume 2」のソフトウェア設定セクションを参照してください。

このオプションがオフになっている場合、nSTATUS を監視してエラーをチェックする必要があります。リコンフィギュレーションを開始するには、nCONFIG に Low のパルスを与えます。外部システムは、nCONFIG がシステムの制御下にある場合は、それを V_{CC} に接続しないでパルスを与えることができます。したがって、動作中の Stratix または Stratix GX デバイスを再プログラムしたい場合、nCONFIG を nINIT_CONF に接続しなければなりません。

コンフィギュレーションが完了すると、Stratix または Stratix GX デバイスは CONF_DONE ピンを解放し、ピンは抵抗によってプルアップされます。この動作により、nCS が High にドライブされるため、EPC16、EPC8、または EPC4 のエンハンスド・コンフィギュレーション・デバイスはディセーブルされます。デフォルトでは、初期化には 10 MHz で動作する内部オシレータを使用します。初期化後、この内部オシレータはオフになります。初期化が完了すると、Stratix または Stratix GX デバイスはユーザ・モードに入ります。エンハンスド・コンフィギュレーション・デバイスはコンフィギュレーション実行前および実行後に、DCLK を Low にドライブします。



.rbf、**.hex** および **.ttf** ファイル・フォーマットでマイクロプロセッサを使用するパラレル同期 (FPP) モードおよび非同期 (PPA) モードでは、CONF_DONE は 1 バイト早く High になります。これは、**.pof** ファイル・フォーマットを使用したエンハンスド・コンフィギュレーション・デバイスの FPP モードには適用されません。また、シリアル・モードにも適用されません。

すべてのデータの送信後、エンハンスド・コンフィギュレーション・デバイスが CONF_DONE が High になるのを検出しない場合、Stratix または Stratix GX デバイスは正しくコンフィギュレーションされていないものと判断します。エンハンスド・コンフィギュレーション・デバイスは、2～3 マイクロ秒の間、OE ピンに Low のパルスを与えて、Stratix または Stratix GX デバイスの nSTATUS ピンを Low にドライブします。**Auto-restart configuration after error** オプションがオンの場合、Stratix または Stratix GX デバイスはリセットされた後、nSTATUS に Low のパルスを与えます。nSTATUS が High に戻ると、リコンフィギュレーションが再開されます (11-28 ページの図 11-11)。

デバイスのコンフィギュレーション後に、CONF_DONE を Low にドライブして、初期化を遅らせないでください。その代わりに、**Device & Pin Options** ダイアログ・ボックスの **Enable User-Supplied Start-Up Clock (CLKUSR)** オプションを使用します。このオプションを使用して、同じコンフィギュレーション・チェーン内にある複数のデバイスの初期化を同期させることができます。同じコンフィギュレーション・チェーン内のデバイスはまとめて初期化されます。

マルチ・デバイス・コンフィギュレーションで、最初の Stratix または Stratix GX デバイスがコンフィギュレーションを完了すると、nCEO ピンで 2 番目の Stratix または Stratix GX デバイスの nCE ピンをアクティブにして、2 番目のデバイスにコンフィギュレーションを開始するよう促します。CONF_DONE ピンが連結されているため、すべてのデバイスは同時に初期化され、ユーザ・モードに入ります。nSTATUS ピンは連結されているため、いずれかのデバイス（エンハンスド・コンフィギュレーション・デバイスを含む）がエラーを検出すると、チェーン全体でコンフィギュレーションが停止します。また、エンハンスド・コンフィギュレーション・デバイスは、コンフィギュレーションの終了時に CONF_DONE で High を検出しない場合は、2～3 マイクロ秒の間 OE に Low のパルスを与えて、チェーンをリセットします。Low の OE パルスは、すべての Stratix および Stratix GX デバイスで nSTATUS を Low にドライブするため、それらのデバイスはエラー状態になります。この状態は Stratix または Stratix GX がエラーを検出した場合に似ています。

Auto-restart configuration after error オプションがオンの場合、Stratix および Stratix GX デバイスはリセット・タイムアウト期間後にそれぞれの nSTATUS ピンを解放します。nSTATUS ピンが解放されて High にプルされると、コンフィギュレーション・デバイスはチェーンをリコンフィギュレーションします。**Auto-restart configuration after error** オプションがオフの場合、nSTATUS は、Stratix および Stratix GX デバイスは nCONFIG の Low パルスでリセットされるまで Low のままです。

図 11-11 に、FPP コンフィギュレーションを Stratix および Stratix GX デバイスのコンフィギュレーション・デバイス・タイミング波形と共に示します。

図 11-11.FPP コンフィギュレーションとコンフィギュレーション・デバイス・タイミング波形
注 (1)

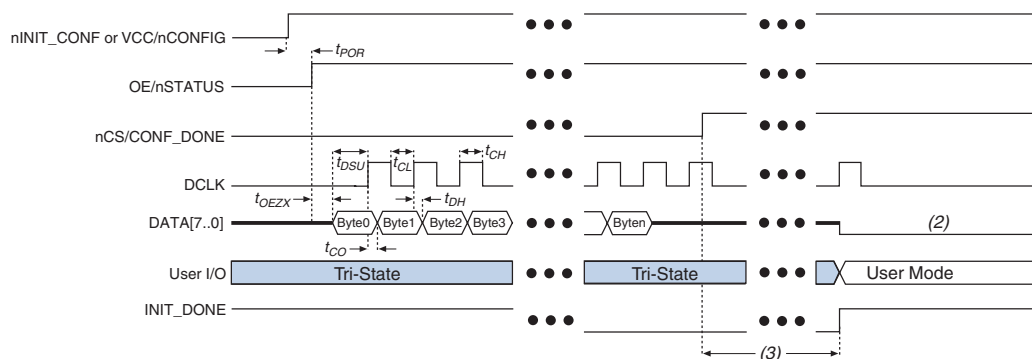


図 11-11 の注：

- (1) タイミング情報については、Enhanced Configuration Devices (EPC4, EPC8 & EPC16) Data Sheet を参照してください。
- (2) コンフィギュレーション・デバイスは、コンフィギュレーション実行後に DATA を High にドライブします。
- (3) Stratix および Stratix GX デバイスは、CONF_DONE が High になった 136 クロック・サイクル後にユーザー・モードに入ります。

マイクロプロセッサを使用した FPP コンフィギュレーション


マイクロプロセッサを平行・コンフィギュレーションに使用すると、マイクロプロセッサはコンフィギュレーション・ハードウェアによりストレージ・デバイスからのデータを Stratix または Stratix GX デバイスに転送します。コンフィギュレーションを開始するには、マイクロプロセッサは nCONFIG ピンで Low から High への遷移を生成し、Stratix または Stratix GX デバイスは nSTATUS を解放する必要があります。次にマイクロプロセッサは、Stratix または Stratix GX デバイスの DATA[7..0] ピンにコンフィギュレーション・データを置きます。CONF_DONE が High になるまで、継続して Stratix または Stratix GX デバイスにデータが送られます。

コンフィギュレーションを正しく実行するには、コンフィギュレーション・クロック (DCLK) 速度が規定周波数以下でなければなりません。最大 DCLK 周期はありません。DCLK を無期限に停止してコンフィギュレーションを中止することができます。

すべてのコンフィギュレーション・データが Stratix または Stratix GX デバイスに送信された後、CONF_DONE ピンが High になり、コンフィギュレーションの成功と初期化の開始を示します。CONF_DONE ピンには、デバイスが初期化されるように 10 k Ω の外部プルアップ抵抗が必要です。初期化にはデフォルトとして 10 MHz で動作する内部オシレータを使用します。初期化後、この内部オシレータはオフになります。clkusr オプションを使用している場合、すべてのデータが転送された後、clkusr は Stratix または Stratix GX デバイスが適切に初期化されるように、さらに 136 回クロックを供給する必要があります。コンフィギュレーションの完了後に、DCLK をデバイスにドライブしても、デバイス動作には影響ありません。デフォルトでは、INIT_DONE 出力はディセーブルされています。Quartus II ソフトウェアで、**Enable INIT_DONE output** オプションをオンにして、INIT_DONE 出力をイネーブルすることができます。

Quartus II ソフトウェアの **Enable INIT_DONE output** オプションをオンにしない場合は、デバイスが正しく初期化され確実にユーザ・モードになるように、CONF_DONE 信号が High になった後、最大 t_{CD2UM} (表 11-9 を参照) の間だけ待ってください。

コンフィギュレーション実行中および初期化中、デバイスがユーザ・モードに入る前に、マイクロプロセッサは CONF_DONE 信号を Low にドライブしてはいけません。

 オプションの CLKUSR ピンが使用されているとき、nCONFIG を Low にプルして、デバイスの初期化中にコンフィギュレーションを再開する場合は、nSTATUS が Low の間 (最大 40 μ s)、CLKUSR がトグルし続けるようにする必要があります。

コンフィギュレーション実行中に Stratix または Stratix GX デバイスがエラーを検出すると、デバイスは nSTATUS を Low にドライブしてマイクロプロセッサに警告します。nSTATUS に接続されているマイクロプロセッサのピンは入力でなければなりません。次に、マイクロプロセッサは nCONFIG に Low のパルスを与えて、コンフィギュレーション・エラーを再開できます。**Auto-restart configuration after error** オプションがオンの場合、Stratix または Stratix GX デバイスはリセット・タイムアウト期間後に nSTATUS を解放します。nSTATUS の解放後、マイクロプロセッサは nCONFIG に Low のパルスを与えることなく、Stratix または Stratix GX デバイスをリコンフィギュレーションすることができます。

また、マイクロプロセッサは、コンフィギュレーションが正しく実行されるように、CONF_DONE ピンおよび INIT_DONE ピンを監視することもできます。マイクロプロセッサがすべてのデータを送信し、初期化クロックがスタートしたがCONF_DONE および INIT_DONE がHigh になっていない場合、Stratix または Stratix GX デバイスをリコンフィギュレーションする必要があります。規定される 136 DCLK サイクルの待機後、マイクロプロセッサは nCONFIG に Low のパルスを与えて、コンフィギュレーションを再開しなければなりません。

図 11-12 に、マイクロプロセッサを使用した Stratix および Stratix GX パラレル・コンフィギュレーション用回路を示します。

図 11-12. マイクロプロセッサを使用したパラレル・コンフィギュレーション

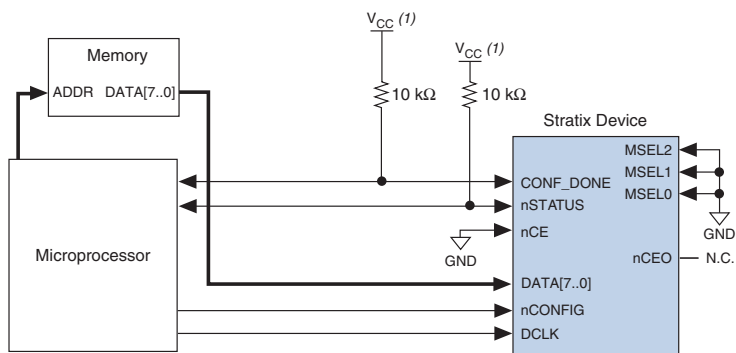


図 11-12 の注：

- (1) プルアップ抵抗は Stratix の High レベル入力電圧 (V_{IH}) 仕様に適合する任意の V_{CC} に接続する必要があります。

マイクロプロセッサによるマルチ・デバイス・パラレル・コンフィギュレーションを行うには、最初の Stratix または Stratix GX デバイスの nCEO ピンが 2 番目のデバイスの nCE ピンにカスケード接続されている必要があります。チェーン内の 2 番目のデバイスは 1 クロック・サイクル以内にコンフィギュレーションを開始するため、データ転送先の転送はマイクロプロセッサには見えません。デバイスの CONF_DONE ピンがまとめて接続されているため、すべてのデバイスは同時に初期化されユーザー・モードになります。

また、nSTATUS ピンも連結されているため、いずれかのデバイスがエラーを検出した場合、チェーン全体がコンフィギュレーションを停止し、nSTATUS を Low にドライブします。ここで、マイクロプロセッサは nCONFIG に Low のパルスを与えて、コンフィギュレーションを再開することができます。**Auto-restart configuration after error** オプションがオンの場合、リセット・タイムアウト期間の後、Stratix および Stratix GX デバイスは nSTATUS を解放します。マイクロプロセッサは nSTATUS が解放されると、デバイスをリコンフィギュレーションすることができます。図 11-13 にマイクロプロセッサを使用したマルチ・デバイスのコンフィギュレーションを示します。図 11-14 に、Stratix デバイスと Stratix GX デバイスの両方が同じデータを受信しているときのマルチ・デバイス・コンフィギュレーションを示します。この場合、マイクロプロセッサは両方のデバイスに同時にデータを送信し、デバイスは同時にコンフィギュレーションを実行します。

図 11-13. マイクロプロセッサによるシリアル・コンフィギュレーションでの平行・データ転送

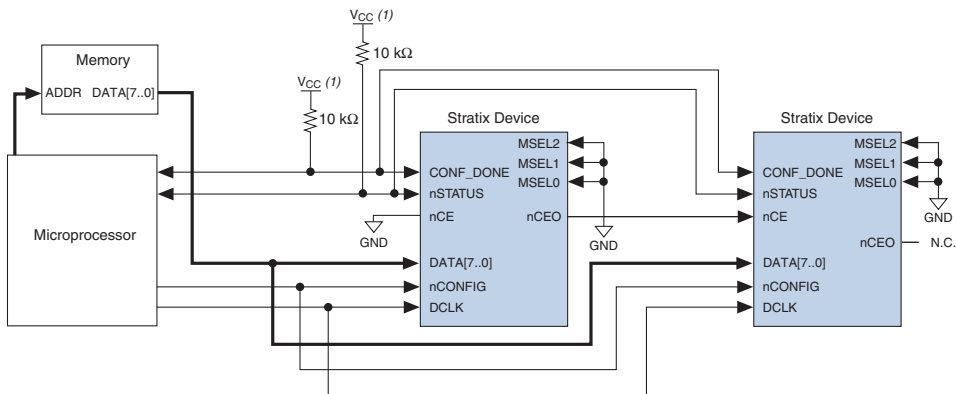


図 11-13 の注：

- (1) プルアップ抵抗は、Stratix の High レベル入力電圧 (V_{IH}) 仕様に適合する任意の V_{CC} に接続する必要があります。

図 11-14. マイクロプロセッサを使用した同じデータによるマルチ・デバイス・パラレル・コンフィギュレーション

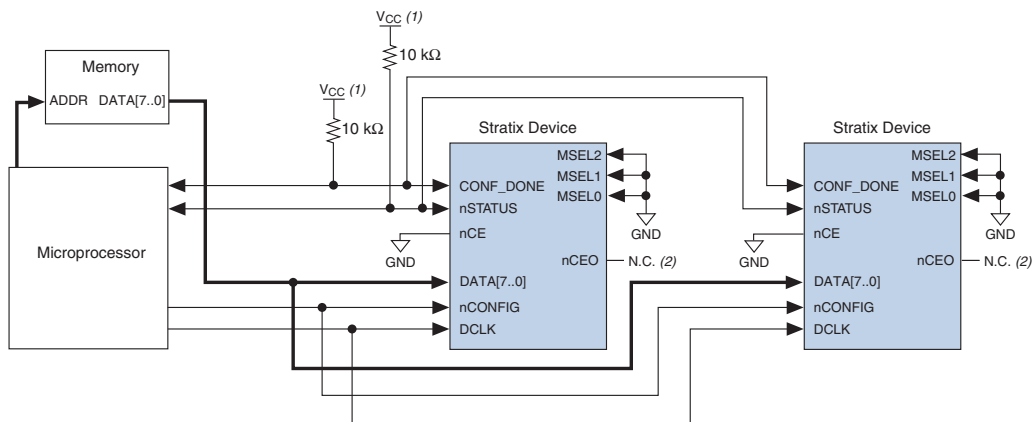


図 11-14 の注：

- (1) プルアップ抵抗は、Stratix の High レベル入力電圧 (V_{IH}) 仕様に適合する任意の V_{CC} に接続する必要があります。
- (2) 同じデータを Stratix または Stratix GX デバイスにコンフィギュレーションするとき、nCEO ピンは接続しないでおきます。



同じコンフィギュレーション・チェーン内の複数のアルテラ・デバイスのコンフィギュレーションについて詳しくは、「コンフィギュレーション・ハンドブック」の「Configuring Mixed Altera FPGA Chains」を参照してください。

FPP コンフィギュレーション・タイミング

図 11-15 に、Stratix または Stratix GX デバイスを FPP モードでコンフィギュレーションするための FPP タイミング波形を示します。表 11-9 に、Stratix または Stratix GX デバイスの FPP タイミング・パラメータを示します。

図 11-15.FPP モードでデバイスをコンフィギュレーションするためのタイミング波形 注 (1)

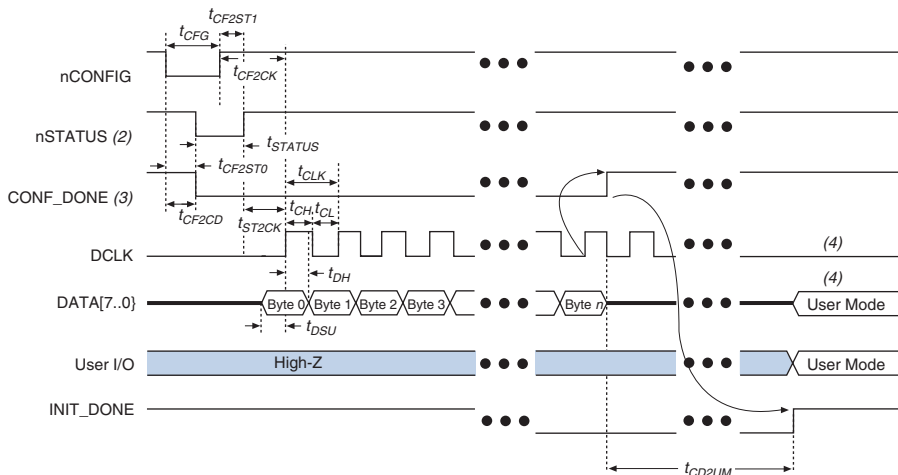


図 11-15 の注：

- (1) この波形の開始はデバイスがユーザ・モードにあることを示します。ユーザ・モードでは、nCONFIG、nSTATUS、および CONF_DONE は、ロジック High レベルにあります。nCONFIG を Low にプルすると、リコンフィギュレーション・サイクルが開始されます。
- (2) 電源投入時に、Stratix II デバイスは POR 遅延の間 nSTATUS を Low に保持します。
- (3) 電源投入時、コンフィギュレーション実行前および実行中には、CONF_DONE は Low です。
- (4) DCLK はコンフィギュレーション実行後は、フロート状態のままにはなりません。このピンは High または Low のいずれかが都合の良いレベルにドライブします。DATA[] はコンフィギュレーション実行後はユーザ I/O ピンとして使用可能であり、これらのピンの状態は兼用ピンの設定によって決まります。

表 11-9. Stratix および Stratix GX デバイスの FPP タイミング・パラメータ (1 / 2)

シンボル	パラメータ	最小	最大	単位
t_{CF2CK}	nCONFIG High から DCLK の最初の立ち上がりエッジ	40		μs
t_{DSU}	DCLK の立ち上がりエッジ前のデータ・セットアップ時間	7		ns
t_{DH}	DCLK の立ち上がりエッジ後のデータ・ホールド時間	0		ns
t_{CFG}	nCONFIG Low パルス幅	40		μs
t_{CH}	DCLK High 時間	4		ns
t_{CL}	DCLK Low 時間	4		ns
t_{CLK}	DCLK 周期	10		ns
f_{MAX}	DCLK 周波数		100	MHz
t_{CD2UM}	CONF_DONE High からユーザ・モード (1)	6	20	μs
t_{CF2CD}	nCONFIG Low から CONF_DONE Low		800	ns

表 11-9. Stratix および Stratix GX デバイスの FPP タイミング・パラメータ (2 / 2)

シンボル	パラメータ	最小	最大	単位
t _{CF2ST0}	nCONFIG Low から nSTATUS Low		800	ns
t _{CF2ST1}	nCONFIG High から nSTATUS High		40 (2)	µs
t _{STATUS}	nSTATUS Low パルス幅	10	40 (2)	µs
t _{ST2CK}	nSTATUS High から DCLK の最初の立ち上がりエッジ	1		µs

表 11-9 の注：

- (1) 最小値および最大値は、デバイスを起動するためのクロック・ソースとして内部オシレータが選択された場合にのみ適用されます。クロック・ソースがCLKUSRの場合は、クロック周期を136倍にしてこの値を得ます。
- (2) ユーザが nSTATUS の Low パルス幅を延長してコンフィギュレーションを遅延させない場合に、この値が得られません。

PPA コンフィギュレーション

PPA 手法では、マイクロプロセッサはダウンロード・ケーブルを通して、Stratix または Stratix GX デバイスにデータをドライブします。PPA 手法を使用するときは、1 kΩ プルアップ抵抗を使用して、DCLK ピンを High にプルアップして、未使用のコンフィギュレーション・ピンがフロート状態になるのを防止します。

コンフィギュレーションを開始するには、マイクロプロセッサは nCONFIG を High にドライブし、ターゲット・デバイスの nCS ピンを Low、そして CS ピンを High にドライブします。次に、マイクロプロセッサは 8 ビットのコンフィギュレーション・ワードをターゲット・デバイスのデータ入力に置き、nWS に Low のパルスを与えます。nWS の立ち上がりエッジで、ターゲット・デバイスは 1 バイトのコンフィギュレーション・データをラッチし、RDYnBSY 信号を Low にドライブします。これはデバイスが 1 バイトのコンフィギュレーション・データを処理したことを示します。これにより、マイクロプロセッサは Stratix または Stratix GX デバイスが 1 バイトのコンフィギュレーション・データを処理している間に、他のシステム機能を実行します。

デバイスの nCS ピンまたは CS ピンは、デザインが 11-41 ページの表 11-10 に記載される t_{CSSU} 、 t_{WSP} 、および t_{CSH} に適合する場合は、PPA コンフィギュレーション実行中に切り替えることができます。マイクロプロセッサは、nCS および CS 信号を直接制御することもできます。nCS または CS 信号の 1 つをアクセス状態に接続して(すなわち、nCS を Low に接続できます)、他の信号を切り替えてコンフィギュレーションを制御することができます。

Stratix および Stratix GX デバイスは、マイクロプロセッサなしで内部でデータをシリアル化することができます。Stratix または Stratix GX デバイスは、コンフィギュレーション・データの次のバイトを処理する準備ができると、RDYnBSY を High にドライブします。マイクロプロセッサが RDYnBSY をポーリングしたときに、High 信号を検知した場合、マイクロプロセッサはコンフィギュレーション・データの次のバイトをデバイスに送ります。あるいは、nRS 信号をストローブすることもでき、それによって DATA7 に RDYnBSY 信号が現れます。RDYnBSY は監視する必要がないので、nRS を Low にストローブしてコンフィギュレーション・データの状態を読み出すことで、システム I/O ポートを節約できます。DATA7 で競合が発生するので、nRS が Low の間はデータ・バスにデータをドライブしてはいけません。nRS ピンをコンフィギュレーションの監視に使用していない場合は、High に接続してください。コンフィギュレーションを簡略化するには、マイクロプロセッサは次のデータ・ビットを送信する前に、 $t_{BUSY}(\max) + t_{RDY2WS} + t_{W2SB}$ の合計時間だけ待つことができます。


コンフィギュレーション実行後、nCS、CS、nRS、nWS、および RDYnBSY ピンはユーザ I/O ピンとして機能します。ただし、Quartus II ソフトウェアで PPA 手法が選択された場合、これらの I/O ピンはユーザ・モードではデフォルトによりトライ・ステートになるため、マイクロプロセッサでドライブしなければなりません。Quartus II ソフトウェアの設定を変更するには、**Device & Pin Option** (Compiler Setting メニュー) を選択します。

コンフィギュレーション実行中に Stratix または Stratix GX デバイスがエラーを検出すると、デバイスは nSTATUS を Low にドライブしてマイクロプロセッサに警告します。次に、マイクロプロセッサは nCONFIG に Low のパルスを与えて、コンフィギュレーション・プロセスを再開できます。あるいは、**Auto-Restart Configuration on Frame Error** オプションがオンになっている場合、Stratix または Stratix GX デバイスはリセット・タイム・アウト期間の経過後に nSTATUS を解放します。nSTATUS の解放後、マイクロプロセッサは Stratix または Stratix GX デバイスをリコンフィギュレーションすることができます。この時点で、マイクロプロセッサは nCONFIG に Low のパルスを与える必要はありません。

また、マイクロプロセッサは、コンフィギュレーションが正しく実行されるように、CONF_DONE ピンおよび INIT_DONE ピンを監視することもできます。マイクロプロセッサは、nSTATUS ピンを監視してエラーを検出し、CONF_DONE ピンによりプログラミングの完了を判断します (CONF_DONE はパラレル・モードでは 1 バイト早く High になります)。マイクロプロセッサがすべてのコンフィギュレーション・データを送信し、初期化を開始したが CONF_DONE がアサートされていない場合、マイクロプロセッサは Stratix または Stratix GX デバイスをリコンフィギュレーションする必要があります。

デフォルトでは、INIT_DONE はディセーブルされています。Quartus II ソフトウェアで、**Enable INIT_DONE output** オプションをオンにして、INIT_DONE 出力をイネーブルすることができます。Quartus II ソフトウェアの **Enable INIT_DONE output** オプションをオンにしない場合は、デバイスが正しく初期化され確実にユーザ・モードに入るように、CONF_DONE 信号が High になった後、 t_{CD2UM} (表 11-10 を参照) の最大値だけ待ってください。

コンフィギュレーション実行中および初期化中、デバイスがユーザ・モードに入る前に、マイクロプロセッサは CONF_DONE 信号を Low にドライブしてはいけません。

 オプションの CLKUSR ピンが使用されており、nCONFIG を Low にプルダウンして、デバイスの初期化中にコンフィギュレーションを再開する場合は、nSTATUS が Low の間 (最大 40 μ s)、CLKUSR がトグルし続けるようにする必要があります。

PPA モードを使用しても複数の Stratix および Stratix GX デバイスをコンフィギュレーションすることができます。マルチ・デバイス PPA コンフィギュレーションは、Stratix および Stratix GX デバイスがカスケード接続されていることを除いて、シングル・デバイス PPA コンフィギュレーションに類似しています。最初の Stratix または Stratix GX デバイスのコンフィギュレーション後に、nCEO がアサートされ、それによって 2 番目のデバイスの nCE ピンがアサートされて、コンフィギュレーションが開始されます。2 番目の Stratix または Stratix GX デバイスは、最初のデバイスの 1 ライト・サイクル以内にコンフィギュレーションを開始するため、データ転送先の転送はマイクロプロセッサには見えません。すべての Stratix および Stratix GX デバイスの CONF_DONE ピンは連結されているため、すべてのデバイスが初期化され同時にユーザ・モードになります (図 11-17 を参照)。

図 11-17.PPA マルチ・デバイス・コンフィギュレーション回路

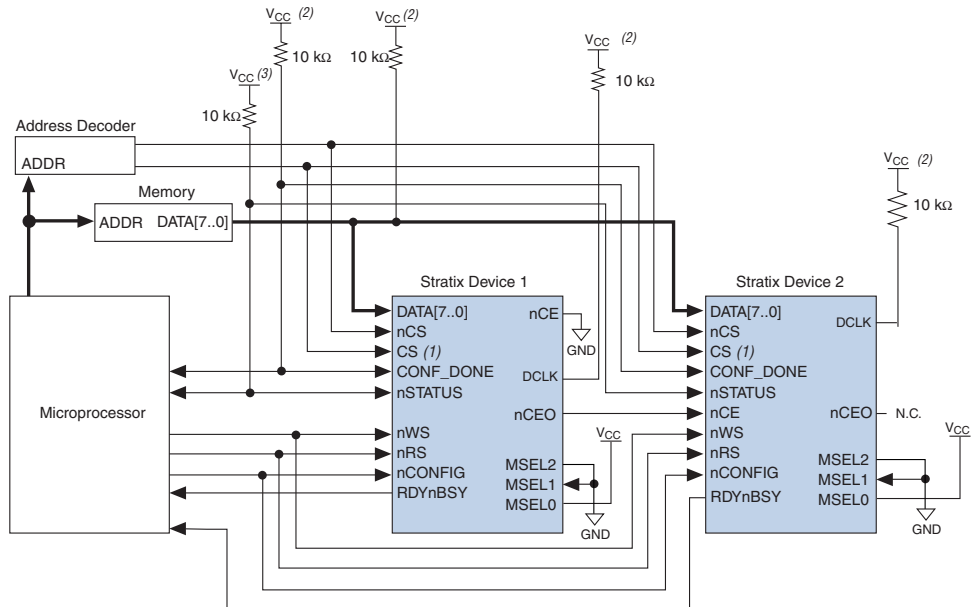


図 11-17 の注：

- (1) 使用していない場合、cs ピンを V_{CC} に直接接続することができます。使用していない場合、nCS ピンは GND に直接接続することができます。
- (2) プルアップ抵抗は Stratix または Stratix GX デバイスと同じ電源電圧に接続します。

PPA コンフィギュレーション・タイミング

図 11-18 に、PPA コンフィギュレーションのための Stratix および Stratix GX デバイスのタイミング波形を示します。

図 11-18. Stratix および Stratix GX デバイスの PPA タイミング波形

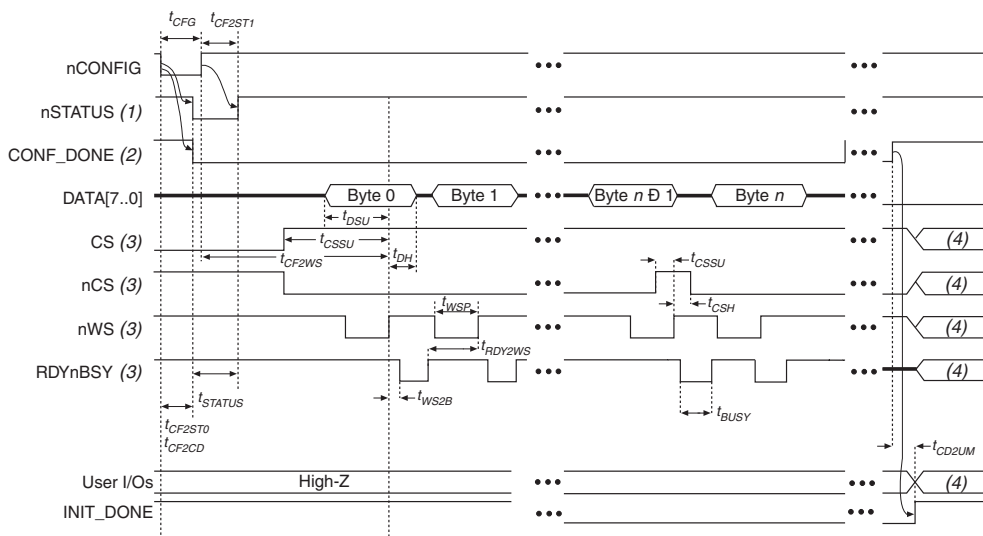


図 11-18 の注：

- (1) 電源投入時に、nSTATUS は POR 遅延の間 Low に保持されます。
- (2) 電源投入時、コンフィギュレーション実行前および実行中には、CONF_DONE は Low です。
- (3) コンフィギュレーション実行後の CS、nCS、nWS、および RDYnBSY の状態は、Stratix または Stratix GX デバイスにプログラムされたデザインによって異なります。
- (4) デバイスの I/O ピン数はユーザ・モードの場合です。

図 11-19 に、ストローブされた nRS および nWS 信号を使用するときの Stratix および Stratix GX デバイスのタイミング波形を示します。

図 11-19. ストローブされた nRS および WS 信号使用時の PPA タイミング波形

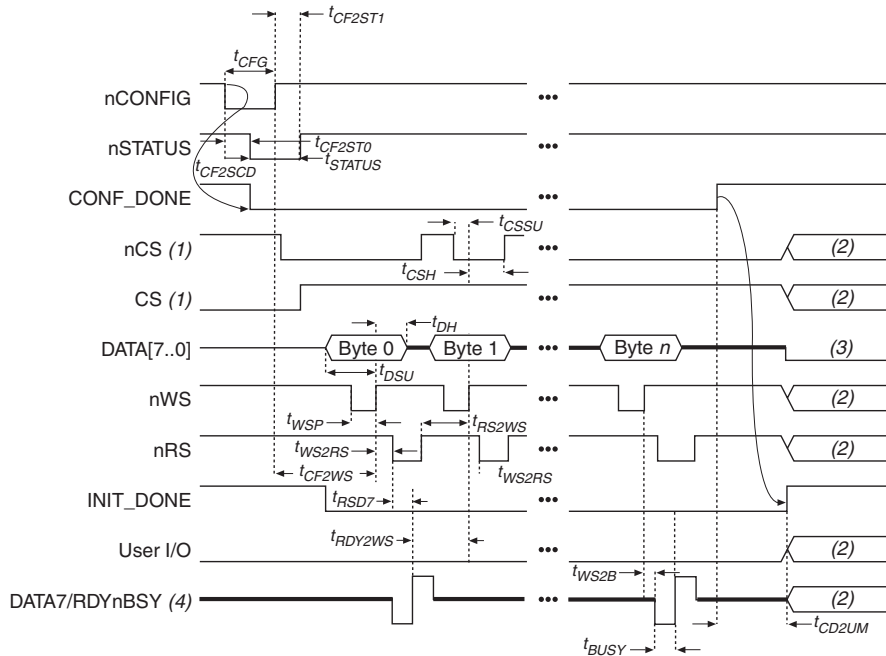


図 11-19 の注：

- (1) デザインが t_{CSSU} 、 t_{WSP} 、および t_{CSH} の仕様に適合する場合、ユーザは nCS または CS を切り替えることができます。
- (2) デバイスの I/O ピン数はユーザ・モードの場合です。
- (3) DATA[7..0] ピンは、コンフィギュレーション実行後はユーザ I/O ピンとして使用可能であり、これらのピンの状態は兼用ピンの設定によって決まります。DATA[7..0] はフロート状態にしないでください。これらのピンをユーザ・モードで使用しない場合は、High または Low のいずれか都合の良いほうにドライブします。
- (4) DATA7 は双方向ピンです。このピンは入力の場合はデータ入力を表しますが、出力の場合は RDYNBSY の状態を示します。

表11-10に、PPAコンフィギュレーションのためのStratixおよびStratix GXデバイスのタイミング波形を定義します。

表 11-10.Stratix および Stratix GX デバイスの PPA タイミング・パラメータ				
シンボル	パラメータ	最小	最大	単位
t _{CF2WS}	nCONFIG High から nWS の最初の立ち上がりエッジ	40		μs
t _{DSU}	nWS の立ち上がりエッジ前のデータ・セットアップ時間	10		ns
t _{DH}	nWS の立ち上がりエッジ後のデータ・ホールド時間	0		ns
t _{CSU}	nWS の立ち上がりエッジ前のチップ・セレクト・セットアップ時間	10		ns
t _{CSH}	nWS の立ち上がりエッジ後のチップ・セレクト・データ・ホールド時間	0		ns
t _{WSP}	nWS Low パルス幅	15		ns
t _{CFG}	nCONFIG Low パルス幅	40		μs
t _{WS2B}	nWS の立ち上がりエッジから RDYnBSY Low		20	ns
t _{BUSY}	RDYnBSY Low パルス幅	7	45	ns
t _{RDY2WS}	RDYnBSY の立ち上がりエッジから nWS の立ち上がりエッジ	15		ns
t _{WS2RS}	nWS の立ち上がりエッジから nRS の立ち上がりエッジ	15		ns
t _{RS2WS}	nRS の立ち上がりエッジから nWS の立ち上がりエッジ	15		ns
t _{RSD7}	nRS の立ち下がりエッジから RDYnBSY 信号による DATA7 有効		20	ns
t _{CD2UM}	CONF_DONE High からユーザ・モード (1)	6	20	μs
t _{STATUS}	nSTATUS Low パルス幅	10	40 (2)	μs
t _{CF2CD}	nCONFIG Low から CONF_DONE Low		800	ns
t _{CF2ST0}	nCONFIG Low から nSTATUS Low		800	ns
t _{CF2ST1}	nCONFIG High から nSTATUS High		40 (2)	μs

表 11-10 の注 :

- (1) 最小値および最大値は、デバイスを起動するためのクロック・ソースとして内部オシレータが選択された場合のみ適用されます。クロック・ソースがCLKUSRの場合は、クロック周期を136倍にしてこの値を得ます。
- (2) ユーザがnstatusのLowパルス幅を延長して、コンフィギュレーションを遅延させない場合に、この値が得られます。



このコンフィギュレーション手法に対してコンフィギュレーション・ファイルおよびプログラミング・ファイルの作成方法については、「コンフィギュレーション・ハンドブック Volume 2」のソフトウェアの設定セクションを参照してください。

JTAG プログラミングおよびコンフィギュレーション

JTAG はバウンダリ・スキャン・テストの仕様を開発しました。このバウンダリ・スキャン・テスト (BST) アーキテクチャは、リード間隔の狭い PCB 上のコンポーネントを効率的にテストする能力を提供します。BST アーキテクチャでは、物理的なテスト・プローブを使用しないでピンの接続をテストでき、またデバイスの通常動作中に機能データをキャプチャすることができます。JTAG回路を使用してコンフィギュレーション・データをデバイスにシフトすることも可能です。



JTAG バウンダリ・スキャン・テストについて詳しくは、「AN 39: IEEE 1149.1 (JTAG) Boundary-Scan Testing in Altera Devices」を参照してください。

SignalTap®II エンベデッド・ロジック・アナライザを使用するには、Stratix デバイスの JTAG ピンを PCB のダウンロード・ケーブル・ヘッドに接続する必要があります。



SignalTap II について詳しくは、「Quartus II ハンドブック Volume 2」の「Design Debugging Using SignalTap II Embedded Logic Analyzer」の章を参照してください。

JTAG モードで動作するデバイスは、TDI、TDO、TMS、および TCK の 4 本の専用ピン、および TRST の 1 本のオプション・ピンを使用します。4 本の JTAG 入力ピン (TDI、TMS、TCK および TRST) には弱い内部プルアップ抵抗があり、抵抗値の範囲は 20 ~ 40 kΩ です。JTAG コンフィギュレーションの実行中、他のすべてのピンはトライ・ステートになります。他のすべてのコンフィギュレーションが完了するまで、JTAG コンフィギュレーションを開始してはいけません。表 11-11 に各 JTAG ピンの機能を示します。

表 11-11.JTAG ピンの説明 (1 / 2)

ピン	説明	機能
TDI	テスト・データ入力	命令、テストおよびプログラミング・データ用シリアル入力ピン。データは TCK の立ち上がりエッジでシフトされます。VCCSEL ピンは入力バッファの選択を制御します。
TDO	テスト・データ出力	命令、テストおよびプログラミング・データ用シリアル・データ出力ピン。データは TCK の立ち下がりエッジでシフト・アウトされます。このピンはデバイスからデータがシフト・アウトされない場合は、トライ・ステートになります。High レベル出力電圧は、VCCIO で決定されます。

表 11-11.JTAG ピンの説明 (2 / 2)

ピン	説明	機能
TMS	テスト・モード選択	Test Access Port (TAP) コントローラ・ステート・マシンの遷移を決定するコントロール信号を供給する入力ピン。ステート・マシン内の遷移は、TCK の立ち上がりエッジで発生します。したがって、TCK の立ち上がりエッジ前に、TMS をセットアップする必要があります。TMS は、TCK の立ち上がりエッジで評価されます。VCCSEL ピンは入力バッファの選択を制御します。
TCK	テスト・クロック入力	BST 回路へのクロック入力。動作には立ち上がりエッジで行われるものと、立ち下がりエッジで行われるものがあります。VCCSEL ピンは入力バッファの選択を制御します。
TRST	テスト・リセット入力 (オプション)	バウンダリ・スキャン回路を非同期でリセットするアクティブ Low 入力。TRST ピンは IEEE Std. 1149.1 に従ってオプションです。VCCSEL ピンは入力バッファの選択を制御します。

JTAG コンフィギュレーション実行中、データは MasterBlaster または ByteBlasterMV ヘッドを通して、PCB 上のデバイスにダウンロードされます。ケーブルによるデバイスのコンフィギュレーションは、システム内のデバイスをプログラムするのに似ています。相違点は、TAP コントローラがリセットされないように、TRST ピンを V_{CC} に接続することです (図 11-20 を参照)。

図 11-20. シングル・デバイスの JTAG コンフィギュレーション

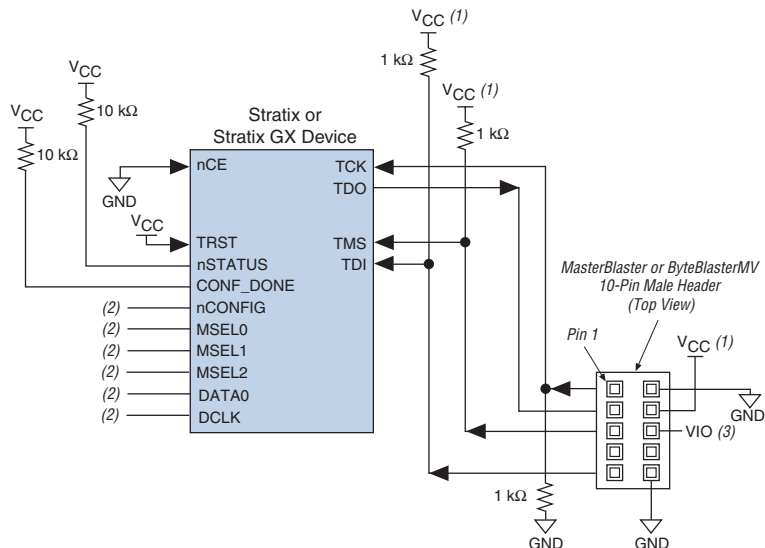


図 11-20 の注：

- (1) プルアップ抵抗はダウンロード・ケーブルと同じ電源電圧に接続する必要があります。
- (2) JTAG以外のコンフィギュレーション手法をサポートするには、nCONFIG、MSEL0、および MSEL1 ピンを接続する必要があります。JTAG コンフィギュレーションのみ使用する場合は、nCONFIG を V_{CC} に、MSEL0、MSEL1、および MSEL2 をグランドに接続します。DATA0 および DCLK を High または Low にプルします。
- (3) V_{IO} は MasterBlaster 出力ドライバのリファレンス電圧です。 V_{IO} はデバイスの V_{CCIO} と一致する必要があります。この値については、「MasterBlaster Serial/USB Communications Cable Data Sheet」を参照してください。

JTAG チェイン内の 1 つのデバイスをコンフィギュレーションするために、プログラミング・ソフトウェアは他のすべてのデバイスを BYPASS モードにします。BYPASS モードでは、デバイスは 1 個のバイパス・レジスタを通して、内部的に影響を受けることなく、TDI ピンからのプログラミング・データを TDO ピンに渡します。この手法により、プログラミング・ソフトウェアはターゲット・デバイスをプログラムまたは検証することができます。デバイスにドライブされたコンフィギュレーション・データは、1 クロック・サイクル後に、TDO ピンに現れます。

Stratix および Stratix GX デバイスは専用の JTAG ピンを備えています。Stratix および Stratix GX デバイスでの JTAG テストは、コンフィギュレーション実行前または完了後に行うことができますが、コンフィギュレーション実行中に行うことはできません。Stratix および Stratix GX デバイスのチップ全体のリセットおよび出力イネーブル・ピンは、JTAG バウンダリ・スキャンまたはプログラミング動作に影響を与えません。これらのピンを切り替えても JTAG 動作（通常のバウンダリ・スキャン動作以外）に影響を与えません。

Stratix および Stratix GX デバイスの JTAG コンフィギュレーション用ボードの設計時には、標準のコンフィギュレーション・ピンを検討する必要があります。表 11-12 に、JTAG コンフィギュレーション実行中のこれらのピンの接続方法を示します。

表 11-12. JTAG コンフィギュレーション実行中の専用コンフィギュレーション・ピン接続 (1 / 2)

信号	説明
nCE	チェーン内のすべての Stratix および Stratix GX デバイスでは、nCE をグラウンドに接続、抵抗を通して Low にプルダウン、または何らかのコントロール回路でドライブすることによって Low にドライブする必要があります。さらにマルチ・デバイス PS、FPP、または PPA コンフィギュレーション・チェーン内にあるデバイスの場合、nCE ピンは、JTAG コンフィギュレーションまたはコンフィギュレーション・チェーンと同じ順序でコンフィギュレーションされた JTAG 実行中は GND に接続しなければなりません。
nCEO	チェーン内のすべての Stratix および Stratix GX デバイスでは、nCEO はフロート状態にするか、または次のデバイスの nCE に接続することができます。上記の nCE ピンの説明を参照してください。
MSEL	これらのピンはフロート状態にしないでください。これらのピンは、生産時に使用される JTAG 以外のコンフィギュレーションをサポートします。JTAG コンフィギュレーションしか使用しない場合、両方のピンをグラウンドに接続する必要があります。
nCONFIG	nCONFIG は、JTAG プログラミング・プロセスで High にドライブしなければなりません。V _{CC} に接続して High にドライブする、抵抗を通して High にプルアップする、または何らかのコントロール回路で High にドライブします。
nSTATUS	10 kΩ 抵抗を通して V _{CC} にプルアップ同じ JTAG チェイン内の複数のデバイスをコンフィギュレーションするときには、各 nSTATUS ピンを個別に V _{CC} にプルアップしなければなりません。nSTATUS を JTAG コンフィギュレーションの中央で Low にプルダウンして、エラーが発生したことを示します。
CONF_DONE	10 kΩ 抵抗を通して V _{CC} にプルアップ同じ JTAG チェイン内の複数のデバイスをコンフィギュレーションするときには、各 CONF_DONE ピンを個別に V _{CC} にプルアップしなければなりません。CONF_DONE が JTAG コンフィギュレーションの終了時に High になると、コンフィギュレーションが成功したことを示します。

表 11-12.JTAGコンフィギュレーション実行中の専用コンフィギュレーション・ピン接続 (2/2)

信号	説明
DCLK	フロート状態のままにはなりません。High または Low のいずれかボード上で都合の良いレベルにドライブします。
DATA0	フロート状態のままにはなりません。High または Low のいずれかボード上で都合の良いレベルにドライブします。

複数のデバイスのJTAGプログラミングおよびコンフィギュレーション

JTAG デバイス・チェーンのプログラミング時には、ByteBlasterMV ヘッドなど、1つの JTAG 互換ヘッドが複数のデバイスに接続されます。JTAG チェイン内のデバイス数は、ダウンロード・ケーブルのドライブ能力によってのみ制限されます。ただし、JTAG チェインに 6 つ以上のデバイスが接続されている場合、アルテラは TCK、TDI、および TMS ピンをオンボード・バッファでバッファリングすることを推奨しています。

JTAG チェイン・デバイスのプログラミングは、PCB に複数のデバイスが含まれているとき、または JTAG BST 回路を使用して PCB をテストするときに理想的です。図 11-21 に PPA マルチ・デバイス JTAG コンフィギュレーションを示します。

図 11-21. マルチ・デバイス JTAG コンフィギュレーション 注 (1)、(2)

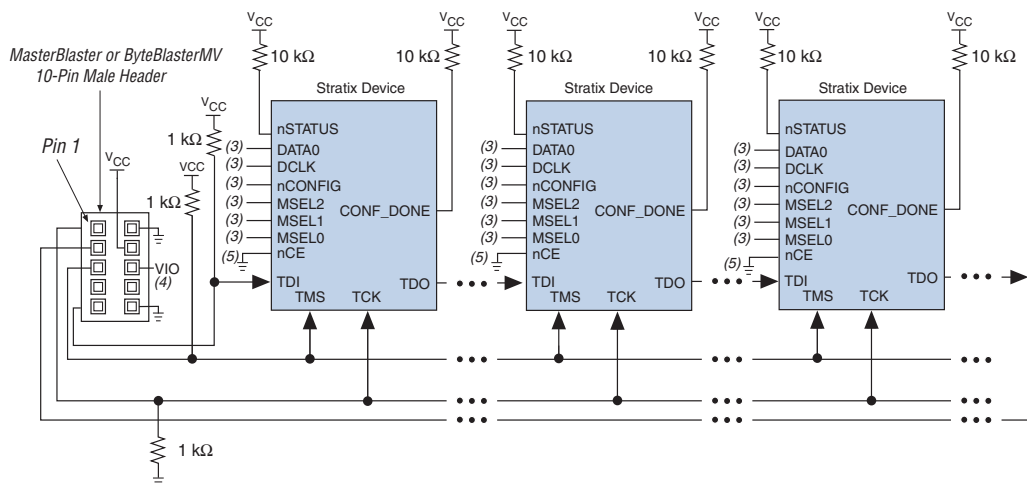



図 11-21 の注：

- (1) Stratix、Stratix GX、APEX™II、APEX 20K、Mercury™、ACEX®1K、および FLEX® 10K デバイスは、デバイスのプログラミングおよびコンフィギュレーションを行う場合は、同じ JTAG チェイン内に置くことができます。
- (2) このモードで接続されるすべてのコンフィギュレーション・ピンについて詳しくは、11-42 ページの表 11-11 を参照してください。
- (3) JTAG 以外のコンフィギュレーション手法をサポートするには、nCONFIG、MSEL0、MSEL1、および MSEL2 ピンを接続する必要があります。JTAG コンフィギュレーションのみ使用する場合は、nCONFIG を VCC に、MSEL0、MSEL1、MSEL2 をグラウンドに接続します。DATA0 および DCLK を High または Low にプルします。
- (4) V_{IO} は MasterBlaster 出力ドライバのリファレンス電圧です。V_{IO} はデバイスの V_{CCIO} と一致する必要があります。この値については、「MasterBlaster Serial/USB Communications Cable Data Sheet」を参照してください。
- (5) JTAG コンフィギュレーションを成功させるには、nCE を GND に接続するか Low にドライブする必要があります。

JTAG コンフィギュレーションの実行中は、nCE ピンを GND に接続するか Low にドライブする必要があります。マルチ・デバイス PS、FPP、および PPA コンフィギュレーション・チェーンでは、最初のデバイスの nCE ピンが GND に接続され、nCEO ピンが次のデバイスの nCE に接続されます。最後のデバイスの nCE 入力の前デバイスから送られ、nCEO ピンはフロート状態のままです。マルチ・デバイス・コンフィギュレーション・チェーンで、最初のデバイスがコンフィギュレーションを完了すると、nCEO ピンで Low をドライブし、2 番目のデバイスの nCE ピンをアクティブにして、2 番目のデバイスにコンフィギュレーションを開始するよう促します。したがって、これらのデバイスが JTAG チェインにも含まれる場合は、JTAG コンフィギュレーション実行中に nCE ピンが GND に接続されるか、またはデバイスがコンフィギュレーション・チェーンと同じ順序で JTAG コンフィギュレーションされるようにする必要があります。デバイスがマルチ・デバイス・コンフィギュレーション・チェーンと同じ順序で JTAG コンフィギュレーションされている限り、前のデバイスの nCEO はそのデバイスが正しく JTAG コンフィギュレーションされると、次のデバイスの nCE を Low にドライブします。

Quartus II ソフトウェアは、完了時に JTAG コンフィギュレーションの成功を検証します。このソフトウェアは、JTAG ポートを通して CONF_DONE の状態をチェックします。CONF_DONE が正しい状態にない場合、Quartus II ソフトウェアはコンフィギュレーションが失敗したことを示します。CONF_DONE が正しい状態の場合、ソフトウェアはコンフィギュレーションが成功したことを示します。

 VCCIO を 3.3 V に接続した場合、両方の I/O ピンと JTAG TDO ポートは 3.3 V レベルにドライブされます。

JTAG コンフィギュレーションと JTAG 以外のコンフィギュレーションを同時に開始しないでください。JTAG コンフィギュレーションを実行するときは、先に JTAG 以外のコンフィギュレーションが完了できるようにします。


 11-22 に、マイクロプロセッサによる Stratix または Stratix GX デバイスの JTAG コンフィギュレーションを示します。

図 11-22. マイクロプロセッサによる Stratix および Stratix GX デバイスの JTAG コンフィギュレーション

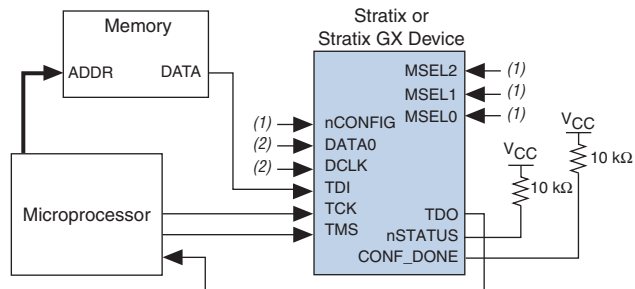


図 11-22 の注：

- (1) JTAG 以外のコンフィギュレーション手法をサポートするには、nCONFIG、MSEL2、MSEL1、および MSEL0 ピンを接続します。デザインで JTAG コンフィギュレーションのみ使用する場合は、nCONFIG ピンを VCC に、MSEL2、MSEL1、および MSEL0 ピンをグラウンドに接続します。
- (2) DATA0 および DCLK を High または Low にプルします。

Jrunner ソフトウェア・ドライバによるコンフィギュレーション

JRunner は、JTAG モードで ByteBlasterMV ダウンロード・ケーブルを通して、アルテラの FPGA をコンフィギュレーション可能なソフトウェア・ドライバです。サポートされるプログラミング入力ファイルは、Raw Binary File (.rbf) フォーマットです。Jrunner は Quartus II ソフトウェアで生成された Chain Description File (.cdf) も必要とします。JRunner は、エンベデッド JTAG コンフィギュレーションをターゲットにしています。ソース・コードは Windows NT オペレーティング・システム用に開発されています。このコードをカスタマイズすれば、他のプラットフォームで動作させることができます。



JRunner ソフトウェア・ドライバについて詳しくは、「JRunner Software Driver: An Embedded Solution to the JTAG Configuration White Paper」および zip ファイルを参照してください。

Jam STAPL Programming & Test Language

Jam™ Standard Test and Programming Language (STAPL)、JEDEC 標準規格 JESD-71 は、イン・システム・プログラマビリティ (ISP) のための標準ファイル・フォーマットです。Jam STAPL は、IEEE 1149.1 JTAG インタフェースを使用したプログラマブル・デバイスのプログラミングまたはコンフィギュレーション、および電子システムのテストをサポートします。Jam STAPL はライセンス・フリーのオープン・スタンダードです。

エンベデッド・プロセッサへの JTAG チェインの接続

JTAG チェインをエンベデッド・プロセッサに接続するには、2つの方法があります。最も簡単な方法は、エンベデッド・プロセッサを直接 JTAG チェインに接続することです。この方法では、プロセッサのピンのうち4本が JTAG インタフェース専用となっており、ボード・スペースは節約されますが、利用可能なエンベデッド・プロセッサのピン数が少なくなります。

図 11-23 に、JTAG チェインをインタフェース PLD を通して既存のバスに接続する 2 番目の方法を示します。この方法では、JTAG チェインが既存のバス上のアドレスになります。プロセッサは JTAG チェインを表すアドレスを読み書きします。

図 11-23. エンベデッド・システムのブロック図

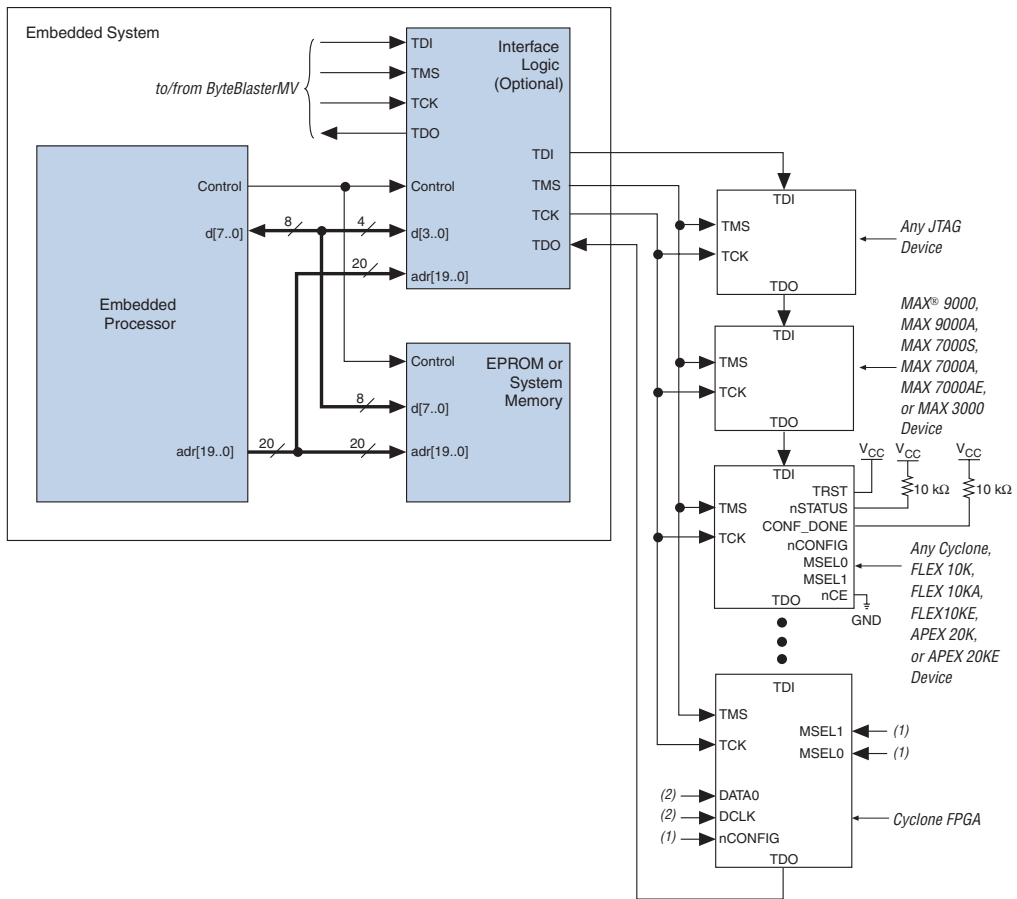


図 11-23 の注：

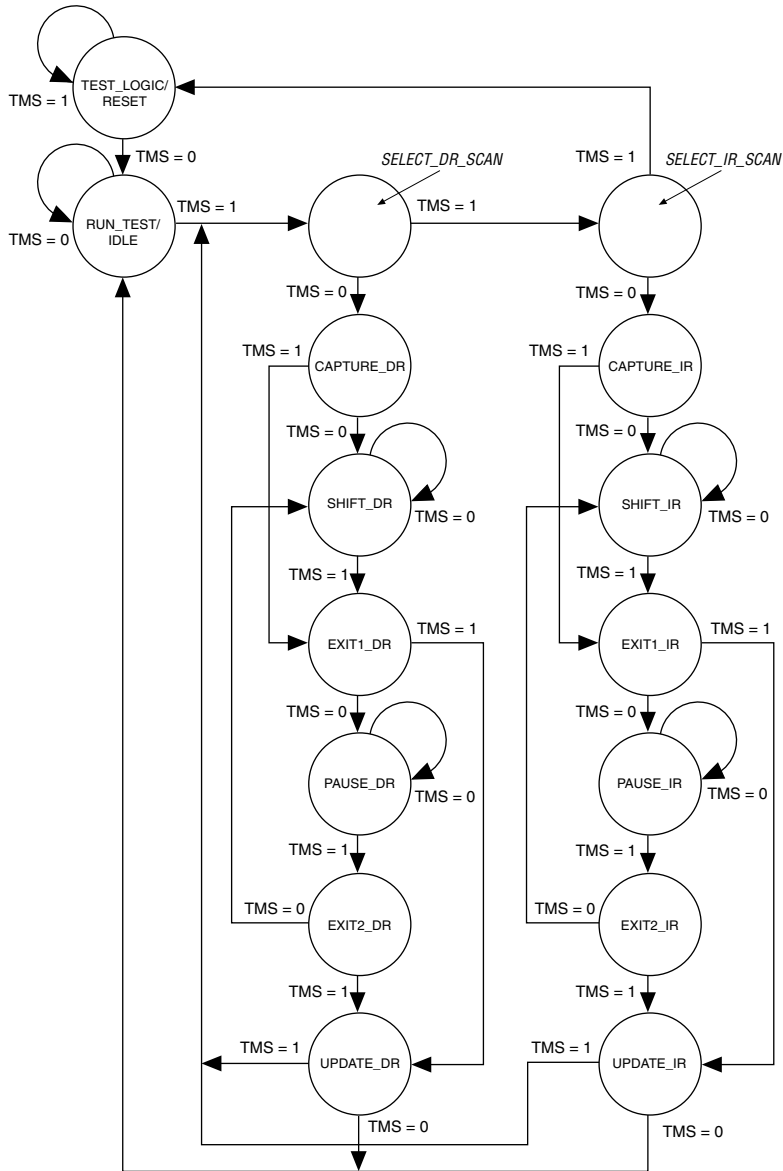
- (1) JTAG 以外のコンフィギュレーション手法をサポートするには、nCONFIG、MSEL2、MSEL1、および MSEL0 ピンを接続します。デザインで JTAG コンフィギュレーションのみ使用する場合は、nCONFIG ピンを V_{CC} に、MSEL2、MSEL1、および MSEL0 ピンをグラウンドに接続します。
- (2) DATA0 および DCLK を High または Low にプルします。

両方の JTAG 接続方法とも、MasterBlaster または ByteBlasterMV ヘッダ接続のためのスペースが含まれていなければなりません。ヘッダを使用して Stratix または Stratix GX デバイスの内容を検証したり変更することができるので、ヘッダはプロトタイプ作成時に有用です。生産時には、ヘッダを取り外してコストを節約できます。

プログラム・フロー

Jam Player は、IEEE Std. 1149.1 JTAG TAP ステート・マシンを操作するためのインタフェースを提供します。TAP コントローラは、TCK の立ち上がりエッジでクロックされる 16 ステートのステート・マシンであり、TMS ピンを使用して、デバイスでの JTAG 動作を制御します。図 11-24 に IEEE Std. 1149.1 TAP コントローラ・ステート・マシンのフローを示します。

図 11-24.JTAG TAP コントローラ・ステート・マシン



Jam Player は、TAP コントローラを操作するドライバを提供し、Jam Byte-Code File (.jbc) はデバイスをプログラムするのに必要な高度なインテリジェンスを提供します。JTAG データをデバイスに供給するすべての Jam 命令には、ステート・マシンのデータ・レジスタ・レグまたは命令レジスタ・レグによる TAP コントローラの状態遷移が関係します。例えば、JTAG 命令のロードには、TAP コントローラの SHIFT_IR 状態への移行、および TDI ピンを通じた命令レジスタへの命令のシフトが関係します。次に、TAP コントローラは RUN_TEST/IDLE 状態に移行します。この状態では、命令時間がラッチできるように遅延が導入されます。このプロセスは、ステート・マシンのデータ・レジスタ・レグが交差することを除いて、データ・レジスタ・スキャンと同じです。

高度な Jam 命令には、JTAG データ・レジスタをスキャンするための DRSCAN 命令、命令レジスタをスキャンするための IRSCAN 命令、およびステート・マシンを指定した期間アイドル状態にする WAIT コマンドがあります。TAP コントローラの各レグは、すべてのターゲット・デバイスがプログラムされるまで、JBC ファイルの命令に応じて繰り返しスキャンされます。

図 11-25 に、Jam Player が JBC ファイルを解析するときの機能動作を示します。Jam Player が DRSCAN、IRSCAN、または WAIT 命令を見つけると、TCK、TMS、および TDI を生成して命令を完了します。フロー図に、DRSCAN、IRSCAN、および WAIT 命令に対する分岐を示します。Jam Player は他の命令もサポートしますが、簡単にするためにフロー図から削除されています。

図 11-25. Jam Player フロー図 (パート 1/2)

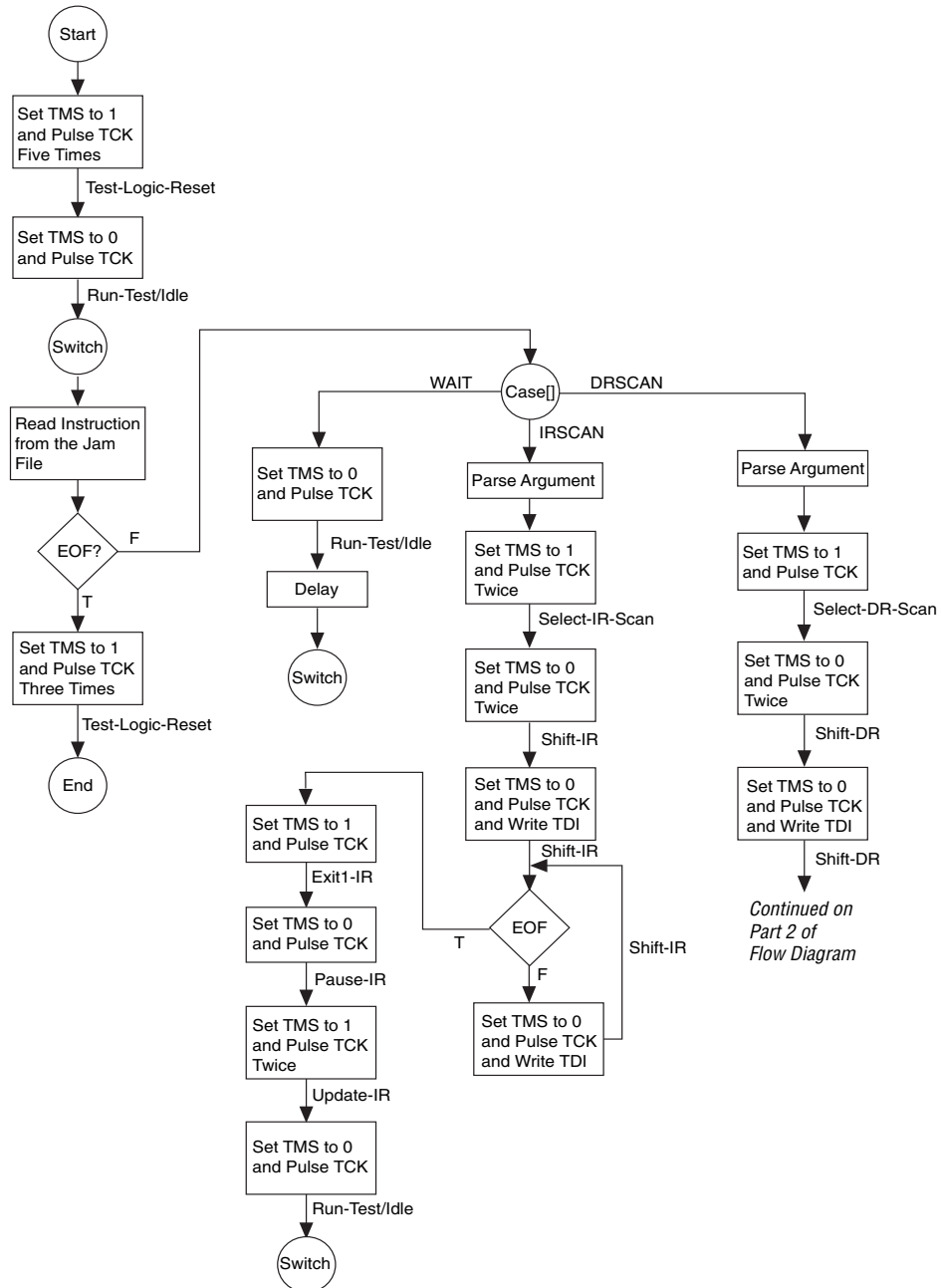
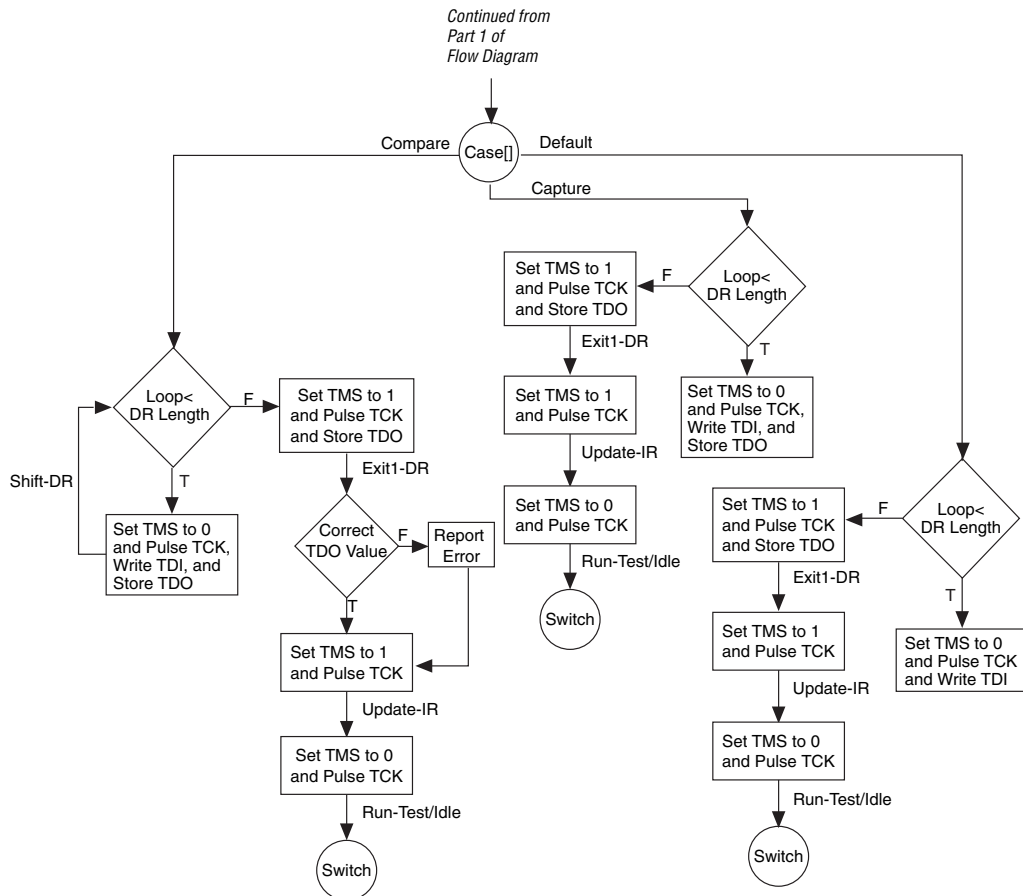


図 11-26. Jam Player フロー図 (パート 2/2)



Jam プログラムの実行はプログラムの始めに開始されます。プログラム・フローは、GOTO、CALL/RETURN、および FOR/NEXT 構造を使用して制御されます。GOTO および CALL ステートメントは、Jam プログラムに散在するシンボル名であるラベルを見分けます。この言語自体には、プログラムの組織構造や制御フローにはほとんど制約はありません。



Jam 言語は、複数の Jam プログラムのリンクや Jam プログラムへの別ファイルの内容のインクルードはサポートしていません。

Jam 命令

各 Jam ステートメントは、表 11-13 にリストされている命令名の 1 つで始まります。命令名は、オプションの命令の名前を含めて、Jam プログラムでは変数またはラベル識別子として使用できない予約済みキーワードです。

命令名	命令名	命令名
BOOLEAN	INTEGER	PREIR
CALL	IRSCAN	PRINT
CRC	IRSTOP	PUSH
DRSCAN	LET	RETURN
DRSTOP	NEXT	STATE
EXIT	NOTE	WAIT
EXPORT	POP	VECTOR (1)
FOR	POSTDR	VMAP (1)
GOTO	POSTIR	—
IF	PREDR	—

表 11-13 の注：

(1) この命令名はオプションの言語拡張です。

表 11-14 に、Jam 言語では予約済みキーワードである状態名を示します。これらのキーワードは、IEEE Std. 1149.1 JTAG 仕様で規定される状態名に対応しています。

IEEE Std. 1149.1 JTAG 状態名	Jam 予約済み状態名
Test-Logic-Reset	RESET
Run-Test-Idle	IDLE
Select-DR-Scan	DRSELECT
Capture-DR	DRCAPTURE
Shift-DR	DRSHIFT
Exit1-DR	DREXIT1
Pause-DR	DRPAUSE
Exit2-DR	DREXIT2
Update-DR	DRUPDATE
Select-IR-Scan	IRSELECT

表 11-14. 予約済みキーワード (2 / 2)

IEEE Std. 1149.1 JTAG 状態名	Jam 予約済み状態名
Capture-IR	IRCAPTURE
Shift-IR	IRSHIFT
Exit1-IR	IREXIT1
Pause-IR	IRPAUSE
Exit2-IR	IREXIT2
Update-IR	IRUPDATE

IDCODE を読み出す Jam ファイル例

図 11-27 に Jam STAPL の柔軟性および有用性を示します。JTAG チェイン内の 1 つのデバイスから IDCODE を読み出す例


 アレイ変数 I_IDCODE は、LSB を先頭 (左側) として最上位ビット (MSB) (右側) まで順序付けられた IDCODE 命令で初期化されます。この順序は、IRSCAN 命令のアレイ・フィールドが常に MSB から LSB の順に解釈され送信されるため重要です。

図 11-27.IDCODE を読み出す Jam ファイル例

```

BOOLEAN read_data[32];
BOOLEAN I_IDCODE[10] = BIN 1001101000; `assumed
BOOLEAN ONES_DATA[32] = HEX FFFFFFFF;
INTEGER i;
`Set up stop state for IRSCAN
IRSTOP IRPAUSE;
`Initialize device
STATE RESET;
IRSCAN 10, I_IDCODE[0..9]; `LOAD IDCODE INSTRUCTION
STATE IDLE;
WAIT 5 USEC, 3 CYCLES;
DRSCAN 32, ONES_DATA[0..31], CAPTURE
read_data[0..31];
`CAPTURE IDCODE
PRINT "IDCODE:";
FOR i=0 to 31;
PRINT read_data[i];
NEXT i;
EXIT 0;

```

MicroBlaster Driver を使用したコンフィギュレーション

MicroBlaster™ ソフトウェア・ドライバにより、PS または FPP モードを使用したエンベデッド環境でアルテラ・デバイスをコンフィギュレーションすることができます。MicroBlaster ソフトウェア・ドライバは、Raw Binary File (.rbf) のプログラミング入力ファイルをサポートします。ソース・コードは Windows NT オペレーティング・システム向けに開発されていますが、他の OS で動作するようカスタマイズすることが可能です。MicroBlaster ソフトウェア・ドライバについて詳しくは、アルテラのウェブサイト (www.altera.co.jp) を参照してください。

デバイス・コンフィギュレーション・ピン

以下の表に、Stratix または Stratix GX デバイスのすべてのコンフィギュレーション関連ピンの接続と機能を示します。表 11-15 に、コンフィギュレーションを成功させるためにボードに正しく接続する必要がある専用のコンフィギュレーション・ピンについて説明します。これらのピンの何本かはコンフィギュレーション手法に必要ない場合があります。

表 11-15. Stratix および Stratix GX デバイスの専用コンフィギュレーション・ピン (1 / 8)

ピン名	ユーザ・モード	コンフィギュレーション手法	ピン・タイプ	説明
VCCSEL	N/A	すべて	入力	<p>コンフィギュレーション入力ピン、nCONFIG、DCLK、RUnLU、nCE、nWS、nRS、CS、nCS、および CLKUSR で使用される入力バッファを選択する専用入力。</p> <p>VCCSEL 入力バッファは V_{CCINT} で駆動され、常時アクティブな 2.5 kΩ の内部プルダウン抵抗を備えています。</p> <p>ロジック High (1.5 V、1.8 V、2.5 V、3.3 V) は 1.8 V/1.5 V 入力バッファを選択し、ロジック Low は 3.3 V/2.5 V 入力バッファを選択します。詳しくは、「VCCSEL ピン」セクションを参照してください。</p>
PORSEL	N/A	すべて	入力	<p>2 ms または 100 ms の POR 時間を選択する専用入力。ロジック High (1.5 V、1.8 V、2.5 V、3.3 V) は約 2 ms の POR 時間を選択し、ロジック Low は約 100 ms の POR 時間を選択します。</p> <p>PORSEL 入力バッファは、V_{CCINT} で駆動され、常時アクティブな 2.5 kΩ の内部プルダウン抵抗を備えています。</p>

表 11-15.Stratix および Stratix GX デバイスの専用コンフィギュレーション・ピン (2 / 8)

ピン名	ユーザ・モード	コンフィギュレーション手法	ピン・タイプ	説明
nIO_PULLUP	N/A	すべて	入力	<p>ユーザ I/O および兼用 I/O (DATA[7..0]、nWS、nRS、RDYnBSY、nCS、CS、RUNLU、PGM[]、CLKUSR、INIT_DONE、DEV_OE、DEV_CLR) の内部プルアップをコンフィギュレーション実行前および実行中にオンするかオフするかを選択する専用入力。ロジック High (1.5V、1.8V、2.5V、3.3V) は弱い内部プルアップ抵抗をオフにし、ロジック Low はオンにします。</p> <p>nIO_PULLUP 入力バッファは V_{CCINT} で駆動され、常時アクティブな 2.5 kΩ の内部プルダウン抵抗を備えています。</p>
MSEL [2..0]	N/A	すべて	入力	<p>Stratix または Stratix GX デバイスのコンフィギュレーション手法を設定する3ビットのコンフィギュレーション入力です。正しい接続は表 11-2 を参照してください。</p> <p>これらのピンは、ピンが存在する I/O バンクの V_{CCIO} またはグラウンドに接続できます。このピンはシュミット・トリガ入力バッファを使用します。</p>
nCONFIG	N/A	すべて	入力	<p>コンフィギュレーション・コントロール入力。ユーザ・モード中にこのピンを Low にプルすると、FPGA はコンフィギュレーション・データを失い、リセット状態に入り、すべての I/O ピンをトライ・ステートにします。このピンをロジック High レベルに戻すと、リコンフィギュレーションが開始されます。</p> <p>コンフィギュレーション手法でエンハンスド・コンフィギュレーション・デバイスまたは EPC2 デバイスを使用する場合、nCONFIG は直接 V_{CC} またはコンフィギュレーション・デバイスの nINIT_CONF ピンに接続できます。このピンはシュミット・トリガ入力バッファを使用します。</p>

表 11–15.Stratix および Stratix GX デバイスの専用コンフィギュレーション・ピン (3 / 8)

ピン名	ユーザ・モード	コンフィギュレーション手法	ピン・タイプ	説明
nSTATUS	N/A	すべて	双方向 オープン・ドレイン	<p>デバイスは電源投入直後に nSTATUS を Low にドライブし、POR 時間後に解放します。</p> <p>ステータス出力。コンフィギュレーション実行中にエラーが発生した場合、nSTATUS はターゲット・デバイスによって Low にプルされます。ステータス入力。外部ソースがコンフィギュレーション実行中または初期化中に nSTATUS ピンを Low にドライブした場合、ターゲット・デバイスはエラー状態に入ります。</p> <p>コンフィギュレーションおよび初期化の実行後に、nSTATUS を Low にドライブしても、コンフィギュレーションされたデバイスには影響ありません。コンフィギュレーション・デバイスを使用する場合、nSTATUS を Low にドライブすると、コンフィギュレーション・デバイスは FPGA のコンフィギュレーションを試みますが、ユーザ・モードでは FPGA は nSTATUS 上の遷移を無視するためリコンフィギュレーションを行いません。リコンフィギュレーションを開始するには、nCONFIG を Low にプルする必要があります。</p> <p>エンハンスド・コンフィギュレーション・デバイスおよび EPC2 デバイスの OE ピンおよび nCS ピンには、内部プログラマブル・プルアップ抵抗（オプション）があります。エンハンスド・コンフィギュレーション・デバイスの内部プルアップ抵抗を使用した場合、これらのピンでは 10 kΩ の外部プルアップ抵抗を使用してはなりません。EPC2 デバイスを使用する場合は、10 kΩ の外部プルアップ抵抗のみ使用します。</p> <p>このピンはシュミット・トリガ入力バッファを使用します。</p>

表 11-15.Stratix および Stratix GX デバイスの専用コンフィギュレーション・ピン (4 / 8)

ピン名	ユーザ・モード	コンフィギュレーション手法	ピン・タイプ	説明
CONF_DONE	N/A	すべて	双方向 オープン・ドレイン	<p>ステータス出力。ターゲット FPGA は、コンフィギュレーション実行前および実行中に、CONF_DONE ピンを Low にドライブします。すべてのコンフィギュレーション・データをエラーなしで受信し、初期化サイクルが開始されると、ターゲット・デバイスは CONF_DONE を解放します。</p> <p>ステータス入力。すべてのデータの受信後、CONF_DONE が High になると、ターゲット・デバイスは初期化を行いユーザ・モードに入ります。CONF_DONE ピンには、デバイスが初期化されるように 10 kΩ の外部プルアップ抵抗が必要です。</p> <p>コンフィギュレーションおよび初期化の実行後に、CONF_DONE を Low にドライブしても、コンフィギュレーションされたデバイスには影響ありません。</p> <p>エンハンスド・コンフィギュレーション・デバイスおよび EPC2 デバイスの OE ピンおよび nCS ピンには、内部プログラマブル・プルアップ抵抗 (オプション) があります。エンハンスド・コンフィギュレーション・デバイスの内部プルアップ抵抗を使用した場合、これらのピンでは 10 kΩ の外部プルアップ抵抗を使用してはなりません。EPC2 デバイスを使用する場合は、10 kΩ の外部プルアップ抵抗のみ使用します。</p> <p>このピンはシュミット・トリガ入力バッファを使用します。</p>
nCE	N/A	すべて	入力	<p>アクティブ Low チップ・イネーブル。nCE ピンは、Low 信号でデバイスをアクティブにして、コンフィギュレーションを可能にします。nCE ピンは、コンフィギュレーション実行中、初期化中、およびユーザ・モードでは Low に保持する必要があります。シングル・デバイス・コンフィギュレーションでは、Low に接続しておきます。マルチ・デバイス・コンフィギュレーションでは、最初のデバイスの nCE は Low に接続され、nCEO ピンはチェーン内の nCE に接続されます。</p> <p>FPGA の JTAG プログラミングを成功させるには、nCE ピンも Low に保持する必要があります。このピンはシュミット・トリガ入力バッファを使用します。</p>

表 11-15.Stratix および Stratix GX デバイスの専用コンフィギュレーション・ピン (5 / 8)

ピン名	ユーザ・モード	コンフィギュレーション手法	ピン・タイプ	説明
nCEO	N/A	すべてマルチ・デバイス手法	出力	<p>デバイスのコンフィギュレーション完了時に Low をドライブする出力。シングル・デバイス・コンフィギュレーションでは、これらのピンはフロート状態のままです。マルチ・デバイス・コンフィギュレーションでは、このピンは次のデバイスの nCE ピンに信号を供給します。チェーン内の最後のデバイスの nCEO は、フロート状態のままです。</p> <p>このピンによってドライブされる電圧は、ピンが存在する I/O バンクの V_{CCIO} によって決まります。</p>
DCLK	N/A	同期コンフィギュレーション手法 (PS、FPP)	入力 (PS、FPP)	<p>PS および FPP コンフィギュレーションでは、DCLK は外部ソースからターゲット・デバイスにデータ送るのに使用されるクロック入力です。データは DCLK の立ち上がりエッジで FPGA にラッチされます。</p> <p>PPA モードでは、DCLK は、このピンがフロートしないように、High の V_{CC} に接続する必要があります。</p> <p>コンフィギュレーション実行後、このピンはトライ・ステートになります。コンフィギュレーション・デバイスを使用する手法では、コンフィギュレーション実行後、DCLK は Low にドライブされます。コントロール・ホストを使用する手法では、DCLK は High または Low のうち都合の良いレベルにドライブしなければなりません。コンフィギュレーション実行後にこのピンを切り替えても、コンフィギュレーションされたデバイスには影響ありません。このピンはシュミット・トリガ入力バッファを使用します。</p>
DATA0	I/O	PS、FPP、PPA	入力	<p>データ入力。シリアル・コンフィギュレーション・モードでは、ビット・ワイドのコンフィギュレーション・データがターゲット・デバイスの DATA0 ピンに送られます。このピンの V_{IH} および V_{IL} レベルは、ピンが存在する I/O バンクの V_{CCIO} によって決まります。</p> <p>コンフィギュレーション実行後は、DATA0 は、ユーザ I/O ピンとして使用可能であり、このピンの状態は兼用ピンの設定によって決まります。</p> <p>コンフィギュレーション実行後は、EPC1 および EPC1441 デバイスはこのピンをトライ・ステートにし、エンハンスト・コンフィギュレーションおよび EPC2 デバイスはこのピンを High にドライブします。</p>

表 11-15.Stratix および Stratix GX デバイスの専用コンフィギュレーション・ピン (6 / 8)

ピン名	ユーザ・モード	コンフィギュレーション手法	ピン・タイプ	説明
DATA [7..1]	I/O	パラレル・コンフィギュレーション手法 (FPP および PPA)	入力	<p>データ入力。ビット・ワイドのコンフィギュレーション・データが DATA[7..0] によりターゲット・デバイスに送られます。これらのピンの V_{IH} および V_{IL} レベルは、ピンが存在する I/O バンクの V_{CCIO} によって決まります。</p> <p>シリアル・コンフィギュレーション手法では、これらのピンはコンフィギュレーション実行中にはユーザ I/O ピンとして機能し、トライ・ステートになります。</p> <p>PPA または FPP コンフィギュレーション実行後は、DATA[7..1] は、ユーザ I/O ピンとして使用可能であり、これらのピンの状態は兼用ピンの設定によって決まります。</p>
DATA7	I/O	PPA	双方向	<p>PPA コンフィギュレーション手法では、DATA7 ピンは nRS 信号が Low にストロープされた後、RDYnBSY 信号を出力します。このピンに対する V_{IH} および V_{IL} レベルは、ピンが存在する I/O バンクの V_{CCIO} によって決まります。</p> <p>シリアル・コンフィギュレーション手法では、このピンはコンフィギュレーション実行中にはユーザ I/O ピンとして機能し、トライ・ステートになります。</p> <p>PPA コンフィギュレーション実行後は、DATA7 は、ユーザ I/O ピンとして使用可能であり、このピンの状態は兼用ピンの設定によって決まります。</p>
nWS	I/O	PPA	入力	<p>ライト・ストロープ入力。Low から High への遷移によって、デバイスは DATA[7..0] ピン上の 1 バイトのデータをラッチします。</p> <p>PPA 以外の手法では、このピンはコンフィギュレーション実行中にはユーザ I/O ピンとして機能し、トライ・ステートになります。</p> <p>PPA コンフィギュレーション実行後は、nWS は、ユーザ I/O ピンとして使用可能であり、このピンの状態は兼用ピンの設定によって決まります。</p>

表 11-15.Stratix および Stratix GX デバイスの専用コンフィギュレーション・ピン (7 / 8)

ピン名	ユーザ・モード	コンフィギュレーション手法	ピン・タイプ	説明
nRS	I/O	PPA	入力	<p>リード・ストロープ入力。Low 入力によって、デバイスは RDYnBSY 信号を DATA7 ピンにドライブします。</p> <p>nRS ピンを PPA モードで使用しない場合は、High に接続しなければなりません。PPA 以外の手法では、このピンはコンフィギュレーション実行中にはユーザ I/O ピンとして機能し、トライ・ステートになります。</p> <p>PPA コンフィギュレーション実行後は、nRS はユーザ I/O ピンとして使用可能であり、このピンの状態は兼用ピンの設定によって決まります。</p>
RDYnBSY	I/O	PPA	出力	<p>レディ出力。High の出力はターゲット・デバイスが別のデータ・バイトを受け入れる状態であることを示します。Low の出力はターゲット・デバイスがビジーで別のデータ・バイトを受け入れる状態にないことを示します。</p> <p>PPA コンフィギュレーション手法では、このピンは電源投入後、コンフィギュレーション実行前およびコンフィギュレーション実行後ユーザ・モードになる前に High をドライブ・アウトします。PPA 以外の手法では、このピンはコンフィギュレーション実行中にはユーザ I/O ピンとして機能し、トライ・ステートになります。</p> <p>PPA コンフィギュレーション実行後は、RDYnBSY はユーザ I/O ピンとして使用可能であり、このピンの状態は兼用ピンの設定によって決まります。</p>

表 11-15.Stratix および Stratix GX デバイスの専用コンフィギュレーション・ピン (8 / 8)

ピン名	ユーザ・モード	コンフィギュレーション手法	ピン・タイプ	説明
nCS/CS	I/O	PPA	入力	<p>チップ・セレクト入力。nCS の Low および CS の High で、コンフィギュレーションを行うターゲット・デバイスを選択します。nCS ピンおよび CS ピンは、コンフィギュレーション実行中および初期化中には、アクティブに保持しなければなりません。</p> <p>PPA コンフィギュレーション・モードでは、nCS ピンまたは CS ピンのいずれかを使用することのみ必要です。したがって、1 つのチップ・セレクト入力のみを使用する場合、他の入力はアクティブ状態に接続しておきます。例えば、nCS は GND に接続でき、CS は切り替えてコンフィギュレーションを制御します。PPA 以外の手法では、このピンはコンフィギュレーション実行中にはユーザ I/O ピンとして機能し、トライ・ステートになります。</p> <p>PPA コンフィギュレーション実行後は、nCS および CS はユーザ I/O ピンとして使用可能であり、これらのピンの状態は兼用ピンの設定によって決まります。</p>
RUnLU	リモート・コンフィギュレーション使用時には N/A、使用しない場合は I/O	FPP、PS、または PPA でのリモート・コンフィギュレーション	入力	<p>リモート・アップデートとローカル・アップデートの間で選択する入力。ロジック High (1.5 V、1.8 V、2.5 V、3.3 V) では、リモート・アップデートを選択し、ロジック Low はローカル・アップデートを選択します。</p> <p>リモート・アップデートまたはローカル・アップデート・コンフィギュレーション・モードを使用しないときには、このピンは汎用ユーザ I/O ピンとして使用可能です。</p>
PGM [2..0]	リモート・コンフィギュレーション使用時には N/A、使用しない場合は I/O	FPP、PS、または PPA でのリモート・コンフィギュレーション	入力	<p>これらの出力ピンは、リモート・コンフィギュレーション・モード使用時には、メモリ (フラッシュまたはエンハンスド・コンフィギュレーション・デバイス) 内の 8 ページの 1 つを選択します。</p> <p>リモート・アップデートまたはローカル・アップデート・コンフィギュレーション・モードを使用しないときには、これらのピンは汎用ユーザ I/O ピンとして使用可能です。</p>

表 11-16 にオプションのコンフィギュレーション・ピンを示します。これらオプションのコンフィギュレーション・ピンは、Quartus II ソフトウェアでイネーブルされていない場合には、汎用ユーザ I/O ピンとして使用可能です。したがって、コンフィギュレーション実行中は、これらのピンはユーザ I/O ピンとして機能し、弱いプルアップでトライ・ステートになります。

表 11-16. オプションのコンフィギュレーション・ピン			
ピン名	ユーザ・モード	ピン・タイプ	説明
CLKUSR	オプションがオンの場合は N/A。 オプションがオフの場合は I/O。	入力	オプションのユーザ供給クロック入力。1 つまたは複数のデバイスの初期化を同期させます。このピンは、Quartus II ソフトウェアで、 Enable user-supplied start-up clock (CLKUSR) オプションをオンにするとイネーブルされます。
INIT_DONE	オプションがオンの場合は N/A。 オプションがオフの場合は I/O。	出力 オープン・ドレイン	ステータス・ピン。デバイスが初期化されユーザ・モードになったことを示すのに使用できます。nCONFIG が Low で、コンフィギュレーション開始中のとき、INIT_DONE ピンはトライ・ステートになり、10 kΩ の外部プルアップ抵抗によって High にプルアップされます。INIT_DONE をイネーブルするオプション・ビットがデバイスにプログラムされると（コンフィギュレーション・データの最初のフレーム時）、INIT_DONE ピンが Low になります。初期化が完了すると、INIT_DONE ピンが解放され High にプルアップされると、FPGA はユーザ・モードに入ります。したがって、監視回路は Low から High への遷移を検出できなければなりません。このピンは、Quartus II ソフトウェアで、 Enable INIT_DONE output オプションをオンにするとイネーブルされます。
DEV_OE	オプションがオンの場合は N/A。 オプションがオフの場合は I/O。	入力	ユーザがデバイスのすべてのトライ・ステートを無効にできるオプションのピンです。このピンが Low にドライブされると、I/O ピンはすべてトライ・ステートになります。このピンが High にドライブされると、I/O ピンはすべてプログラムされたとおり動作します。このピンは、Quartus II ソフトウェアで、 Enable device-wide output enable (DEV_OE) オプションをオンにするとイネーブルされます。
DEV_CLRn	オプションがオンの場合は N/A。 オプションがオフの場合は I/O。	入力	ユーザがデバイス・レジスタのすべてのクリアを無効にできるオプションのピンです。このピンが Low にドライブされると、すべてのレジスタがクリアされます。このピンが High にドライブされると、レジスタはすべてプログラムされたとおり動作します。このピンは、Quartus II ソフトウェアで、 Enable device-wide reset (DEV_CLRn) オプションをオンにするとイネーブルされます。

表 11-17 に専用の JTAG ピンを示します。JTAG ピンは、コンフィギュレーション実行前または実行中は、JTAG 命令が誤ってロードされないように安定状態に維持しなければなりません。SignalTap II エンベデッド・ロジック・アナライザを使用する場合には、デバイスの JTAG ピンをボードの JTAG ヘッダに接続する必要があります。

表 11-17. 専用 JTAG ピン			
ピン名	ユーザ・モード	ピン・タイプ	説明
TDI	N/A	入力	命令、テストおよびプログラミング・データ用シリアル入力ピン。データは TCK の立ち上がりエッジでシフトされます。ボードに JTAG インタフェースが必要ない場合は、このピンを V_{CC} に接続すると JTAG 回路をディセーブルできます。このピンはシュミット・トリガ入力バッファを使用します。
TDO	N/A	出力	命令、テストおよびプログラミング・データ用シリアル・データ出力ピン。データは TCK の立ち下がりエッジでシフト・アウトされます。このピンはデバイスからデータがシフト・アウトされない場合は、トライ・ステートになります。ボードに JTAG インタフェースが必要ない場合、このピンを接続しないでよくと JTAG 回路をディセーブルすることができます。
TMS	N/A	入力	TAP コントローラ・ステート・マシンの遷移を決定するコントロール信号を供給する入力ピン。ステート・マシン内の遷移は、TCK の立ち上がりエッジで発生します。したがって、TCK の立ち上がりエッジ前に、TMS をセットアップする必要があります。TMS は、TCK の立ち上がりエッジで評価されます。ボードに JTAG インタフェースが必要ない場合は、このピンを V_{CC} に接続すると JTAG 回路をディセーブルできます。このピンはシュミット・トリガ入力バッファを使用します。
TCK	N/A	入力	BST 回路へのクロック入力。動作には立ち上がりエッジで行われるものと、立ち下がりエッジで行われるものがあります。ボードに JTAG インタフェースが必要ない場合は、このピンを GND に接続すると JTAG 回路をディセーブルできます。このピンはシュミット・トリガ入力バッファを使用します。
TRST	N/A	入力	バウンダリ・スキャン回路を非同期でリセットするアクティブ Low 入力。TRST ピンは IEEE Std. 1149.1 に従ってオプションです。ボードに JTAG インタフェースが必要ない場合は、このピンを GND に接続すると JTAG 回路をディセーブルできます。このピンはシュミット・トリガ入力バッファを使用します。

