

## 電気的特性

本章では、Stratix® V デバイスの電気的およびスイッチング特性について説明します。電気的特性は動作条件および熱消費電力を含んでいます。そして、スイッチング特性はトランシーバの仕様、コア、および周辺性能を含んでいます。また、本章は I/O タイミング、プログラマブル I/O エlement (IOE) の遅延およびプログラマブル出力バッファの遅延などについて説明します。

Stratix V ファミリーにおけるデバイスの集積度とパッケージについては、「[Stratix V Device Family Overview](#)」の章を参照してください。

## 動作条件

Stratix V デバイスを使用するときには、定義された一連のパラメータを守る必要があります。Stratix V デバイスが持つ性能と信頼性を最高のレベルに維持するには、この章で説明する動作上の項目について十分な配慮が必要です。

Stratix V デバイスは、コマーシャルおよび工業用温度グレードで提供されています。コマーシャル・グレードのデバイスは、-2 (最速)、-3、および -4 のスピード・グレードで提供されています。インダストリアル・デバイスは、-3、および -4 のスピード・グレードで提供されています。

## 絶対最大定格

絶対最大定格は、Stratix V デバイスが破壊に耐えうる限界を規定したものであり、デバイスの正常な機能を保証するものではありません。これらの値は、デバイスが破壊に至るまでの理論的なモデル、破壊のメカニズム、デバイス試験結果に基づいています。これらの条件下におけるデバイス機能動作を示すものではありません。



表 1-1 に記載された他の条件は、デバイスに致命的な損傷を与える可能性があります。また、デバイスを絶対最大定格で長期間動作させると、デバイスに悪影響を与える可能性があります。

表 1 1. Stratix V デバイスの絶対最大定格 暫定仕様 (その 1)

シンボル	説明	Min	Max	単位
V <sub>CC</sub>	コア電圧およびペリフェラル回路電源電圧	-0.5	1.35	V
V <sub>CCPT</sub>	プログラマブル・パワー・テクノロジー用電源電圧	-0.5	1.8	V
V <sub>CCPGM</sub>	コンフィギュレーション・ピン電源電圧	-0.5	3.75	V
V <sub>CCAUX</sub>	プログラマブル・パワー・テクノロジー用補助電源電圧	-0.5	3.75	V
V <sub>CCBAT</sub>	デザイン・セキュリティ揮発性キー・レジスタ用バッテリー・バックアップ電源電圧	-0.5	3.75	V
V <sub>CCPD</sub>	I/O ブリドライバ電源電圧	-0.5	3.75	V
V <sub>CCIO</sub>	I/O 電源電圧	-0.5	3.9	V

© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at [www.altera.com/common/legal.html](http://www.altera.com/common/legal.html). Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

表 1 1. Stratix V デバイスの絶対最大定格 暫定仕様 (その2)

シンボル	説明	Min	Max	単位
$V_{CCD\_FPLL}$	PLL デジタル電源電圧	-0.5	3.75	V
$V_{CCA\_FPLL}$	PLL アナログ電源電圧	-0.5	3.75	V
$V_I$	DC 入力電圧	-0.5	4.0	V
$I_{OUT}$	ピンあたりの DC 出力電流	-25	40	mA
$T_J$	動作ジャンクション温度	-55	125	°C
$T_{STG}$	保存温度 (バイアスなし)	-65	150	°C

**最大許容オーバーシュート / アンダーシュート電圧**

過渡時には、入力電流が 100 mA 未満、期間が 20 ns 未満であれば、入力信号は表 1-2 に示す電圧までオーバーシュート、および -2.0 V までアンダーシュートが許されます。

表 1-2 に、最大許容入力オーバーシュート電圧と、オーバーシュート電圧の期間をデバイス寿命における割合として示します。最大許容オーバーシュート期間は、デバイス寿命における High 時間の割合として規定されます。DC 信号は 100% ディューティ・サイクルに相当します。例えば、3.95 V にオーバーシュートする信号は、デバイス寿命の 5% までの期間のみ 3.95 V になることができます。デバイス寿命が 10 年の場合、これは 1 年の 1/2 に相当します。

表 1 2. 過渡期間における最大許容オーバーシュート 暫定仕様

シンボル	説明	条件 (V)	オーバーシュート期間 (% @ $T_J = 100^\circ\text{C}$ )	単位
$V_i$ (AC)	AC 入力電圧	3.8	100	%
		3.85	64	%
		3.9	36	%
		3.95	21	%
		4	12	%
		4.05	7	%
		4.1	4	%
		4.15	2	%
		4.2	1	%

**推奨動作条件**

この項では、Stratix V デバイスの正常な機能動作を保証するための AC および DC パラメータ範囲について説明します。表 1-3 に、Stratix V デバイスで期待される定常状態の電流および電圧値を示します。すべての電源は、厳密に単調に上昇する必要があり、水平状態になってはなりません。

表 1 3. Stratix V の推奨動作条件 暫定仕様 (その1)

シンボル	説明	条件	Min	Typ	Max	単位
$V_{CC}$	コア電圧およびペリフェラル回路電源電圧	—	0.82	0.85	0.88	V
$V_{CCPT}$	プログラマブル・パワー・テクノロジー用電源電圧	—	1.45	1.50	1.55	V

表 1 3. Stratix V の推奨動作条件 暫定仕様 (その2)

シンボル	説明	条件	Min	Typ	Max	単位
$V_{CCAUX}$	プログラマブル・パワー・テクノロジー用補助電源電圧	—	2.375	2.5	2.625	V
$V_{CCPD} (1)$	I/O プリドライバ (3.0 V) 電源電圧	—	2.85	3.0	3.15	V
	I/O プリドライバ (2.5 V) 電源電圧	—	2.375	2.5	2.625	V
$V_{CCIO}$	I/O バッファ (3.0 V) 電源電圧	—	2.85	3.0	3.15	V
	I/O バッファ (2.5 V) 電源電圧	—	2.375	2.5	2.625	V
	I/O バッファ (1.8 V) 電源電圧	—	1.71	1.8	1.89	V
	I/O バッファ (1.5 V) 電源電圧	—	1.425	1.5	1.575	V
	I/O バッファ (1.35 V) 電源電圧	—	1.283	1.35	1.45	V
	I/O バッファ (1.25 V) 電源電圧	—	1.19	1.25	1.31	V
	I/O バッファ (1.2 V) 電源電圧	—	1.14	1.2	1.26	V
$V_{CCPGM}$	コンフィギュレーション・ピン (3.0 V) 電源電圧	—	2.85	3.0	3.15	V
	コンフィギュレーション・ピン (2.5 V) 電源電圧	—	2.375	2.5	2.625	V
	コンフィギュレーション・ピン (1.8 V) 電源電圧	—	1.71	1.8	1.89	V
$V_{CCA\_FPLL}$	PLL 用アナログ・ボルテージ・レギュレータ電源電圧	—	2.375	2.5	2.625	V
$V_{CCD\_FPLL}$	PLL 用デジタル・ボルテージ・レギュレータ電源電圧	—	1.45	1.5	1.55	V
$V_{CCBAT} (2)$	バッテリー・バックアップ電源電圧 (デザイン・セキュリティ揮発性キー・レジスタ用)	—	1.2	—	3.0	V
$V_I$	DC 入力電圧	—	-0.5	—	3.6	V
$V_O$	出力電圧	—	0	—	$V_{CCIO}$	V
$T_J$	動作ジャンクション温度	コマーシャル	0	—	85	°C
		工業用	-40	—	100	°C
$t_{RAMP} (3)$	電源ランプ時間	ノーマル POR (PORSEL=0)	200 $\mu$ s	—	100	ms
		ファースト POR (PORSEL=1)	200 $\mu$ s	—	4	ms

表 1-3 の注：

- (1)  $V_{CCIO}$  が 2.5、1.8、1.5、1.35、1.25 または 1.2 V のときに、 $V_{CCPD}$  は 2.5 V です。 $V_{CCIO}$  が 3.0 V のときに、 $V_{CCPD}$  は 3.0 V です。
- (2) Stratix V デバイスのデザイン・セキュリティ機能を使用しない場合は、2.5 V または 3.0 V の電源に  $V_{CCBAT}$  を接続してください。Stratix V POR は  $V_{CCBAT}$  をモニタします。 $V_{CCBAT}$  がロジック Low のままである場合、Stratix V デバイスは POR を終了しません。
- (3) 各電源が 200  $\mu$ s 内に推奨動作範囲に達する必要があります。

表 1-4 に、Stratix V GX デバイスのトランシーバ電源の推奨動作条件を示します。

表 1 4. Stratix V GX および GS デバイス用のトランシーバ電源の動作条件 暫定仕様

シンボル	説明	Min	Typ	Max	単位
$V_{CCA\_GXBL}$ (1)	トランシーバ高電圧電源電圧 (左側)	2.85, 2.375	3.0, 2.5	3.15, 2.625	V
$V_{CCA\_GXBR}$ (1)	トランシーバ高電圧電源電圧 (右側)				
$V_{CCHIP\_L}$	トランシーバ HIP デジタル電源電圧 (左側)	0.82	0.85	0.88	V
$V_{CCHIP\_R}$	トランシーバ HIP デジタル電源電圧 (右側)				
$V_{CCHSSL\_L}$	トランシーバ PCS 電源 (左側)	0.82	0.85	0.88	V
$V_{CCHSSL\_R}$	トランシーバ PCS 電源 (右側)				
$V_{CCR\_GXBL}$ (2)	レシーバ電源電圧 (左側)	0.80, 0.95	0.85, 1.0	0.89, 1.05	V
$V_{CCR\_GXBR}$ (2)	レシーバ電源電圧 (右側)				
$V_{CCT\_GXBL}$ (2)	トランスミッタ電源電圧 (左側)	0.80, 0.95	0.85, 1.0	0.89, 1.05	V
$V_{CCT\_GXBR}$ (2)	トランスミッタ電源電圧 (右側)				
$V_{CCH\_GXBL}$	トランスミッタ出力バッファ電源 (左側)	1.425	1.5	1.575	V
$V_{CCH\_GXBR}$	トランスミッタ出力バッファ電源 (右側)				

表 1-4 の注 :

- (1) CMU PLL、レシーバ CDR、あるいはその両方がベース・データ・レート > 6.5 Gbps でコンフィギュレーションされる場合、この電源を 3.0-V 供給に接続する必要があります。6.5 Gbps までのデータ・レートに、この電源を 3.0 V または 2.5 V のいずれかに接続できます。
- (2) トランシーバはデータ・レート > 6.5 Gbps でコンフィギュレーションされる場合、この電源を 1.0-V に接続する必要があります。6.5 Gbps までのデータ・レートに、この電源を 1.0 V または 0.85 V のいずれかに接続できます。

## DC 特性

この項では、供給電流、I/O ピンのリーク電流、入力ピンのキャパシタンス、On-Chip Termination (チップ内終端抵抗) の精度、およびホット・ソケットの仕様について説明します。

### 供給電流

待機時電流は、デバイスの消費電力に使用するそれぞれの電源レールから引き出される電流です。これらの電流は、使用するリソースに応じて大きく異なるため、Excel ベースの Early Power Estimator (EPE) を使用してデザインの電源電流の見積もりを取得してください。

 消費電力見積もりツールについて詳しくは、「Quartus II ハンドブック」の「PowerPlay Early Power Estimator User Guide」および「PowerPlay Power Analysis」の章を参照してください。

### I/O ピンのリーク電流

表 1-5 に、Stratix V の I/O ピンのリーク電流仕様を示します。

表 1 5. StratixV デバイスの I/O ピンのリーク電流 暫定仕様

シンボル	説明	条件	Min	Typ	Max	単位
$I_I$	入力ピン	$V_I = 0\text{ V} \sim V_{CCIOMAX}$	-30	—	30	$\mu\text{A}$
$I_{OZ}$	トライ・ステート I/O ピン	$V_0 = 0\text{ V} \sim V_{CCIOMAX}$	-30	—	30	$\mu\text{A}$

### バス・ホールド特性

表 1-6 に、Stratix V デバイス・ファミリのバス・ホールド特性を示します。

表 1 6. バス・ホールド・パラメータ 暫定仕様

パラメータ	シンボル	条件	$V_{CCIO}$										単位
			1.2 V		1.5 V		1.8 V		2.5 V		3.0 V		
			Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
Low 保持電流	$I_{SUSL}$	$V_{IN} > V_{IL}$ (max)	22.5	—	25.0	—	30.0	—	50.0	—	70.0	—	$\mu A$
High 保持電流	$I_{SUSH}$	$V_{IN} < V_{IH}$ (min)	-22.5	—	-25.0	—	-30.0	—	-50.0	—	-70.0	—	$\mu A$
Low オーバードライブ電流	$I_{ODL}$	$0V < V_{IN} < V_{CCIO}$	—	120	—	160	—	200	—	300	—	500	$\mu A$
High オーバードライブ電流	$I_{ODH}$	$0V < V_{IN} < V_{CCIO}$	—	-120	—	-160	—	-200	—	-300	—	-500	$\mu A$
バス・ホールドのトリップ・ポイント	$V_{TRIP}$	—	0.45	0.95	0.50	1.00	0.68	1.07	0.70	1.70	0.80	2.00	V

### On-Chip Termination (OCT) 仕様

OCT キャリブレーションをイネーブルすると、キャリブレーションはキャリブレーション・ブロックに接続された I/O のパワーアップ時に自動的に実行されます。

表 1-7 に、Stratix V の OCT キャリブレーション精度暫定仕様を示します。

表 1 7. Stratix V OCT のキャリブレーション精度仕様 暫定仕様 (その1) (注1)

シンボル	説明	条件	キャリブレーション精度			単位
			C2	C3,13	C4,14	
25- $\Omega$ $R_S$	キャリブレーション付き内部直列終端 (25- $\Omega$ 設定)	$V_{CCIO} = 3.0, 2.5, 1.8, 1.5, 1.2 V$	$\pm 15$	$\pm 15$	$\pm 15$	%
50- $\Omega$ $R_S$	キャリブレーション付き内部直列終端 (50- $\Omega$ 設定)	$V_{CCIO} = 3.0, 2.5, 1.8, 1.5, 1.2 V$	$\pm 15$	$\pm 15$	$\pm 15$	%
34- $\Omega$ と 40- $\Omega$ $R_S$	キャリブレーション付き内部直列終端 (34- $\Omega$ および 40- $\Omega$ 設定)	$V_{CCIO} = 1.5, 1.35, 1.25, 1.2 V$	$\pm 15$	$\pm 15$	$\pm 15$	%
48- $\Omega$ 、60- $\Omega$ 、と 80- $\Omega$ $R_S$	キャリブレーション付き内部直列終端 (48- $\Omega$ 、60- $\Omega$ 、および 80- $\Omega$ 設定)	$V_{CCIO} = 1.2 V$	$\pm 15$	$\pm 15$	$\pm 15$	%
50- $\Omega$ $R_T$	キャリブレーション付き内部並列終端 (50- $\Omega$ 設定)	$V_{CCIO} = 2.5, 1.8, 1.5, 1.2 V$	-10 ~ +40	-10 ~ +40	-10 ~ +40	%

表 1 7. Stratix V OCT のキャリブレーション精度仕様 暫定仕様 ( その 2 ) ( 注 1 )

シンボル	説明	条件	キャリブレーション精度			単位
			C2	C3,I3	C4,I4	
20-Ω、30-Ω、40-Ω、60-Ω、と 120-Ω $R_T$	キャリブレーション付き内部並列終端 ( 20-Ω、30-Ω、40-Ω、60-Ω、および 120-Ω 設定 )	$V_{CCIO} = 1.5, 1.35, 1.25 V$	-10 ~ +40	-10 ~ +40	-10 ~ +40	%
60-Ω と 120-Ω $R_T$	キャリブレーション付き内部並列終端 ( 60-Ω および 120-Ω 設定 )	$V_{CCIO} = 1.2$	-10 ~ +40	-10 ~ +40	-10 ~ +40	%
25-Ω $R_{S\_left\_shift}$	キャリブレーション付き左シフト内部直列終端 ( 25-Ω $R_{S\_left\_shift}$ 設定 )	$V_{CCIO} = 3.0, 2.5, 1.8, 1.5, 1.2 V$	± 15	± 15	± 15	%

表 1-7 の注:

(1) OCT キャリブレーション精度はキャリブレーション時のみ有効です。

キャリブレーション済み直列および並列 OCT のキャリブレーション精度は、キャリブレーションの時点で適用されます。キャリブレーション後にプロセス、電圧、および温度 (PVT) 条件が変化するとき、抵抗の精度も変化することがあります。表 1-8 に、PVT の変化にキャリブレーション抵抗の精度なしの Stratix V OCT を示します。

表 1 8. キャリブレーション抵抗の精度仕様なしの Stratix V OCT 暫定仕様 ( 注 1 )

シンボル	説明	条件	抵抗の精度			単位
			C2	C3,I3	C4,I4	
25-Ω $R_S$	キャリブレーションなし内部直列終端 ( 25-Ω 設定 )	$V_{CCIO} = 3.0$ と $2.5 V$	± 30	± 40	± 40	%
25-Ω $R_S$	キャリブレーションなし内部直列終端 ( 25-Ω 設定 )	$V_{CCIO} = 1.8$ と $1.5 V$	± 30	± 40	± 40	%
25-Ω $R_S$	キャリブレーションなし内部直列終端 ( 25-Ω 設定 )	$V_{CCIO} = 1.2 V$	± 35	± 50	± 50	%
50-Ω $R_S$	キャリブレーションなし内部直列終端 ( 50-Ω 設定 )	$V_{CCIO} = 3.0$ と $2.5 V$	± 30	± 40	± 40	%
50-Ω $R_S$	キャリブレーションなし内部直列終端 ( 50-Ω 設定 )	$V_{CCIO} = 1.8$ と $1.5 V$	± 30	± 40	± 40	%
50-Ω $R_S$	キャリブレーションなし内部直列終端 ( 50-Ω 設定 )	$V_{CCIO} = 1.2 V$	± 35	± 50	± 50	%
100-Ω $R_D$	内部差動終端 ( 100-Ω 設定 )	$V_{CCIO} = 2.5 V$	± 25	± 25	± 25	%

表 1-8 の注:

(1) シリコン特性評価待ちです。

OCT キャリブレーションは、OCT がイネーブルされている I/O に対してパワーアップ時に自動的に実行されます。表 1-9 に、パワーアップ・キャリブレーション後の温度と電圧に伴う OCT のばらつきを示します。表 1-9 を使用して、パワーアップ・キャリブレーション後の OCT の精度を判断します。また、式 1-1 を使用して、再キャリブレーションしない場合の OCT の精度を判断します。

**式 1 1. 再キャリブレーションなし OCT のばらつき 暫定仕様 (注 1), (2), (3), (4), (5), (6)**

$$R_{OCT} = R_{SCAL} \left( 1 + \left\langle \frac{dR}{dT} \times \Delta T \right\rangle \pm \left\langle \frac{dR}{dV} \times \Delta V \right\rangle \right)$$

式 1-1 の注 :

- (1) 式 1-1 から計算された  $R_{OCT}$  値は、温度と  $V_{CCIO}$  電圧の変動によって OCT 抵抗の範囲を示します。
- (2)  $R_{SCAL}$  はパワーアップでの OCT 抵抗値です。
- (3)  $\Delta T$  はパワーアップでの温度に関する温度の変動です。
- (4)  $\Delta V$  はパワーアップでの  $V_{CCIO}$  に関する電圧の変動です。
- (5)  $dR/dT$  は、温度に伴う  $R_{SCAL}$  の変化率です。
- (6)  $dR/dV$  は、電圧に伴う  $R_{SCAL}$  の変化率です。

表 1-9 に、パワーアップ・キャリブレーション後の On-Chip Termination の精度を示します。

**表 1 9. パワーアップ・キャリブレーション後の OCT のばらつき 暫定仕様 (注 1), (2)**

シンボル	説明	$V_{CCIO}$ (V)	Typ	単位
dR/dV	再キャリブレーションなし OCT の電圧に伴うばらつき	3.0	0.0297	% / mV
		2.5	0.0344	
		1.8	0.0499	
		1.5	0.0744	
		1.2	0.1241	
dR/dT	再キャリブレーションなし OCT の温度に伴うばらつき	3.0	0.189	% / °C
		2.5	0.208	
		1.8	0.266	
		1.5	0.273	
		1.2	0.317	

表 1-9 の注 :

- (1)  $\pm 5\% V_{CCIO}$  範囲および  $0^\circ \sim 85^\circ\text{C}$  の温度範囲で有効。
- (2) シリコン特性評価待ちです。

## ピン・キャパシタンス

表 1-10 に、Stratix V デバイス・ファミリのピン・キャパシタンスを示します。

表 1 10. Stratix V デバイスのピン・キャパシタンス 暫定仕様

シンボル	説明	Typ	単位
$C_{IOTB}$	トップ/ボトム I/O ピンの入力キャパシタンス	5.5	pF
$C_{IOLR}$	レフト/ライト I/O ピンの入力キャパシタンス	5.5	pF
$C_{OUTFB}$	兼用クロック出力/フィードバック・ピンの入力キャパシタンス	5.5	pF

## ホット・ソケット

表 1-11 に、Stratix V デバイスのホット・ソケット仕様を示します。

表 1 11. Stratix V デバイスのホット・ソケット仕様 暫定仕様

シンボル	説明	Max
$I_{IOPIN} (DC)$	I/O ピンあたりの DC 電流	300 $\mu$ A
$I_{IOPIN} (AC)$	I/O ピンあたりの AC 電流	8 mA (1)
$I_{XCVR-TX} (DC)$ (2)	トランシーバ TX ピンあたりの DC 電流	100 mA
$I_{XCVR-RX} (DC)$ (2)	トランシーバ RX ピンあたりの DC 電流	50 mA

表 1-11 の注:

- (1) I/O ランプ・レートは 10 ns 以上です。10 ns 未満のランプ・レートの場合、 $|I_{IOPIN}| = C \, dv/dt$  です。ここで、C は I/O ピンのキャパシタンス、 $dv/dt$  はスルー・レートです。
- (2) これらの仕様は暫定仕様です。

## 内部ウィーク・プルアップ抵抗

表 1-12 に、Stratix V デバイスのウィーク・プルアップ抵抗値を示します。

表 1 12. 内部ウィーク・プルアップ抵抗 暫定仕様 (注 1), (2)

シンボル	説明	条件 (3)	Min	Typ	Max	単位
$R_{PU}$	プログラマブルなプルアップ抵抗のオプションがイネーブルされるとき、ユーザー・モードと同様のコンフィギュレーションの前とコンフィギュレーション中の I/O ピンのプルアップ抵抗値です。	$V_{CCIO} = 3.0 \, V \pm 5\%$	—	25	—	k $\Omega$
		$V_{CCIO} = 2.5 \, V \pm 5\%$	—	25	—	k $\Omega$
		$V_{CCIO} = 1.8 \, V \pm 5\%$	—	25	—	k $\Omega$
		$V_{CCIO} = 1.5 \, V \pm 5\%$	—	25	—	k $\Omega$
		$V_{CCIO} = 1.35 \, V \pm 5\%$	—	25	—	k $\Omega$
		$V_{CCIO} = 1.25 \, V \pm 5\%$	—	25	—	k $\Omega$
		$V_{CCIO} = 1.2 \, V \pm 5\%$	—	25	—	k $\Omega$

表 1-12 の注:

- (1) すべての I/O ピンには、コンフィギュレーション、テスト、および JTAG ピンを除いて、ウィーク・プルアップ抵抗をイネーブルするオプションがあります。
- (2) 内部ウィーク・プルダウン機能は JTAG TCK ピンでのみ使用できます。この内部ウィーク・プルダウン抵抗の標準値は約 25 k $\Omega$  です。
- (3) 外部ソースが  $V_{CCIO}$  よりも高い電圧でピンをドライブしている場合は、ピンのプルアップ抵抗値が低下することがあります。

## I/O 規格仕様

表 1-13 ~ 表 1-18 に、Stratix V デバイスがサポートする各種 I/O 規格の入力電圧 ( $V_{IH}$  および  $V_{IL}$ )、出力電圧 ( $V_{OH}$  および  $V_{OL}$ )、電流ドライブ特性 ( $I_{OH}$  および  $I_{OL}$ ) を示します。そして、Stratix V デバイス・ファミリの I/O 規格の仕様も示します。 $V_{OL}$  および  $V_{OH}$  は、それぞれ対応する  $I_{OH}$  および  $I_{OL}$  の値です。

表 1-13 ~ 表 1-18 で使用される用語の説明は、1-30 ページの「用語集」を参照してください。

表 1 13. シングル・エンド I/O 規格 暫定仕様

I/O 規格	$V_{CCIO}$ (V)			$V_{IL}$ (V)		$V_{IH}$ (V)		$V_{OL}$ (V)	$V_{OH}$ (V)	$I_{OL}$ (mA)	$I_{OH}$ (mA)
	Min	Typ	Max	Min	Max	Min	Max	Max	Min		
LVTTTL	2.85	3	3.15	-0.3	0.8	1.7	3.6	0.4	2.4	2	-2
LVC MOS	2.85	3	3.15	-0.3	0.8	1.7	3.6	0.2	$V_{CCIO} - 0.2$	0.1	-0.1
2.5 V	2.375	2.5	2.625	-0.3	0.7	1.7	3.6	0.4	2	1	-1
1.8 V	1.71	1.8	1.89	-0.3	0.35 * $V_{CCIO}$	0.65 * $V_{CCIO}$	$V_{CCIO} + 0.3$	0.45	$V_{CCIO} - 0.45$	2	-2
1.5 V	1.425	1.5	1.575	-0.3	0.35 * $V_{CCIO}$	0.65 * $V_{CCIO}$	$V_{CCIO} + 0.3$	0.25 * $V_{CCIO}$	0.75 * $V_{CCIO}$	2	-2
1.2 V	1.14	1.2	1.26	-0.3	0.35 * $V_{CCIO}$	0.65 * $V_{CCIO}$	$V_{CCIO} + 0.3$	0.25 * $V_{CCIO}$	0.75 * $V_{CCIO}$	2	-2

表 1 14. シングル・エンド SSTL および HSTL I/O リファレンス電圧仕様 暫定仕様

I/O 規格	$V_{CCIO}$ (V)			$V_{REF}$ (V)			$V_{TT}$ (V)		
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max
SSTL-2 Class I, II	2.375	2.5	2.625	0.49 * $V_{CCIO}$	0.5 * $V_{CCIO}$	0.51 * $V_{CCIO}$	$V_{REF} - 0.04$	$V_{REF}$	$V_{REF} + 0.04$
SSTL-18 Class I, II	1.71	1.8	1.89	0.833	0.9	0.969	$V_{REF} - 0.04$	$V_{REF}$	$V_{REF} + 0.04$
SSTL-15 Class I, II	1.425	1.5	1.575	0.49 * $V_{CCIO}$	0.5 * $V_{CCIO}$	0.51 * $V_{CCIO}$	0.49 * $V_{CCIO}$	0.5 * $V_{CCIO}$	0.51 * $V_{CCIO}$
SSTL 135 Class I, II	1.283	1.35	1.418	0.49 * $V_{CCIO}$	0.5 * $V_{CCIO}$	0.51 * $V_{CCIO}$	0.49 * $V_{CCIO}$	0.5 * $V_{CCIO}$	0.51 * $V_{CCIO}$
SSTL 125 Class I, II	1.19	1.25	1.26	0.49 * $V_{CCIO}$	0.5 * $V_{CCIO}$	0.51 * $V_{CCIO}$	0.49 * $V_{CCIO}$	0.5 * $V_{CCIO}$	0.51 * $V_{CCIO}$
SSTL 12 Class I, II	1.14	1.20	1.26	0.49 * $V_{CCIO}$	0.5 * $V_{CCIO}$	0.51 * $V_{CCIO}$	0.49 * $V_{CCIO}$	0.5 * $V_{CCIO}$	0.51 * $V_{CCIO}$
HSTL-18 Class I, II	1.71	1.8	1.89	0.85	0.9	0.95	—	$V_{CCIO}/2$	—
HSTL-15 Class I, II	1.425	1.5	1.575	0.68	0.75	0.9	—	$V_{CCIO}/2$	—
HSTL-12 Class I, II	1.14	1.2	1.26	0.47 * $V_{CCIO}$	0.5 * $V_{CCIO}$	0.53 * $V_{CCIO}$	—	$V_{CCIO}/2$	—
HSUL-12	1.14	1.2	1.3	0.49 * $V_{CCIO}$	0.5 * $V_{CCIO}$	0.51 * $V_{CCIO}$	—	—	—

表 1 15. シングル・エンド SSTL および HSTL I/O 規格信号仕様 暫定仕様

I/O 規格	$V_{IL(DC)}(V)$		$V_{IH(DC)}(V)$		$V_{IL(AC)}(V)$	$V_{IH(AC)}(V)$	$V_{OL}(V)$	$V_{OH}(V)$	$I_{ol} (mA)$	$I_{oh} (mA)$
	Min	Max	Min	Max	Max	Min	Max	Min		
SSTL-2 Class I	-0.3	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$V_{CCIO} + 0.3$	$V_{REF} - 0.31$	$V_{REF} + 0.31$	$V_{TT} - 0.608$	$V_{TT} + 0.608$	8.1	-8.1
SSTL-2 Class II	-0.3	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$V_{CCIO} + 0.3$	$V_{REF} - 0.31$	$V_{REF} + 0.31$	$V_{TT} - 0.81$	$V_{TT} + 0.81$	16.2	-16.2
SSTL-18 Class I	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCIO} + 0.3$	$V_{REF} - 0.25$	$V_{REF} + 0.25$	$V_{TT} - 0.603$	$V_{TT} + 0.603$	6.7	-6.7
SSTL-18 Class II	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCIO} + 0.3$	$V_{REF} - 0.25$	$V_{REF} + 0.25$	0.28	$V_{CCIO} - 0.28$	13.4	-13.4
SSTL-15 Class I	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.175$	$V_{REF} + 0.175$	0.2 * $V_{CCIO}$	0.8 * $V_{CCIO}$	8	-8
SSTL-15 Class II	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.175$	$V_{REF} + 0.175$	0.2 * $V_{CCIO}$	0.8 * $V_{CCIO}$	16	-16
SSTL 135 Class I, II	—	$V_{REF} - 0.09$	$V_{REF} + 0.09$	—	$V_{REF} - 0.16$	$V_{REF} + 0.16$	TBD (1)	TBD (1)	TBD (1)	TBD (1)
SSTL 125 Class I, II	—	$V_{REF} - 0.85$	$V_{REF} + 0.85$	—	$V_{REF} - 0.15$	$V_{REF} + 0.15$	TBD (1)	TBD (1)	TBD (1)	TBD (1)
SSTL 12 Class I, II	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.15$	$V_{REF} + 0.15$	TBD (1)	TBD (1)	TBD (1)	TBD (1)
HSTL-18 Class I	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	8	-8
HSTL-18 Class II	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	16	-16
HSTL-15 Class I	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	8	-8
HSTL-15 Class II	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	16	-16
HSTL-12 Class I	-0.15	$V_{REF} - 0.08$	$V_{REF} + 0.08$	$V_{CCIO} + 0.15$	$V_{REF} - 0.15$	$V_{REF} + 0.15$	0.25* $V_{CCIO}$	0.75* $V_{CCIO}$	8	-8
HSTL-12 Class II	-0.15	$V_{REF} - 0.08$	$V_{REF} + 0.08$	$V_{CCIO} + 0.15$	$V_{REF} - 0.15$	$V_{REF} + 0.15$	0.25* $V_{CCIO}$	0.75* $V_{CCIO}$	16	-16
HSUL-12	—	$V_{REF} - 0.13$	$V_{REF} + 0.13$	—	$V_{REF} - 0.22$	$V_{REF} + 0.22$	0.1* $V_{CCIO}$	0.9* $V_{CCIO}$	TBD (1)	TBD (1)

表 1-15 の注:

(1) シリコン特性評価待ちです。

表 1 16. 差動 SSTL I/O 規格 暫定仕様

I/O 規格	V <sub>CCIO</sub> (V)			V <sub>SWING(DC)</sub> (V)		V <sub>X(AC)</sub> (V)			V <sub>SWING(AC)</sub> (V)		V <sub>OX(AC)</sub> (V)		
	Min	Typ	Max	Min	Max	Min	Typ	Max	Min	Max	Min	Typ	Max
SSTL-2 Class I, II	2.375	2.5	2.625	0.3	V <sub>CCIO</sub> + 0.6	V <sub>CCIO</sub> /2 - 0.2	—	V <sub>CCIO</sub> /2 + 0.2	0.62	V <sub>CCIO</sub> + 0.6	V <sub>CCIO</sub> /2 - 0.15	—	V <sub>CCIO</sub> /2 + 0.15
SSTL-18 Class I, II	1.71	1.8	1.89	0.25	V <sub>CCIO</sub> + 0.6	V <sub>CCIO</sub> /2 - 0.175	—	V <sub>CCIO</sub> /2 + 0.175	0.5	V <sub>CCIO</sub> + 0.6	V <sub>CCIO</sub> /2 - 0.125	—	V <sub>CCIO</sub> /2 + 0.125
SSTL-15 Class I, II	1.425	1.5	1.575	0.2	-0.2	-0.15	—	0.15	-0.35	0.35	—	V <sub>CCIO</sub> /2	—
SSTL 135 Class I, II	1.283	1.35	1.45	0.2	-0.2	V <sub>REF</sub> - 0.135	V <sub>CCIO</sub> /2	V <sub>REF</sub> + 0.135	TBD (1)	TBD (1)	V <sub>REF</sub> - 0.15	—	V <sub>REF</sub> + 0.15
SSTL 125 Class I, II	1.19	1.25	1.31	TBD (1)	—	TBD (1)	V <sub>CCIO</sub> /2	TBD (1)	TBD (1)	—	TBD (1)	TBD (1)	TBD (1)
SSTL 12 Class I, II	1.14	1.2	1.26	TBD (1)	—	V <sub>REF</sub> - 0.15	V <sub>CCIO</sub> /2	V <sub>REF</sub> + 0.15	-0.30	0.30	TBD (1)	TBD (1)	TBD (1)

表 1-16 の注：

(1) シリコン特性評価待ちです。

表 1 17. 差動 HSTL I/O 規格 暫定仕様

I/O 規格	V <sub>CCIO</sub> (V)			V <sub>DIF(DC)</sub> (V)		V <sub>X(AC)</sub> (V)			V <sub>CM(DC)</sub> (V)			V <sub>DIF(AC)</sub> (V)	
	Min	Typ	Max	Min	Max	Min	Typ	Max	Min	Typ	Max	Min	Max
HSTL-18 Class I, II	1.71	1.8	1.89	0.2	—	0.78	—	1.12	0.78	—	1.12	0.4	—
HSTL-15 Class I, II	1.425	1.5	1.575	0.2	—	0.68	—	0.9	0.68	—	0.9	0.4	—
HSTL-12 Class I, II	1.14	1.2	1.26	0.16	V <sub>CCIO</sub> + 0.3	—	0.5* V <sub>CCIO</sub>	—	0.4* V <sub>CCIO</sub>	0.5* V <sub>CCIO</sub>	0.6* V <sub>CCIO</sub>	0.3	V <sub>CCIO</sub> + 0.48
HSUL-12	1.14	1.2	1.3	0.26	0.26	0.5*V <sub>CCIO</sub> - 0.12	0.5* V <sub>CCIO</sub>	0.5*V <sub>CCIO</sub> + 0.12	0.4* V <sub>CCIO</sub>	0.5* V <sub>CCIO</sub>	0.6* V <sub>CCIO</sub>	0.44	0.44

表 1 18. 差動 I/O 規格の仕様 暫定仕様 (注 1) (その 1)

I/O 規格	V <sub>CCIO</sub> (V)			V <sub>ID</sub> (mV)			V <sub>ICM(DC)</sub> (V)			V <sub>OD</sub> (V) (2)			V <sub>Ocm</sub> (V) (2)		
	Min	Typ	Max	Min	条件	Max	Min	条件	Max	Min	Typ	Max	Min	Typ	Max
PCML	トランスミッタ、レシーバ、および高速トランシーバの入力基準クロックは PCML I/O 規格を使用します。 トランスミッタ、レシーバ、および高速トランシーバの基準クロック I/O ピン仕様について詳しくは、 1-13 ページの 表 1-19 を参照してください。														
2.5 V LVDS	2.375	2.5	2.625	100	V <sub>CM</sub> = 1.25 V	—	0.05	D <sub>MAX</sub> ≤ 700 Mbps	1.8	0.247	—	0.6	1.125	1.25	1.375
						—	1.05	D <sub>MAX</sub> > 700 Mbps	1.55	0.247	—	0.6	1.125	1.25	1.375
RSDS (HIO)	2.375	2.5	2.625	100	V <sub>CM</sub> = 1.25 V	—	0.3	—	1.4	0.1	0.2	0.6	0.5	1.2	1.4

表 1-18. 差動 I/O 規格の仕様 暫定仕様 (注1) (その2)


I/O 規格	V <sub>CCIO</sub> (V)			V <sub>ID</sub> (mV)			V <sub>ICM(DC)</sub> (V)			V <sub>OD</sub> (V) (2)			V <sub>OCM</sub> (V) (2)		
	Min	Typ	Max	Min	条件	Max	Min	条件	Max	Min	Typ	Max	Min	Typ	Max
Mini-LVDS (HIO)	2.375	2.5	2.625	200	—	600	0.4	—	1.325	0.25	—	0.6	1	1.2	1.4
LVPECL	2.375	2.5	2.625	300	—	—	0.6	D <sub>MAX</sub> ≤ 700 Mbps	1.8 (3)	—	—	—	—	—	—
	2.375	2.5	2.625	300	—	—	1	D <sub>MAX</sub> > 700 Mbps	1.6 (3)	—	—	—	—	—	—

表 1-18 の注：

- (1) 1.4-V および 1.5-V PCML トランシーバ I/O 規格の仕様は、1-13 ページの「トランシーバ性能仕様」で説明されます。
- (2) RL の範囲：90 ≤ RL ≤ 110 Ω。
- (3) D<sub>MAX</sub> > 700 Mbps の場合、最小入力電圧は 0.85 V、最大入力電圧は 1.75 V です。F<sub>MAX</sub> ≤ 700 Mbps の場合、最小入力電圧は 0.45 V、最大入力電圧は 1.95 V です。

## 消費電力

アルテラは、デザインの消費電力を計算する方法として、Excel ベースの Early Power Estimator および Quartus® II PowerPlay Power Analyzer 機能の 2 種類の方法を提供しています。

 インタラクティブな Excel ベースの Early Power Estimator は、通常はデバイスの予測消費電力を得るために FPGA を設計する前に使用されます。Quartus II PowerPlay Power Analyzer は、配置配線が完了した後にデザインの詳細情報を使用して、より精度の高い見積もりを提供します。PowerPlay Power Analyzer は、ユーザー入力情報やシミュレーション結果、および推定されたシグナル・アクティビティの組み合わせを適用し、詳細な回路モデルと組み合わせることができるため、非常に正確な電力の見積もりを行うことが可能です。

 消費電力見積もりツールについて詳しくは、「Quartus II ハンドブック」の「PowerPlay Early Power Estimator User Guide」および「PowerPlay Power Analysis」の章を参照してください。

## スイッチング特性

この項では、Stratix V コアおよびコマーシャル温度グレード・デバイスの周辺ブロックの性能特性について説明します。

これらの特性は暫定値または最終値として表記されています。

- 暫定値は、シミュレーション結果、プロセス・データ、およびその他の既知のパラメータによって作成されています。これらの表のタイトルに「暫定仕様」と示しています。
- 最終的な数値は、実際のシリコン特性とテストに基づきます。これらの数値は、ワースト・ケースのシリコン・プロセス、電圧およびジャンクション温度条件におけるデバイスの実際の性能を反映しています。最終の表に表記がありません。

## トランシーバ性能仕様

この項では、トランシーバ性能の仕様について説明します。

表 1-19 に、Stratix V GX および GS トランシーバの仕様を示します。

表 1 19. Stratix V GX および GS トランシーバの仕様 暫定仕様 ( その 1 ) ( 注 1 )

シンボル/ 説明	条件	-2 コマーシャル/ スピード・グレード			-3 コマーシャル/ スピード・グレード			-4 コマーシャル/ スピード・グレード			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
リファレンス・クロック											
サポートされる I/O 規格	1.2 V PCML, 1.4 V PCML, 1.5 V PCML, 2.5 V PCML, Differential LVPECL, LVDS, HCSL										
REFCLK 入力ピンから の入力周波数	—	40	—	710	40	—	710	40	—	710	MHz
デューティ・ サイクル	—	45	—	55	45	—	55	45	—	55	%
スペクトラム拡散変 調クロック周波数	PCI Express® (PCIe)	30	—	33	30	—	33	30	—	33	kHz
スペクトラム拡散の ダウン拡散	PCIe	—	0 to -0.5%	—	—	0 to -0.5%	—	—	0 to -0.5%	—	—
On-chip termination 抵 抗	—	—	100	—	—	100	—	—	100	—	Ω
V <sub>ICM</sub> (AC 結合)	—	1000/850 (2)			1000/850 (2)			1000/850 (2)			mV
V <sub>ICM</sub> (DC 結合)	PCI Express リ ファレンス・ クロックの HCSL I/O 規格	250	—	550	250	—	550	250	—	550	mV
R <sub>REF</sub>	—	—	2000 ±1%	—	—	2000 ±1%	—	—	2000 ±1%	—	Ω
トランシーバ・クロック											
fixedclk クロック周 波数	PCIe 受信検出	—	125	—	—	125	—	—	125	—	MHz
Avalon-MM PHY 管理 クロック周波数	< 150										MHz
レシーバ											
サポートされる I/O 規格	1.4 V PCML, 1.5 V PCML, 2.5 V PCML, LVPECL, LVDS										
データ・レート (スタンダード PCS)	—	600	—	8500	600	—	8500	600	—	6500	Mbps
データ・レート (10G PCS)	—	2000	—	12500	2000	—	8500	2000	—	6500	Mbps
レシーバ・ピンの絶 対 V <sub>MAX</sub> (3)	—	—	—	1.2	—	—	1.2	—	—	1.2	V
レシーバ・ピンの絶 対 V <sub>MIN</sub>	—	-0.4	—	—	-0.4	—	—	-0.4	—	—	V

表 1 19. Stratix V GX および GS トランシーバの仕様 暫定仕様 (その2) (注1)

シンボル/ 説明	条件	-2 コマーシャル/ スピード・グレード			-3 コマーシャル/ スピード・グレード			-4 コマーシャル/ スピード・グレード			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
デバイス・コンフィ ギュレーション前の 最大ピーク・ツー・ ピーク差動入力電圧 $V_{ID(diff\ p-p)}$	—	—	—	1.6	—	—	1.6	—	—	1.6	V
デバイス・コンフィ ギュレーション後の 最大ピーク・ツー・ ピーク差動入力電圧 $V_{ID(diff\ p-p)}$	$V_{CCR\_GXB} = 1.0\text{V}$ と $V_{ICM} = 0.65\text{V}$	—	—	2.2	—	—	2.2	—	—	2.2	V
	$V_{CCR\_GXB} = 0.85\text{V}$ と $V_{ICM} = 0.55\text{V}$	—	—	2.6	—	—	2.6	—	—	2.6	V
レシーバのシリアル 入力ピンで最小差動 アイ開口部 (4)	—	85	—	—	85	—	—	85	—	—	mV
差動 On-Chip Termination 抵抗	85-Ω 設定	85			85			85			Ω
	100-Ω 設定	100			100			100			Ω
	120-Ω 設定	120			120			120			Ω
	150-Ω 設定	150			150			150			Ω
プログラマブル・ イコライゼーション	—	—	—	20	—	—	20	—	—	20	dB
プログラマブル DC ゲイン	DCゲイン設定 = 0	—	0	—	—	0	—	—	0	—	dB
	DCゲイン設定 = 1	—	3	—	—	3	—	—	3	—	dB
	DCゲイン設定 = 2	—	6	—	—	6	—	—	6	—	dB
	DCゲイン設定 = 3	—	9	—	—	9	—	—	9	—	dB
	DCゲイン設定 = 4	—	12	—	—	12	—	—	12	—	dB
トランスミッタ											
サポートされる I/O 規格	1.4 V PCML, 1.5 V PCML										
データ・レート (スタンダード PCS)	—	600	—	8500	600	—	8500	600	—	6500	Mbps
データ・レート (10G PCS)	—	2000	—	12500	2000	—	8500	2000	—	6500	Mbps
$V_{OCM}$	0.65 V 設定	—	650	—	—	650	—	—	650	—	mV
差動 On-Chip Termination 抵抗	85-Ω 設定	85			85			85			Ω
	100-Ω 設定	100			100			100			Ω
	120-Ω 設定	120			120			120			Ω
	150-Ω 設定	150			150			150			Ω

表 1 19. Stratix V GX および GS トランシーバの仕様 暫定仕様 (その 3) (注 1)

シンボル/ 説明	条件	-2 コマーシャル/ スピード・グレード			-3 コマーシャル/ スピード・グレード			-4 コマーシャル/ スピード・グレード			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
トランスミッタ											
立ち上がり時間 (5)	—	30	—	160	30	—	160	30	—	160	ps
立ち下がり時間 (5)	—	30	—	160	30	—	160	30	—	160	ps
CMU PLL											
サポートされるデータ範囲	—	600	—	12500	600	—	8500	600	—	6500	Mbps
ATX PLL											
サポートされるデータ範囲	—	2025	—	12500	2025	—	8500	2025	—	6500	Mbps
入力基準クロック周波数 (6)	—	100	—	875	100	—	875	100	—	875	MHz
トランシーバ-FPGA ファブリック・インタフェース											
インタフェース・スピード	—	25	—	283	25	—	266	25	—	250	MHz

表 1-19 の注:

- (1) 表 1-19 に示すようにスピード・グレードは、デバイスの注文コードでトランシーバ・スピード・グレードを参照してください。デバイスの注文コードについて詳しくは、「Stratix V Device Family Overview」の章を参照してください。
- (2) 基準クロック・コモン・モード電圧が  $V_{CCR\_GXB}$  電源レベルに等しくなります。
- (3) デバイスは、この絶対最大定格での長時間の動作に耐えることはできません。
- (4) レシーバ入力ピンでの差動アイ開口仕様では、レシーバの等化がディセーブルされることを前提としています。レシーバの等化がイネーブルの場合、レシーバ回路は、等化レベルに応じて、低い最小アイ開口に耐えることができます。
- (5) Quartus II ソフトウェアは、コンフィギュレーションされているデータ・レートまたは動作モードに応じて、最適なスルー・レートを自動的に選択します。
- (6) 入力基準クロック周波数のオプションは、データ・レートおよびデバイスのスピード・グレードに依存しています。

## コア性能仕様

この項では、クロック・ツリー、PLL (Phase-Locked Loop)、デジタル信号処理 (DSP)、メモリ・ブロック、コンフィギュレーション、および JTAG 仕様について説明します。

### クロック・ツリー仕様

表 1-20 に、Stratix V デバイスのクロック・ツリー仕様を示します。

表 1 20. Stratix V クロック・ツリーの性能 - 暫定仕様

シンボル	性能			単位
	-2 スピード・ グレード	-3 スピード・ グレード	-4 スピード・ グレード	
GCLK および RCLK	717	600	500	MHz
PCLK	450	400	350	MHz

## PLL 仕様

表 1-21 に、コマーシャル・ジャンクション温度範囲 (0° ~ 85°C) およびインダストリアル・ジャンクション温度範囲 (-40° ~ 100°C) の両方で動作するときの Stratix V の PLL 仕様を示します。

表 1 21. Stratix V デバイスの PLL 仕様 暫定仕様 (注1)

シンボル	パラメータ	Min	Typ	Max	単位
f <sub>IN</sub>	入力クロック周波数 (-2 スピード・グレード)	5	—	800 (2)	MHz
	入力クロック周波数 (-3 スピード・グレード)	5	—	700 (2)	MHz
	入力クロック周波数 (-4 スピード・グレード)	5	—	650 (2)	MHz
f <sub>INPFD</sub>	PFD への入力周波数	5	—	325	MHz
f <sub>FINPFD</sub>	PFD へのフラクショナル入力クロック周波数	50	—	133	MHz
f <sub>VCO</sub>	PLL VCO 動作範囲 (-2 スピード・グレード)	600	—	1600	MHz
	PLL VCO 動作範囲 (-3 スピード・グレード)	600	—	1400	MHz
	PLL VCO 動作範囲 (-4 スピード・グレード)	600	—	1300	MHz
t <sub>EINDUTY</sub>	入力クロックまたは外部フィードバック・クロック入力のデューティ・サイクル	40	—	60	%
f <sub>OUT</sub>	内部グローバル・クロックまたはリージョナル・クロックの出力周波数 (-2 スピード・グレード)	—	—	1600 (3)	MHz
	内部グローバル・クロックまたはリージョナル・クロックの出力周波数 (-3 スピード・グレード)	—	—	1334 (3)	MHz
	内部グローバル・クロックまたはリージョナル・クロックの出力周波数 (-4 スピード・グレード)	—	—	1066 (3)	MHz
f <sub>OUT_EXT</sub>	外部クロック出力の出力周波数 (-2 スピード・グレード)	—	—	800 (3)	MHz
	外部クロック出力の出力周波数 (-3 スピード・グレード)	—	—	667 (3)	MHz
	外部クロック出力の出力周波数 (-4 スピード・グレード)	—	—	533 (3)	MHz
t <sub>OUTDUTY</sub>	外部クロック出力のデューティ・サイクル (50% に設定した場合)	45	50	55	%
t <sub>FCOMP</sub>	外部フィードバック・クロック補償時間	—	—	10	ns
t <sub>CONFIGPHASE</sub>	位相シフトのリコンフィギュレーションに必要な時間	—	TBD (1)	—	—
f <sub>DYCONFIGCLK</sub>	ダイナミック・コンフィギュレーション・クロック	—	—	100	MHz
t <sub>LOCK</sub>	デバイス・コンフィギュレーション終了または areset のデアサートからロックするのに必要な時間	—	—	1	ms
t <sub>DLOCK</sub>	動的にロックするのに必要な時間 (任意の非ポストスケール・カウンタ / 遅延の切り換えまたはリコンフィギュレーション後)	—	—	1	ms
f <sub>CLBW</sub>	PLL クローズド・ループ狭帯域幅	—	0.3	—	MHz
	PLL クローズド・ループ中帯域幅	—	1.5	—	MHz
	PLL クローズド・ループ広帯域幅 (8)	—	4	—	MHz
t <sub>PLL_PSERR</sub>	PLL 位相シフトの精度	—	—	±50	ps
t <sub>ARESET</sub>	areset 信号の最小パルス幅	10	—	—	ns

表 1 21. Stratix V デバイスの PLL 仕様 暫定仕様 (注1)

シンボル	パラメータ	Min	Typ	Max	単位
$t_{INCCJ}$ (4), (5)	サイクル・ジッタへの入力クロックのサイクル ( $F_{REF} \geq 100$ MHz)	—	0.15	—	UI (p-p)
	サイクル・ジッタへの入力クロックのサイクル ( $F_{REF} < 100$ MHz)	-750	—	+750	ps (p-p)
$t_{OUTPJ\_DC}$ (6)	専用クロック出力の周期ジッタ ( $F_{OUT} \geq 100$ MHz)	—	—	TBD (1)	ps (p-p)
	専用クロック出力の周期ジッタ ( $F_{OUT} < 100$ MHz)	—	—	TBD (1)	mUI (p-p)
$t_{OUTCCJ\_DC}$ (6)	専用クロック出力の周期ジッタ ( $F_{OUT} \geq 100$ MHz)	—	—	TBD (1)	ps (p-p)
	専用クロック出力のサイクル・ツー・サイクル・ジッタ ( $F_{OUT} < 100$ MHz)	—	—	TBD (1)	mUI (p-p)
$t_{OUTPJ\_IO}$ (6), (9)	通常の I/O クロック出力の周期ジッタ ( $F_{OUT} \geq 100$ MHz)	—	—	TBD (1)	ps (p-p)
	通常の I/O クロック出力の周期ジッタ ( $F_{OUT} < 100$ MHz)	—	—	TBD (1)	mUI (p-p)
$t_{OUTCCJ\_IO}$ (6), (9)	通常の I/O クロック出力のサイクル・ツー・サイクル・ジッタ ( $F_{OUT} \geq 100$ MHz)	—	—	TBD (1)	ps (p-p)
	通常の I/O クロック出力のサイクル・ツー・サイクル・ジッタ ( $F_{OUT} < 100$ MHz)	—	—	TBD (1)	mUI (p-p)
$t_{CASC\_OUTPJ\_DC}$ (6), (7)	カスケードされた PLL の専用クロック出力の周期ジッタ ( $F_{OUT} \geq 100$ MHz)	—	—	TBD (1)	ps (p-p)
	カスケードされた PLL の専用クロック出力の周期ジッタ ( $F_{OUT} < 100$ MHz)	—	—	TBD (1)	mUI (p-p)
$f_{DRIFT}$	PFDENA が 100 $\mu$ s の期間に対してディセーブルされた後の周波数ドリフト	—	—	$\pm 10$	%
$dK_{BIT}$	DSM (Delta Sigma Modulator) のビット数	—	24	—	Bits
$k_{VALUE}$	分数の分子	—	8388608	—	—
$f_{RES}$	VCO 周波数の分解能 ( $f_{INPFD} = 100$ MHz)	—	5.96	—	Hz

表 1-21 の注:

- (1) シリコン特性評価待ちです。
- (2) この仕様は Quartus II ソフトウェアで I/O 最大周波数によって制限されます。それぞれの I/O 規格において、最大の I/O 波数は異なっています。
- (3) この仕様は、PLL の I/O  $F_{MAX}$  または  $F_{OUT}$  の 2 つのうち、いずれか低い方で制限されます。
- (4) 高い入力ジッタは直接 PLL 出力ジッターに影響します。低い PLL 出力クロック・ジッターを持つのに、120 ps 以下のクリーン・クロック・ソースを提供する必要があります。
- (5)  $N = 1$  の場合、 $F_{REF}$  は  $f_{IN}/N$  になります。
- (6)  $10^{-12}$  の確率レベルのあるピーク・ツー・ピーク・ジッタ (14 シグマ、99.9999999974404 % 信頼性レベル)。出力ジッタ仕様は、30 ps の入力ジッタが適用されされたとき、PLL のジッタに適用されます。外部メモリ・インタフェースのクロック出力ジッタ仕様異なる測定方法を使用します。それは、1-28 ページの表 1-33 で参照されます。
- (7) カスケードされた PLL の仕様は、以下の条件に適用されます。
  - a. ダウンストリーム PLL:  $0.59\text{MHz} \leq \text{ダウンストリーム PLL BW} < 1$  MHz
  - b. ダウンストリーム PLL:  $\text{ダウンストリーム PLL BW} > 2$  MHz
- (8) 広帯域幅 PLL 設定は外部フィードバック・モードでサポートされません。
- (9) 外部メモリインタフェースのクロック出力ジッタ仕様は、1-27 ページの表 1-31 で提供され、様々な測定方法を使用します。

## DSP ブロック仕様

表 1-22 に、Stratix V の DSP ブロック仕様を示します。

表 1 22. Stratix V DSP デバイスのブロック性能仕様 暫定仕様 (注1)

モード	性能			単位
	-2 スピード・ グレード	-3 スピード・ グレード	-4 スピード・ グレード	
Modes using One DSP				
Three 9 × 9	500	400	350	MHz
One 18 × 18	500	400	350	MHz
Two partial 18 × 18 (or 16 × 16)	500	400	350	MHz
One 27 × 27	450	360	315	MHz
One 36 × 18	450	360	315	MHz
One sum of two 18 × 18 (One sum of 2 16 × 16)	500	400	350	MHz
One sum of square	450	360	315	MHz
One 18 × 18 plus 36 (a × b) + c	500	400	350	MHz
Modes using Two DSPs				
Three 18 × 18	500	400	350	MHz
One sum of four 18 × 18	450	360	315	MHz
One sum of two 27 × 27	450	360	315	MHz
One sum of two 36 × 18	450	360	315	MHz
One complex 18 × 18	500	400	350	MHz
One 36 × 36	400	320	280	MHz
Modes using Three DSPs				
One complex 18 × 25	400	320	280	MHz
Modes using Four DSPs				
One complex 27 × 27	450	360	315	MHz

表 1-22 の注：

(1) これらの数値は暫定仕様であり、シリコンの特性評価中です。

## メモリ・ブロック仕様

表 1-23 に、Stratix V のメモリ・ブロック仕様をリストします。

表 1 23. Stratix V デバイスのメモリ・ブロック性能仕様 暫定仕様 (注1), (2), (3) (その1)

メモリ	モード	使用リソース		性能			単位
		ALUTs	メモリ	C2 スピード・ グレード	C3,13 スピード・ グレード	C4,14 スピード・ グレード	
MLAB	シングル・ポート、サポート されているすべての幅	0	1	600	500	450	MHz
	シングル・デュアル・ポート、 サポートされているすべての幅	0	1	450	375	300	MHz
	ROM、サポートされているす べての幅	0	1	600	500	450	MHz

表 1-23. Stratix V デバイスのメモリ・ブロック性能仕様 暫定仕様 (注1), (2), (3) (その2)

メモリ	モード	使用リソース		性能			単位
		ALUTs	メモリ	C2 スピード・ グレード	C3,I3 スピード・ グレード	C4,I4 スピード・ グレード	
M20K ブロッ ク	シングル・ポート、サポートされているすべての幅	0	1	600	500	450	MHz
	<b>Old Data</b> に設定した Read-During-Write オプション付きシングル・ポート、サポートされているすべての幅	0	1	525	455	400	MHz
	シンプル・デュアル・ポート、サポートされているすべての幅	0	1	600	500	450	MHz
	<b>Old Data</b> に設定した Read-During-Write オプション付きシンプル・デュアル・ポート、サポートされているすべての幅	0	1	525	455	400	MHz
	イネーブルされる ECC 付きシンプル・デュアル・ポート、512 × 32	0	1	450	400	350	MHz
	イネーブルされる ECC 付きシンプル・デュアル・ポートおよびオプションのパイプライン・レジスタ、512 × 32	0	1	600	500	450	MHz
	トゥルー・デュアル・ポート、サポートされているすべての幅	0	1	600	500	450	MHz
	<b>Old Data</b> に設定した Read-During-Write オプション付きトゥルー・デュアル・ポート、サポートされているすべての幅	0	1	525	455	400	MHz
	ROM、サポートされているすべての幅	0	1	600	500	450	MHz
	最小パルス幅 (クロック High 時間)	—	—	750	800	850	ps
最小パルス幅 (クロック Low 時間)	—	—	500	625	690	ps	

表 1-23 の注：

- (1) これらの数値は暫定仕様であり、シリコンの特性評価中です。
- (2) 最大メモリ・ブロックの性能を達成するために、オンチップ PLL セットから 50% の出力デューティ・サイクルまでグローバル・クロック配線を通じて得られるメモリ・ブロック・クロックを使用します。これと他のメモリ・ブロックのクロッキング方式のタイミングを報告するために、Quartus II ソフトウェアを使用してください。
- (3) エラー検出 CRC (Cyclic Redundancy Check) 機能を使用する場合、 $f_{MAX}$  をの劣化はありません。

## JTAG コンフィギュレーション仕様

表 1-24 に、Stratix V デバイスの JTAG タイミング・パラメータとその値を示します。

表 1 24. Stratix V デバイスの JTAG タイミング・パラメータ 暫定仕様 (注 1)

シンボル	説明	Min	Max	単位
$t_{JCP}$	TCK クロックの周期	30	—	ns
$t_{JCH}$	TCK クロックの High 時間	14	—	ns
$t_{JCL}$	TCK クロックの Low 時間	14	—	ns
$t_{JPSU} (TDI)$	TDI JTAG ポートのセットアップ時間	1	—	ns
$t_{JPSU} (TMS)$	TMS JTAG ポートのセットアップ時間	3	—	ns
$t_{JPH}$	JTAG ポートのホールド時間	5	—	ns
$t_{JPCO}$	JTAG ポートの Clock-to-Output	—	11 (2)	ns
$t_{JPZX}$	JTAG ポートのハイ・インピーダンスから有効出力まで	—	14 (2)	ns
$t_{JPXZ}$	JTAG ポートの有効出力からハイ・インピーダンスまで	—	14 (2)	ns

表 1-24 の注:

- (1) これらの数値は暫定仕様であり、シリコンの特性評価中です。
- (2)  $V_{CCIO}$  電圧が 3.0 V から 1 ステップ下がるごとに 1 ns の加算が必要です。例えば、TDO I/O バンクの  $V_{CCIO}$  が 2.5 V の場合は  $t_{JPCO} = 12$  ns で、1.8 V の場合は 13 ns です。

## 温度検知ダイオード仕様

表 1-25 に、Stratix V の温度検知ダイオードのバイアス電圧および電流の特性を示します。

表 1 25. 外部温度検知ダイオード・ポート仕様 - 暫定仕様

説明	Min	Typ	Max	単位
$I_{bias}$ 、ダイオード・ソース電流	8	—	200	$\mu A$
$V_{bias}$ 、ダイオードの両端の電圧	0.3	—	0.9	V
直列抵抗値	—	—	< 5	$\Omega$
ダイオードの理想係数	—	—	1.030	—

## 周辺性能

このセクションは周辺性能、高速 I/O および外部メモリ・インタフェースについて説明します。

I/O 性能はいくつかのシステム・インタフェース (例えば、LVDS 高速 I/O インタフェース、外部メモリ・インタフェース、および PCI/PCI-X バス・インタフェース) をサポートします。3.3、2.5、1.8、または 1.5 LVTTTL/LVCMOS のような汎用 I/O (GPIO) 規格を使用する I/O は、周波数を 10 pF ロードとインタフェースしている標準的な 167 MHz および 100 MHz での 1.2 LVCMOS が可能です。



実際の達成可能な周波数はデザインおよびシステム固有要素に依存します。システムの最大の達成可能な周波数を決定するために、特定のデザインとシステム・セットアップに基づく HSPICE/IBIS シミュレーションを実行する必要があります。

## 高速 I/O 仕様

表 1-26 には、Stratix V デバイスの高速 I/O タイミングを示します。

表 1 26. 高速 I/O 仕様 - 暫定仕様 (注 1), (2), (3) (その 1)

シンボル	条件	-2 スピード・グレード			-3 スピード・グレード			-4 スピード・グレード			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
$f_{\text{HCLK\_in}}$ (入力ク ロック周波数) 真の差動 I/O 規格	クロック・ブースト係数 $W = 1 \sim 40$ (5)	5	—	717	5	—	625	5	—	525	MHz
$f_{\text{HCLK\_in}}$ (入力ク ロック周波数) シングル・エン ド I/O 規格 (4)	クロック・ブースト係数 $W = 1 \sim 40$ (5)	5	—	717	5	—	625	5	—	525	MHz
$f_{\text{HCLK\_in}}$ (入力ク ロック周波数) シングル・エン ド I/O 規格 (3)	クロック・ブースト係数 $W = 1 \sim 40$ (5)	5	—	520	5	—	420	5	—	420	MHz
$f_{\text{HCLK\_out}}$ (出力 クロック周波数)	—	5	—	717 (6)	5	—	625 (6)	5	—	525 (6)	MHz
トランスミッタ											
ツール差動 I/O 規格 - $f_{\text{HSDR}}$ (データ・ レート)	SERDES 係数 $J = 3 \sim 10$ (10)	(7)	—	1434	(7)	—	1250	(7)	—	1050	Mbps
	SERDES 係数 $J = 2$ 、 DDR レジスタ使用	(7)	—	(7)	(7)	—	(7)	(7)	—	(7)	Mbps
	SERDES 係数 $J = 1$ 、 SDR レジスタ使用	(7)	—	(7)	(7)	—	(7)	(7)	—	(7)	Mbps
3 個外部出力抵 抗付きエミュ レートされた差 動 I/O 規格 - $f_{\text{HSDR}}$ (データ・ レート) (8)	SERDES 係数 $J = 4 \sim 10$	(7)	—	1100	(7)	—	840	(7)	—	840	Mbps
$t_{\text{x Jitter}}$ - ツール 差動 I/O 規格	データ・レートの全ジッ タ、600Mbps ~ 1.6Gbps	—	—	160	—	—	160	—	—	160	ps
	データ・レートの全ジッ タ、< 600 Mbps	—	—	0.1	—	—	0.1	—	—	0.1	UI
$t_{\text{x Jitter}}$ - 3 個外部出 力抵抗ネット ワーク付きエ ミュレートされ た差動 I/O 規格	データ・レートの全ジッ タ、600 Mbps ~ 1.25 Gbps	—	—	300	—	—	300	—	—	325	ps
	データ・レートの全ジッ タ、< 600 Mbps	—	—	0.2	—	—	0.2	—	—	0.25	UI
$t_{\text{DUTY}}$	真およびエミュレートさ れた差動 I/O 規格の両方 の Tx 出力クロック・デュー ティ・サイクル	45	50	55	45	50	55	45	50	55	%

表 1 26. 高速 I/O 仕様 - 暫定仕様 (注 1), (2), (3) (その 2)

シンボル	条件	-2 スピード・グレード			-3 スピード・グレード			-4 スピード・グレード			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
$t_{RISE} \& t_{FALL}$	トゥルー差動 I/O 規格	—	—	160	—	—	200	—	—	200	ps
	3 個外部出力抵抗ネットワーク付きエミュレートされた差動 I/O 規格	—	—	250	—	—	250	—	—	300	ps
TCCS	トゥルー差動 I/O 規格	—	—	150	—	—	150	—	—	150	ps
	エミュレートされた差動 I/O 規格	—	—	300	—	—	300	—	—	300	ps
レシーバ											
トゥルー差動 I/O 規格 - $f_{HSDRDP}$ (データ・レート)	SERDES 係数 J = 3 ~ 10	150	—	1434	150	—	1250	150	—	1050	Mbps
$f_{HSDR}$ (データ・レート)	SERDES 係数 J = 3 ~ 10	(7)	—	(9)	(7)	—	(9)	(7)	—	(9)	Mbps
	SERDES 係数 J = 2、DDR レジスタ使用	(7)	—	(7)	(7)	—	(7)	(7)	—	(7)	Mbps
	SERDES 係数 J = 1、DDR レジスタ使用	(7)	—	(7)	(7)	—	(7)	(7)	—	(7)	Mbps
DPA モード											
DPA ラン・レンジ	—	—	—	10000	—	—	10000	—	—	10000	UI
ソフト CDR モード											
ソフト CDR PPM 精度	—	—	—	300	—	—	300	—	—	300	± PPM
非 DPA モード											
サンプリング・ウィンドウ	—	—	—	300	—	—	300	—	—	300	ps

表 1-26 の注:

- (1) J = 3 ~ 10 の場合、シリアライザ/デシリアライザ (SERDES) ブロックが使用されます。
- (2) J = 1 または 2 の場合、SERDES ブロックはバイパスされます。
- (3) これは LVDS ソース・シンクロナス・モードにのみ適用されます。
- (4) これは DPA およびソフト CDR モードにのみ適用されます。
- (5) クロック・ブースト係数 (W) は入力クロック・レートへの入力データ・レート間の比率です。
- (6) これは、LVDS クロック・ネットワークを使用することによって達成されます。
- (7) 最小仕様は、クロック・ソース (PLL、クロック・ピンなど) および使用されるクロック配線リソース (グローバル、リージョナル、またはローカル) に依存します。差動 I/O バッファおよび入力レジスタには、最小トグル・レートはありません。
- (8) レシーバでリンク・タイミング・クロージャ分析を実行することによって、残りのタイミング・マージンを計算することを要求されます。ボード・スキュー・マージン、トランスミッタ・チャンネル間スキュー、およびレシーバ・サンプリング・マージンを、残り物タイミング・マージンを考慮する必要があります。
- (9) 非 DPA モードのリンク・タイミング・クロージャ分析を実行することによって、達成可能な最大のデータ・レートを見積もることができます。サポートされる最大のデータ・レートを決定するために、ボード・スキュー・マージン、トランスミッタ遅延マージン、およびレシーバ・サンプリング・マージンを考慮する必要があります。
- (10) DPA がイネーブルされたレシーバとトランスミッタが共有 PLL を使用していると、最小のデータ・レートは 150 Mbps です。

図 1-1 に、DPA PLL キャリブレーション・オプションがイネーブルされた DPA ロック時間の仕様を示します。

図 1 1. DPA PLL キャリブレーションがイネーブルされた DPA ロック時間の仕様

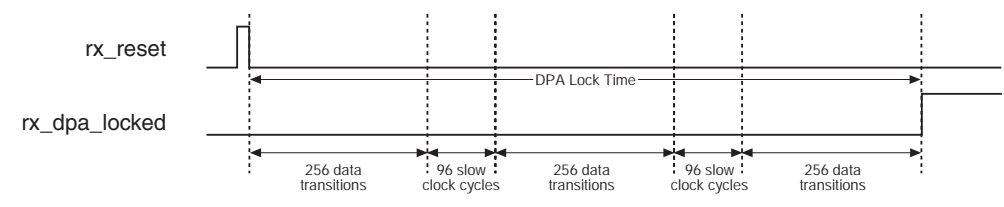


表 1-27 に、Stratix V GX デバイスの DPA ロック時間の仕様を示します。

表 1 27. DPA ロック時間の仕様 Stratix V GX デバイスのみ 暫定仕様 (注 1), (2), (3)

規格	トレーニング・パターン	トレーニング・パターン 1 回中のデータ遷移数	256 データ遷移ごとの反復数 (4)	Max
SPI-4	00000000001111111111	2	128	640 データ遷移
Parallel Rapid I/O	00001111	2	128	640 データ遷移
	10010000	4	64	640 データ遷移
その他	10101010	8	32	640 データ遷移
	01010101	8	32	640 データ遷移

表 1-27 の注：

- (1) DPA ロック時間は 1 チャンネルのためです。
- (2) 1 つのデータ変遷は 0- ツー -1 または 1- ツー -0 変遷と定義されます。
- (3) DPA ロック時間は、両方のコマーシャルおよびインダストリアル・グレードに適用されます。
- (4) これは記載トレーニング・パターンが 256 データ変遷を実現する反復数です。

図 1-2 に、1.25 Gbps 以下のデータ・レートに関する LVDS ソフト CDR/DPA 正弦ジッタ許容値仕様を示します。表 1-28 に、この情報はテーブル・フォームのをリストアップします。

図 1. 2. 1.25 Gbps より等しいかそれ以上のデータ・レートに関する LVDS ソフト CDR/DPA 正弦ジッタ許容値仕様

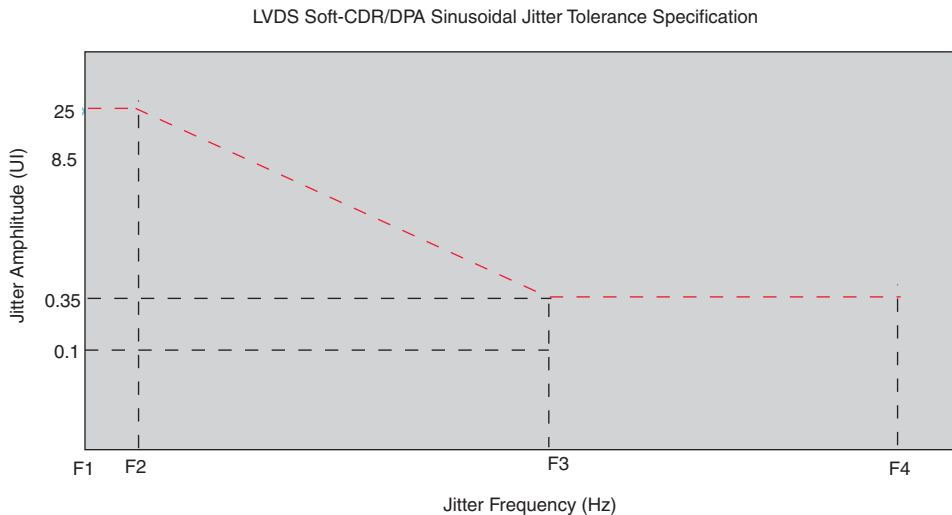


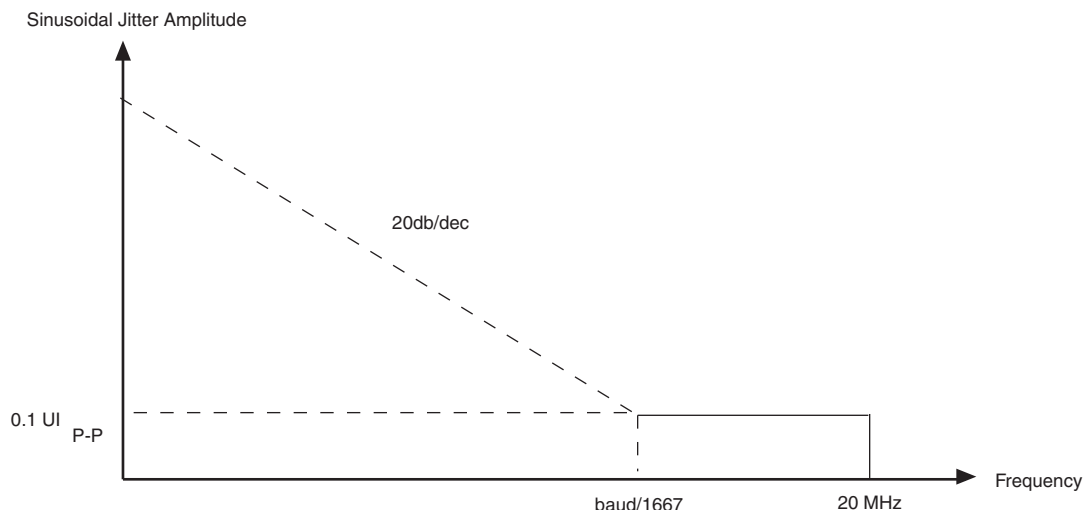
表 1-28 に、1.25 Gbps より等しいかそれ以上のデータ・レートに関する LVDS ソフト CDR/DPA 正弦ジッタ許容値仕様を示します。

表 1 28. 1.25 Gbps より等しいかそれ以上のデータ・レートに関する LVDS ソフト CDR/DPA 正弦ジッタ・マスク値仕様 暫定仕様

ジッタ周波数 (Hz)		正弦ジッタ (UI)
F1	10,000	25.000
F2	17,565	25.000
F3	1,493,000	0.350
F4	50,000,000	0.350

図 1-3 に、1.25 Gbps 以下のデータ・レートに関する LVDS ソフト CDR/DPA 正弦ジッタ許容値仕様を示します。

図 1 3. 1.25 Gbps 以下のデータ・レートに関する LVDS ソフト CDR/DPA 正弦ジッタ許容値仕様



### DLL および DQS ロジック・ブロック仕様

表 1-29 に、Stratix V デバイスのステージあたりの DQS 位相オフセット遅延を示します。

表 1 29. Stratix V デバイスの設定ごとの DQS 位相オフセット遅延 暫定仕様  
(注 1), (2), (3)

スピード・グレード	Min	Max	単位
-2	7	13	ps
-3	7	15	ps
-4	7	16	ps

**表 1-29 の注:**

- (1) これらの数値は暫定仕様であり、シリコンの特性評価中です。
- (2) 標準値は、最小値と最大値の平均に等しくなります。
- (3) すべてのスピード・グレードに対応して、40 ps の累積的な遅延変動の遅延設定はリニアです。例えば、-2 スピード・グレードおよび 400 MHz で 90° 位相シフトに 10 位相オフセット設定を使用すると、予測される累積遅延変動は  $[625 \text{ ps} + (10 \times 10 \text{ ps}) \pm 20 \text{ ps}] = 725 \text{ ps} \pm 20 \text{ ps}$  です。

表 1-30 に、Stratix V デバイスの DQS 位相シフト誤差を示します。

表 1 30. Stratix V デバイスの DLL 遅延クロック ( $t_{DQS\_PSERR}$ ) の DQS 位相シフト誤差の仕様  
暫定仕様 (注 1), (2) (その 1)

DQS 遅延バッファ数	-2 スピード・グレード	-3 スピード・グレード	-4 スピード・グレード	単位
1	26	28	30	ps
2	52	56	60	ps
3	78	84	90	ps

表 1 30. Stratix V デバイスの DLL 遅延クロック ( $t_{DQS\_PSERR}$ ) の DQS 位相シフト誤差の仕様  
暫定仕様 (注 1), (2) (その 2)

DQS 遅延バッファ数	-2 スピード・ グレード	-3 スピード・ グレード	-4 スピード・ グレード	単位
4	104	112	120	ps

表 1-30 の注:

- (1) これらの数値は暫定仕様であり、シリコンの特性評価中です。
- (2) この誤差仕様は、絶対最大および最小誤差です。例えば、-2 スピード・グレードにおける 3 つの DQS 遅延バッファのスキューは、 $\pm 78$  ps or  $\pm 39$  ps です。

表 1-31 に、Stratix V デバイスのメモリ出カクロック・ジッタ仕様を示します。

表 1 31. Stratix V デバイスのメモリ出カクロック・ジッタ仕様 暫定仕様 (注 2), (2), (3)

パラメータ	クック・ ネットワーク	シンボ ル	-2 スピード・ グレード		-3 スピード・ グレード		-4 スピード・ グレード		単位
			Min	Max	Min	Max	Min	Max	
クック周期ジッタ	リージョ ナル	$t_{JIT(per)}$	-50	50	-55	55	-55	55	ps
サイクル間周期ジッタ	リージョ ナル	$t_{JIT(cc)}$	-100	100	-110	110	-110	110	ps
デューティ・サイクル・ ジッタ	リージョ ナル	$t_{JIT(duty)}$	-50	50	-82.5	82.5	-82.5	82.5	ps
クック周期ジッタ	グローバ ル	$t_{JIT(per)}$	-75	75	-82.5	82.5	-82.5	82.5	ps
サイクル間周期ジッタ	グローバ ル	$t_{JIT(cc)}$	-150	150	-165	165	-165	165	ps
デューティ・サイクル・ ジッタ	グローバ ル	$t_{JIT(duty)}$	-75	75	-90	90	-90	90	ps

表 1-31 の注:

- (1) これらの数値は暫定仕様であり、シリコンの特性評価中です。
- (2) メモリ出カクロック・ジッタ測定は 200 連続クック・サイクル用であり、JEDEC DDR2/DDR3 SDRAM 規格で指定されています。
- (3) クック・ジッタ仕様は、指定されたリージョナルやグローバル・クック・ネットワーク上のルーティング PLL 出力でクックされる差動信号スプリッターと DDIO 回路を使用して生成されたメモリ出カクロックピンに適用されます。アルテラでは可能な場合はリージョナル・クック・ネットワークを使用することを推奨しています。

## OCT キャリブレーション・ブロック仕様

表 1-32 に、Stratix V デバイスの OCT キャリブレーション・ブロック仕様を示します。

表 1 32. Stratix V デバイスの OCT キャリブレーション・ブロック仕様 暫定仕様 (その 1) (注 1)

シンボル	説明	Min	Typ	Max	単位
OCTUSRCLK	OCT キャリブレーション・ブロックに必要なクック	—	—	20	MHz
$T_{OCTCAL}$	OCT $R_s/R_t$ キャリブレーションに必要な OCTUSRCLK クック・サイクル数	—	1000	—	サイク ル
$T_{OCTSHIFT}$	OCT コードのシフト・アウトに必要な OCTUSRCLK クック・サイクル数	—	32	—	サイク ル

表 1 32. Stratix V デバイスの OCT キャリブレーション・ブロック仕様 暫定仕様 (その2) (注1)

シンボル	説明	Min	Typ	Max	単位
T <sub>RS_RT</sub>	OCT R <sub>S</sub> と R <sub>T</sub> の間をダイナミックに切り換えるのに双方方向の I/O バッファにおける dyn_term_ctrl および oe 信号遷移の間の必要な時間	—	2.5	—	ns

表 1-32 の注:

(1) シリコン特性評価待ちです。

## デューティ・サイクル歪み (DCD) 仕様

表 1-33 に、Stratix V デバイスのワースト・ケース DCD を示します。

表 1 33. I/O ピンでワースト・ケース DCD 暫定仕様 (注1)

シンボル	-2 スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	Min	Max	Min	Max	Min	Max	
出力デューティ・サイクル	45	55	45	55	45	55	%


表 1-33 の注:

(1) これらの数値は暫定仕様であり、シリコンの特性評価中です。

## I/O タイミング

アルテラは I/O タイミングを決定する 2 つの方法を提供します: Excel ベースの I/O タイミングおよび Quartus II タイミング・アナライザです。

Excel ベースの I/O タイミングはそれぞれのデバイスの集積度およびスピード・グレードにピン・タイミング性能を提供します。データは、FPGA の設計に入る前にリンク・タイミング分析の一部としてタイミング見積もりを得るのに使用できます。Quartus II タイミング・アナライザは、配置配線が完了した後にデザインの詳細情報を使用して、より精度で正確な I/O タイミング・データに提供します。

 Excel ベースの I/O タイミングのスプレッドシートは「[Stratix V Devices Literature](#)」ウェブページからダウンロードできます。

## プログラマブル IOE 遅延

表 1-34 に、Stratix V の IOE プログラマブル遅延設定を示します。

表 1 34. Stratix V デバイスの IOE プログラマブル遅延 暫定仕様 (その1) (注1)

パラメータ (2)	使用可能な設定	最小オフセット (3)	高速モデル		低速モデル					単位
			工業用	コマーシャル	C2	C3	C4	I3	I4	
D1	63	0	0.471	0.514	0.800	0.843	0.918	0.850	0.924	ns
D2	31	0	0.274	0.274	0.423	0.456	0.501	0.453	0.498	ns
D3	7	0	1.668	1.735	2.830	2.985	3.252	3.007	3.274	ns
D5	63	0	0.493	0.474	0.835	0.882	0.960	0.888	0.966	ns

表 1 34. Stratix V デバイスの IOE プログラマブル遅延 暫定仕様 (その2) (注1)

パラメータ (2)	使用可能な設定	最小オフセット (3)	高速モデル		低速モデル					
			工業用	コマーシャル	C2	C3	C4	I3	I4	単位
D6	31	0	0.273	0.258	0.463	0.488	0.532	0.492	0.536	ns

表 1-34 の注:

- (1) Quartus II ソフトウェアの抽出待ちです。
- (2) **Assignment Name** コラムで **D1**、**D2**、**D3**、**D4**、**D5**、および **D6** を選択することによって、Quartus II ソフトウェアにこの値を設定できます。
- (3) 最小のオフセットは真性遅延を含みません。

## プログラマブル出力バッファ遅延

表 1-35 に、出力バッファの立ち上がりエッジおよび立ち下がりエッジ遅延を制御する遅延チェーン設定を示します。デフォルト値は 0 ps です。

表 1 35. プログラマブル出力バッファ遅延 暫定仕様 (注1), (2)

シンボル	パラメータ	Typ	単位
D <sub>OUTBUF</sub>	立ち上がりエッジおよび / または立ち下がりエッジ遅延	0 (デフォルト)	ps
		50	ps
		100	ps
		150	ps

表 1-35 の注:

- (1) Quartus II ソフトウェアの抽出待ちです。
- (2) **Output Buffer Delay Control** アサインメントは **Output Buffer Delay** アサインメントに対するここで規定された特定の値 (ps) を使用して、正、負、または両方のエッジのいずれかに設定することによって、Quartus II ソフトウェアのプログラマブル出力バッファ遅延を設定することができます。

# 用語集

表 1-36 に、本章の用語集を示します。

表 1 36. 用語表 ( その 1 )

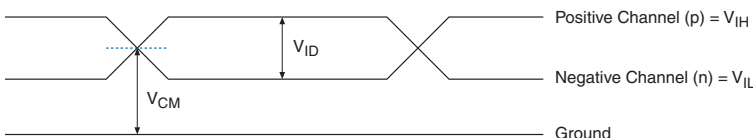
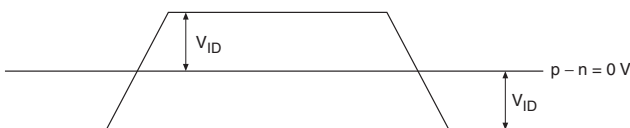
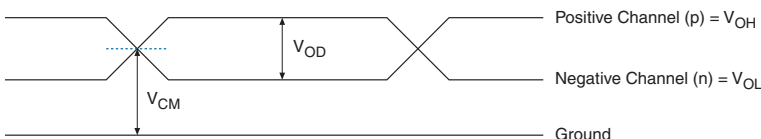
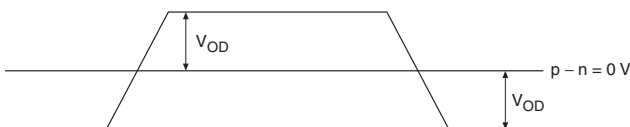
文字	用語	定義
A, B, C,	—	—
D	差動 I/O 規格	<p><b>レシーバ入力波形</b> Single-Ended Waveform</p>  <p>Positive Channel (p) = <math>V_{IH}</math> Negative Channel (n) = <math>V_{IL}</math> Ground</p> <p><b>Differential Waveform</b></p>  <p>p - n = 0 V <math>V_{ID}</math></p> <p><b>トランスミッタ出力波形</b> Single-Ended Waveform</p>  <p>Positive Channel (p) = <math>V_{OH}</math> Negative Channel (n) = <math>V_{OL}</math> Ground</p> <p><b>Differential Waveform</b></p>  <p>p - n = 0 V <math>V_{OD}</math></p>
E	—	—
F	$f_{HSCLK}$	レフト / ライト PLL 入力クロック周波数。
	$f_{HSDR}$	高速 I/O ブロック — LVDS の最大 / 最小データ転送レート ( $f_{HSDR} = 1/T_{UI}$ )、非 DPA。
	$f_{HS DRDPA}$	高速 I/O ブロック — LVDS の最大 / 最小データ転送レート ( $f_{HS DRDPA} = 1/T_{UI}$ )、DPA。
G, H, I	—	—

表 1 36. 用語表 ( その 2 )

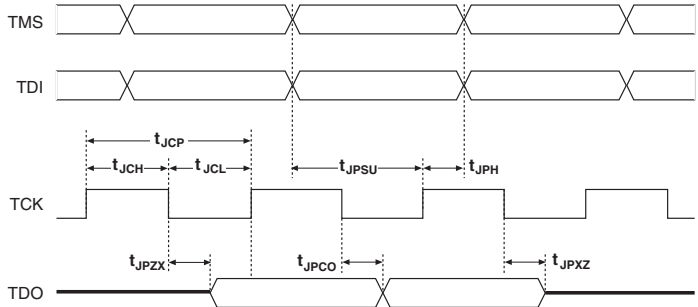
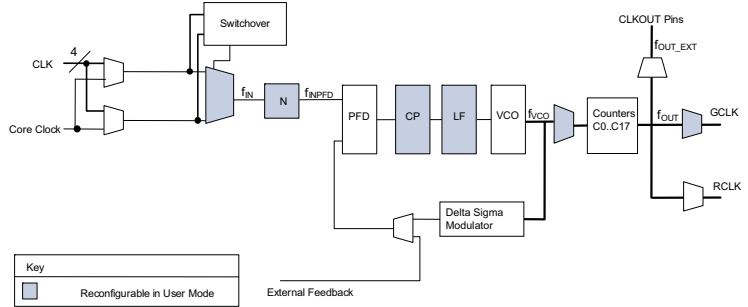
文字	用語	定義
J	J	高速 I/O ブロック — デシリアライゼーション・ファクタ ( パラレル・データ・バスの幅 )
	JTAG タイミング仕様	<p>JTAG タイミング仕様 :</p> 
K, L, M, N, O	—	—
P	PLL 仕様	<p>PLL 仕様の図 (1)</p>  <p>注： (1) Core Clock は、専用のクロック入力ピンまたは PLL 出力によってのみ供給することができます。</p>
Q	—	—
R	R <sub>L</sub>	レシーバ差動入力ディスクリット抵抗 ( Stratix V デバイスの外部 )

表 1 36. 用語表 (その 3)

文字	用語	定義
S	SW (サンプリング・ウィンドウ)	<p>タイミング図 — データを正しくキャプチャするために、データが有効でなければならない期間。サンプリング・ウィンドウ内での理想的なストロブ位置は、セットアップ時間およびホールド時間によって決まります (下図参照)。</p> 
	シングル・エンド電圧リファレンス形式の I/O 規格	<p>SSTL および HSTL I/O 規格の JEDEC 規格は、AC および DC 入力信号値を定義します。AC 値は、レシーバがタイミング仕様を満たす必要がある電圧レベルを示します。DC 値は、レシーバの最終的なロジック状態が明確に定義される電圧レベルを示します。レシーバ入力が AC 値を超えると、レシーバは新しいロジック状態に変化します。</p> <p>その後、入力が AC スレッショルドを超えている限り、新しいロジック状態が維持されます。このアプローチは、入力波形にリングングがある状態で、予測可能なレシーバのタイミングを提供することを目的としています (下図参照)。</p> <p>シングル・エンド電圧リファレンス形式の I/O 規格</p> 
T	$t_c$	高速レシーバ/トランスミッタの入力および出力クロック周期。
	TCCS (チャネル間スキュー)	同じ PLL でドライブされるチャネル全域に、 $t_{c0}$ のばらつきやクロック・スキューなど、最速および最低速出力エッジ間のタイミングの差。クロックは TCCS 測定に含まれています (この表の SW (サンプリング・ウィンドウ) のタイミング図を参照)。
	$t_{DUTY}$	<p>高速 I/O ブロック — 高速トランスミッタ出力クロックのデューティ・サイクル。</p> <p><b>TUI (Timing Unit Interval)</b></p> <p>スキュー、伝播遅延、およびデータ・サンプリング・ウィンドウのために許容されるタイミング・バジェット。</p> <p>(<math>TUI = 1 / (\text{レシーバ入力クロック周波数} \times \text{低倍係数}) = t_c / W</math>)。</p>
	$t_{FALL}$	信号の High から Low への遷移時間 (80 ~ 20%)
	$t_{INCCJ}$	PLL クロック入力のサイクル間ジッタ許容値
	$t_{OUTPJ\_IO}$	PLL でドライブされる汎用 I/O の周期ジッタ
	$t_{OUTPJ\_DC}$	PLL でドライブされる専用クロック出力の周期ジッタ
$t_{RISE}$	信号の Low から High への遷移時間 (20 ~ 80%)	
U	—	—

表 1 36. 用語表 ( その 4 )

文字	用語	定義
V	$V_{CM(DC)}$	DC コモン・モード入力電圧
	$V_{ICM}$	入力コモン・モード電圧 — レシーバにおける差動信号のコモン・モード
	$V_{ID}$	入力差動電圧振幅 — レシーバにおける差動伝送の正入力とコンプリメンタリ入力間の電圧の差
	$V_{DIF(AC)}$	AC 差動入力電圧 — スwitchingに必要な最小 AC 入力差動電圧
	$V_{DIF(DC)}$	DC 差動入力電圧 — スwitchingに必要な最小 DC 入力差動電圧
	$V_{IH}$	入力 High 電圧 — デバイスがロジック High として受け入れる、入りに印加される最小正電圧
	$V_{IH(AC)}$	入力 High レベル AC 電圧
	$V_{IH(DC)}$	入力 High レベル DC 電圧
	$V_{IL}$	入力 Low 電圧 — デバイスがロジック Low として受け入れる、入りに印加される最大正電圧
	$V_{IL(AC)}$	入力 Low レベル AC 電圧
	$V_{IL(DC)}$	入力 Low レベル DC 電圧
	$V_{OCM}$	出力コモン・モード電圧 — トランスミッタにおける差動信号のコモン・モード
	$V_{OD}$	出力差動電圧振幅 — トランスミッタにおける差動伝送の正出力とコンプリメンタリ出力間の電圧の差
	$V_{SWING}$	差動入力電圧
	$V_X$	入力差動クロス・ポイント電圧
$V_{OX}$	出力差動クロス・ポイント電圧	
W	W	高速 I/O ブロック — クロック・ブースト・ファクタ
X, Y, Z	—	—

## 改訂履歴

表 1-37 に、本資料の改訂履歴を示します。

表 1 37. 改訂履歴

日付	バージョン	変更内容
2010 年 12 月	1.1	<ul style="list-style-type: none"> <li>■ 表 1-2、表 1-4、表 1-19、および表 1-23 を更新。</li> <li>■ 章を新しいテンプレートに更新。</li> <li>■ テキストのマイナーな編集。</li> </ul>
2010 年 7 月	1.0	初版。

