

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SV52008-1.1

この章では、Stratix® V トランシーバで使用可能なダイナミック・リコンフィギュレーション機能について説明します。

次期バージョンの Quartus® II ソフトウェアでサポートされる機能については、「Upcoming Stratix V Device Features」を参照してください。

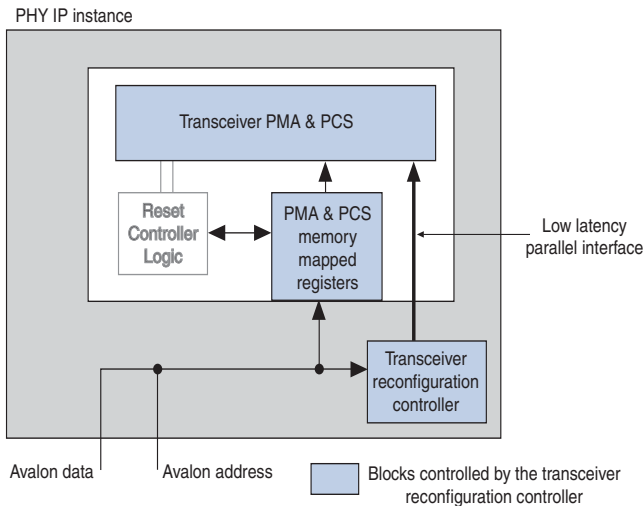
Stratix V トランシーバは、以下の機能をサポートするための専用リコンフィギュレーション・スペースを備えています。

- オフセット・キャンセレーション
- フィジカル・メディア・アタッチメント (PMA) コントロールのリコンフィギュレーション

このリコンフィギュレーション・スペースは、トランシーバ・リコンフィギュレーション・コントローラによって制御できます。

図 7-1 に、アルテラ・トランシーバ PHY IP コア内のトランシーバ・リコンフィギュレーション・コントローラを示します。

図 7-1. PHY IP コア内のトランシーバ・リコンフィギュレーション・コントローラ



トランシーバの設定をダイナミックにリコンフィギュレーションするには、PHY IP 内のメモリ・マップ・レジスタに対してリードおよびライトを実行する必要があります。メモリ・マップ・レジスタはこれらのコマンドをコントローラに転送します。その後、コントローラは低レイテンシ・パラレル・インタフェースを介してトランシーバと通信します。

コントローラへのコマンド転送については、「Altera Transceiver PHY IP Core User Guide」の「Transceiver Reconfiguration Controller」の項を参照してください。


© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

オフセット・キャンセレーション

Stratix V デバイス内のトランシーバ・チャネルごとにオフセット・キャンセレーション回路を備えて、プロセスに起因するオフセット変動を補償します。

オフセット・キャンセレーション回路は、トランシーバ・リコンフィギュレーション・コントローラ内のオフセット・キャンセレーション IP によって制御されます。この IP はデバイスのパワーアップ時にのみアクティブになり、自動的にオフセット・キャンセレーションを実行します。オフセット・キャンセレーションが完了すると、コントローラの busy ステータス出力がアサートされます。

アルテラは、オフセット・キャンセレーションの完了後にリセットシーケンスを実行することを推奨しています。リセット・シーケンスが完了すると、リセット・シーケンス・コントローラの tx_ready および rx_ready ステータス出力がアサートされます。これで、トランシーバ・リコンフィギュレーション・コントローラはユーザー制御の動作を実行できるようになります。

 推奨されるリセット・シーケンスについて詳しくは、[「Transceiver Reset Control in Stratix V Devices」](#)の章を参照してください。

以下の項では、使用可能なトランシーバ・リコンフィギュレーション機能について説明します。

PMA コントロールのリコンフィギュレーション

初回のデバイス・パワーアップ後に、PMA コントロールのダイナミック・リコンフィギュレーションは、オフセット・キャンセレーションおよびリセット・シーケンスが完了した後にのみ実行できます。

busy ステータス出力が Low になると、次の PMA コントロールのリコンフィギュレーションに進むことができます。

下記のトランシーバ PMA コントロールをリコンフィギュレーションできます。

- 差動出力電圧 (V_{OD})
- プリエンファシス・タップ
- 受信イコライゼーション・コントロール
- 受信イコライゼーションの DC ゲイン


コントローラ内の PMA コントロール IP にリード動作とライト動作を実行することによって PMA コントロールをリコンフィギュレーションします。Stratix V デバイスは、PMA コントロールをリコンフィギュレーションする間接のアドレス指定手法を提供しています。

間接アドレッシング

間接アドレッシング（間接アドレス指定）は、複数のリードとライトを使用して 1 回の PMA コントロール・リコンフィギュレーションを実現します。

例えば、トランスミッタ V_{OD} 設定のリコンフィギュレーションは以下のものを指定するために複数のライトおよびリードを必要とします。

- トランスミッタ・チャネル
- リードまたはライトしようとする PMA コントロール
- 新しい V_{OD} 設定
- コントローラおよびトランスミッタ PMA 間のコントロール操作

 特定の PMA コントロールのリコンフィギュレーションについて詳しくは、「[Altera Transceiver PHY IP Core User Guide](#)」の「[Transceiver Reconfiguration Controller](#)」の章を参照してください。

改訂履歴

表 7-1 に、本資料の改訂履歴を示します。

表 7-1. 改訂履歴

日付	バージョン	変更内容
2010 年 12 月	1.1	10.1 リリース — 内容の変更はなし。
2010 年 7 月	1.0	初版。

