

この章では、Stratix® V GX と GS のデバイスで使用される 2 つのループバック・オプションについて説明して、トランシーバ規格のフィジカル・コーディング・サブレイヤー（PCS）で異なる機能ブロックの動作方法を確認することができます。

## スタンダード PCS ループバックのコンフィギュレーション

2 つの使用できるループバック・オプションは次のとおりです。

- 「シリアル・ループバック」— PCI Express (PIPE) (PCIe) コンフィギュレーション以外のすべてのコンフィギュレーションで使用可能
- 6-2 ページの「PCI Express (PIPE) リバース・パラレル・ループバック」— PCI Express (PIPE) プロトコルでのみサポートされる

### シリアル・ループバック

**Serial loopback** オプションは、PCI Express (PIPE) コンフィギュレーション以外のすべてのコンフィギュレーションで使用できます。図 6-1 に、シリアル・ループバックのデータパスを示します。FPGA ファブリックからのデータはトランスミッタ・チャンネルを通り、レシーバ・バッファをバイパスして、レシーバ・チャンネルにループバックされます。受信データは、検証のために FPGA ロジックで使用することができます。ユーザーは、このオプションを使用して、トランスミッタおよびレシーバ・チャンネル内でイネーブルされているすべての PCS およびフィジカル・メディア・アタッチメント (PMA) 機能ブロックの動作をチェックできます。また、チャンネルごとにシリアル・ループバックをダイナミックにイネーブルすることができます。

シリアル・ループバックがイネーブルになると、トランスミッタ・チャンネルは tx\_serial\_data 出力ポートとレシーバ・チャンネルの両方にデータを送信します。tx\_serial\_data ポート上の差動出力電圧は、選択された差動出力電圧 ( $V_{DD}$ ) 設定に基づく値になります。ループバックされたデータはレシーバ CDR で受信され、異なるクロック・ドメインを通過してリタイミングされます。ユーザーは、レシーバ・チャンネルでバイト境界を検出できるようにするために、ワード・アライナにアラインメント・パターンを与える必要があります。

デバイスがシリアル・ループバック・コンフィギュレーションではなくて、リモート・デバイスからデータを受信している場合、レシーバ CDR のリカバリ・クロックはソースからのデータにロックされています。デバイスは、シリアル・ループバック・コンフィギュレーションで配置されている場合、レシーバへのデータ・ソースはリモート・デバイスからローカル・トランスミッタ・チャンネルに変更します。これにより、レシーバ CDR は、新しいデータ・ソースの位相のトラッキングを開始するようにします。この期間に、レシーバ CDR のリカバリ・クロックは不安定になる可能性があります。レシーバ PCS は、このリカバリ・クロックを実行しているとき、この期間中に rx\_digitalreset 信号をアサートすることによってリセットでレシーバ PCS を配置する必要があります。


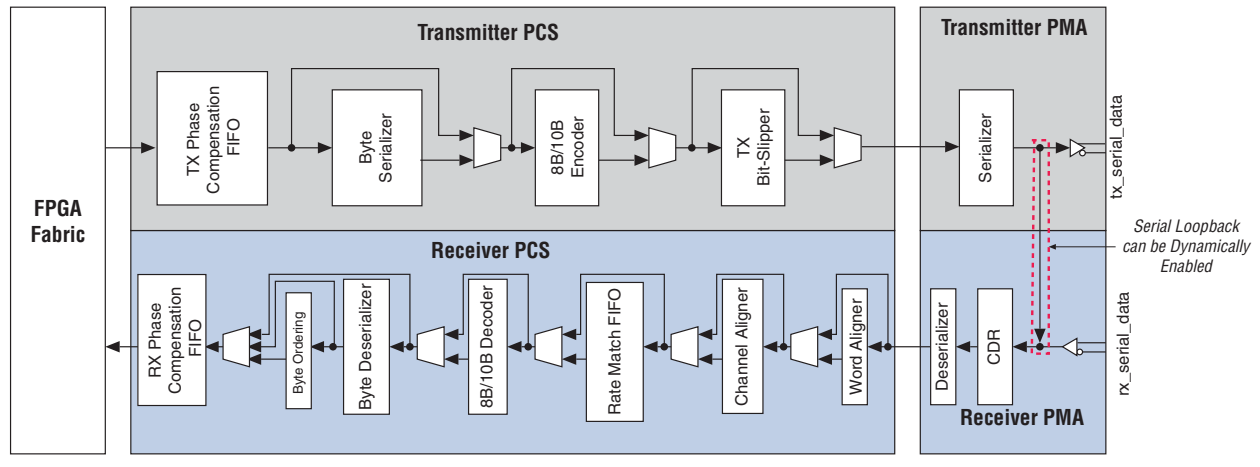
 シリアル・ループバックから移動するとき、最小2つのパラレル・クロック・サイクルの rx\_digitalreset をアサートする必要があります。

図6 1. シリアル・ループバックのデータパス



## PCI Express (PIPE) リバース・パラレル・ループバック

PCIe リバース・パラレル・ループバックは、Gen1 および Gen2 データ・レートの PCIe コンフィギュレーションでのみ使用できます。図 6-2 に示すように、受信したシリアル・データは、レシーバ CDR、デシリアライザ、ワード・アライナ、およびレート・マッチ FIFO バッファを通過します。その後、トランスミッタ・シリアライザにループバックされ、tx\_serial\_data ポートを通して送り出されます。受信データは、rx\_parallel\_data 信号を通じて FPGA ファブリックでも使用できます。このループバック・コンフィギュレーションは、PCIe 仕様 2.0 に設計されます。このループバック・コンフィギュレーションをイネーブルするには、tx\_detectrxloopback 信号をアサートします。


 これは、PCIe コンフィギュレーションでサポートされる唯一のループバック・オプションです。図 6-2 で、グレー表示の区域は、PCIe リバース・パラレル・ループバック・コンフィギュレーションがイネーブルされている場合の非アクティブ・パスを示しています。

図 6 2. PCIe リバース・パラレル・ループバック・コンフィギュレーション・データパス (注1)

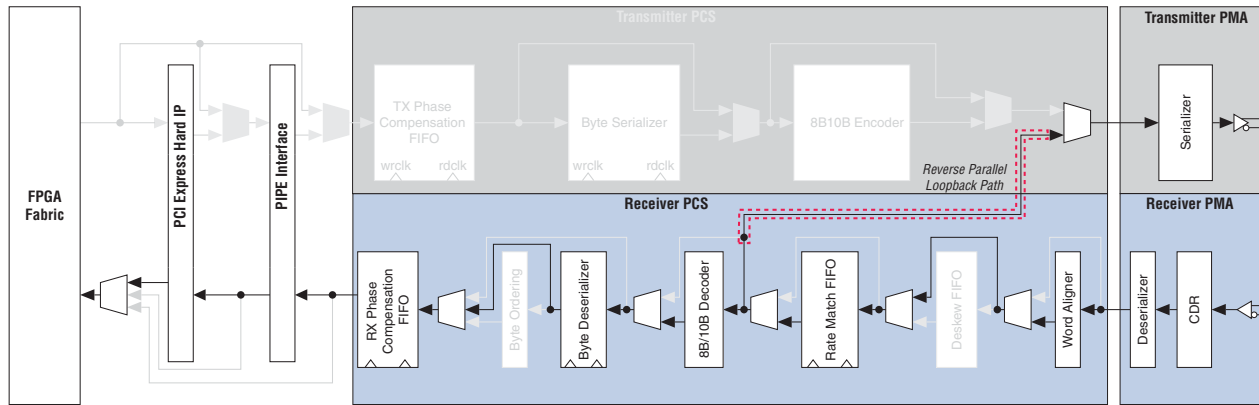


図 6-2 の注：

(1) グレー表示されたブロックは、このコンフィギュレーションではアクティブになりません。

## 改訂履歴

表 6-1 に、本資料の改訂履歴を示します。

表 6 1. 改訂履歴

日付	バージョン	変更内容
2010年12月	1.1	Quartus II ソフトウェア 10.1 に対して、この章の内容に変更はありません。
2010年7月	1.0	初版。

