

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

QII51021-11.0.0

この章では、10G と標準の物理コーディング・サブレイヤ (PCS) ブロックのために、Stratix® V デバイスのカスタム・トランシーバ・コンフィギュレーションについて説明します。

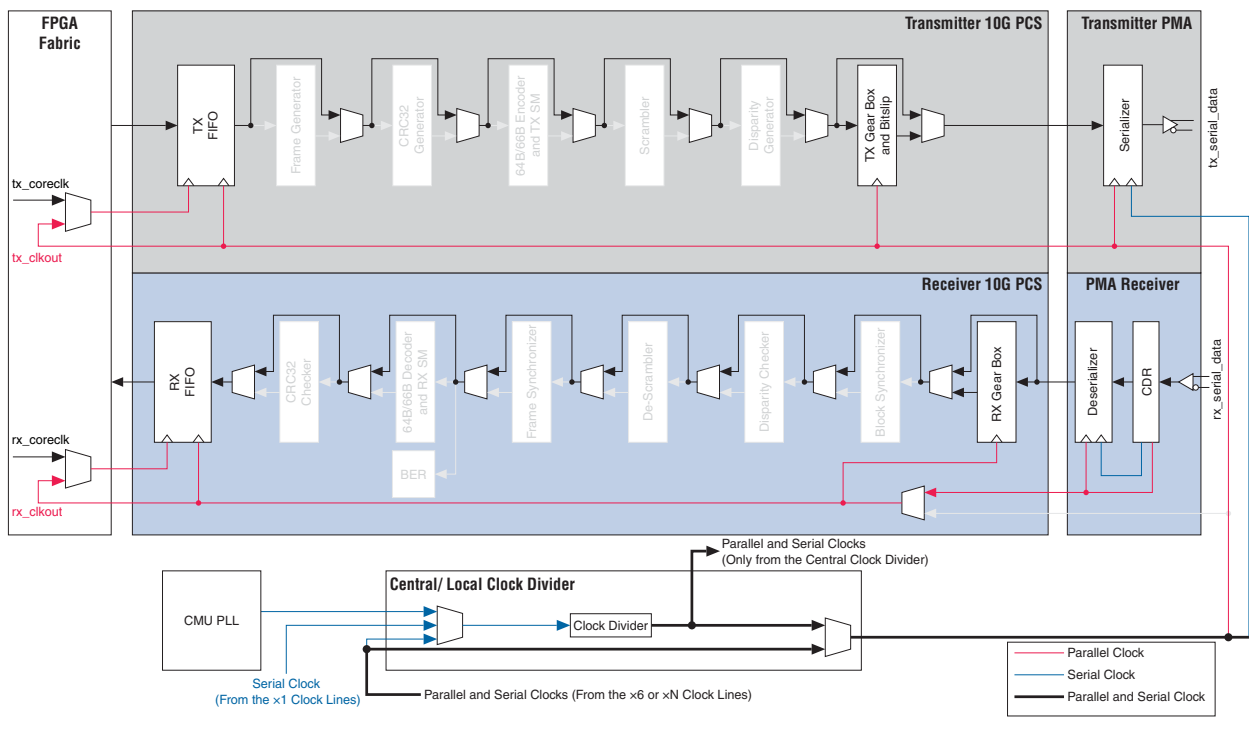
この章は、以下の項で構成されています。

- 「10G 低レイテンシ・コンフィギュレーション」
- 5-8 ページの「標準 PCS カスタムおよび低レイテンシ・コンフィギュレーション」

10G 低レイテンシ・コンフィギュレーション

10G PCS を使用する低レイテンシ PHY の IP コアは 32 ビット、40 ビット、50 ビット、64 ビット、または 66 ビット PCS のデータ幅のコンフィギュレーションが可能です。図 5-1 に、10G 低レイテンシ・コンフィギュレーション・データパスを示します。

図 5-1. 10G 低レイテンシ・データパス



© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

図 5-2 に、10G 低レイテンシ・コンフィギュレーションで使用できるさまざまなオプションを示します。カスタム・トランシーバ・コンフィギュレーションを選択するために、低レイテンシ PHY の IP コアを使用します。この IP コアは標準的な PCS を使用するカスタム・トランシーバのコンフィギュレーションをサポートします。MegaWizard™ Plug-In Manager で **select 10GPCS** のオプションをイネーブルすることにより、IP コアのオプションをイネーブルすることができます。

- 低レイテンシ PHY の IP コアについて詳しくは、[「Altera Transceiver PHY IP Core User Guide」](#) の「Low Latency PHY IP Core」の章を参照してください。

「Disabled」として示されるブロックは使用されませんが、レイテンシが生じます。「Bypassed」として示されるブロックは使用されず、レイテンシが生じません。図 5-2 で指定される FPGA ファブリック - ツー - トランシーバ・インタフェースの周波数は、最大スピード・グレードのデバイス用です。

- すべてのスピード・グレードの制限について詳しくは、[「DC and Switching Characteristics for Stratix V Devices」](#)の章を参照してください。

図 5-2. 10G 低レイテンシ・コンフィギュレーションのオプション (注 1)

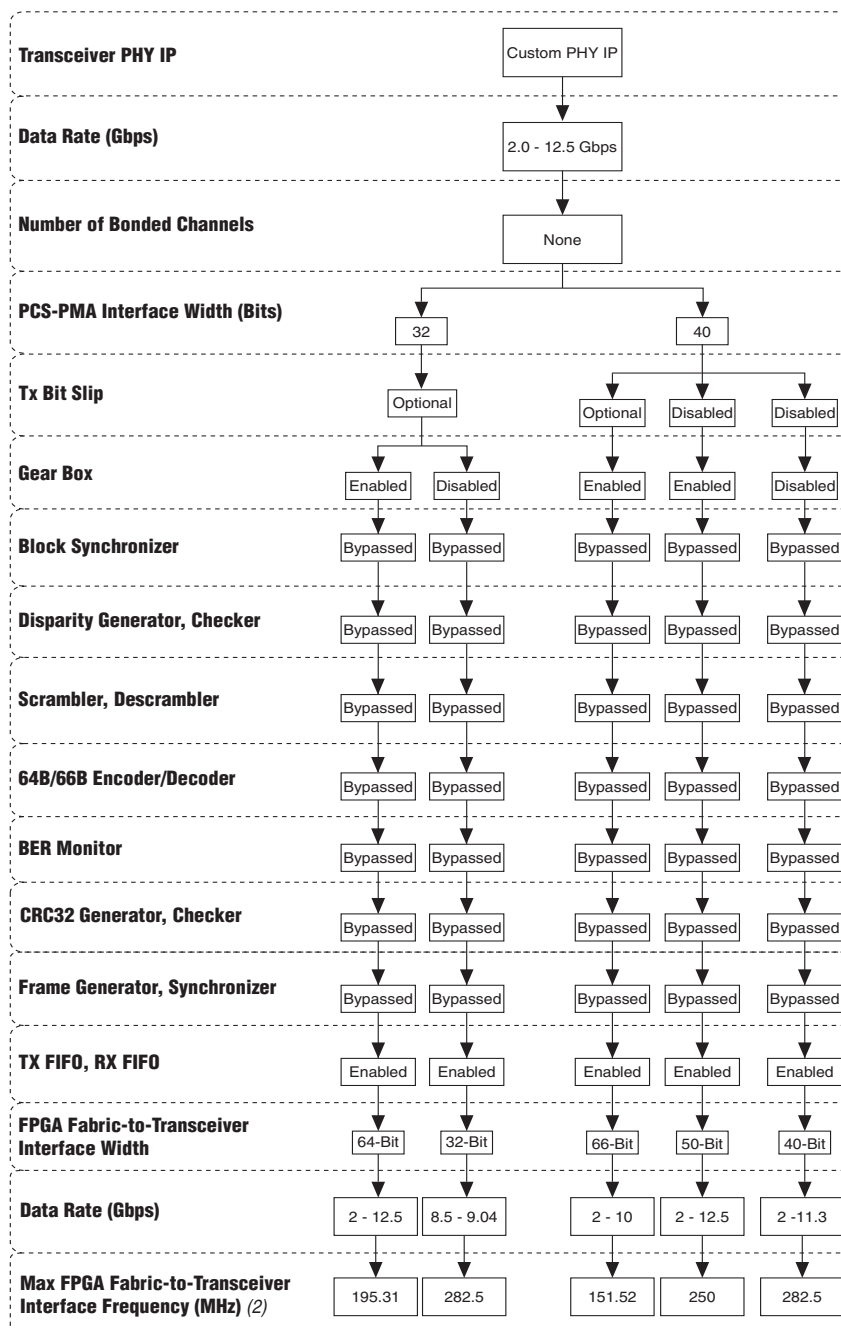


図 5-2 の注 :

- (1) すべてのスピード・グレードの制限について詳しくは、*「DC and Switching Characteristics for Stratix V Devices」* の章の **「Transceiver Specifications for Stratix V GX and GS Devices」** の表を参照してください。
- (2) ギア・ボックスが有効になっているたびに、指定した周波数の `rx_coreclk` を生成する必要があります。

Quartus® II ソフトウェアは、10G の PCS が有効になっている時に非結合コンフィギュレーション (×1) をサポートします。これは、10G PCS を使用して複数のチャネルを作成する場合、一般的な低速パラレル・クロック (結合チャネル・コンフィギュレーションで使用される XAUI など) はセントラル・クロック・ディバイダ・ブロックで生成されません。各トランスミッタ・チャネルは、チャネル PLL によって生成された高速クロックを受け取り、パラレル・クロックを生成するために、ローカルで分周します。

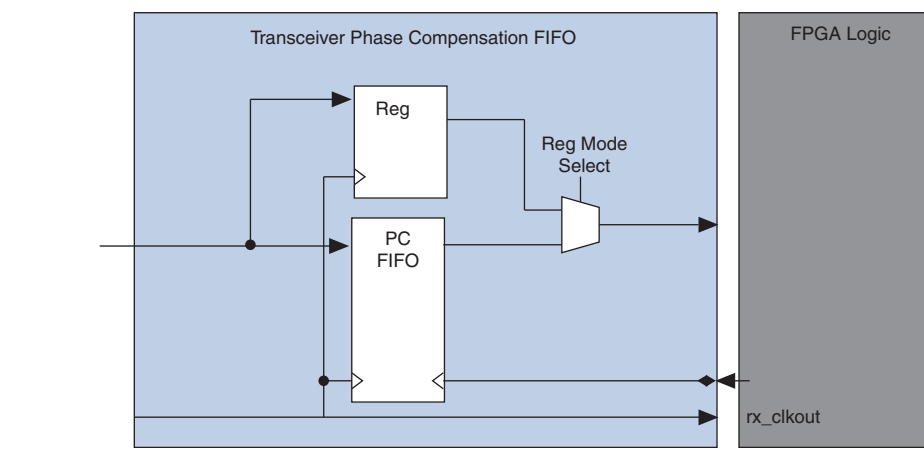
データパスの機能

この項では、10G 低レイテンシ・トランシーバ・コンフィギュレーションで使用できる多様な PCS ブロックについて説明します。

トランスミッタおよびレシーバ FIFO

図 5-3 に示すように、FIFO は位相補償または登録モードに設定することができます。位相補償モードでは、FIFO は FIFO の読み出し側および書き込み側の間にクロックの位相差を補正します。トランスミッタ (TX) とレシーバ (RX) FIFO の書き込み側のクロッキング方式はギア・ボックスがイネーブルされるかどうかまたはギア・ボックス比 (32:64、40:50、または 40:66) に依存します。クロッキング方式については、「クロッキング」のセクションで説明されています。

図 5-3. RX パスの位相補償 FIFO



ギア・ボックス

ギア・ボックスは PCS と物理媒体接続 (PMA) インタフェースの間でデータパス幅の違いを変換します。ギア・ボックスには、ハンドシェイク・コントロール・ロジックとデータ幅の変換を実装するための FIFO が含まれています。サポートされているギア・ボックス比について詳しくは 図 5-2 を参照してください。

TX ビット・スリップ機能

カスタム・コンフィギュレーションでサポートされるビット・スリップ機能では、ギア・ボックスに送信される前に、送信側のビットをスリップすることができます。ビット・スリップ数は FPGA ファブリック・トランシーバ・インタフェース幅と等しく 1 であります。例えば、FPGA ファブリック・トランシーバ・インタフェース幅が 64 ビットの場合、スリップできる最大の値は 63 ビットになります。つまり、ファス

ト・ワードの bits[63] から、そして bits[62:0] は 64 ビット・ワードから継続されています (bits[62:0] はセカンド・ワードからで、bits[63] はファスト・ワードの LSB からであります)。7 ビットの入力制御信号は、FPGA ファブリックに使用可能です。上記の 63 ビット・シフトの場合は、入力コントロールの値を 7'b0011111 に設定します。

クロッキング

このセクションでは、トランシーバ・データパスのクロッキングについて説明します。図 5-4 に、ギア・ボックスが有効になっていない時にクロック方式を示します。ギア・ボックスが有効になっていないので、TX および RX FIFO のクロックの読み出し側と書き込み側の間に、周波数の違いはありません。Quartus II ソフトウェアで自動的に、TX および RX FIFO の読み出し側と書き込み側にクロックを接続します。このコンフィギュレーションでは、TX FIFO からのデータは直接にシリアライザに供給されます。

チャンネル PLL について詳しくは、『*Transceiver Architecture of Stratix V Devices*』の章の『*Channel PLL Architecture*』を参照してください。

図 5-4. 有効でないギア・ボックスによる 10G PCS 低レイテンシのデータパス

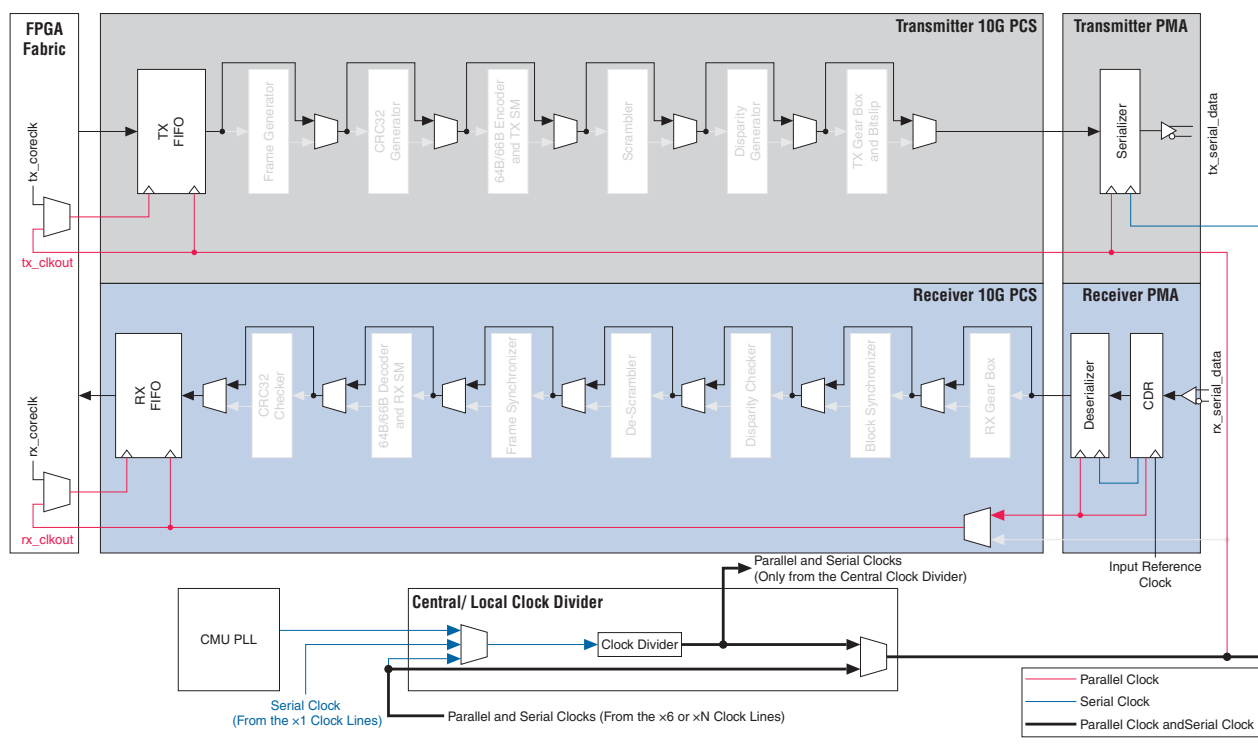


図 5-5 に、ギア・ボックス比が 32:64 によるコンフィギュレーションを示します。FPGA ファブリック・インタフェース幅 (64 ビット) は内部トランシーバ・データパス幅の 2 倍です。FPGA ファブリックに tx_clkout と rx_clkout を 2 つに分割し、それぞれ TX FIFO の書き込み側と RX FIFO の読み取り側をクロックするために、使用します。低レイテンシ PHY の IP コアで tx_coreclk と rx_coreclk ポートを選択して、図 5-5 に示すように、これらのポートへの分周されるクロックを接続してください。

図 5-5. 32:64 のギア・ボックス比による 10G PCS 低レイテンシのデータパス

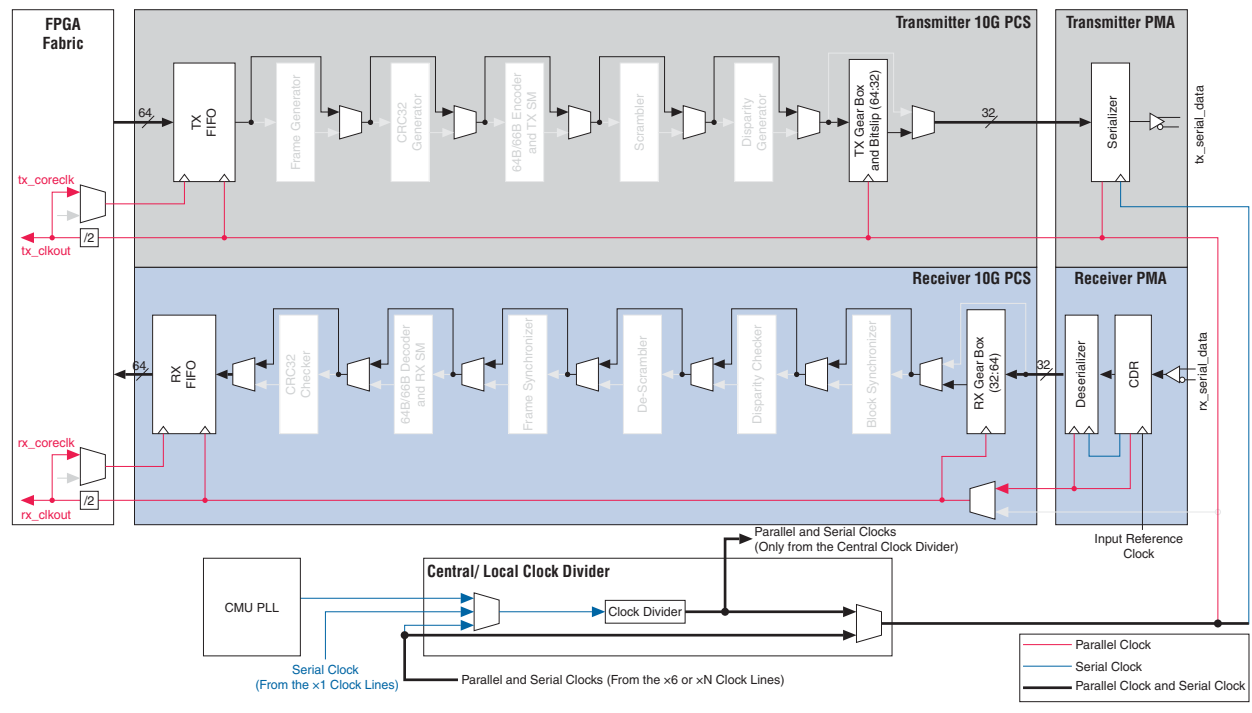


図 5-6 は、ギア・ボックスの比（40:66 または 40:50）が FPGA ファブリックのインタフェース幅の整数倍でないクロック方式を示します。TX FIFO の書き込み側に適切なクロック周波数を提供するために、小数 PLL を使用する必要があります。小数 PLL の分周比を設定すると、出力周波数が 66 または 50 で割ったトランスミッタ・データ・レートに等しくなります。TX FIFO が位相補償 FIFO として動作するため、小数 PLL および CMU PLL への入力基準クロックを提供するクロック・ソースと同じでなければなりません。したがって、クロックは読み取り側と書き込み側の間に 0 PPM が必要です。

受信側の場合は、rx_coreclk ポートを有効にし、rx_coreclk ポートに小数 PLL 出力を接続します。RX FIFO は位相補償 FIFO として動作します。したがって、RX FIFO 読み取り側と書き込み側は 0 PPM の周波数差が必要です。これは、受信側とアップストリーム・トランスミッタが同じクロック・ソースによってクロックされていることが必要です（同期システム）。

図 5-6. 40:66 または 40:50 のギア・ボックス比に対する 10G PCS 低レイテンシのデータパス

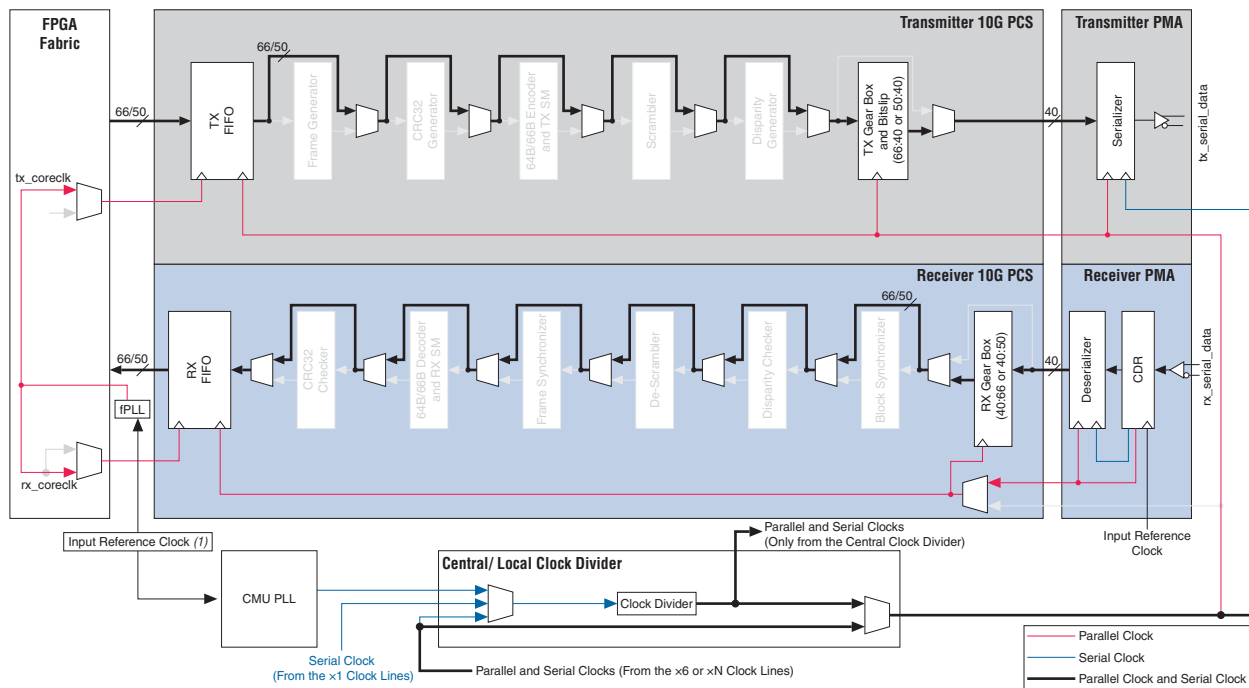


図 5-6 の注:

(1) 小数 PLL (図 5-6 の fPLL) および CMU PLL (CMU PLL は、シリアライザの高速クロックを生成する) への入力基準クロックを提供するクロックソースは同じでなければなりません。トランスミッタとレシーバの FIFO は、位相差を補正するだけです。したがって、同じクロックソースは、FIFO の読み取りと書き込みのクロック間が 0 PPM であることを確認します。

coreclks の使用

tx_coreclk ポートと rx_coreclk ポートは一つのチャンネルからの tx_clkout と rx_clkout を使用して、トランスミッタとレシーバ FIFO の複数のチャンネルをクロックすることの柔軟性を提供します。

コア・クロッキング方式について詳しくは、「*Transceiver Clocking for Stratix V Devices*」の章で、以下の項を参照してください。

- 「User-Selected Transmitter Datapath Interface Clock」
- 「User-Selected Receiver Datapath Interface Clock」

インスタンスの併合

同じ 10 Gbps の物理チャネル内に異なった 10G PCS データパス・コンフィギュレーションでトランスミッタとレシーバのインスタンスをマージすることができます。例えば、Quartus II ソフトウェアでは、次の 2 つのインスタンスを作成し、同じ物理トランシーバ・チャネルに配置することができます。

- 40 ビットの FPGA ファブリック・インタフェースに対する Transmitter only インスタンス
- 64 ビットの FPGA ファブリック・インタフェースに対する Receiver only インスタンス

同じ物理トランシーバ・チャンネル内に、異なった PCS ブロック（10G PCS および標準 PCS）を使用して、トランスミッタのインスタンスとレシーバのインスタンス（1チャンネルのインスタンス）を併合することはできません。

トランシーバ・チャンネル配置ガイドライン

Stratix V デバイスは、同じトランシーバ・バンク内で 10G のカスタム・コンフィギュレーション（同じデータ・レート）の最大 5 つのチャンネルまで配置することができます。図 5-7 に、サポートされるチャンネル配置シナリオを示します。

図 5-7. 10G カスタム・コンフィギュレーションのチャンネル配置ガイドライン

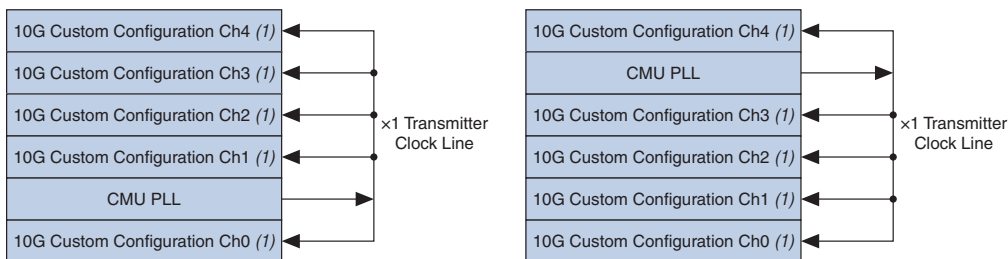


図 5-7 の注：

(1) 図 5-7 に示すように、すべてのチャンネルは、トランスミッタとレシーバが含まれていると仮定されます。

標準 PCS カスタムおよび低レイテンシ・コンフィギュレーション

標準的な PCS を使用してカスタム・コンフィギュレーションを使用すると、ユーザー定義のコンフィギュレーションを作成し、使用するブロックとデータ幅を選択できます。また、トランシーバ PCS の設定をカスタマイズすることによって、そのような SONET、Fibre Channel、または SerialLite II などのプロトコルを実装することができます。低レイテンシのコンフィギュレーションは、FPGA ファブリック内により多くのデザイン・コントローラを可能にするには、多くの標準 PCS のをバイパスします。このセクションでは、標準的な PCS によって、低レイテンシ PHY の IP コアとカスタムの使用方法について説明します。

表 5-1 に、標準的な PCS のトランスミッタ・チャンネルに対するデータパスのレイテンシを示します。

表 5-1. トランスミッタの標準的な PCS データパスのレイテンシ (注 1)

| ブロック | ノーマル・レイテンシ | 低レイテンシ |
|---------------------|------------|--------|
| トランスミッタ位相補償 FIFO(3) | 4-5 | 3-5 |
| バイト・シリアライザ | 1-2 | 0-2(3) |

表 5-1 の注：

- (1) これらの値は暫定仕様です。
- (2) トランスミッタ位相補償 FIFO レジスタ・モードとして構成することができます。実装では、10G PCS でトランスミッタ FIFO と同じです。
- (3) この値は、ブロックが有効か無効かに依存します。

表 5-2 に、標準的な PCS のレシーバ・チャンネルに対するデータパスのレイテンシを示します。

表 5-2. レシーバの標準 PCS のデータパス・レイテンシ (注 1)

| ブロック | ノーマル・レイテンシ | 低レイテンシ |
|---------------|------------|--------|
| ワード・アライナ | 3-7(2) | 1 |
| バイト・シリアライザ | 1-2 | 1 |
| バイト・オーダリング | 1-3 | 0 |
| レシーバ位相補償 FIFO | 3-4 | 2-3 |

表 5-2 の注：

- (1) これらの値は暫定仕様です。
- (2) この値は、コンフィギュレーション・モードに依存します。

 正常にこの章を使用するには「[Altera Transceiver PHY IP Core User Guide](#)」の「[Custom PHY IP Core and Low Latency PHY IP Core](#)」の章を理解し、リファレンスとして使用する必要があります。

標準的な PCS に対するカスタム・コンフィギュレーション

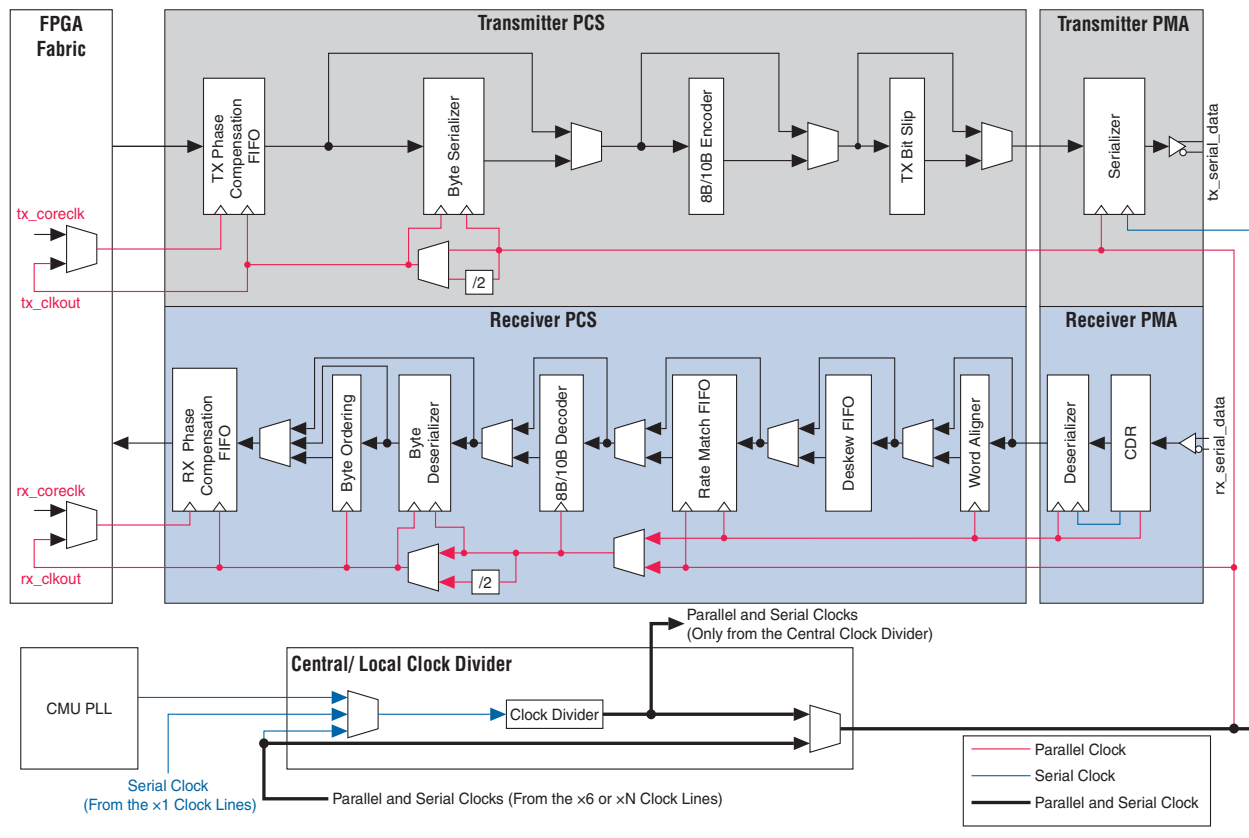
カスタム PHY の IP コアは低速の場合、8 ビットまたは 10 ビットの幅モードで構成し、より高いデータ・レートの場合、16 ビットまたは 20 ビット幅のモードで構成します。表 5-3 に、サポートされるデータ・レートのリストを示します。

表 5-3. Stratix V デバイスに対する Custom Single-Width モードおよび Double-Width モードでの PCS-PMA インタフェース幅およびデータ・レート

| PCS-PMA インタフェース幅 | サポートされるデータ・レートの PMA 範囲 |
|--------------------|------------------------|
| カスタム 8 または 10 ビット幅 | 600 Mbps ~ 3.75 Gbps |
| カスタム 16 ビット幅 | 1 Gbps ~ 8 Gbps |
| カスタム 20 ビット幅 | 1 Gbps ~ 8.5 Gbps |

図 5-8 には、標準的な PCS を使用するカスタム・トランシーバ・コンフィギュレーションの完全なデータパスを示します。図 5-9 から 図 5-12 に、異なる速度で使用可能なオプションを示します。

図 5-8. 標準的な PCS を使用するカスタム・コンフィギュレーションのデータパス



標準的な PCS データパスは、ユーザーの要件に基づいてブロックの変更、ブロックの有効、またはブロックの無効にできるようにすることで、柔軟性を提供しています。

図 5-9 に、標準的な PCS カスタム 8 ビット PMA-PCS インタフェース幅 で利用可能なオプションを示します。図 5-9 に示される最大周波数は最速のデバイスのためです。

一定のスピード・グレードの最大データ・レートについては、「*DC and Switching Characteristics for Stratix V Devices*」の章を参照してください。

図 5-9. 標準的な PCS カスタム 8 ビット PMA-PCS インタフェース幅

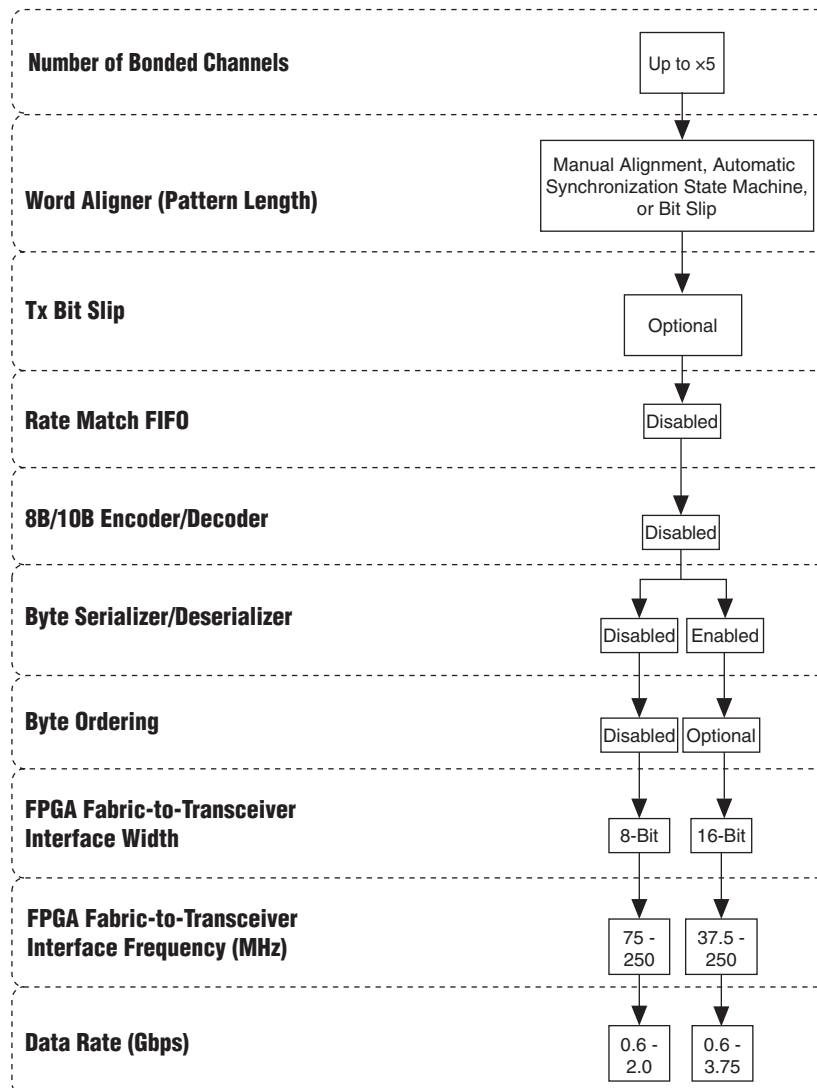


図 5-10 に、標準的な PCS カスタム 10 ビット PMA-PCS インタフェース幅 で利用可能なオプションを示します。図 5-10 に示される最大周波数は最速のデバイスのためです。

一定のスピード・グレードの最大データ・レートについては、「*DC and Switching Characteristics for Stratix V Devices*」の章を参照してください。

図 5-10. 標準的な PCS カスタム 10 ビット PMA-PCS インタフェース幅

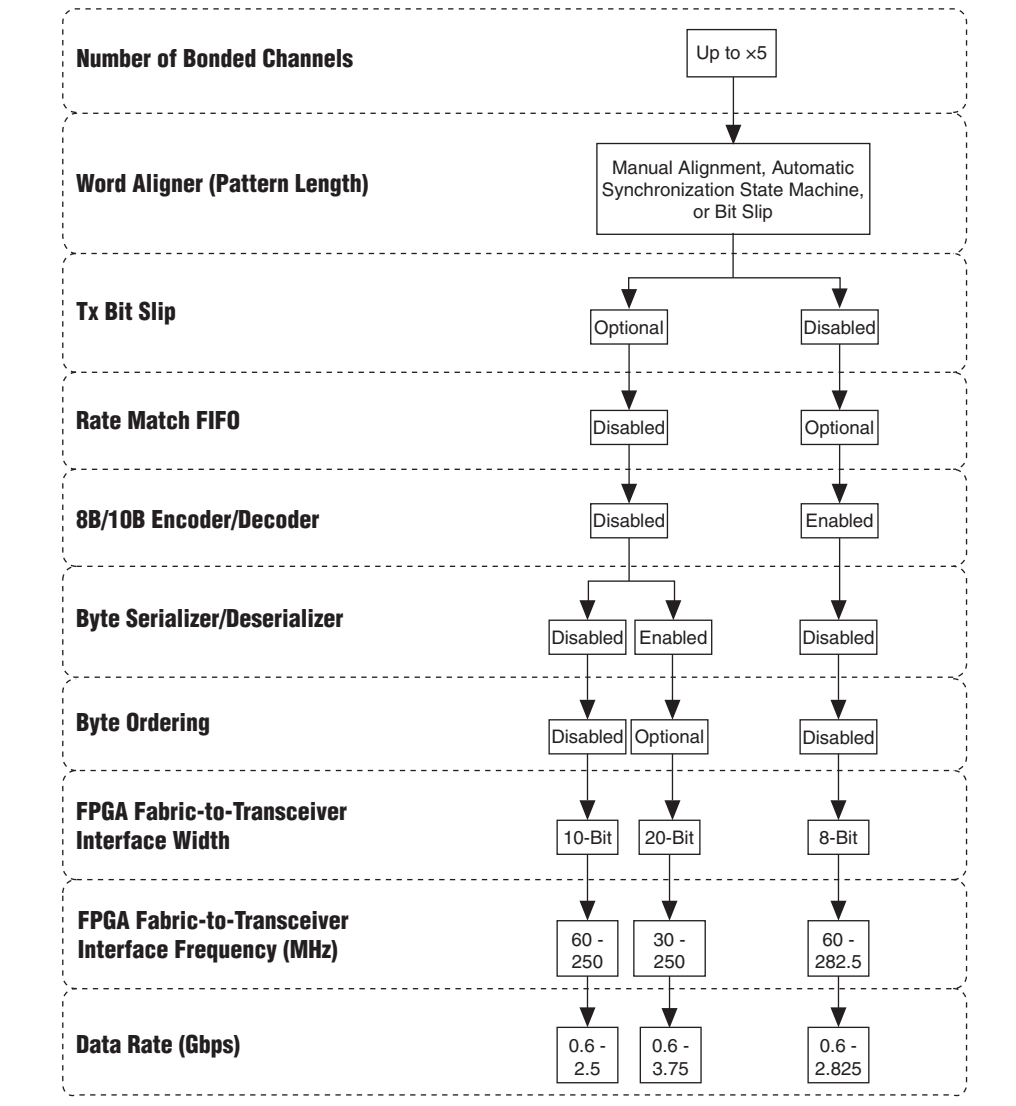


図 5-11 標準的な PCS カスタム 16 ビット PMA-PCS インタフェース幅 で利用可能なオプションを示します。図 5-11 に示される最大周波数は最速のデバイスのためです。

一定のスピード・グレードの最大データ・レートについては、「*DC and Switching Characteristics for Stratix V Devices*」の章を参照してください。

図 5-11. 標準的な PCS カスタム 16 ビット PMA-PCS インタフェース幅

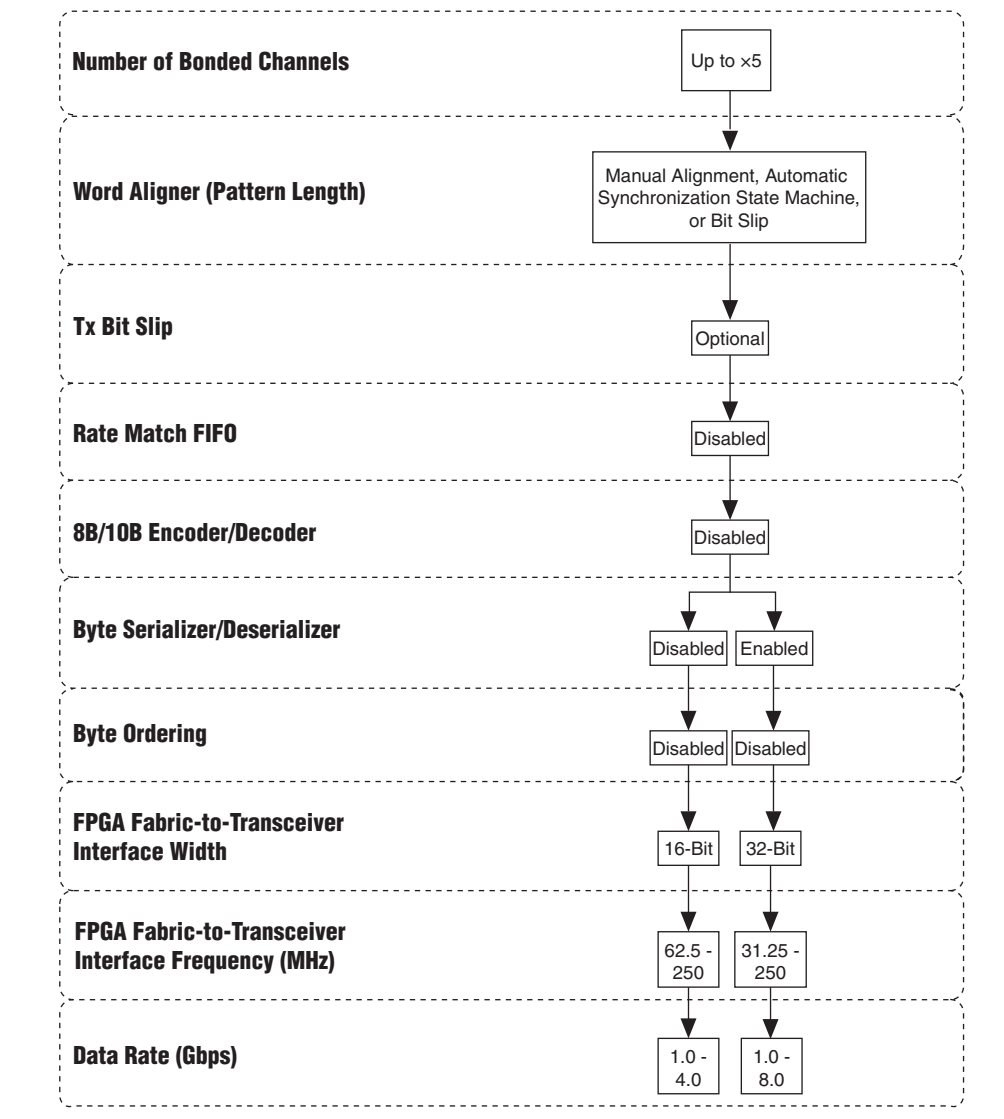


図 5-12 標準的な PCS カスタム 20 ビット PMA-PCS インタフェース幅 で利用可能なオプションを示します。図 5-12 に示される最大周波数は最速のデバイスのためです。

一定のスピード・グレードの最大データ・レートについては、「*DC and Switching Characteristics for Stratix V Devices*」の章を参照してください。

図 5-12. 標準的な PCS カスタム 20 ビット PMA-PCS インタフェース幅

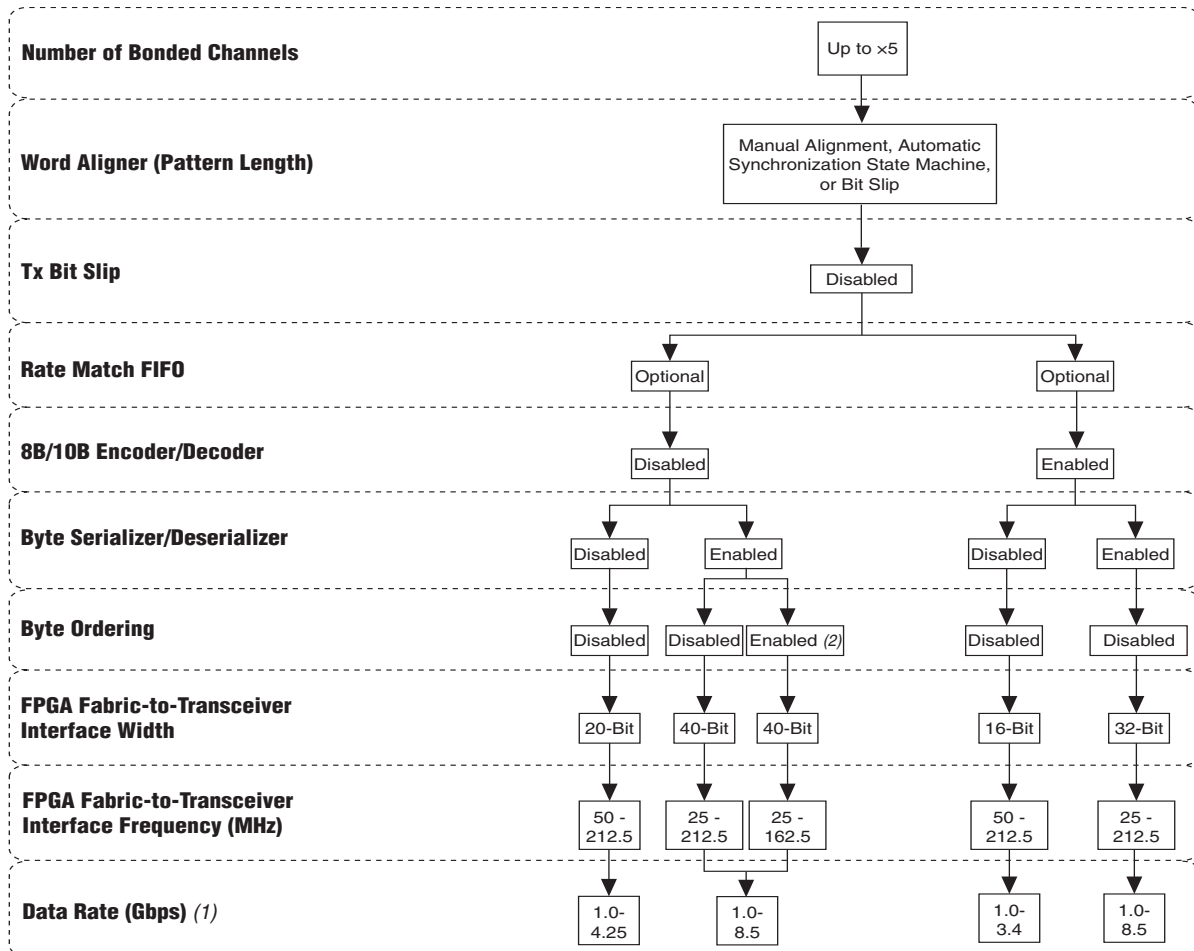


図 5-12 の注：

- (1) 図 5-12 に示した最大データ・レート仕様は、-2 (最速) スピード・グレードのデバイスについてのみ有効です。提供されるその他のスピード・グレードに対するデータ・レート仕様については、「*DC and Switching Characteristics for Stratix V Devices*」の章を参照してください。
- (2) バイト・オーダリング・ブロックは、20 ビットのワード・アラインメント・パターン長を選択した場合にのみ使用することができます。

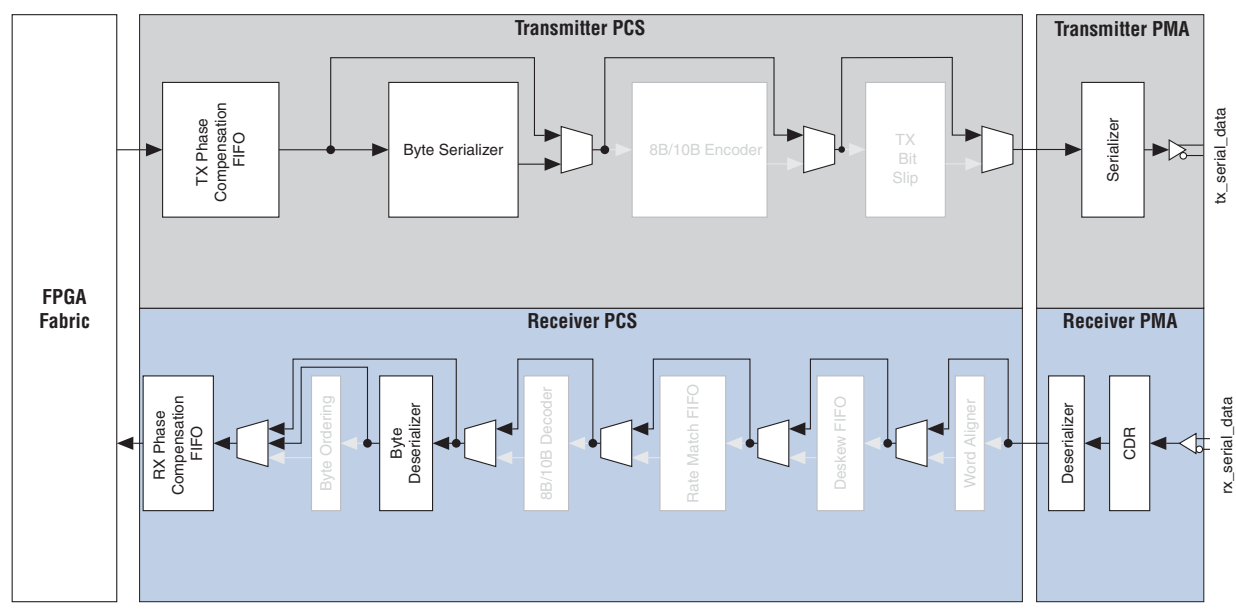
標準 PCS のデータパスを使用した低レイテンシ

標準的な PCS を使用した低レイテンシ PHY の IP コアは 8 ビット、10 ビット、16 ビット、または 20 ビットの PCS データ幅のコンフィギュレーションに使用可能です。低レイテンシ PHY の IP コアを使用する場合、[図 5-13](#) のように、利用可能なトランスミッタとレシーバ・チャンネルの PCS ブロックを示しています。

低レイテンシの PCS データパスは、以下のブロックで構成されています。

- トランスミッタ・チャンネル PCS
 - トランスミッタ位相補償 FIFO
 - バイト・シリアライザ
- レシーバ・チャンネル PCS
 - レシーバ位相補償 FIFO
 - バイト・デシリアライザ

図 5-13. 標準的な PCS 低レイテンシのデータパス



[表 5-4](#) に、custom single-width モードと double-width モードでの PCS と PMA インタフェース幅とデータ・レートを示します。

表 5-4. PCS-PMA インタフェース幅およびデータ・レート

| 低レイテンシ PHY の IP コア | サポートされるデータ・レートの PMA 範囲 |
|--------------------------|------------------------|
| 低レイテンシ 8 ビット幅 | 600 Mbps ~ 4.0 Gbps |
| 低レイテンシ 10 ビット幅 | 600 Mbps ~ 5.0 Gbps |
| 低レイテンシ 16 ビットまたは 20 ビット幅 | 1 Gbps ~ 8.5 Gbps |

低レイテンシの PCS のコンフィギュレーションでは、TX および RX の位相補償 FIFO は常に有効になっています。目標とするデータ・レートに応じて、オプションでバイト・シリアライザ・ブロックおよびバイト・デシリアライザ・ブロックをバイパスすることができます。

図 5-14 に、標準的な PCS 低レイテンシ 8 ビット PMA-PCS インタフェース幅 で利用可能なオプションを示します。「Disabled」として示されるブロックは使用されませんが、レイテンシが生じます。「Bypassed」として示されるブロックは使用されず、レイテンシが生じません。図 5-14 に示される最大周波数は最速のデバイスのためです。

一定のスピード・グレードの最大データ・レートについて詳しくは、「[DC and Switching Characteristics for Stratix V Devices](#)」の章を参照してください。

図 5-14. 標準的な PCS 低レイテンシ 8 ビット PMA-PCS インタフェース幅

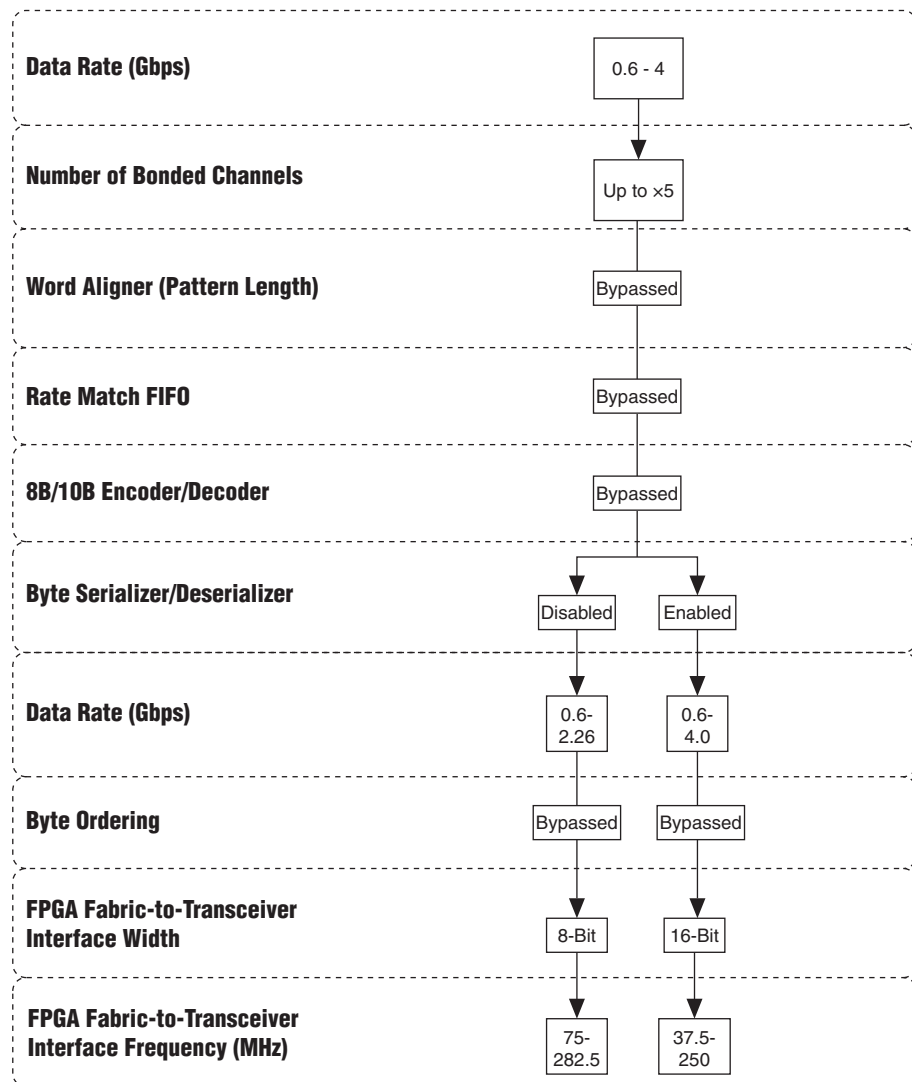


図 5-15 に、標準的な PCS 低レイテンシ 10 ビット PMA-PCS インタフェース幅 で利用可能なオプションを示します。「Disabled」として示されるブロックは使用されませんが、レイテンシが生じます。「Bypassed」として示されるブロックは使用されず、レイテンシが生じません。図 5-15 に示される最大周波数は最速のデバイスのためです。

一定のスピード・グレードの最大データ・レートについては、「*DC and Switching Characteristics for Stratix V Devices*」の章を参照してください。

図 5-15. 標準的な PCS 低レイテンシ 10 ビット PMA-PCS インタフェース幅

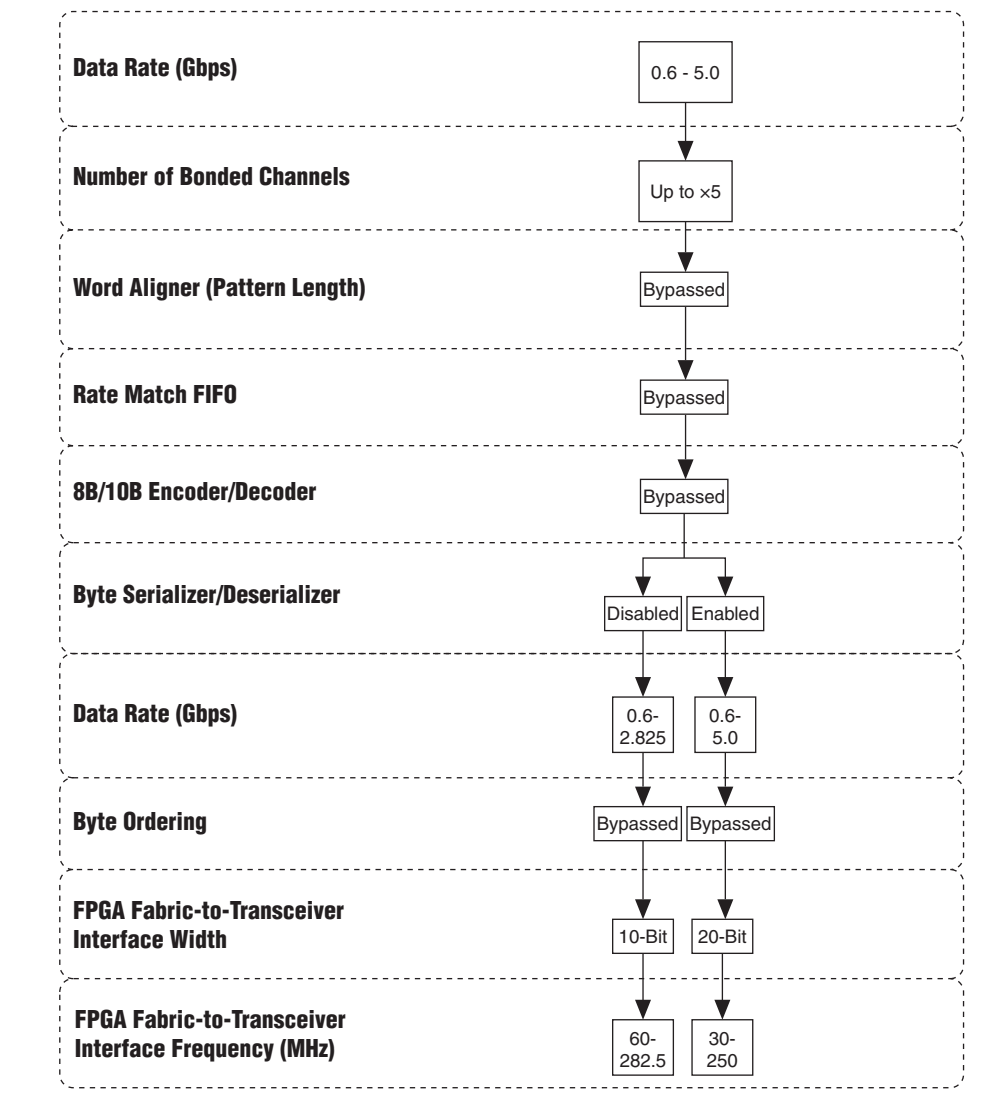


図 5-16 に、標準的な PCS 低レイテンシ 16 ビット PMA-PCS インタフェース幅 で利用可能なオプションを示します。「Disabled」として示されるブロックは使用されませんが、レイテンシが生じます。「Bypassed」として示されるブロックは使用されず、レイテンシが生じません。図 5-16 に示される最大周波数は最速のデバイスのためです。

一定のスピード・グレードの最大データ・レートについては、「*DC and Switching Characteristics for Stratix V Devices*」の章を参照してください。

図 5-16. 標準的な PCS 低レイテンシ 16 ビット PMA-PCS インタフェース幅

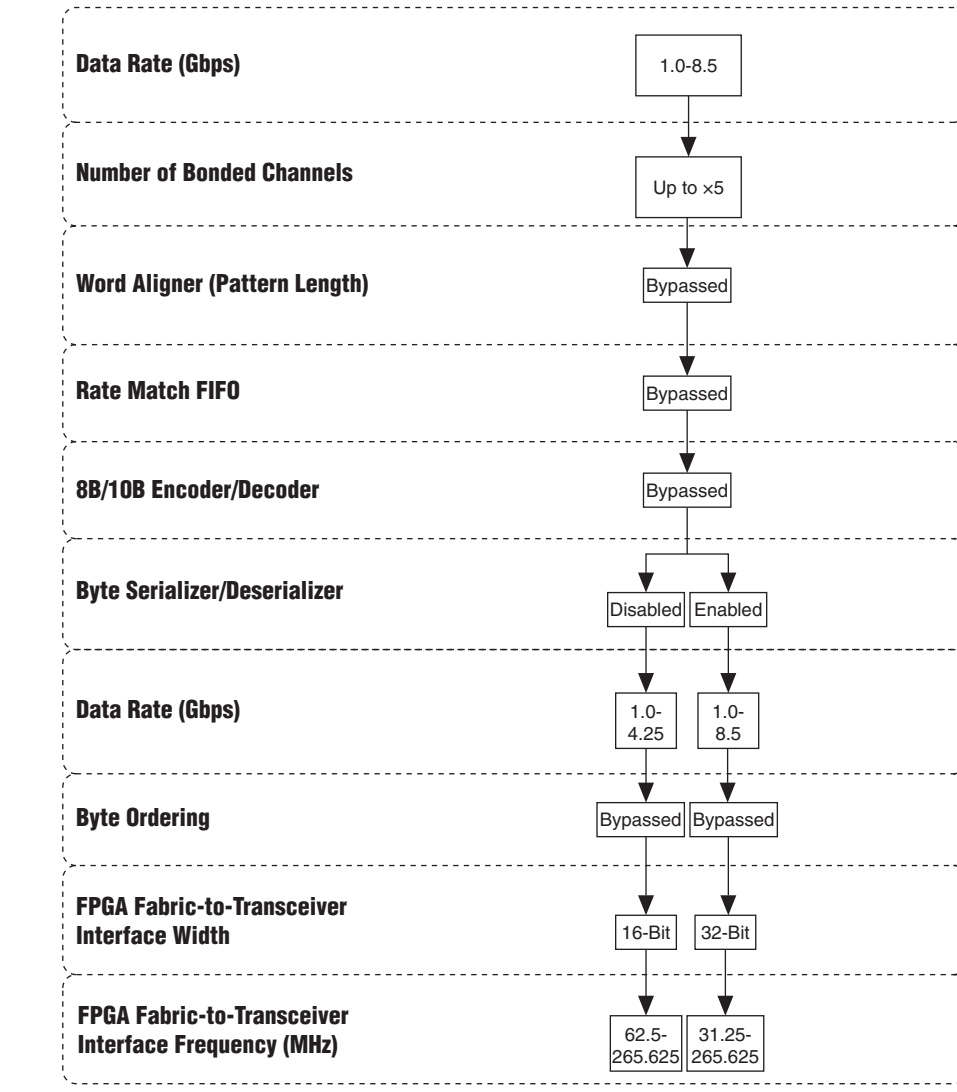
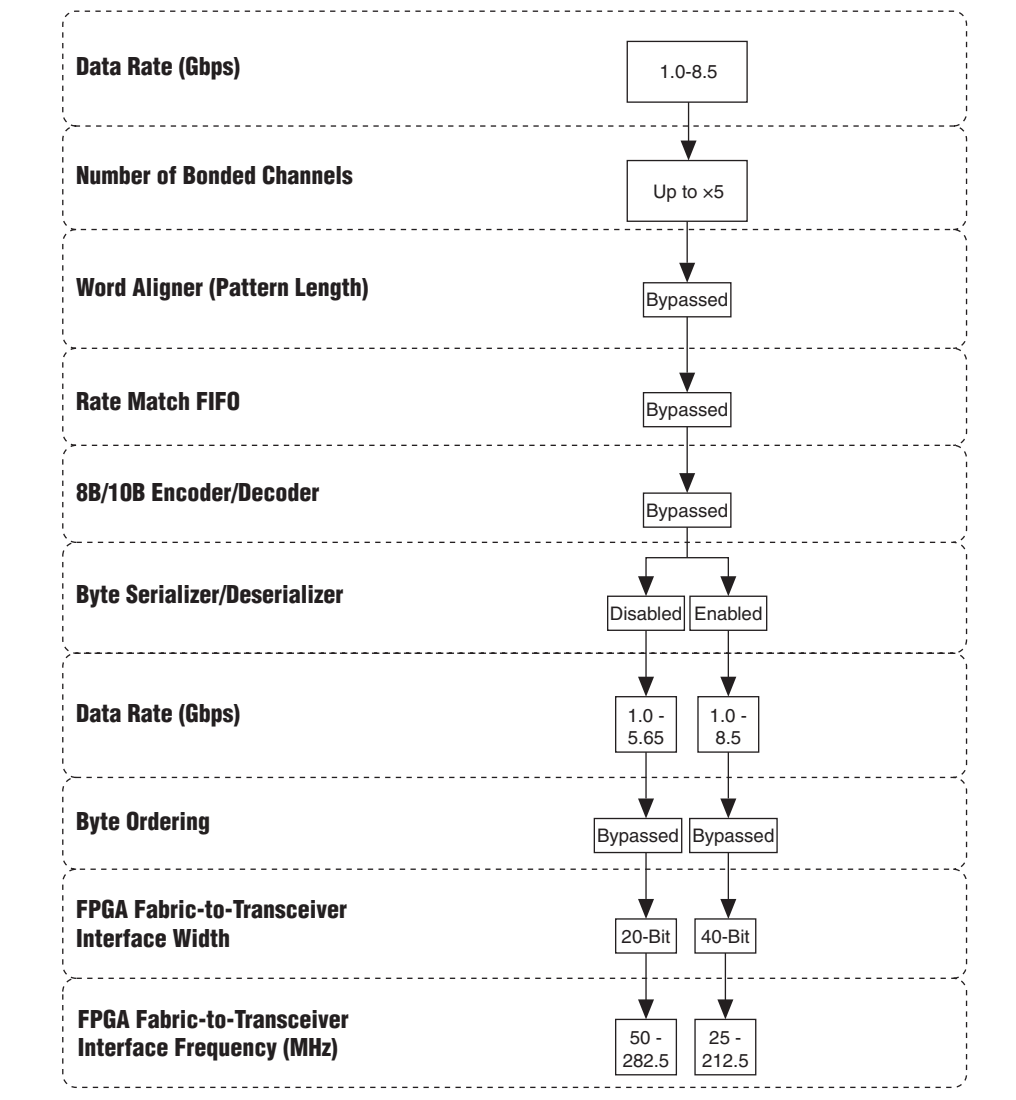


図 5-17 に、標準的な PCS 低レイテンシ 20 ビット PMA-PCS インタフェース幅 で利用可能なオプションを示します。「Disabled」として示されるブロックは使用されませんが、レイテンシが生じます。「Bypassed」として示されるブロックは使用されず、レイテンシが生じません。図 5-17 に示される最大周波数は最速のデバイスのためです。

一定のスピード・グレードの最大データ・レートについて詳しくは、「[DC and Switching Characteristics for Stratix V Devices](#)」の章を参照してください。

図 5-17. 標準的な PCS 低レイテンシ 20 ビット PMA-PCS インタフェース幅



改訂履歴

表 5-5 に、本資料の改訂履歴を示します。

表 5-5. 改訂履歴

| 日付 | バージョン | 変更内容 |
|-------------|-------|--|
| 2011 年 5 月 | 1.2 | <ul style="list-style-type: none"> ■ 表 5-1 を更新。 ■ 図 5-3 を追加。 ■ 図 5-9、図 5-11、図 5-12、および図 5-17 を更新。 ■ Quartus II ソフトウェアのリリース 11.0 の volume 3 にチャプターを移動。 ■ テキストのマイナーな編集。 |
| 2010 年 12 月 | 1.1 | <ul style="list-style-type: none"> ■ 5-3 ページの「Clocking」を更新。 ■ 5-7 ページの「Standard PCS Custom and Low Latency Configurations」を更新。 ■ 図 5-1、図 5-2、図 5-3、図 5-4、図 5-5、図 5-7、図 5-8、図 5-9、図 5-10、および図 5-11 を更新。 ■ テキストのマイナーな編集。 |
| 2010 年 7 月 | 1.0 | 初版 |