

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SV52005-1.2

この章では、トランシーバ・チャンネルのデータパス、クロッキング・ガイドライン、チャンネル配置のガイドライン、および Stratix® V デバイスの各トランシーバの構成でサポートされるプロトコルの機能の簡単な説明を提供します。

Stratix V デバイスは、トランシーバの物理コーディング・サブレイヤ (PCS) と物理媒体接続 (PMA) は、次の通信プロトコルをサポートする専用回路を備えています。

- 「10GBASE-R」
- 4-8 ページの「Interlaken」
- 4-15 ページの「PCI Express (PCIe) Gen1、Gen2」
- 4-29 ページの「GIGE」
- 4-36 ページの「XAUI」

 Stratix V デバイスにサポートされるシリアル・プロトコルの完全なリストについては「[Upcoming Stratix V Device Features](#)」のドキュメントを参照してください。

 この章は「[Altera Transceiver PHY IP Core User Guide](#)」と併用して、Stratix V のデバイスで、目的のプロトコルのリンクを実装することができます。

表 4-1 サポートされている各トランシーバの設定のために、インスタンス化しなければならない Quartus® II PHY の IP コアのインスタンス名を示します。

表 4-1. Quartus II PHY の IP コア名

トランシーバ・コンフィギュレーション	Quartus II PHY の IP コア
10GBASE-R	10GBASE-R PHY
Interlaken	Interlaken PCS
PCI Express® (PCIe®)	PCI Express PHY (PIPE)
XAUI	XAUI PHY

10GBASE-R

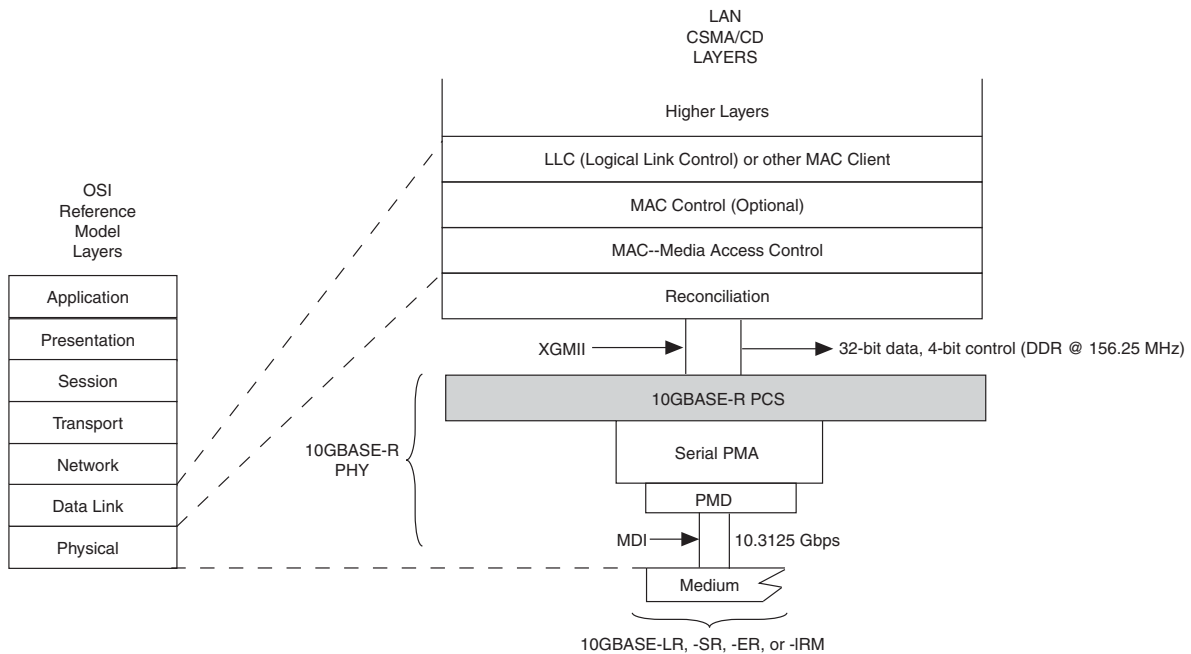
この項では、Stratix V トランシーバを使用して 10GBASE-R のリンクの実装について説明します。10GBASE-R のコンフィギュレーションで設定した場合、トランシーバ・チャンネル・データパス、クロッキング、およびチャンネル配置のガイドラインを提供します。

10GBASE-R は、IEEE 802.3-2008 仕様の節 49 に定義された 10 ギガビット・イーサネット・リンクの特定の物理層の実装です。図 4-1 に示すように、10GBASE-R PHY は XGMII インタフェースを使用して、IEEE802.3 メディア・アクセス・コントロール (MAC) と和解サブレイヤ (RS) を接続します。IEEE 802.3-2008 の仕様は、XGMII インタフェースで 10 Gbps のデータ・レートおよび 64B/66B エンコードで 10.3125 Gbps のシリアル回線の速度をサポートするために、各 10GBASE-R のリンクが必要です。

© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

図 4-1 に、OSI 参照モデルの 10GBASE-R PHY および他のサブレイヤー間の関係を示します。

図 4-1. IEEE802.3 MAC と RS に 10GBASE-R PHY の接続



トランシーバ・データパス・コンフィギュレーション

図 4-2 は、10GBASE-R のコンフィギュレーションで有効な設定とトランシーバ・ブロックを示します。「Disabled」として示されるブロックは使用されませんが、レイテンシが生じます。「Bypassed」として示されるブロックは使用されず、レイテンシが生じません。

図 4-2. 10GBASE-R で有効なトランシーバ・ブロック

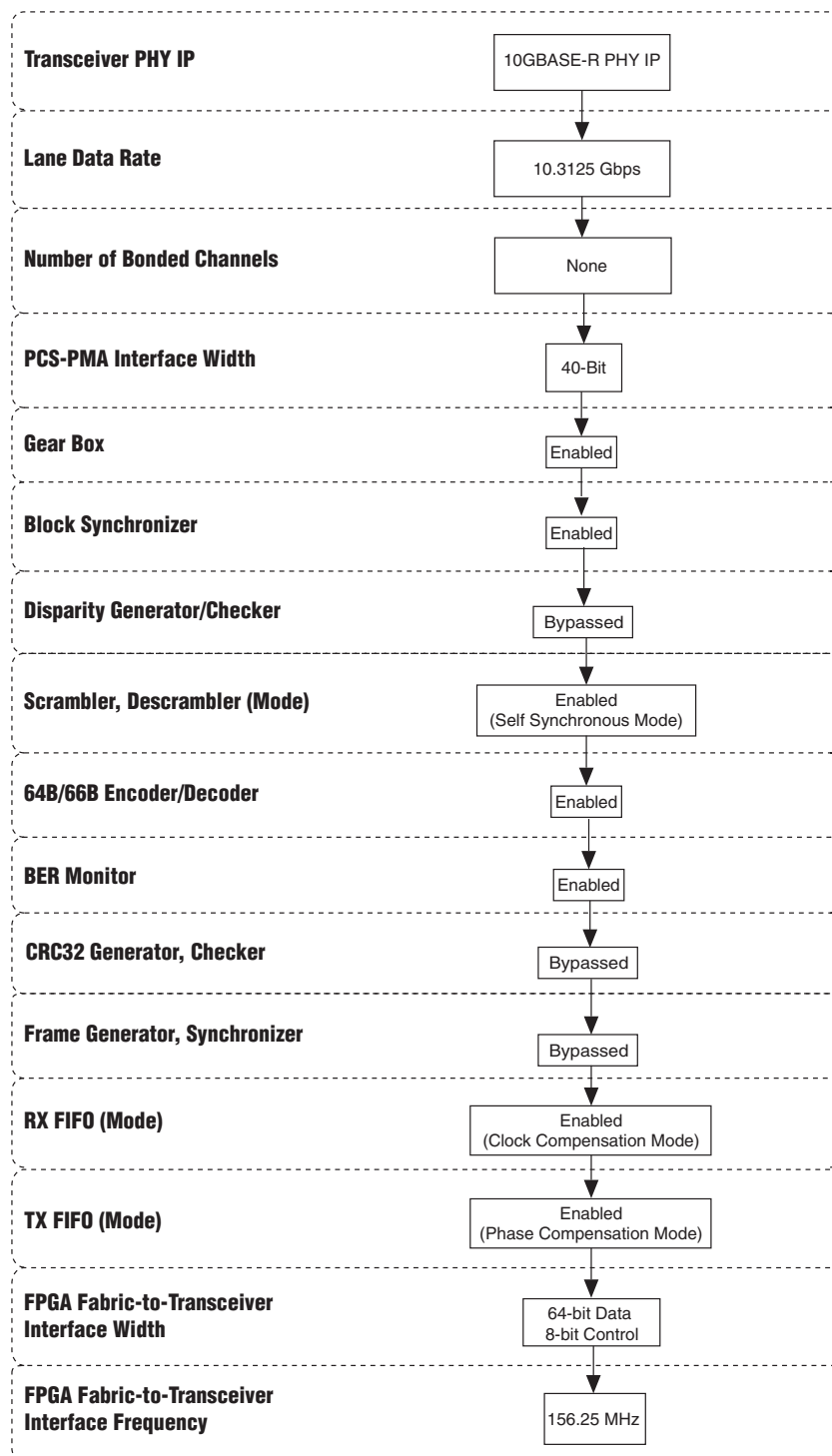
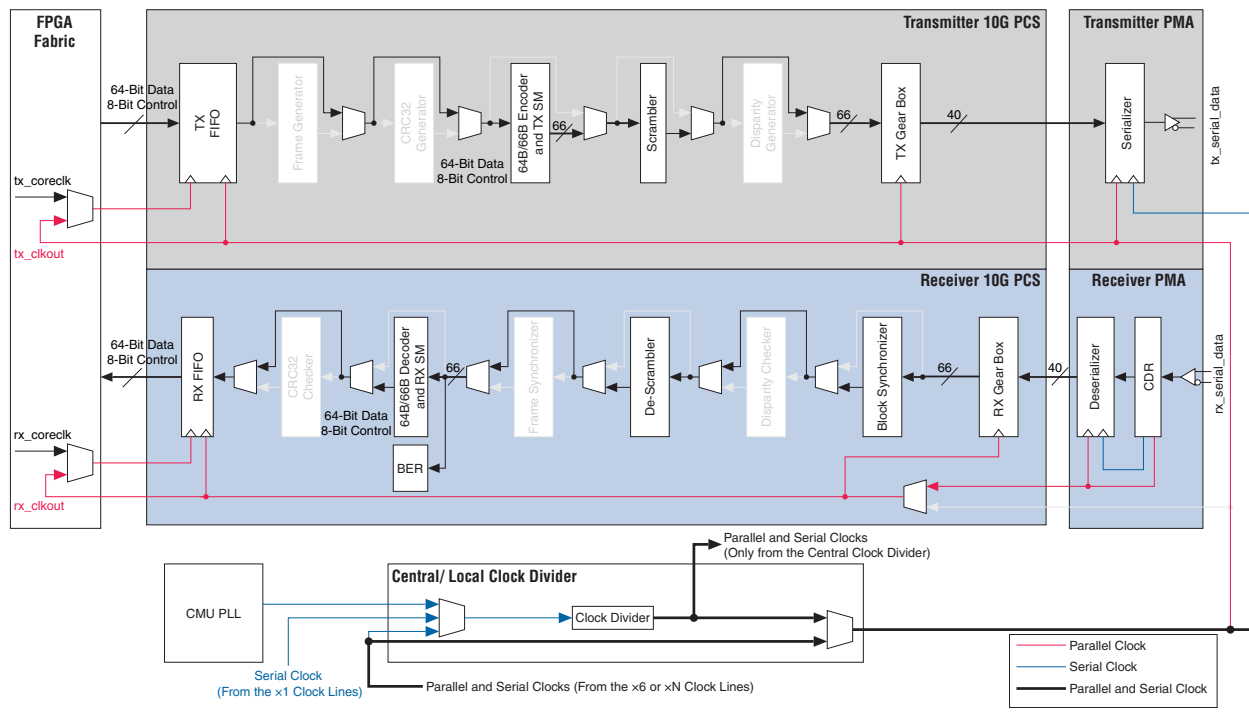


図 4-3 に、10GBASE-R のコンフィギュレーションでトランシーバのデータパスを示します。

図 4-3. 10GBASE-R コンフィギュレーションのチャンネル・データパス



サポートされた機能

以下のセクションでは、10GBASE-R のコンフィギュレーションでの Stratix V トランシーバでサポートされた機能を説明します。

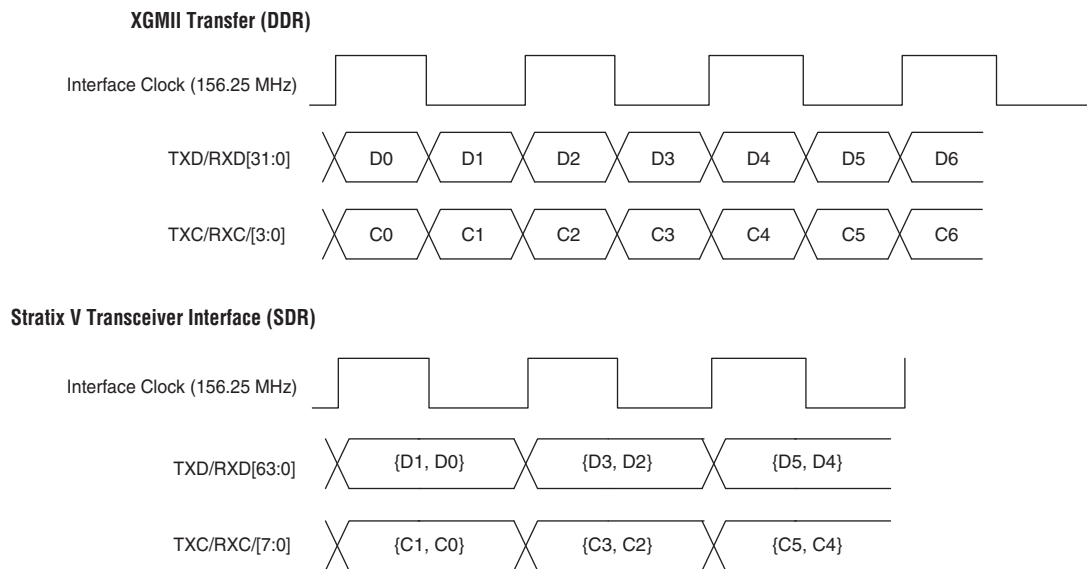
- 10GBASE-R の PHY IP コントロールと各機能に関連するステータス信号について詳しくは、「[Altera Transceiver PHY IP Core User Guide](#)」の「10GBASE-R PHY IP Core」の章を参照してください。

MAC/RS の 64- ビット・シングル・データ・レート (SDR) インタフェース

IEEE 802.3-2008 仕様の 46 項は、10GBASE-R PCS およびイーサネット MAC/RS 間の XGMII インタフェースを定義します。XGMII インタフェースは、156.25MHz のインタフェース・クロックに対する正エッジと負エッジ (DDR) の両方で MAC/RS と PCS の間でクロックされる 4 ビット幅の制御文字と 32 ビットのデータを定義します。

IEEE 802.3-2008 仕様で定義されたように、Stratix V トランシーバは、MAC/RS に XGMII インタフェースをサポートしません。その代わりに、図 4-4 に示すように、MAC/RS と PCS 間の 64 ビット・データと 8 ビット・コントロールの SDR インタフェースをサポートします。

図 4-4. 10GBASE-R に対する XGMII インタフェース (DDR) と Stratix V トランシーバ・インタフェース (SDR)



64B/66B エンコーディング / デコーディング

10GBASE-R のコンフィギュレーションの Stratix V トランシーバは IEEE802.3-2008 仕様の 49 項に規定されたように、64B/66B エンコーディングおよびデコーディングをサポートします。64B/66B エンコーダは、トランスミッタ FIFO から 64 ビット・データと 8 ビットのコントロール・コードを受信し、66 ビットでエンコードされたデータに変換します。66 ビットでエンコードされたデータは、2 つのオーバーヘッドの同期のヘッダー・ビットが含まれ、レシーバ PCS はブロック同期とビット・エラー・レート (BER) を監視するために、使用します。

64B/66B エンコーディングは、受信データにロックを維持するために、レシーバのクロック・データ・リカバリ (CDR) のためのシリアル・データ・ストリームに十分な遷移を保証します。

トランスミッタおよびレシーバのステート・マシン

10GBASE-R のコンフィギュレーションでの Stratix V トランシーバは、IEEE802.3-2008 仕様の図 49-14 および図 49-15 に示すように、送信および受信の状態図を実装します。

10GBASE-R PCS の規則に従って、生データをエンコードに加え、送信状態図は、リセットでローカル・フォールト (LBLOCK_T) を送信するだけでなく、10GBASE-R PCS の規則に違反する時に、エラー・コード (EBLOCK_T) を送信するなどの機能を実行します。

10GBASE-R PCS の規則に従って受信データをデコーディングに加え、受信状態図は、リセットで MAC/RS にローカル・フォールト (LBLOCK_R) を送信し、10GBASE-R PCS の規則に違反される時にエラー・コード (EBLOCK_R) を代入するなどの機能を実行します。

ブロック同期

受信データ・ストリームにロックを取得したときに、レシーバ PCS のブロック・シンクロナイザを決定します。それは、IEEE 802.3-2008 仕様の図 49-12 に示すように、ロックの状態図を実装しています。

ブロック・シンクロナイザーは、ブロック同期を達成したかどうかを示すステータス信号を提供します。

自己同期スクランブル / デスクランブル

トランスミッタ / レシーバ PCS のスクランブラ / デスクランブラ・ブロックは、IEEE 802.3-2008 仕様の 49 項に説明した自己同期スクランブラ / デスクランブラ多項式の $1 + x^{39} + x^{58}$ を実装します。スクランブラ / デスクランブラ・ブロックは、自己同期であり、初期シードを必要としません。各 66 ビット・データ・ブロック内の 2 つのシンクのヘッダー・ビットがなければ、全体のペイロードがスクランブルまたはデスクランブルされます。

BER モニタ

受信機の PCS における BER モニタ・ブロックは、IEEE 802.3-2009 仕様の図 49-13 に示すように、BER モニタの状態図を実装しています。BER モニタは、リンクの BER スレッシュホールドに違反されるたびに、MAC にステータス信号を提供します。

10GBASE-R の PHY IP コアは、16 同期ヘッダのエラーが 125 ミリ秒のウィンドウ内で受信されるたびに、高い BER を示すステータス・フラグを提供します。

クロック補正

レシーバ PCS データパスの受信 FIFO は、リモート・トランスミッタとローカル・レシーバの間に ± 100 PPM の差まで補正するために設計されます。それは、PPM の差に応じて、アイドル (/I/) を挿入し、アイドル (/I/) またはオーダ・セット (/O/) を削除することによって行われます。

アイドルの挿入

レシーバ FIFO はクロック・レート・ディスパリティを補正するために、/I/ or /O/ に続いて、8 つの /I/ コードを挿入します。

アイドル (/I/) またはシーケンス・オーダ・セット (/O/) の削除

レシーバ FIFO はクロック・レート・ディスパリティを補正するために、4 つの /I/ コードまたはオーダ・セット (/O/) のいずれかを削除します。次の IEEE802.3-2008 の削除ルールのように実装します。

- 前述のワードの最上位 32 ビットは、Terminate /T/ の制御文字が含まれていない場合、4 つの /I/ コードを削除します。
- 2 つの連続の /O/ オーダ・セットを受信する場合のみ、1 つの /I/ コードを削除します。

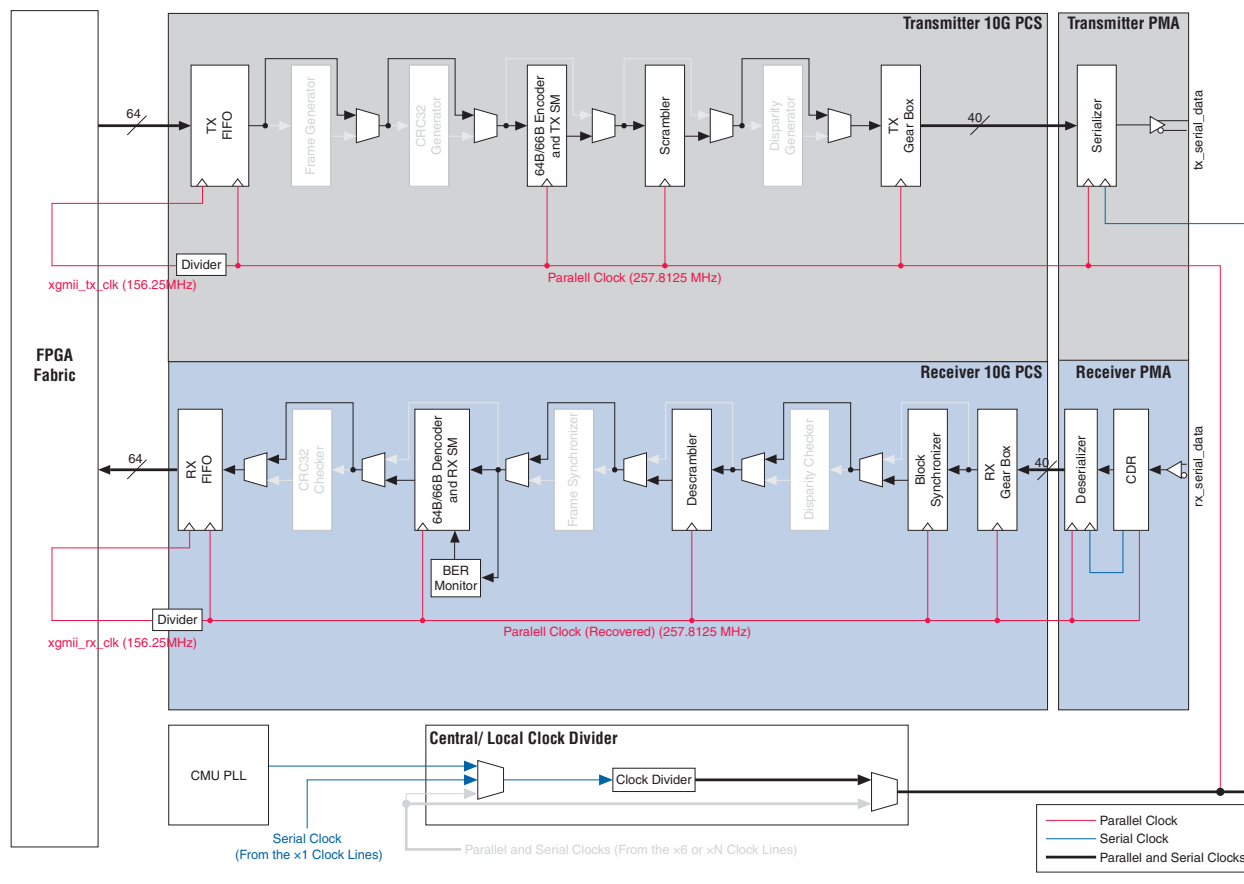
トランシーバ・クロッキングおよびチャネル配置のガイドライン

このセクションでは、Stratix V デバイスでサポートされる 10GBASE-R プロトコルのトランシーバ・クロッキングおよびチャネル配置のガイドラインについて説明します。

トランシーバのクロッキング

図 4-5 に、10GBASE-R のコンフィギュレーションでトランシーバ・クロッキングを示します。

図 4-5. 10GBASE-R シングル・レーン・コンフィギュレーション



2つのチャネル PLL (Phase-Locked Loop) の1つまたはトランシーバ・バンクに2つの補助トランスミッタ (ATX) のPLLの一つは、10GBASE-R チャネルのトランスミッタ・シリアルおよびパラレル・クロックを生成します。表 4-2 に、10GBASE-R にサポートされる入力基準クロック周波数、FPGA ファブリック・トランシーバのインタフェース幅およびインタフェース周波数を示します。

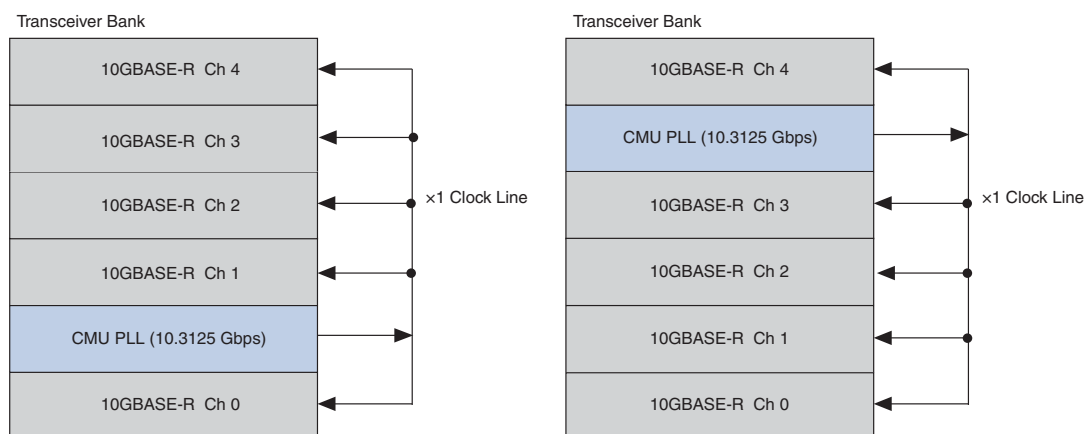
表 4-2. 10GBASE-R に対する入力基準クロック周波数およびインタフェース・スピードの仕様

入力基準クロック周波数 (MHz)	FPGA ファブリック・トランシーバのインタフェース幅	FPGA ファブリック・トランシーバのインタフェース周波数 (MHz)
644.53125, 322.265625	64 ビット・データ、 8 ビット・コントロール	156.25

トランシーバ・チャンネル配置のガイドライン

Stratix V デバイスは、クロック・マルチプライヤ・ユニット (CMU) チャンネル PLL を使用してトランシーバ・バンクに 5 つの 10GBASE-R チャンネルを配置することができます。しかし、同じトランシーバ・バンク内に、2 つの ATX PLL の 1 つを使用して、すべての 6 つのチャンネルを 10GBASE-R のモードに配置することができます。図 4-6 に、2 つの CMU チャンネルの PLL の 1 つを使用して、トランシーバ・バンクに法的 10GBASE-R のチャンネル位置を示します。

図 4-6. 10GBASE-R コンフィギュレーションでのチャンネル配置のガイドライン



Interlaken

この項では、Stratix V トランシーバを使用して Interlaken のリンクの実装について説明します。それは、Interlaken コンフィギュレーションで設定した時に、トランシーバ・チャンネル・データパス、クロッキング、およびチャンネル配置のガイドラインを提供します。

Interlaken はスケール化可能であり、10 から 100 Gbps 以上の伝送速度を可能にするために、チップ間インタコネクタ・プロトコルにデザインします。Stratix V デバイスは、Interlaken のコンフィギュレーションで伝送速度は最大 10.3125 Gbps までサポートします。Interlaken のコンフィギュレーション内のすべての PCS ブロックは、Interlaken Protocol Definition、Rev 1.2 に向けて設計されます。

MegaWizard™ Plug - In Manager では、Interfaces メニューに Interlaken の Interlaken PHY の IP コアをインスタンス化することによって Interlaken のリンクを実装できます。

トランシーバ・データパス・コンフィギュレーション

図 4-7 に、Interlaken のコンフィギュレーションで有効な設定とトランシーバ・ブロックを示します。「Disabled」として示されるブロックは使用されませんが、レイテンシが生じます。「Bypassed」として示されるブロックは使用されず、レイテンシが生じません。

図 4-7. Interlaken コンフィギュレーション

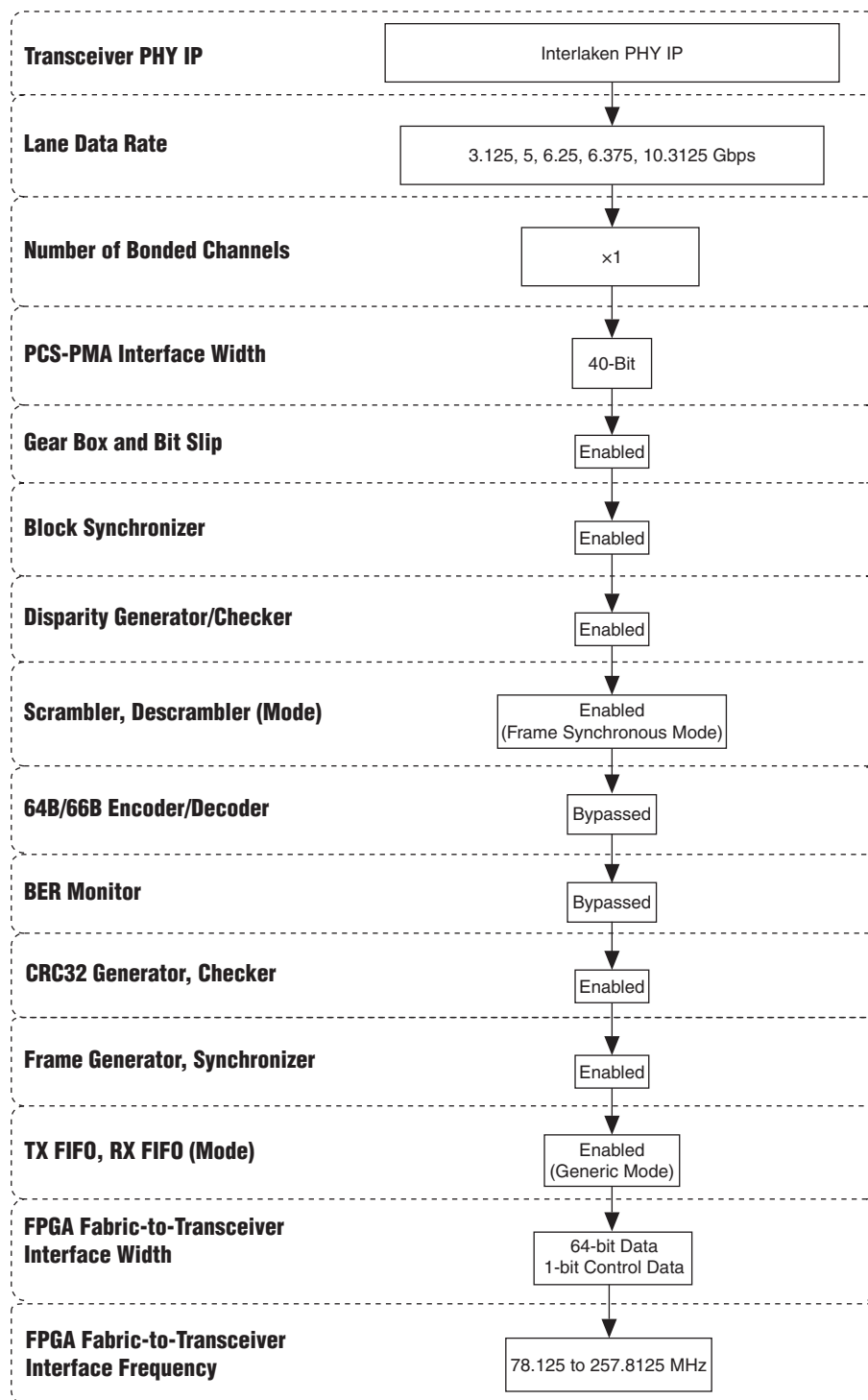
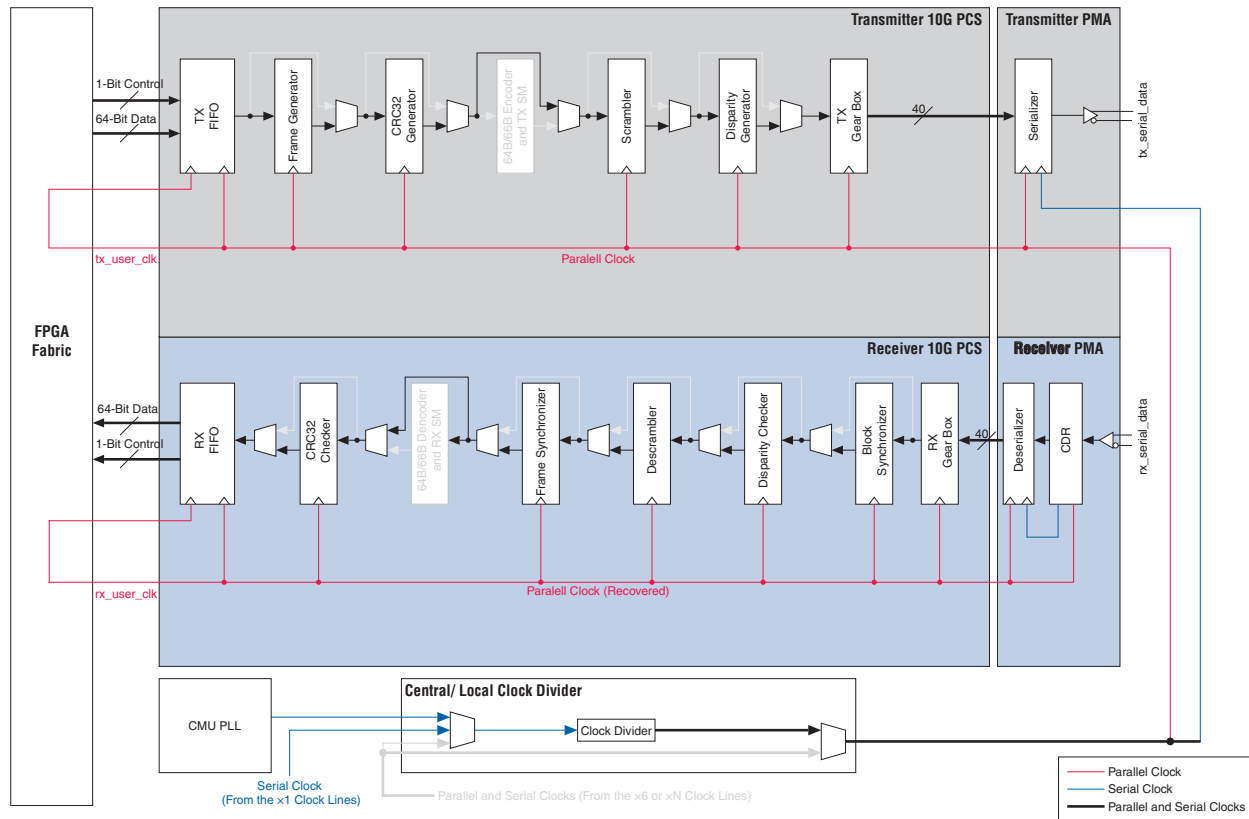


図 4-8 に、Interlaken コンフィギュレーションのトランシーバ・データパスで使用される PCS および PMA ブロックを示します。

図 4-8. Interlaken チャンネル・データパス



サポートされた機能

表 4-3 に Stratix V デバイスでサポートされているフレーミング・レイヤ・ファンクションを示します。これらのファンクションは Interlaken Protocol Definition、Rev 1.2 に定義されます。

表 4-3. コンフィギュレーションでサポートされる機能

機能	サポート
ブロック同期	✓
64B/67B フレーミング	✓
±96 ビットのディスパリティ・メンテナンス	✓
フレーム同期スクランプリングとデスクランブル	✓
ワード・クロックの補正のスキップ	✓
診断ワードの生成とレーン・データ完全性の CRC- 32 チェック	✓

 Interlaken PHY の IP コントロールおよびそれぞれの機能に関連するステータス信号について詳しくは、「[Altera Transceiver PHY IP Core User Guide](#)」の「[Interlaken PHY IP Core](#)」の章を参照してください。

ブロック同期

レシーバ PCS のブロック・シンクロナイザーは、64B/67B ワード境界のロックを実現し、維持します。このブロックは、データ・ストリーム内の有効な同期ヘッダ・ビットを検索し、64 の連続法的な同期パターンが検出された後のロックを実現します。64B/67B ワード境界のロックが達成された後、無効な同期ヘッダ・ビットは継続的に監視され、フラグします。64 の連続する単語の境界内で 16 以上の無効な同期ヘッダのビットが見つかった場合、ブロック・シンクロナイザーは、有効な同期ヘッダ・ビットのためにロック状態と再度検索をデアサートします。

ブロック・シンクロナイザーは、Interlaken Protocol Definition v1.2 の図 13 に示すフロー図を実装し、FPGA ファブリックにワード・ロックのステータスを提供します。

64B/67B フレーミング

フレーム・ジェネレータでは Interlaken Protocol Definition v1.2 で説明したように、64B/67B エンコーディングを実装し、そしてメータ・フレームに送信データをマップします。メータ・フレーム長は 5 から最大 8191 の 8 バイト・ワードにプログラムします。



メータ・フレームの長さはトランスミッタとレシーバの両方に同じ値にプログラムされることを確認してください。

フレーム・シンクロナイザはメータ・フレームの境界を区別し、同期、スクランブラ・ステート、スキップ、および診断の各フレーミング・レイヤのコントロール・ワードを検索します。4 回連続する同期ワードが同定されているときに、フレーム・シンクロナイザは、フレーム・ロックされた状態を実現しています。後続のメータ・フレームは有効な同期とスクランブラ・ステート・ワードのためにチェックされます。4 つの連続した無効な同期ワードまたは 3 回連続不一致スクランブラ・ステート・ワードが受信されている場合、フレーム・シンクロナイザーは、フレーム・ロックを失います。さらに、フレーム・シンクロナイザーは、FPGA ファブリックにレシーバのメータ・フレームのロック・ステータスを提供します。

ランニング・ディスパリティ

ディスパリティ・ジェネレータは、 ± 96 ビット境界のランニング・ディスパリティを維持するために、各送信されたワード内のビットのセンスを反転させます。Interlaken Protocol Definition Revision 1.2 の表 4 に説明したように、それはビット位置 66 にフレーミング・ビットを供給します。フレーミング・ビットは、そのワードのビットが反転されているかどうかを識別するために、ディスパリティ・チェッカーが有効になります。

フレーム同期スクランブル/デスクランブル

トランスミッタ/レシーバ PCS のスクランブル/デスクランブル・ブロックは、スクランブル/デスクランブルされていない 64B/67B フレーミング・ビットと同様に、Interlaken Protocol Definition Revision 1.2 ごとのスクランブラ/デスクランブラ多項式 $x^{58} + x^{39} + 1$ とスクランブラ・ステート・ワードを実装します。Interlaken PHY の IP コアは、自動的に、1 つレーンあたりのランダムな線形フィード・バック・シフト・レジスタ (LFSR) の初期シードの値をプログラムします。

Interlaken Protocol Definition Revision 1.2 の図 1 に示すステート・フローで説明されたように、レシーバ PCS は、メータ・フレームでスクランブラを同期します。

フレーム・シンクロナイザーは、Avalon® Memory-Mapped の管理インタフェースを使用して、全セットのエラーとパフォーマンスの監視ポートを搭載し、ステータス・ビットをレジスタします。レシーバに可能なポート、フレーム・ロック・ステータス、およびエラー検出 CRC (Cyclic Redundancy Check) のポートは FPGA ファブリックに使用可能です。Avalon Memory-Mapped の管理インタフェースはワード境界をロック、フレームのロック・ステータス、同期ワードのエラー検出、スクランブラの不一致エラー、および CRC-32 エラー検出ステータス・レジスタのビットで追加機能を提供します。

リピータ・アプリケーションのクロック補正

レシーバ Interlaken PCS データパスのレシーバ FIFO は、5 ~ 8191 ワードの間のメータ・フレームの長さを使用して、リモート・トランスミッタとローカル・レシーバの間で ± 100 PPM の差を補償することが可能です。Interlaken は、PPM の違いに応じて、出力トラフィックにスキップする単語を挿入することおよび静かに入力トラフィックにスキップする単語を削除することにより、リピータ・アプリケーション用のクロック補正を採用します。

スキップ・ワードの挿入

フレーム・ジェネレータは、クロック・レート補正のためのスクランブラ・ステータスの単語に続き、すべてのメータ・フレームと必須のスキップ単語を生成し、送信 FIFO の容量の状態に基づいて単語スキップの追加を生成します。

スキップ・ワードの削除

フレーム・シンクロナイザは、静かに受け取るスキップ・ワードを破棄します。

レーンのデータ整合性に対する診断ワードの生成とチェック (CRC-32)

CRC-32 ジェネレータは各メータ・フレームの CRC を計算し、メータ・フレームの診断ワードにそれを追加します。CRC-32 チェッカは、レーン CRC-32 エラーをチェックするに加えて、診断ワードのビット 32 位置でのリンク・ステータス・メッセージ、およびビット - 33 位置でのレーン・ステータス・メッセージを取得します。また、CRC-32 エラー・フラグは FPGA ファブリックに提供されます。

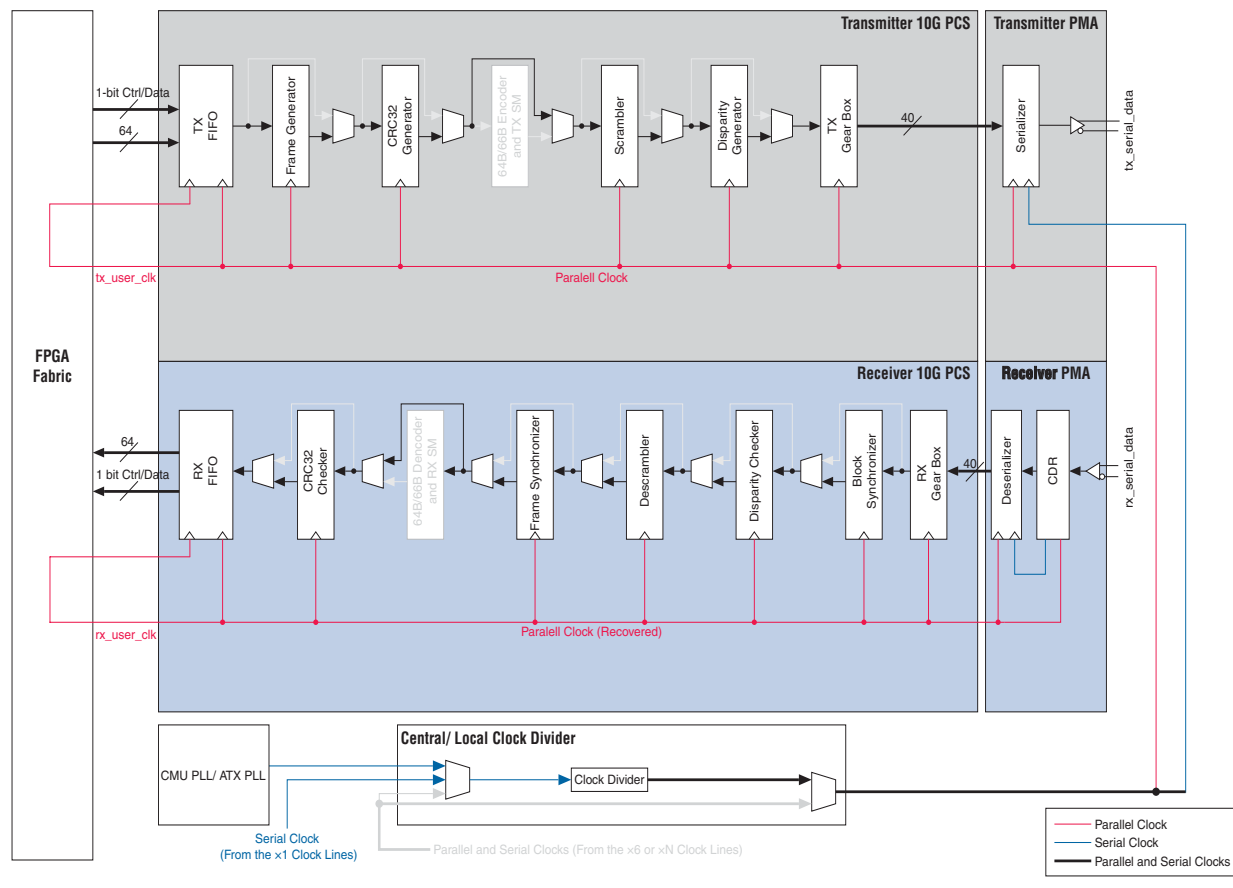
トランシーバ・クロッキングおよびチャネル配置のガイドライン

このセクションは StratixV デバイスでサポートされる Interlaken プロトコルのトランシーバ・クロッキングおよびチャネル配置のガイドラインを説明します。

トランシーバのクロッキング

現在の Interlaken プロトコルは、シングル・レーン・クロッキング（非結合コンフィギュレーション）だけをサポートします。図 4-9 に、シングル・レーンの Interlaken コンフィギュレーションで利用可能なクロック・リソースを示します。

図 4-9. Interlaken シングル・レーンのコンフィギュレーション



CMU PLL または ATX PLL は、6 チャンネルのトランシーバ・バンク内で最大 5 つの Interlaken チャンネルにするためのクロックを提供することがあります。

トランシーバ・チャンネル配置のガイドライン

Stratix V デバイスは、トランシーバ・バンク内に最大 5 つの Interlaken チャンネルを配置することができます。図 4-10 に、ATX PLL または CMU PLL を使用するとき、トランシーバ・バンク内の法的な Interlaken チャンネルの位置を示します。


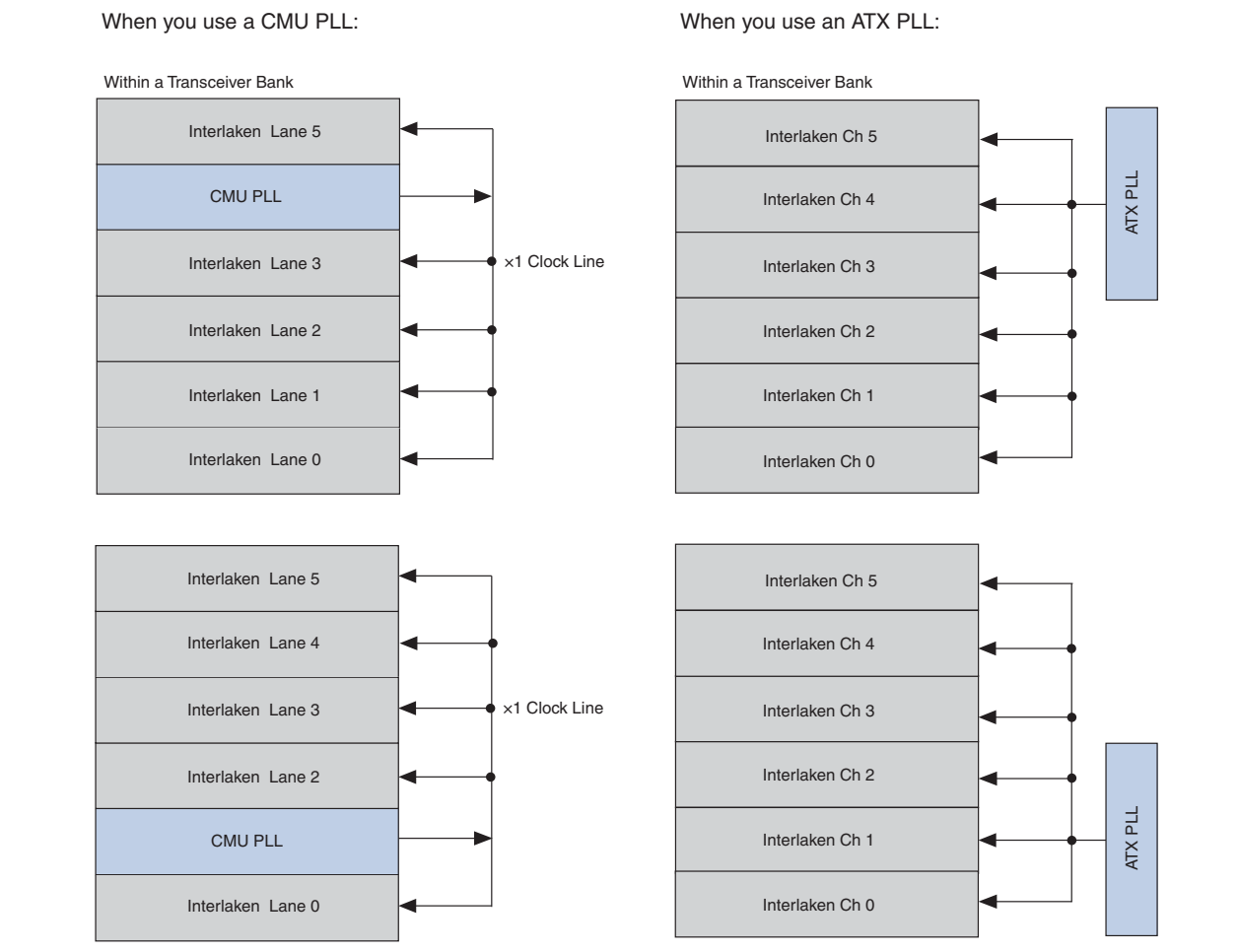

 ATX PLL をイネーブルするために、Interlaken PHY IP の **Bonded Group Size** パラメータに最小 **6** のボンド・サイズを選択する必要があります。また、Quartus II Assignment Editor で、**ATX PLL** を選択する必要があります。

図 4-10. Interlaken コンフィギュレーションでのチャンネル配置のガイドライン



 チャンネル配置のガイドラインについて詳しくは、「*Transceiver Clocking in Stratix V Devices*」の章の「*Internal Clocking*」のセクションを参照してください。

PCI Express (PCIe) Gen1、Gen2

PCIe 仕様バージョン 2.0 は、両方の Gen1 (2.5 Gbps) および Gen2 (5 Gbps) の信号レートで、PCIe 準拠物理層デバイスの実装の詳細を提供します。

Stratix V デバイスは PCIe ハード IP ブロックを内蔵しており、これを使用して PCIe プロトコル・スタックの PHY-MAC 層、データ・リンク層、およびトランザクション層を実装することができます。PCIe ハード IP ブロックは、Stratix V デバイス内に Embedded Hardcopy Block に格納されます。PCI Express 準拠の PHY を実装するには、PCIe コンフィギュレーションでの Stratix V トランシーバを構成します。PCIe ハード IP ブロックをイネーブルにすると、トランシーバは、このハード IP ブロックをインタフェースします。それ以外の場合、トランシーバは FPGA ファブリックに直接インタフェースします。

以下の通りの方法で PCIe 動作コンフィギュレーションの Stratix V トランシーバをコンフィギュレーションすることができます。

- PCI Express 用の PHY インタフェース (PIPE)—PCIe ハード IP ブロックをディセーブル
- PCIe compiler—ハード IP ブロックをイネーブル



PCIe ハード IP のアーキテクチャおよび PCIe ハード IP をイネーブル時の許可された PCIe のコンフィギュレーションについては、[「PCI Express Compiler User Guide」](#) を参照してください。

Stratix V デバイスは、PIPE コンフィギュレーションの Gen1 および Gen2 のデータ・レートをサポートします。Gen2 のデータ・レートに設定すると、Stratix V トランシーバは、Gen2 と Gen1 のライン・レート間の動的な切り替えを可能にします。2 つのライン・レート間の動的切り換え機能は、リンク・トレーニング中の速度ネゴシエーションのために不可欠です。

Stratix V トランシーバは、2.5Gbps と 5Gbps の両方のデータ・レートの $\times 1$, $\times 4$, および $\times 8$ のレーン・コンフィギュレーションをサポートします。PCIe $\times 1$ コンフィギュレーションでは、各チャネルの PCS および PMA ブロックは独立にクロックされて、リセットされます。PCIe $\times 44$ および $\times 8$ コンフィギュレーションでは、4 レーンおよび 8 レーンの PCIe リンクに対するチャネル結合がサポートされます。これらの結合チャネル・コンフィギュレーションでは、すべての結合チャネルの PCS および PMA ブロックが共通のクロックおよびリセット信号を共有します。

トランシーバ・データパス・コンフィギュレーション

図 4-11 に、PIPE コンフィギュレーションで許容されるトランシーバのコンフィギュレーションを示します。

図 4-11. PIPE コンフィギュレーションにおける Stratix V トランシーバ

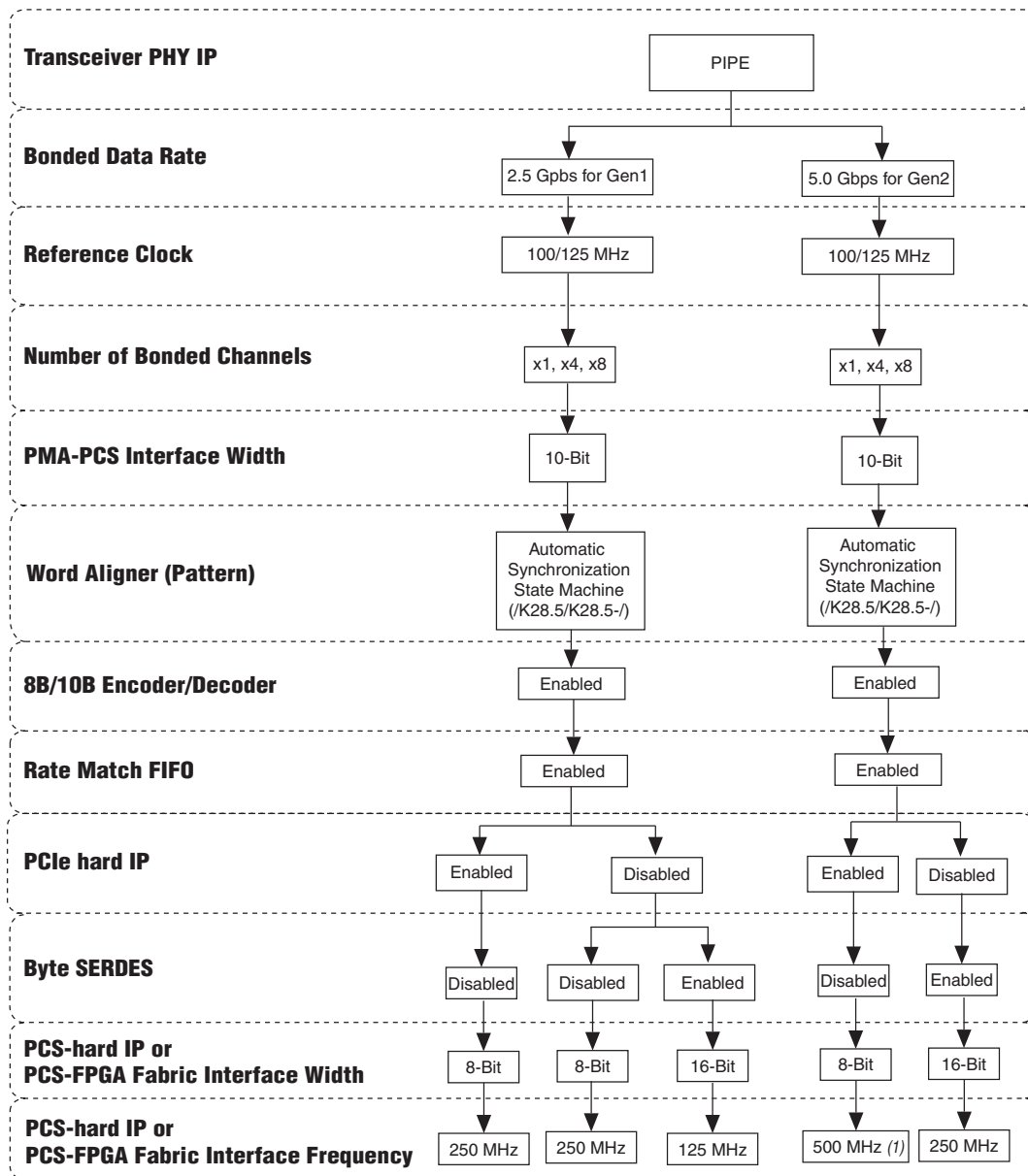


図 4-11 の注：

(1) PCS ハード IP のインタフェースに適用されます。PCS-FPGA ファブリック・インタフェースの周波数は 250 MHz に制限されません。

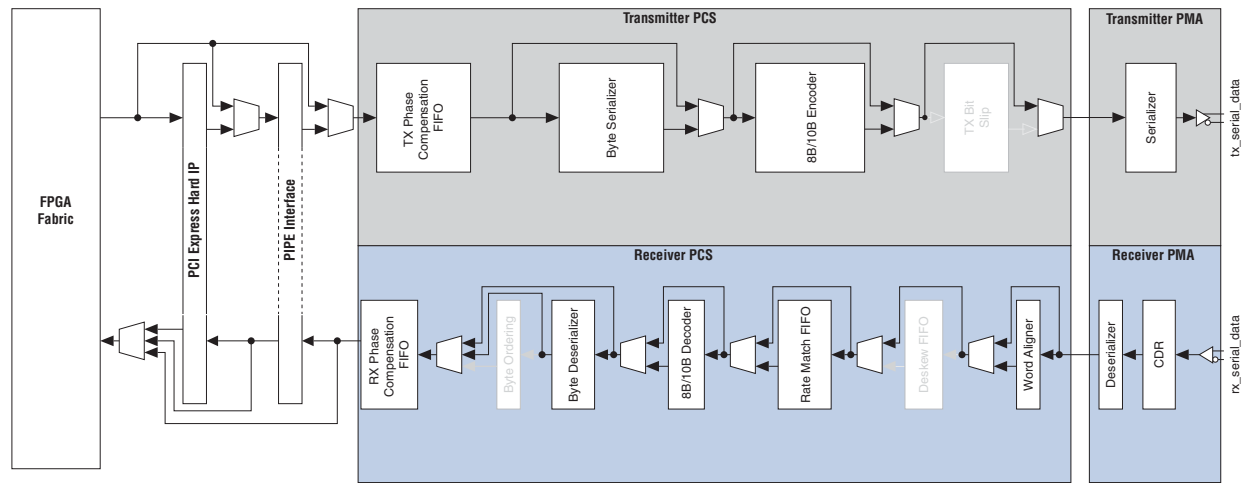
トランシーバ・データパスのクロッキングは、非結合 (x1) コンフィギュレーションと結合 (x4 および x8) コンフィギュレーションで異なります。

PIPE の異なるコンフィギュレーションでのトランシーバ・データパスのクロッキングについて詳しくは、4-23 ページの「トランシーバのクロッキング」を参照してください。

トランシーバ・チャンネルのデータパス

図 4-12 に、PCIe コンフィギュレーションにおける Stratix V トランスミッタ・チャンネルおよびレシーバ・チャンネルのデータパスを示します。

図 4-12. PCIe コンフィギュレーションにおける Stratix V トランスミッタ・チャンネルのデータパス



トランスミッタ・データパスのブロックについて詳しくは、『[Transceiver Architecture in Stratix V Devices](#)』の章を参照してください。

サポートされた機能


表 4-4 に、2.5Gbps および 5Gbps のデータ・レートにコンフィギュレーションされた PCIe コンフィギュレーションでサポートされる機能を示します。

表 4-4. PCIe コンフィギュレーションでサポートされた機能

特長	Gen1 (12.5 Gbps)	Gen2 (5 Gbps)
×1、×4、×8 リンク・コンフィギュレーション	✓	✓
PCIe 準拠同期ステート・マシン	✓	✓
±300 ppm (合計 600 ppm) のクロック・レート補償	✓	✓
8 ビット FPGA ファブリック - トランシーバ・インタフェース	✓	—
16 ビット FPGA ファブリック - トランシーバ・インタフェース	✓	✓
トランスミッタ・バッファ electrical idle	✓	✓
受信検出	✓	✓
準拠パターン送信時に 8B/10B エンコーダ・ディスペリティ制御	✓	✓
パワー・ステート管理	✓	✓
レシーバ・ステータス・エンコーディング	✓	✓
2.5Gbps と 5Gbps のデータ・レート間の動的切り換え	—	✓
差動出力電圧制御について動的に選択可能なトランスミッタ・マージン	—	✓
-3.5dB と -6dB に動的選択が可能なトランスミッタ・バッファ・ディエンファシス	—	✓

PIPE 2.0 インタフェース

PCIe コンフィギュレーションでは、各チャネルに、PHY-MAC 層とトランシーバ・チャネル PCS および PMA ブロックの間でデータ、制御信号、およびステータス信号を転送する PIPE インタフェース・ブロックが設けられています。PIPE インタフェース・ブロックは PIPE2.0 仕様に準拠します。PIPE ハード IP ブロックを使用する場合、PHY-MAC 層がハード IP ブロック内に実装されます。PIPE コンフィギュレーションを使用する場合、FPGA ファブリック内にソフト IP を使用して、PHY-MAC 層を実装する必要があります。

 PIPE インタフェース・ブロックは PIPE コンフィギュレーションでのみ使用され、バイパスすることはできません。

PIPE インタフェース・ブロックは、PHY-MAC 層とトランシーバの間でデータ、制御信号、およびステータス信号を転送することに加えて、PCIe 準拠物理層デバイスに要求される以下の機能を実装します。

- トランスミッタ・バッファを強制的に electrical idle 状態にします。
- 受信検出シーケンスを開始します。
- 準拠パターン送信時に 8B/10B エンコーダ・ディスペリティ制御をコントロールします。
- PCIe パワー・ステートを管理します。
- 受信検出や pipe_phystatus 信号上のパワー・ステート遷移など、各種の PHY 動作の完了を示します。
- PCIe 仕様に規定されているとおり、pipe_rxstatus[2:0] 信号にレシーバ・ステータスおよびエラー状態をエンコードします。


PCI Express Gen2 (5 Gbps) のサポート

PIPE コンフィギュレーションは、5Gbps のデータ・レートにコンフィギュレーションした場合、以下の追加機能をサポートします。

- 2.5Gbps と 5Gbps の信号レート間の動的切り換え
- 差動出力電圧制御のためにトランスミッタ・マージンの動的な選択
- -3.5dB と -6dB のトランスミッタ・バッファ・ディエンファシスの動的な選択

Gen1 (2.5Gbps) と Gen2 (5Gbps) の信号レート間の動的切り換え

PIPE コンフィギュレーションでは、PIPE MegaWizard™ Plug-In Manager は、機能的に PCIe 仕様で指定された RATE 信号と等価な入力信号 (pipe_rate) を提供しています。入力信号 (pipe_rate) の Low から High への遷移によって、Gen1 から Gen2 へのデータ・レート切り換えが開始されます。入力信号の High から Low への遷移によって、Gen2 から Gen1 へのデータ・レート切り換えが開始されます。Gen1 と Gen2 の間のデータ・レート切り換えは、トランシーバ・インタフェース幅を 16 ビットの一定値に保ちながらトランシーバ・データパスのクロック周波数を 250MHz と 500MHz の間で切り換えることによって行われます。

-  入力信号を使用する方法について、およびレート・スイッチのイベントとステータス信号のシーケンスを示すタイミング図については、[「Altera Transceiver PHY IP Core User Guide」](#)の「PCI Express PIPE PHY IP Core」の章を参照してください。Gen1 および Gen2 のデータ・レートとの間でスイッチングするときの電力ステート要件については、PCIe Base Specification 2.0 を参照してください。

トランスミッタの電氣的アイドルの生成

electrical idle 入力信号にアサートされると Stratix V デバイスの PIPE インタフェース・ブロックは、そのチャンネルのトランスミッタ・バッファを electrical idle 状態にします。electrical idle 中、トランスミッタ・バッファの差動およびコモン・コンフィギュレーションの出力電圧レベルは、PCIe の Gen1 と Gen2 の両方のデータ・レートについて PCIe ベース仕様 2.0 に準拠します。

PCIe 仕様では、トランスミッタ・バッファは特定のパワー・ステートでは electrical idle になっていることが要求されます。さまざまなパワー・ステートで要求される入力信号レベルについては、「[パワー・ステート管理](#)」を参照してください。


-  electrical idle 入力信号およびトランスミッタ・バッファ・ステートについては、[「Altera Transceiver PHY IP Core User Guide」](#)の「PCI Express PIPE PHY IP Core」の章を参照してください。


パワー・ステート管理

PCIe 仕様で、物理層デバイスが消費電力を最小限にするためにサポートしなければならない 4 種類のパワー・ステート (P0、P0s、P1、および P2) が定義されています。

- P0 は通常動作状態で、この場合、パケット・データは PCIe リンク上で転送されません。
- P0s、P1、および P2 は低パワー・ステートで、物理層は消費電力を最小化するために PHYMAC 層の指示に従って、このステートに遷移しなければなりません。


StratixV トランシーバの PIPE インタフェースには、PIPE コンフィギュレーションにコンフィギュレーションされた各トランシーバ・チャンネルについて、入力ポートが設けられています。

-  パワー・ステートを操作するための入力信号とステータス信号については、[「Altera Transceiver PHY IP Core User Guide」](#)の「PCI Express PIPE PHY IP Core」の章を参照してください。

-  P0 パワー・ステートからより低いパワー・ステート (P0s、P1、P2) に遷移する場合、PCIe 仕様で、物理層デバイスに省電力手段を実装することが要求されます。StratixV トランシーバは、より低いパワー・ステートでトランスミッタ・バッファを electrical idle にすること以外は、これらの省電力手段を実装しません。

準拠パターンの送信サポートに対する 8B/10B エンコーダの使用

リンク・トレーニングおよびステータス・ステート・マシン (LTSSM) ステート・マシンをポーリング準拠状態に入るときに、PCIe トランスミッタは、準拠のパターンを送信します。ポーリング準拠サブステートは、トランスミッタが PCIe の電圧およびタイミング仕様に電氣的に準拠しているかどうかを評価することです。

-  準拠パターンの送信サポートのために必要な 8B/10B 信号の詳細については、[「Altera Transceiver PHY IP Core User Guide」](#) の「PCI Express PIPE PHY IP Core」の章を参照してください。


Electrical Idle Inference のレシーバ

PCIe プロトコルでは、アナログ回路を使用して electrical idle 状態を検出する代わりに、レシーバで electrical idle 状態を推測することができます。

すべての PIPE コンフィギュレーション (x1、x4、および x8) について、各レシーバ・チャネル PCS にオプションで、PCIe ベース仕様 2.0 に規定された electrical idle inference 条件を実装するよう設計された electrical idle inference モジュールが用意されています。


レシーバ・ステータス

PCIe 仕様で、PHY は、3 ビットの pipe_rxstatus[2:0] ステータス 信号上にレシーバ・ステータスをエンコードすることが要求されます。このステータス信号は、PHY-MAC 層でその動作のために使用されます。PIPE インタフェース・ブロックは、トランシーバ・チャネル PCS および PMA ブロックからステータス信号を受信し、FPGA ファブリックへの pipe_rxstatus[2:0] 信号上にこのステータスをエンコードします。pipe_rxstatus[2:0] 信号上のステータス信号のエンコーディングは、PCIe 仕様に準拠します。

-  pipe_rxstatus[2:0] 信号上のステータス信号のエンコーディングについて詳しくは、[「Altera Transceiver PHY IP Core User Guide」](#) の「PCI Express PIPE PHY IP Core」の章を参照してください。

受信検出

StratixVG トランシーバの PIPE インタフェース・ブロックには、LTSSM のサブステートを検出中に、PCIe プロトコルが必要とする受信検出動作のために入力信号 (pipe_txdetectrx_loopback) が用意されています。P1 パワー・ステート時に、pipe_txdetectrx_loopback 信号がアサートされると、PCIe インタフェース・ブロックは、そのチャネル内のトランスミッタ・バッファに対し受信検出シーケンスを開始するようなコマンド信号を送信します。P1 パワー・ステートではトランスミッタ・バッファは、常に electrical idle 状態でなければなりません。受信検出回路は、このコマンド信号を受信した後、トランスミッタ・バッファの出力にステップ電圧を生成します。アクティブなレシーバ (PCIe 入力インピーダンス要求に適合するもの) が遠端に存在している場合、トレース上のステップ電圧の時定数は、レシーバが存在しない場合のステップ電圧の時定数よりも大きくなります。受信検出回路は、トレース上に現れるステップ電圧の時、定数を監視し、レシーバが検出されたかどうかを判断します。受信検出回路の監視は、動作のために 125 MHz のクロックが必要で、これは fixedclk ポートにドライブする必要があります。

-  受信検出回路を確実に動作させるために、シリアル・リンク上の AC 結合コンデンサおよびシステムで使用しているレシーバの終端値は、PCIe ベース仕様 2.0 に準拠していなければなりません。

PIPE コアは、1 ビットの PHY のステータス (pipe_phystatus) と 3 ビットの受信ステータス信号 (pipe_rxstatus[2:0]) を提供し、PIPE2.0 の仕様ごとのように、受信機が検出されたかどうかを示します。

- 入力信号と受信機の検出に関連するステータス信号の詳細については、「[Altera Transceiver PHY IP Core User Guide](#)」の「PCI Express PIPE PHY IP Core」の章を参照してください。

最大 300 Gps のクロック・レート補償

PCIe プロトコルに準拠して、Stratix V のレシーバ・チャンネルは、アップストリーム・トランスミッタ・クロックとローカル・レシーバ・クロック間の最大 ± 300 PPM のわずかなクロック周波数の違いを補償するために、レート・マッチ FIFO を備えます。

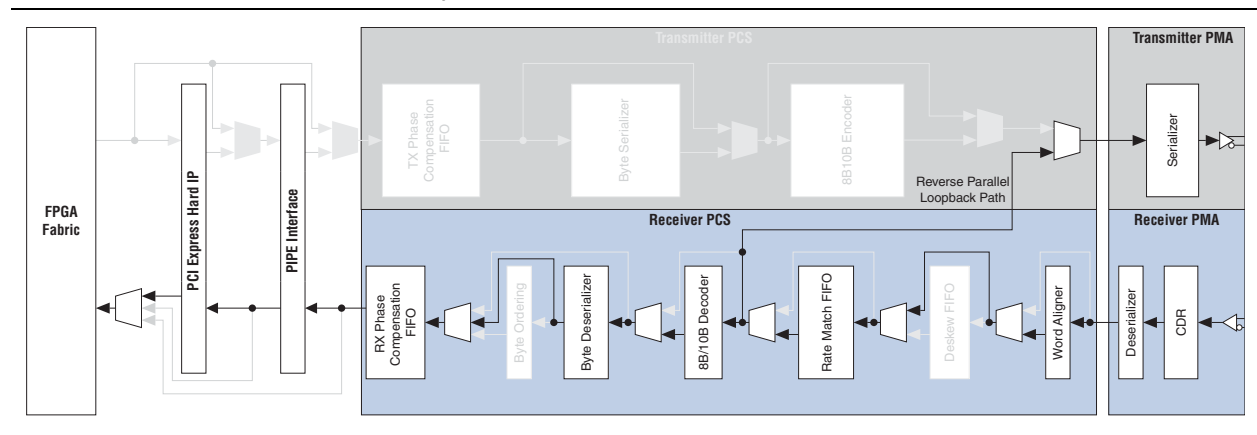
- PCIe コンフィギュレーションにおけるレート・マッチ FIFO の動作について詳しくは、「[Transceiver Architecture in Stratix V Devices](#)」の章を参照してください。
- レート・マッチ FIFO のステータス信号とレジスタについて詳しくは、「[Altera Transceiver PHY IP Core User Guide](#)」の「PCI Express PIPE PHY IP Core」の章を参照してください。

PCIe リバース・パラレル・ループバック

PCIe リバース・パラレル・ループバックは、Gen1 および Gen2 データ・レートの PCIe 動作コンフィギュレーションでのみ使用できます。図 4-13 に示すように、受信したシリアル・データは、レシーバ CDR、デシリアライザ、ワード・アライナ、およびレート・マッチ FIFO バッファを通過します。その後、トランスミッタ・シリアライザにループバックされ、トランスミッタ・バッファを通過して送り出されます。受信データは、ポートを通じて FPGA ファブリックでも使用できます。このループバック・モードは、PCIe 仕様 2.0 に準拠しています。Stratix V デバイスは、このループバックをイネーブルするために、入力信号を提供します。


- これは、PIPE コンフィギュレーションでサポートされる唯一のループバック・オプションです。

図 4-13. PCIe リバース・パラレル・ループバック・モードのデータパス (グレー表示されたブロックは、このモードではアクティブになりません)



トランシーバ・クロッキングおよびチャネル配置のガイドライン

ここでは、PIPE コンフィギュレーションのトランシーバ・クロッキングおよびチャネル配置ガイドラインについて説明します。

 PIPE Gen1 コンフィギュレーションの場合、ATX PLL は、現在、100 MHz の基準クロックはサポートされていません。

Transceiver Channel Placement Guidelines

表 4-5 に、x1、x4、および x8 のボンディング・コンフィギュレーションで PIPE チャネルの物理的な配置を示します。Quartus II ソフトウェアは、自動的にデータのチャネルと異なるチャンネルで CMU PLL を配置します。

表 4-5. PIPE コンフィギュレーションのチャネル配置

コンフィギュレーション	チャネル配置のデータ	CMU PLL を使用するチャネルの活用 (1)	ATX PLL を使用するチャネルの活用 (1)
x1	任意のチャネル	2	1
x4	隣接するチャネル	5	4
x8	隣接するチャネル	9	8

表 4-5 の注：

(1) Quartus II ソフトウェアでの配置は、このように高いチャネルを使用する結果、デザインと異なる場合があります。

PIPE x1 コンフィギュレーションの場合、チャネルは、送信 PLL が含まれているトランシーバ・バンク内にどこでも配置できます。図 4-14 および図 4-15 に、PIPE x1 および x8 コンフィギュレーションに対するチャネル配置の例を示します。

図 4-14. CMU PLL を使用して PIPE x1 のチャネル配置の例 (注 1)、(2)、(3)

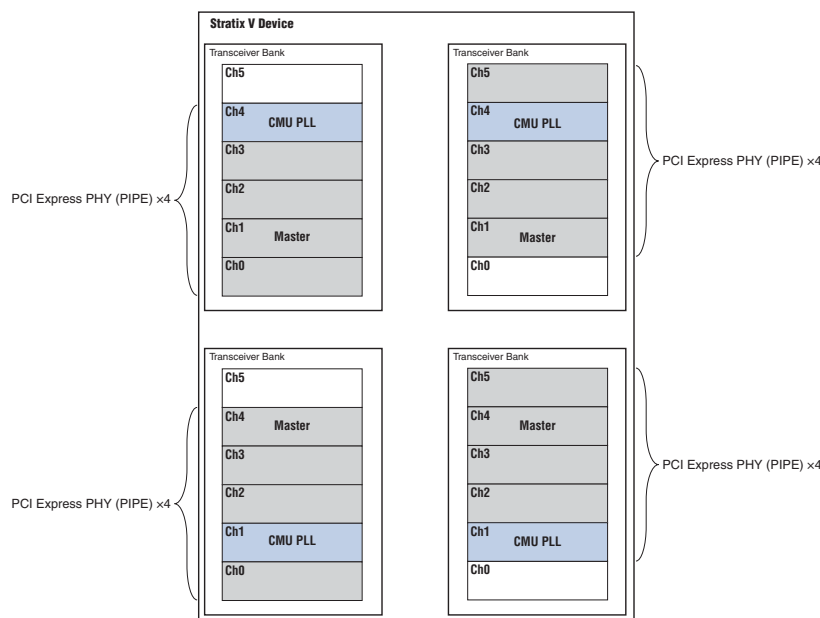


図 4-14. CMU PLL を使用して PIPE ×1 のチャンネル配置の例 (注 1)、(2)、(3)

図 4-14 の注：

- (1) 青色で陰影チャンネルは高速シリアル・クロックを提供します。
- (2) 灰色で陰影チャンネルはデータ・チャンネルです。
- (3) Quartus II ソフトウェアは、自動的にトランシーバ・バンク内のチャンネル 1 またはチャンネル 4 のいずれかでクロック・ジェネレータとマスタ・チャンネルを配置します。

図 4-15. CMU PLL を使用して PIPE ×8 のチャンネル配置の例 (注 1)、(2)

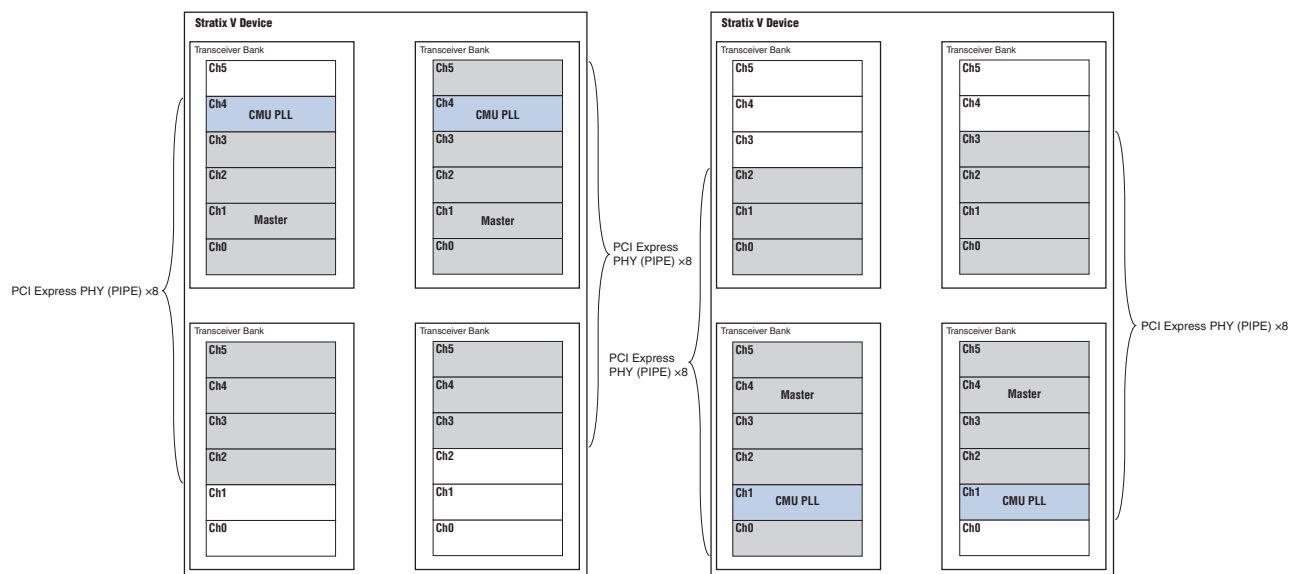


図 4-15 の注：

- (1) 青色で陰影チャンネルはシリアル・クロックを提供します。
- (2) 灰色で陰影チャンネルはデータ・チャンネルです。

トランシーバのクロッキング

ここでは、PIPE に対するトランシーバ・クロッキングのコンフィギュレーションについて説明します。

PIPE ×1 コンフィギュレーション

図 4-16 に、PIPE ×1 コンフィギュレーションにおけるトランシーバ・クロッキング・コンフィギュレーションを示します。

シリアル・クロックはデータ・チャンネルと異なるチャンネルに CMU PLL によって提供されます。データ・チャンネルのローカル・クロックのディバイダ・ブロックは、この高速クロックからパラレル・クロックを生成し、PMA とデータ・チャンネルの PCS に両方のクロックを分配します。

図 4-16. PIPE ×1 コンフィギュレーションにおけるトランシーバ・クロッキング・コンフィギュレーション

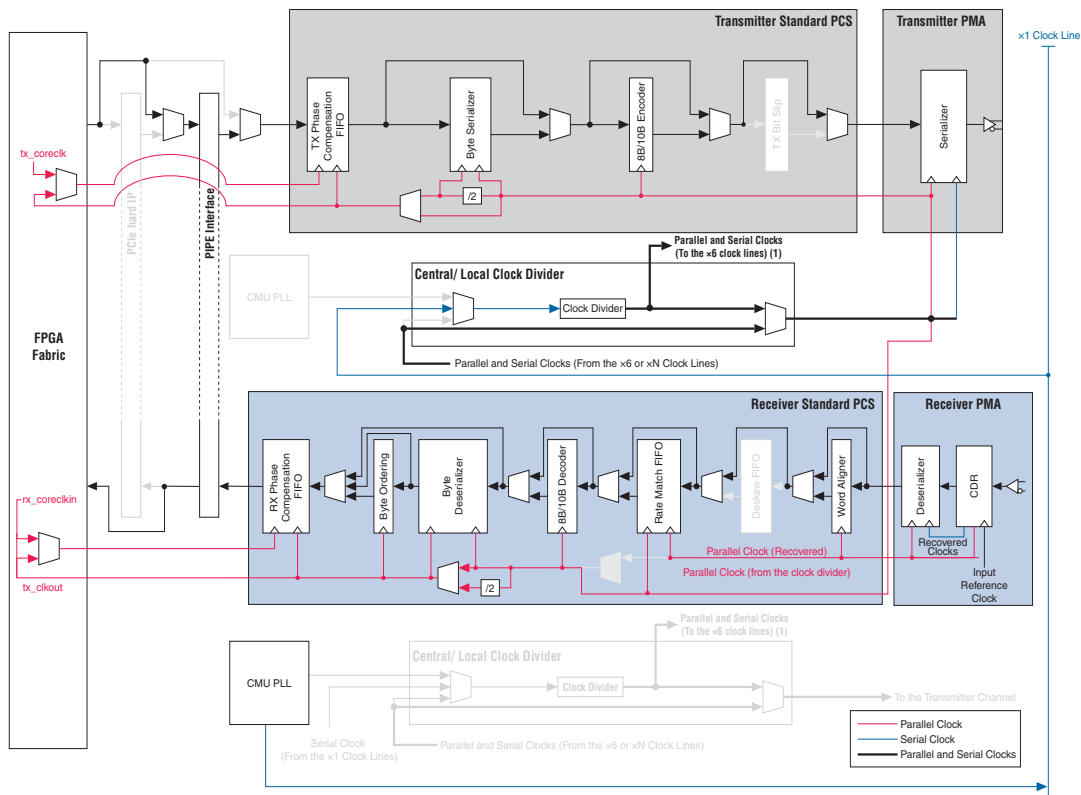


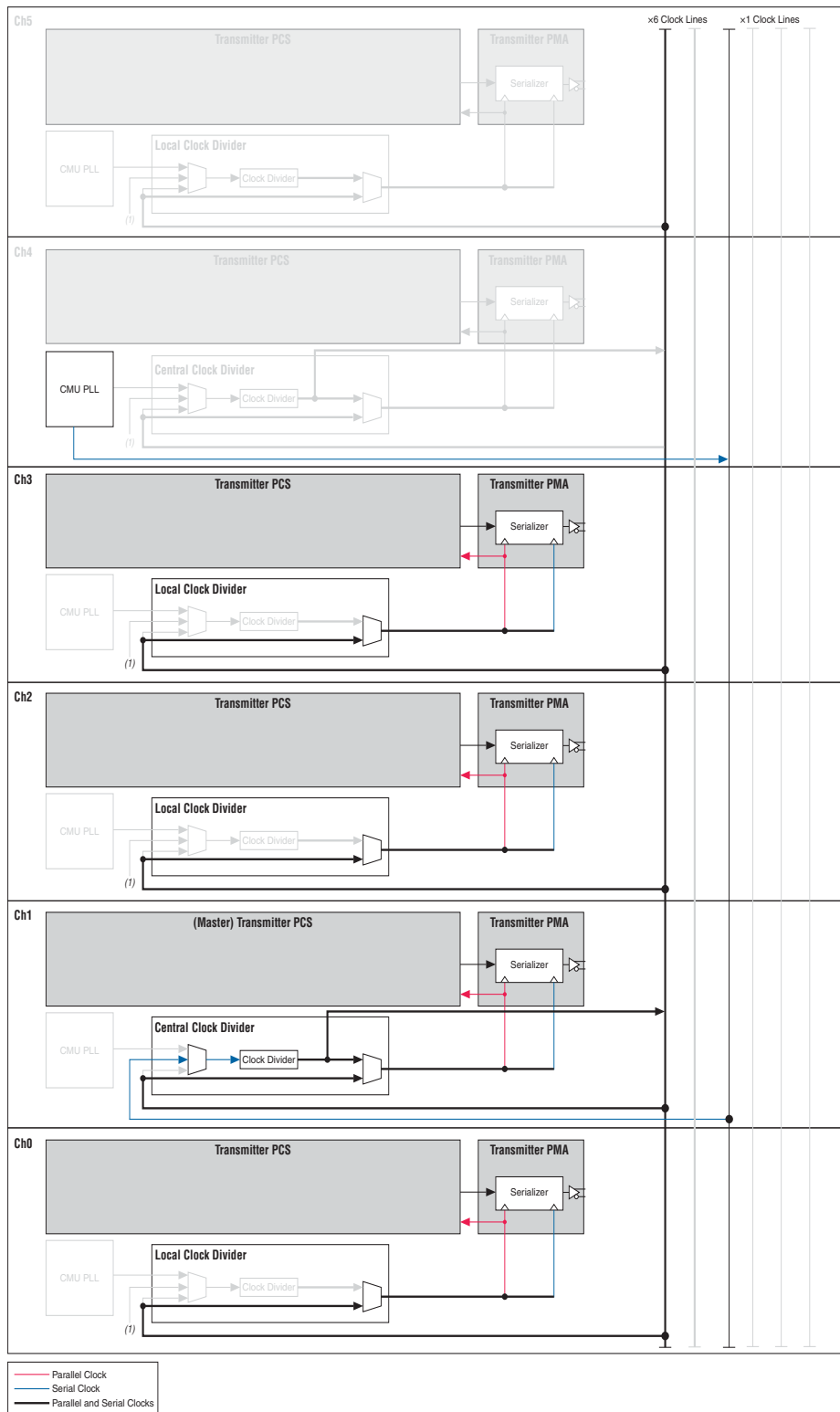
図 4-16 の注：

(1) トランシーバ・バンクのチャンネル1とチャンネル4のセントラル・クロック・ディバイダでのみ使用可能です。

PIPE ×4 コンフィギュレーション

図 4-17 に、PIPE ×4 結合コンフィギュレーションに対するトランスミッタ・クロッキングを示します。PCS 内のクロッキングは、各レーザ・チャンネル用に独立します。クロッキングは、制御信号が両方のトランスミッタ・チャンネルとレーザ・チャンネルのために結合しているのに対し、チャンネルを送信するためだけ接着されます。図 4-18 に示すように、Quartus II ソフトウェアは、自動的にトランシーバ・バンク内のチャンネル1またはチャンネル4のいずれかでクロック・ジェネレータとマスタ・チャンネルを配置します。

図 4-17. PIPE×4 コンフィギュレーションに対するトランスミッタ・クロッキング・コンフィギュレーション



☒ 4-17 の注 :

(1) ×1 クロック・ラインからのシリアル・クロック。

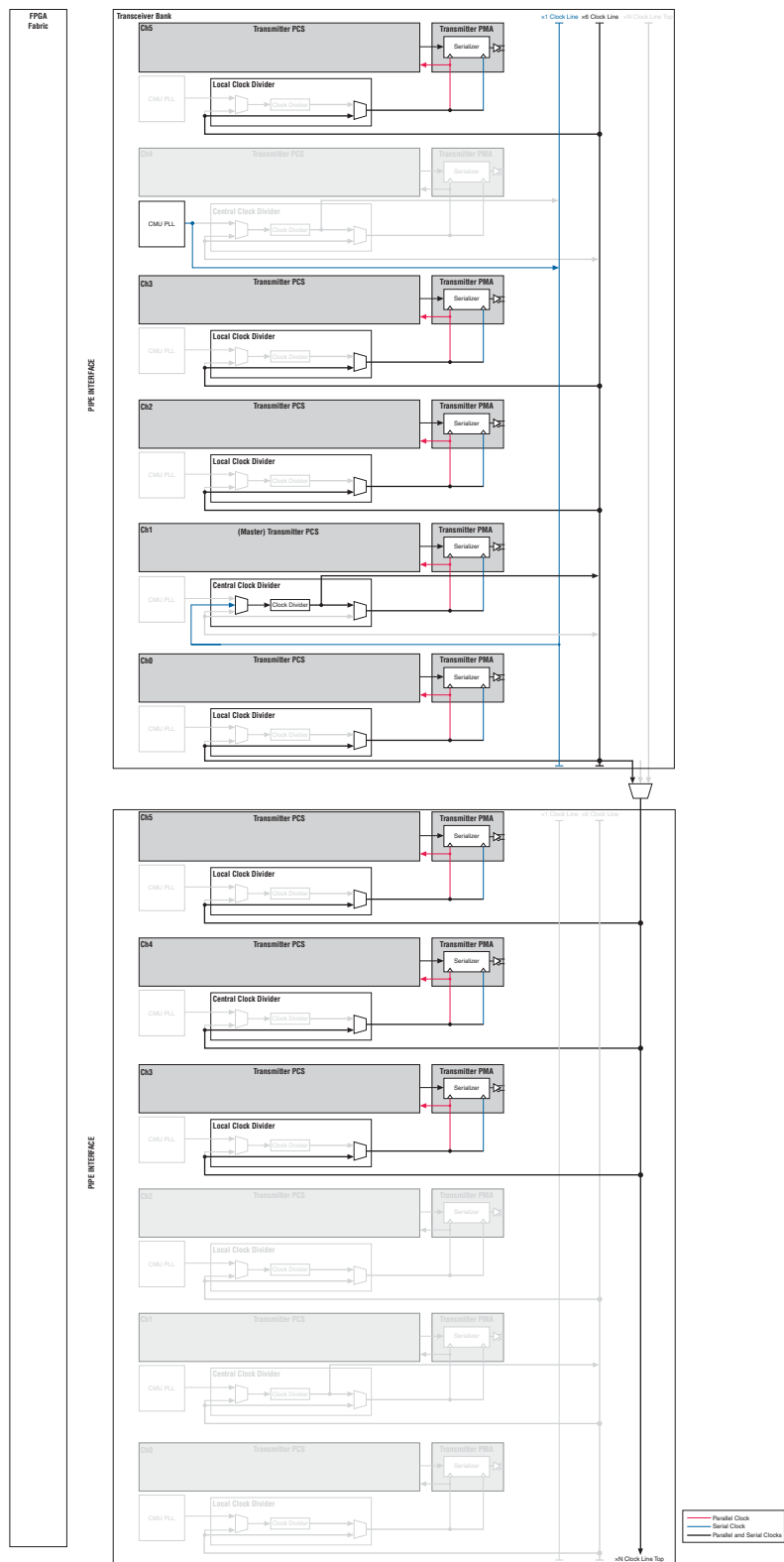
PIPE ×8 コンフィギュレーション

図 4-19 に、x8 PCIe 結合コンフィギュレーションにおける PMA および PCS ブロックのクロッキングを示します。クロッキングはレシーバ・チャネルに独立しています。クロッキングおよびコントロール信号はトランスミッタ・チャネルだけで結合されます。



Stratix V デバイスのクロッキングについて詳しくは、「[Transceiver Clocking in Stratix V Devices](#)」の章を参照してください。

図 4-19. PIPE ×8 コンフィギュレーションにおけるトランシーバ・クロッキング・コンフィギュレーション



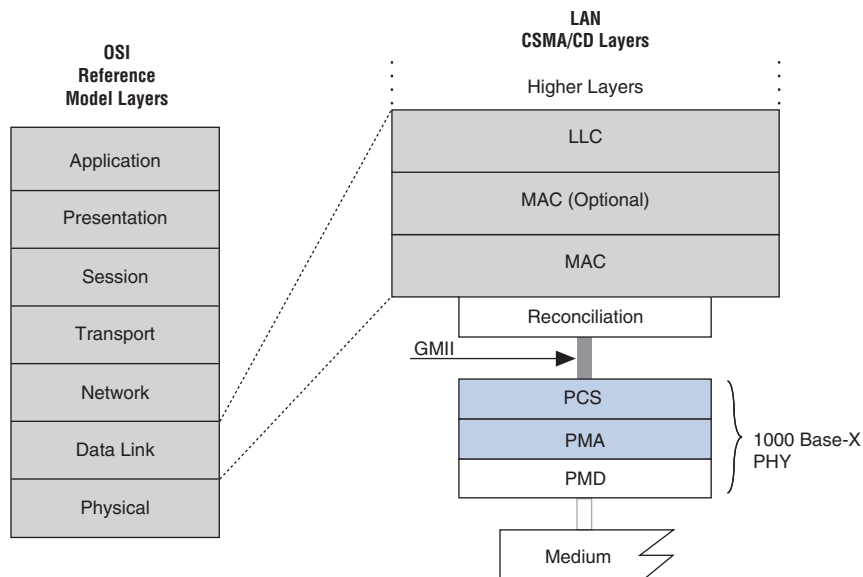
GIGE

このセクションでは、Stratix V トランシーバを使用してギガビット・イーサネット (GIGE) リンクの実装について説明します。GIGE コンフィギュレーションでコンフィギュレーションした場合、それはトランシーバ・チャンネル・データパス、クロッキング、およびチャンネル配置のガイドラインを提供します。

IEEE 802.3 では、1000 Base-X PHY は、GIGE システムで MAC (Media Access Control) を持つさまざまな物理メディアにインタフェースする中間または遷移層として定義されています。この層によって、MAC 層は下層にある媒体の特定の性質からシールドされます。1.25 Gbps の物理インタフェースのデータ・レートを持つ 1000 Base-X PHY は、フィジカル・コーディング・サブレイヤ (PCS)、フィジカル・メディア・アタッチメント (PMA)、およびフィジカル・ミディウム・ディペンデント (PMD) という 3 つのサブレイヤに分かれています。これらのサブレイヤは、GMII (Gigabit Medium Independent Interface) を通じて MAC とインタフェースします。


図 4-20 に、ギガビット・イーサネット OSI 参照モデルにおける 1000 Base-X PHY の位置を示します。

図 4-20. ギガビット・イーサネット OSI 参照モデルにおける 1000 Base-X PHY



StratixV トランシーバは GIGE 動作モードにコンフィギュレーションされると、PCS および PMA 回路を内蔵して、8B/10B のエンコーディングとデコーディング、同期、レート・マッチング、CDR、およびシリアライゼーションとデシリアライゼーションをサポートすることができます。

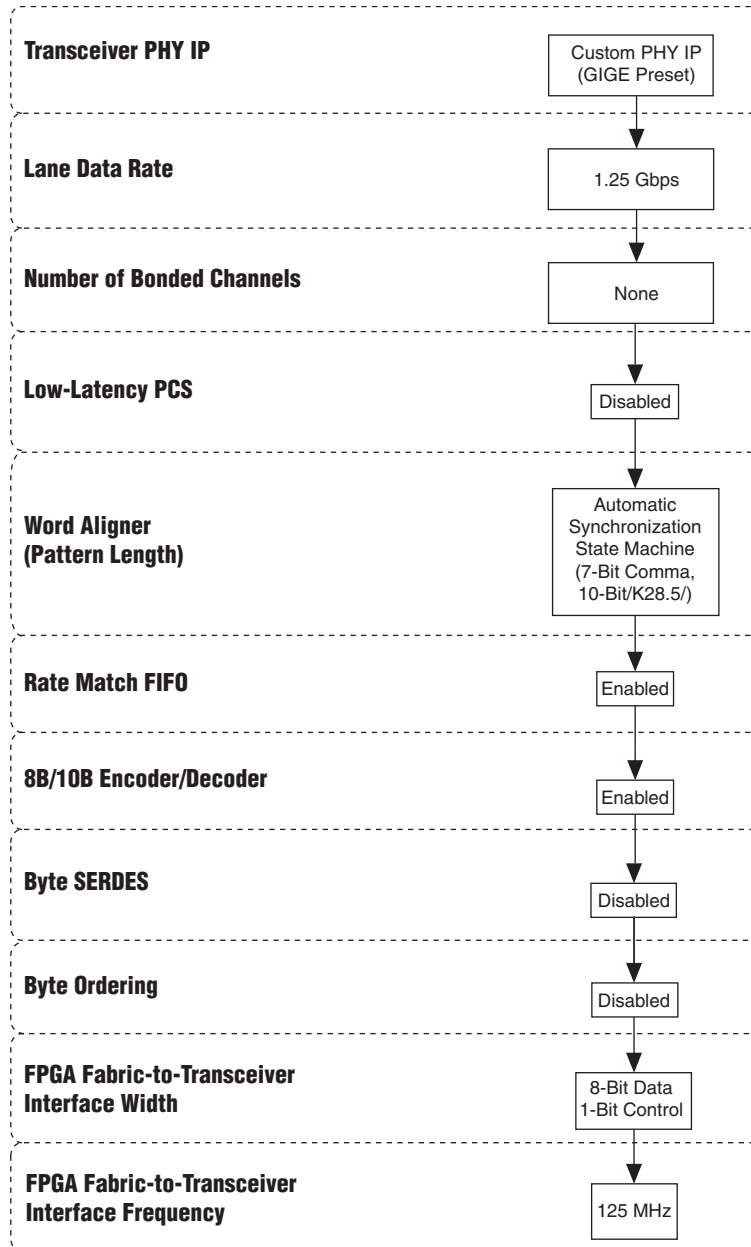
MegaWizard Plug-In Manager で GIGE リンクを実装するには、**Custom PHY IP** コアをインスタンス化し、**Interfaces** メニューで、**Transceiver PHY** の **GIGE Preset** を選択します。

 Stratix V トランシーバは、アイドル・オーダ・セット置換、自動ネゴシエーション・ステート・マシン、衝突検出、およびキャリア・センスなど、上記以外の PCS 機能のビルトイン・サポートを備えていません。これらの機能が必要な場合、PLD ロジック・アレイまたは外部回路に実装する必要があります。

トランシーバ・データパスのコンフィギュレーション

図 4-21 に、GIGE コンフィギュレーションにおけるトランシーバ・ブロックおよびイネーブル設定を示します。「Disabled」として示されるブロックは使用されませんが、レイテンシが生じます。「Bypassed」として示されるブロックは使用されず、レイテンシが生じません。

図 4-21. Stratix V デバイスに対する GIGE モード



サポートされた機能

表 4-6 に、Stratix V デバイスでサポートされている GIGE-PCS 機能を示します。これらの機能は IEEE 802.3-2008 GIGE プロトコル定義のセクション 3 の 36 項に定義されます。

表 4-6. GIGE コンフィギュレーションにおけるサポートされた機能

特長	サポート
8B/10B エンコーディング/デコーディング	✓
同期化	✓
レート・マッチングを使用してクロックの補償	✓

8B/10B エンコーディング/デコーディング

GIGE モードでは、8B/10B エンコーダは、トランスミッタ位相補償 FIFO から 8 ビット・データと 1 ビットのコントロール識別子をクロック・インして、10 ビットのエンコードされたデータを生成します。8B/10B エンコーディングは、シリアル・データ・ストリーム内に、最大数 5 の連続する 1 または 0 を制限し、それによって、レシーバ CDR 用の DC バランスだけでなく、十分な遷移を確実にすることで着信データにロックを維持できます。その後、10 ビットのエンコードされたデータはシリアルライザに供給されます。

8B/10B デコーダはレート・マッチ FIFO ブロックからコード・グループのシリアル・ストリームを解析し、8 ビットのデータとコントロール文字を回復します。GIGE カスタム PHY IP はランニング・ディスペリティ・エラー、ラン・レンクス違反エラー、および無効な 8B/10B コード・グループ・エラーのステータス・ポートを提供します。

アイドル・オーダ・セット生成 / 置換

IEEE 802.3 仕様では、GMII がアイドルのとき、常に GIGE PHY がアイドル・オーダ・セット (/I/) を連続的に繰り返し送信することが要求されます。これにより、レシーバは、送信されるアクティブ・データがない場合は常にビットとワードとの同期を維持します。アイドル・オーダ・セットの置換は PLD ロジック・アレイに実装しなければなりません。

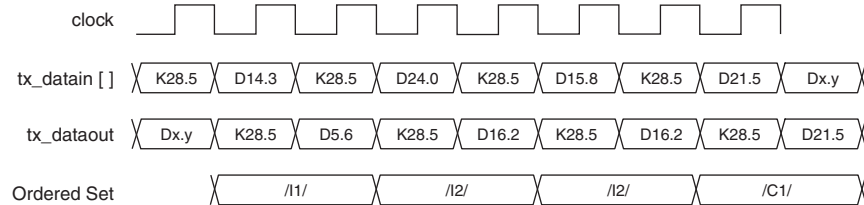
GIGE 動作モードでは、/K28.5/ カンマの後に続くどの /Dx.y/ も、現在のランニング・ディスペリティに基づいて、トランスミッタによって /D5.6/ (/I1/ オーダ・セット) または /D16.2/ (/I2/ オーダ・セット) に置き換えられます。ただし、/K28.5/ の後に続くデータが、/D21.5/ (/C1/ オーダ・セット) または /D2.2/ (/C2/) オーダ・セットの場合を除きます。/K28.5/ の前のランニング・ディスペリティが正の場合は、/I1/ オーダ・セットが生成されます。ランニング・ディスペリティが負の場合は、/I2/ オーダ・セットが生成されます。/I1/ の最後のディスペリティは、/I1/ の最初のディスペリティと反対です。/I2/ の最後のディスペリティは、最初のランニング・ディスペリティ (アイドル・コードの直前にあるもの) と同じです。これにより、アイドル・オーダ・セットの最後は負のランニング・ディスペリティになります。/K28.5/ の後に続く /Kx.y/ は置き換えられません。



/D14.3/、/D24.0/、および /D15.8/ は、/D5.6/ または /D16.2/ (/I1/、/I2/ オーダ・セットの場合) によって置き換えられることに注意してください。/D21.5/ (/C1/ オーダ・セットの一部) は置き換えられません。

図 4-22 に、アイドル・オーダ・セットの自動生成を示します。

図 4-22. 自動オーダ・セット生成



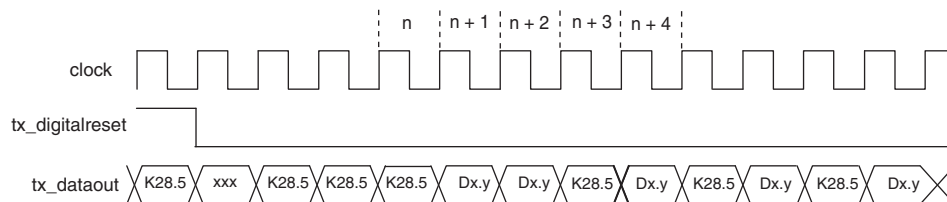
リセット条件

tx_ready after reset がアサートされた後、GIGE トランスミッタは、3 つの /K28.5/ カンマ・コード・グループを自動的に送信した後、tx_parallel_data[7:0] および tx_dataout ポート上でユーザー・データを送信します。これは、レシーバでの同期ステート・マシンの動作に影響を与える可能性があります。

同期シーケンスの送信をいつ開始したかに応じて、自動的に送信された 3 つの /K28.5/ コード・グループの最後のものと、同期シーケンスの最初の /K28.5/ コード・グループとの間に偶数個または奇数個の /Dx.y/ コード・グループが送信されることとなります。これら 2 つの /K28.5/ コード・グループの間に偶数個の /Dx.y/ コード・グループを受信した場合、同期シーケンスの最初の /K28.5/ コード・グループは、奇数のコード・グループ境界から始まります (rx_even = FALSE)。IEEE802.3 準拠の GIGE 同期ステート・マシンは、これをエラー状態として扱い、同期の喪失状態に入ります。

図 4-23 に、最後に自動送信された /K28.5/ とユーザーが最初に送信した /K28.5/ の間における偶数個の /Dx.y/ の例を示します。サイクル n+3 において奇数のコード・グループで受信された、ユーザーが送信した最初の /K28.5/ コード・グループによって、レシーバの同期ステート・マシンは同期の喪失状態になります。サイクル n+3 および n+4 の最初の同期オーダ・セット /K28.5/Dx.y/ は無視され、同期に成功するには更に 3 つのオーダ・セットが必要です。

図 4-23. GIGE モードでのリセット条件



同期化

GIGE 動作モードのワード・アライナは、自動同期ステート・マシン・モードにコンフィギュレーションされます。Quartus II 開発ソフトウェアは、レシーバが 3 つの連続した同期オーダ・セットを受信したときに同期ステート・マシンが同期を示すよう、自動的にコンフィギュレーションします。同期オーダ・セットは、/K28.5/ コード・グループとそれに続く奇数個の有効な /Dx.y/ コード・グループです。レシーバが同期を達成する最も迅速な方法は、3 つの連続する {/K28.5/, /Dx.y/} オーダ・セットを受信することです。

レシーバ同期は、ワード・アライナのステータス・ポートまたは各チャンネルに Avalon Memory Mapped Management インタフェースを使用するレジスタ・ビットのとき、rx_syncstatus ポートに示されます。rx_syncstatus ポートが High のときにレーンが同期されていることを示し、rx_syncstatus ポートが Low のときにレーンが同期されていないことを示します。レシーバは、3 つ未満の有効なコード・グループによって分離された 4 つの有効なコード・グループを検出したとき、またはリセットされたときに、同期を失います。それは 1 つでエラー・カウントを減らすために 4 つの連続した有効なコード・グループをかかります。

レート・マッチ FIFO を使用したクロック補償

GIGE モードでは、レート・マッチ FIFO は、アップストリーム・トランスミッタとローカル・レシーバの基準クロック間の周波数差を最大で 100ppm (合計 200ppm) まで補償することができます。GIGE プロトコルでは、トランスミッタは IEEE 802.3 仕様で規定される規則に従って、パケット間ギャップ時にアイドル・オーダ・セット /I1/ (K28.5/D5.6/) および /I2/ (K28.5/D16.2/) を送信する必要があります。

レート・マッチ動作は、ワード・アライナ内の同期ステート・マシンが rx_syncstatus 信号を High にドライブすることにより同期の達成を示した後に開始されます。レート・マッチャは、レート・マッチ FIFO のオーバーフローまたはアンダーランを防止するためにシンボルを 1 個だけ削除することが必要な場合でも、/I2/ オーダ・セットの両方のシンボル (K28.5/ および D16.2/) を削除または挿入します。レート・マッチャは、レート・マッチ動作を実行するのに必要な数の /I2/ オーダ・セットを挿入または削除できます。

レート・マッチ FIFO の削除および挿入イベントをそれぞれ示す 2 つのフラグ rx_rmifodatadeleted および rx_rmifodatainserted が、FPGA ファブリックに転送されます。rx_rmifodatadeleted および rx_rmifodatainserted の両方のフラグが、削除および挿入された各 /I2/ オーダ・セットについてそれぞれ 2 クロック・サイクルの間アサートされます。

図 4-24 に、3 個のシンボルを削除する必要がある場合のレート・マッチ FIFO 削除の例を示します。レート・マッチ FIFO は、/I2/ オーダ・セットだけを削除することができるため、2 個の /I2/ オーダ・セットを削除 (4 個のシンボルを削除) します。

図 4-24. GIGE モードでのレート・マッチ削除

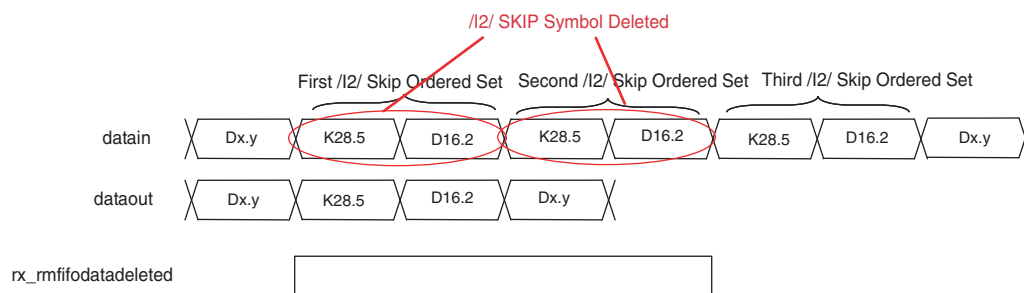
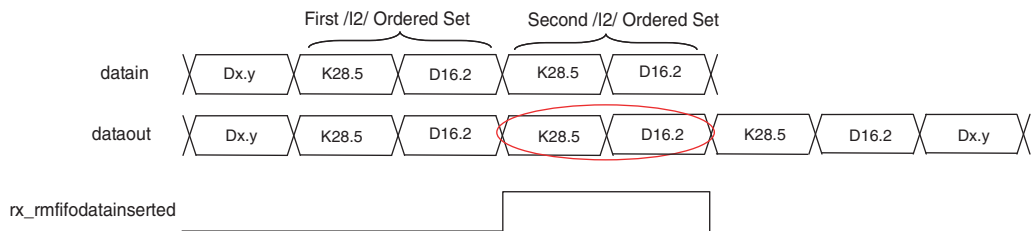


図 4-25 に、1 個のシンボルを挿入する必要がある場合のレート・マッチ FIFO 挿入の例を示します。レート・マッチ FIFO は、/I2/ オーダ・セットだけを挿入することができるため、1 個の /I2/ オーダ・セットを挿入 (2 個のシンボルを挿入) します。

図 4-25. GIGE モードでのレート・マッチ挿入



トランシーバ・クロッキングおよびチャネル配置のガイドライン

ここでは、Stratix V デバイスでサポートされる GIGE プロトコルに対するトランシーバ・クロッキングおよび配置のガイドラインについて説明します。

トランシーバ・クロッキング

図 4-26 に、GIGE をコンフィギュレーションするとき、レート・マッチングがイネーブルされたトランシーバ・クロッキングを示します。

図 4-26. レート・マッチングがイネーブルされた GIGE モード・データパス

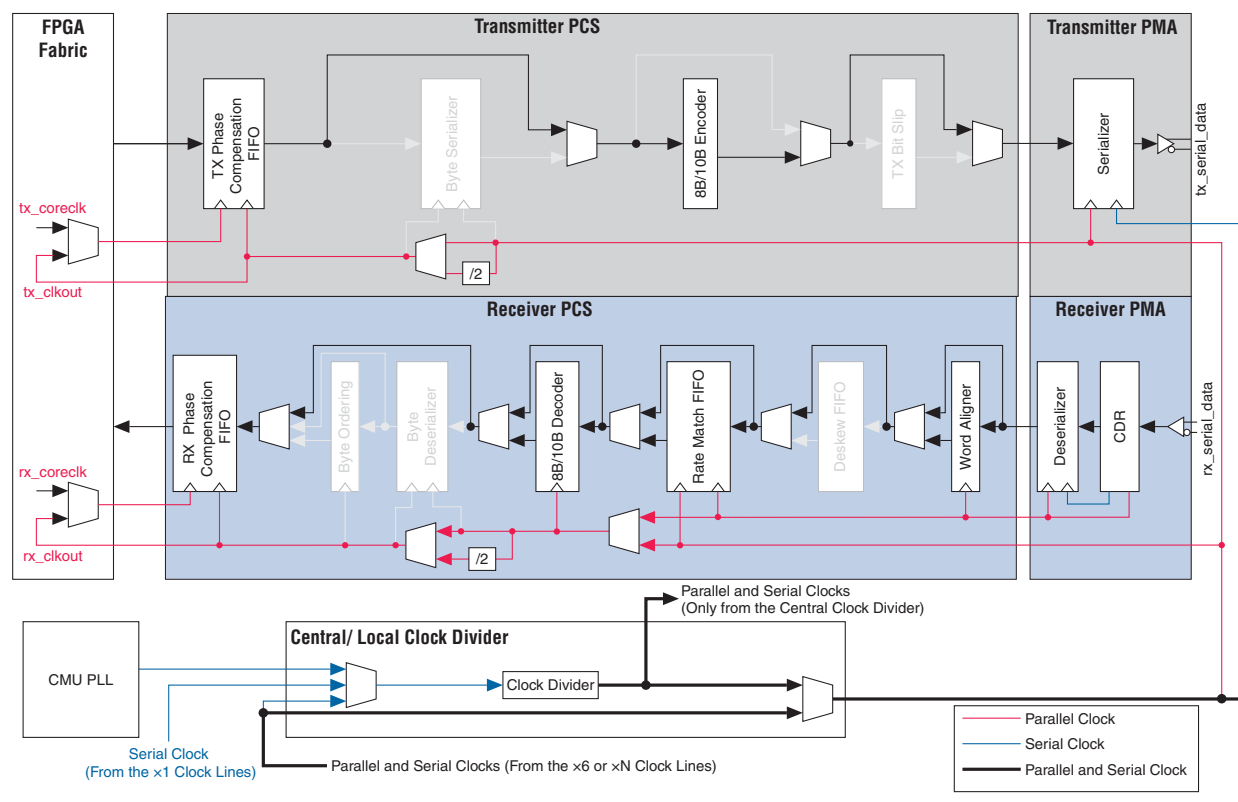


表 4-7 に、GIGE 動作モードでのトランシーバ・データパスのクロック周波数を示します。

表 4-7. GIGE モードでのトランシーバ・データパスのクロック周波数

機能モード	ラインのデータ・レート	ハーフ・レートの高速シリアル・クロック周波数	FPGA ファブリック・トランシーバ・インタフェース幅	FPGA ファブリック・トランシーバ間インタフェースのクロック周波数
GIGE	1.25 Gbps	625 MHz	8 ビットのデータ、 1 ビットのコントロール	125 MHz

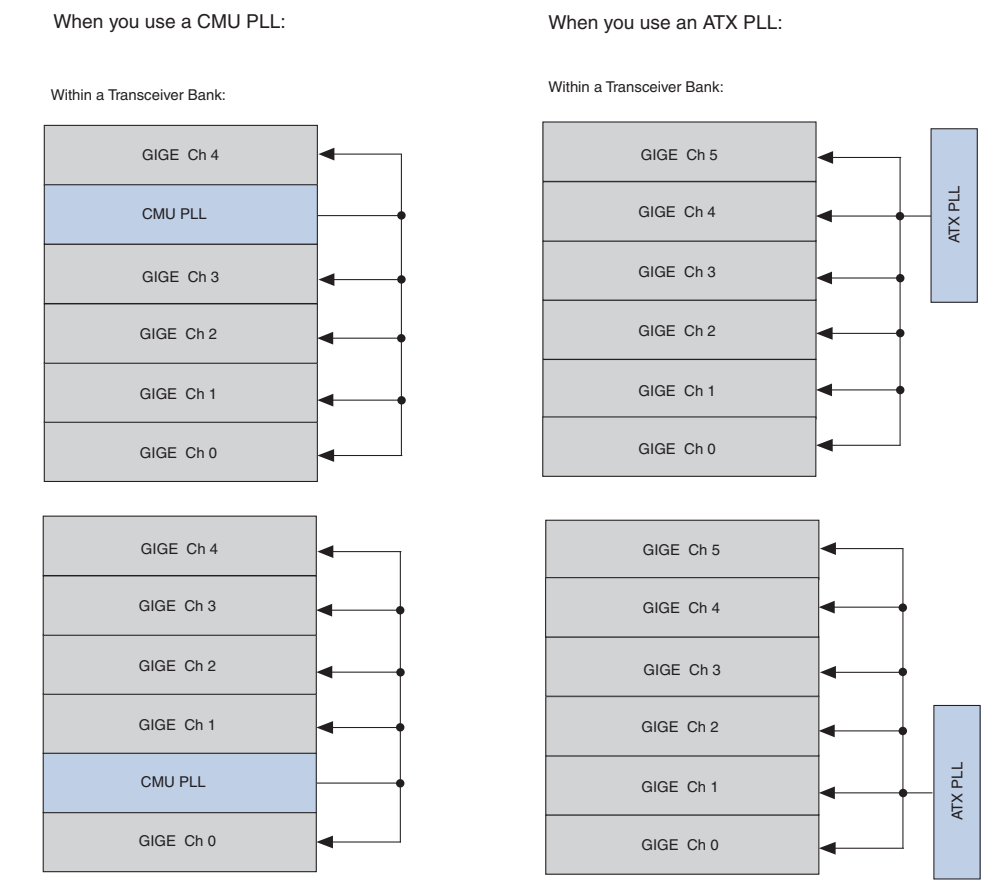
トランシーバのチャンネル配置のガイドライン

トランシーバ・バンクに GIGE トランシーバ・チャンネルを配置することは特定の配置制約はありません。CMU PLL を使用する場合に、最大 5 GIGE チャンネルへのチャンネル 0、2、3、5、およびチャンネル 1 またはチャンネル 4 のいずれかに配置されることがあります。また、ATX を使用する場合に、最大 6 つの GIGE のチャンネルへはバンクごとに 6 つのトランシーバのチャンネルのいずれかでどこにでも配置することができます。図 4-27 に、GIGE リンクを駆動する CMU PLL または ATX PLL のいずれかを使用するときに許容されるチャンネルの配置を示します。CMU PLL が実装されている場合、トランシーバ・バンクのチャンネル 1 またはチャンネル 4 が最高のトランシーバ・バンクあたり 5 GIGE チャンネルまでの $\times 1$ クロックラインを駆動するトランスミッタ・シリアル・クロックを生成します。ATX PLL が実装されている場合、ATX PLL は、最大のトランシーバ・バンクあたり 6 GIGE チャンネルまでの $\times 1$ クロック・ラインを駆動するトランスミッタ・シリアル・クロックを生成します。



ATX PLL の使用をイネーブルするには、**Custom PHY IP GIGE Preset** に 2.5 Gbps の最小基本データ・レートを選択必要があり、各 GIGE トランシーバ・チャンネルのローカル・クロック・ディバイダのための 1.25 GHz クロックを生成することができます。さらに、ATX PLL は、**Quartus II Assignment Editor** で選択する必要があります。


図 4-27. GIGE コンフィギュレーションにおけるチャネル配置のガイドライン



XAUI

ここでは、Stratix V を使用した実装の XAUI リンクについて説明します。XAUI コンフィギュレーションでコンフィギュレーションした場合、それはトランシーバ・チャネル・データパスの説明、クロッキング、およびチャネル配置のガイドラインを提供します。

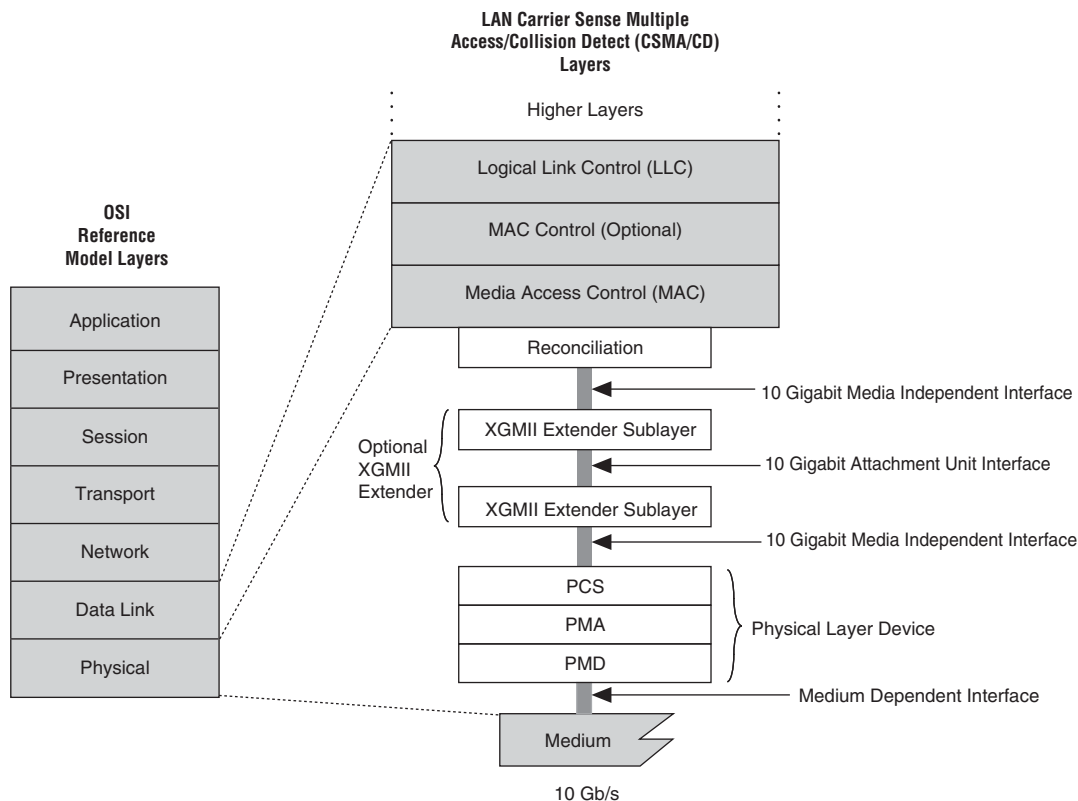
MegaWizard Plug-In Manager で XAUI リンクを実装することができます。Interfaces メニューの Ethernet で、XAUI PHY の IP コアを選択してください。現在、XAUI PHY の IP コアは、ソフト・ロジックで XAUI PCS を実装します。

 XAUI PHY の IP コアについて詳しくは、「[Altera Transceiver PHY IP Core User Guide](#)」を参照してください。

XAUI は、IEEE 802.3ae-2002 仕様で定義された 10 ギガビット・イーサネット・リンクの特定の物理層の実装です。図 4-28 に示すように、XAUI PHY は、XGMII インタフェースを使用して、IEEE802.3 MAC とリコンシリエーション・サブレイヤ (RS) に接続できます。IEEE 802.3ae-2002 仕様では、XGMII インタフェースでの 10 Gbps データ・レートまたは PMD インタフェースでの 3.125 Gbps の各 4 つのレーンをサポートするために、XAUI PHY リンクが必要になります。

図 4-28 は、OSI 参照モデルにおける XAUI PHY と他のサブレイヤ間の関係を示します。

図 4-28. XAUI 層と XGMII 層



XAUI コンフィギュレーションでのトランシーバ・データパス

図 4-29 に、XAUI コンフィギュレーションでのイネーブルされたトランシーバ・ブロックを示します。現在、XAUI PCS は、XAUI PHY の IP コアを使用する場合、FPGA コア内部のソフト・ロジックで実装します。Quartus II ソフトウェアの将来のバージョンでは、ハード XAUI PCS がサポートされます。将来的にハード XAUI の PCS への移行を予定する場合、ユーザーのチャネル配置は、ソフトとハードの PCS 実装間で互換性があることを確認する必要があります。

配置のガイドラインについては、4-43 ページの「トランシーバのチャネル配置のガイドライン」を参照してください。

図 4-29. Stratix V XAUI コンフィギュレーション

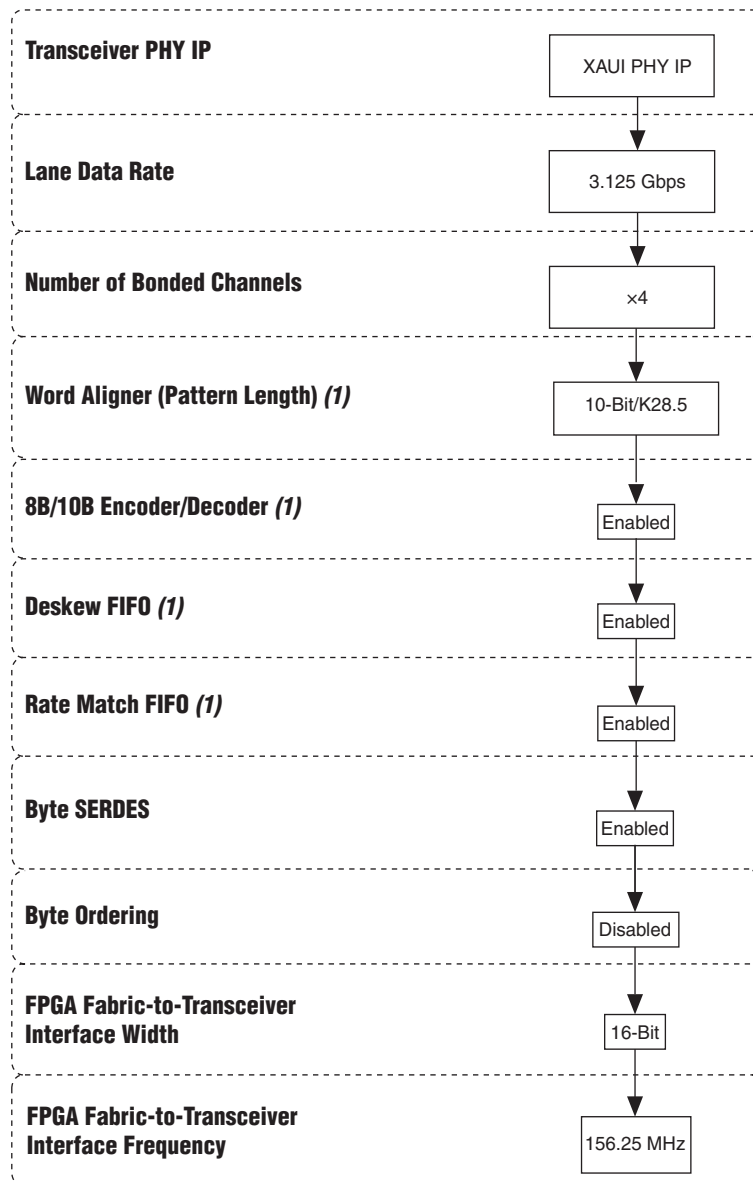


図 4-29 の注 :

(1) ソフト・ロジックに実装されます。

図 4-30 に、XAUI コンフィギュレーションにおけるトランシーバ・データパスを示します。

図 4-30. XAUI コンフィギュレーション・データパス (注 1)

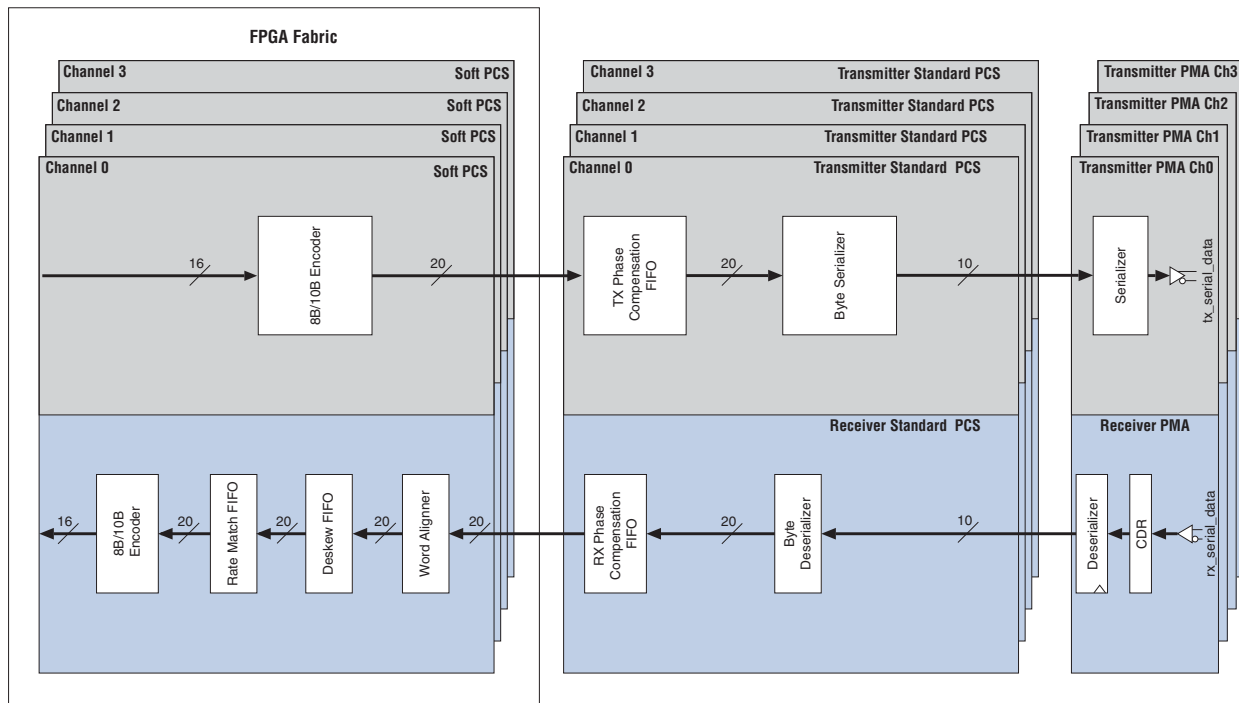


図 4-30 の注：

- (1) 低レイテンシのコンフィギュレーションで標準の PCS は、このコンフィギュレーションで使用されます。また、PCS の部分はソフト・ロジックで実装されます。

サポートされた機能

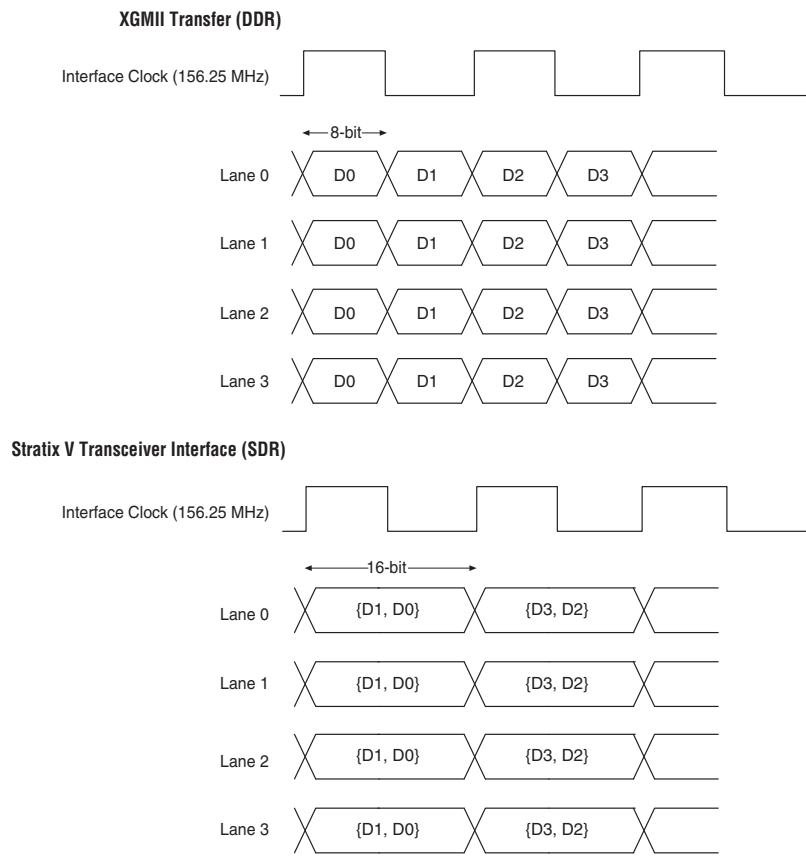
Stratix V トランシーバは XAUI のコンフィギュレーションで以下の機能をサポートします。

MAC/RS に 64 ビットの SDR インタフェース

IEEE 802.3-2008 仕様の 36 項は XAUI PCS とイーサネット MAC/PHY の間の XGMII インタフェースを定義します。それは 4 つの XAUI レーンのそれぞれは、156.25MHz のインタフェース・クロックの正エッジと負エッジ (DDR) の両方で 8 ビットのデータと 1 ビット幅の制御コードを転送する必要があります。

XAUI コンフィギュレーションでの Stratix V トランシーバは、IEEE 802.3-2008 仕様で定義されたように、MAC/RS に XGMII インタフェースをサポートしません。その代わりに、図 4-31 に示すように、156.25 MHz のインタフェース・クロックの正エッジ (SDR) のみで、4 つの XAUI レーンのそれぞれの上に 16 ビットのデータと 2 ビットのコントロール・コードの転送を許可します。

図 4-31. Stratix V デバイスにおける XGMII 仕様の実装



8B/10B エンコーディング / デコーディング

XAUI コンフィギュレーションでは、各 4 つのレーンは、IEEE 802.3-2008 仕様の 48 項に規定された独立 8B/10B のエンコーダ / デコーダをサポートします。8B/10B エンコーディングは、連続した 1 と 5 にシリアル・データ・ストリーム内の 0 の最大数を制限します。それによって、着信データにロックを維持するために、レシーバ CDR 用の DC バランスだけでなく、十分な遷移を確実にします。

XAUI PHY の IP コアは、ランニング・ディスペリティだけでなく、8B/10B コード・グループのエラーを示すためにステータス信号を提供します。

トランスミッタおよびレシーバ・ステート・マシン

XAUI コンフィギュレーションでの Stratix V トランシーバは、IEEE 802.3-2008 仕様での図 48-6 と図 48-9 に示すように、トランスミッタおよびレシーバ・ステート・ブロック図を実装します。

PCS コード・グループへの XGMII データのエンコーディングに加え、10GBASE-X PCS のルールに従って、トランスミッタ状態図はアイドル |||| のコード・グループをシンク ||K||、アライン ||A||、およびスキップ ||R|| のコード・グループに変換することなどの機能を実行します。

XGMII データへの PCS コード・グループのデコーディングに加え、10GBASE-X PCS のルールに従って、受信状態図はシンク $\|K\|$ 、アライン $\|A\|$ 、およびスキップ $\|R\|$ のコード・グループをアイドル $\|I\|$ のコード・グループに変換することなどの機能を実行します。

同期化

4つの XAUI レーンのそれぞれのレシーバ PCS でのワード・アライナ・ブロックは、IEEE802.3-2008 仕様の図 48-7 に示すように、レシーバ同期状態図を実装します。

XAUI PHY の IP コアは、ワード・アライナが有効なワード境界に同期しているかどうかを示すためにレーンごとのステータス信号を提供します。

デスクュー

レシーバ PCS でのチャンネル・アライナ・ブロックは、IEEE 802.3-2008 仕様の図 48-8 に示すように、レシーバのデスクュー状態図を実装します。

チャンネル・アライナは、それぞれの 4つの XAUI レーンでのワード・アライナ・ブロックが成功した同期を有効なワード境界に示した後にだけ、デスクューのプロセスを始めます。

XAUI PHY の IP コアは、レシーバ PCS での成功したレーン・デスクューを示すためにステータス信号を提供します。

クロック補正

PCS データパスのレシーバでは、レート・マッチ FIFO は、リモート・トランスミッタとローカル・レシーバ間の周波数差を最大で ± 100 ppm まで補償するためにデザインされます。ppm 周波数差に基づいて、Skip $\|R\|$ カラムを挿入することまたは削除することによって、そうになります。

クロック補正は、以下の後に開始されます。

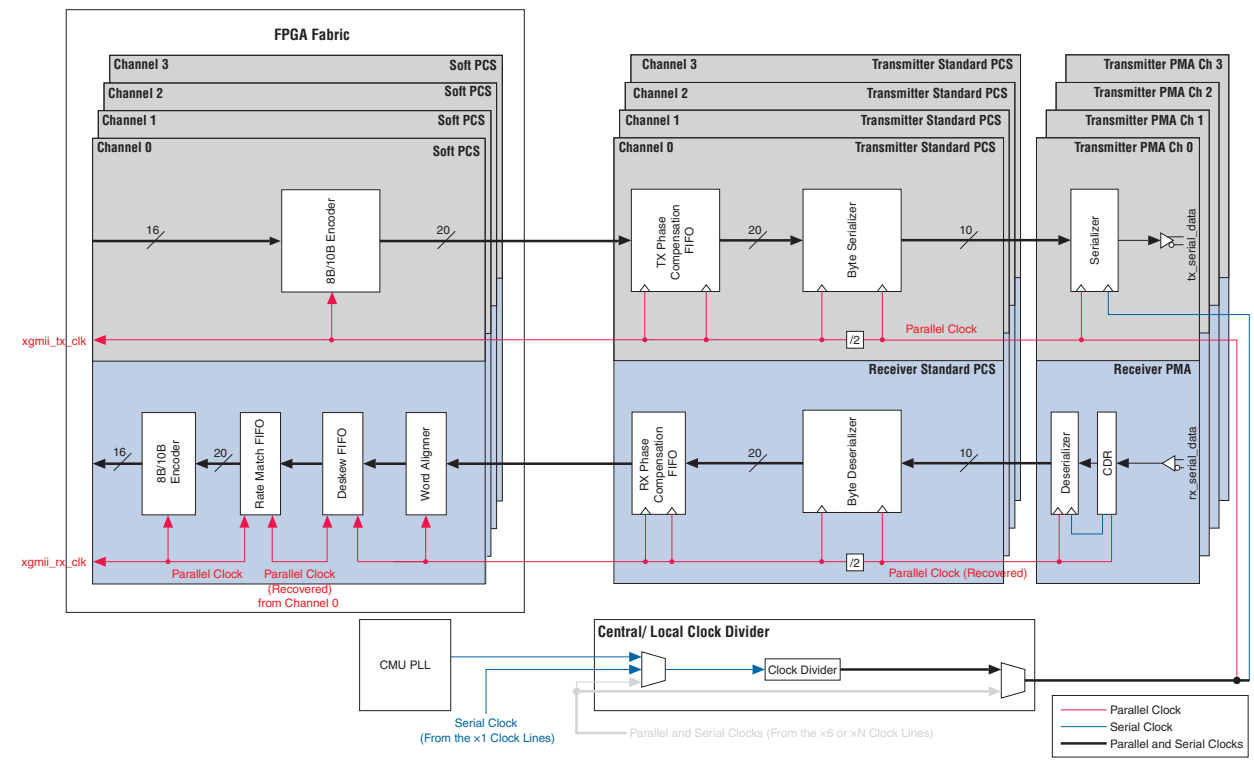
- すべての 4つの XAUI レーンのワードアライナは、有効な単語の境界に成功した同期を示します。
- チャンネル・アライナは成功したレーンのデスクューを示します。

レート・マッチ FIFO は、クロック・レート補正の Skip $\|R\|$ カラムの挿入または削除を表示するには、ステータス信号を提供します。

トランシーバのクロッキング

図 4-32 に、XAUI コンフィギュレーションでのトランシーバ・クロッキングを示します。

図 4-32. XAUI クロッキングのブロック図



トランシーバ・バンク内の 2 つの PLL チャンネルの 1 つは、4 つの XAUI チャンネルのためにトランスミッタ・シリアルおよびパラレル・クロックを生成します。x6 のクロック・ラインは、4 つのチャンネルのそれぞれの PMA と PCS に、トランスミッタ・クロックを運びます。

表 4-8 に、XAUI コンフィギュレーションでサポートされる入力基準クロック周波数、FPGA ファブリック・トランシーバ・インタフェース幅、および FPGA ファブリック・トランシーバ・インタフェース周波数を示します。

表 4-8. XAUI コンフィギュレーションの入力基準クロック周波数およびインタフェースインタフェース速度の仕様

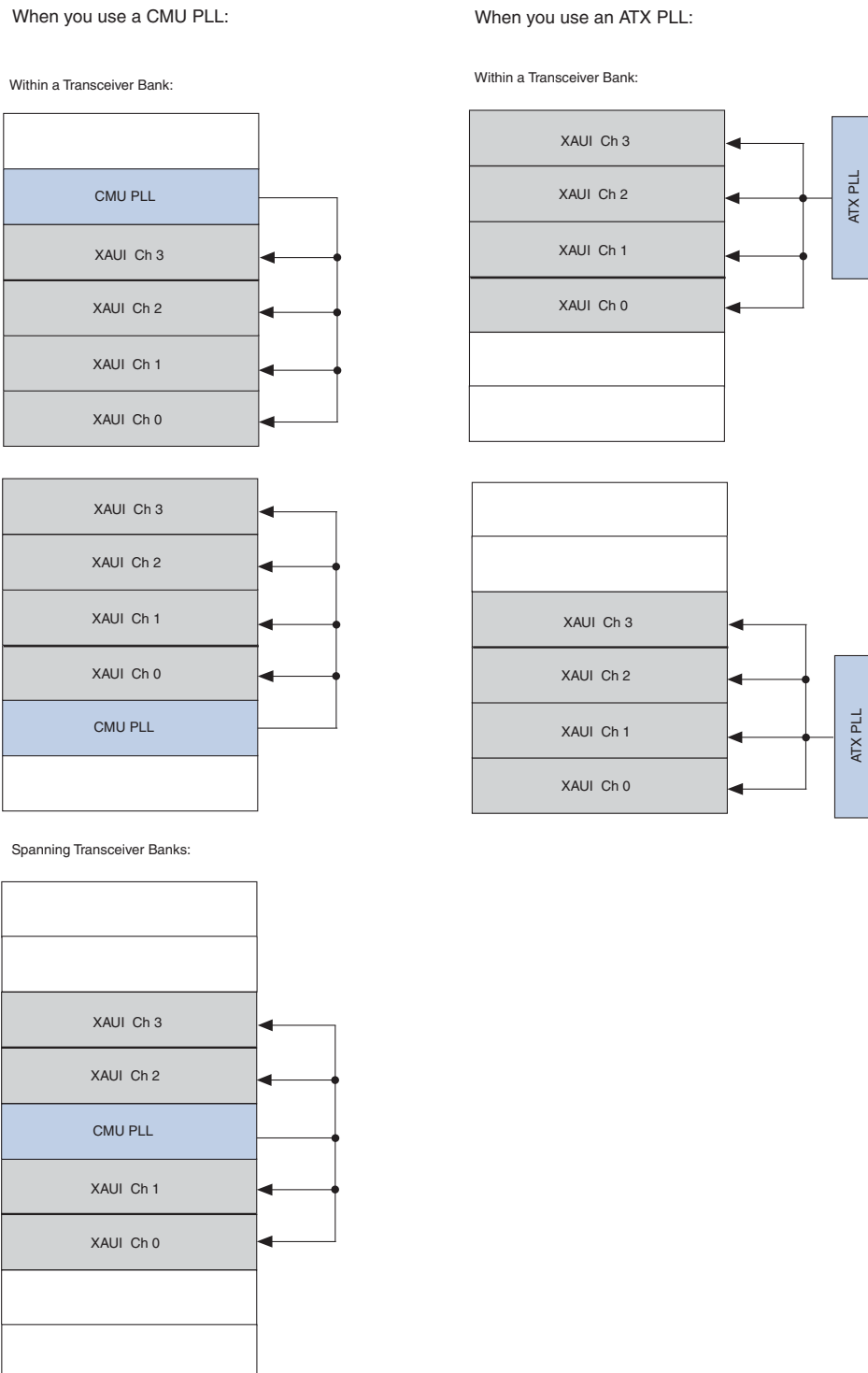
入力基準クロック周波数 (MHz)	FPGA ファブリック・トランシーバ・インタフェース幅	FPGA ファブリック・トランシーバ・インタフェース周波数 (MHz)
156.25	16 ビット・データ、 2 ビット・コントロール	156.25

トランシーバのチャンネル配置のガイドライン

XAUI コンフィギュレーションのソフト PCS 実装に配置制限がありませんが、将来のハード PCS のバージョンに移行する予定の場合、そのガイドラインに従ってチャンネルを配置する必要があります。

図 4-33 に、XAUI リンクを駆動する CMU PLL または ATX PLL を使用するとき、許可されたチャンネルの配置を示します。この配置は、トランシーバでハード PCS ブロックを使用する場合のみ適用されます。Quartus II ソフトウェア (11.0) の現在のバージョンでは、ソフト・ロジックで XAUI PCS を実装するので、任意の配置制限はありません。Quartus II ソフトウェアの将来のバージョンで XAUI ハード PCS を使用する予定がある場合、図 4-33 に示すように、チャンネルがコンフィギュレーションのいずれかに配置されていることを確認してください。

図 4-33. XAUI コンフィギュレーションでのチャンネル配置のガイドライン



改訂履歴

表 4-9 に、本資料の改訂履歴を示します。

表 4-9. 改訂履歴

日付	バージョン	変更内容
2011 年 5 月	1.2	<ul style="list-style-type: none"> ■ 図 4-8 および 図 4-9 を更新。 ■ 4-10 ページの「サポートされた機能」を更新。 ■ 表 4-5 を更新。 ■ 図 4-16、図 4-18、および 図 4-19 を更新。 ■ 「GIGE」セクションを追加。 ■ 4-36 ページの「XAUI」を更新。 ■ 4-37 ページの「XAUI コンフィギュレーションでのトランシーバ・データパス」を更新。 ■ 4-43 ページの「トランシーバのチャネル配置のガイドライン」を更新。 ■ 図 4-33 を更新。 ■ 章では、11.0 リリースのために Vol 3 に移動。
2010 年 12 月	1.1	<ul style="list-style-type: none"> ■ 「PCI Express (PIPE) 2.0 Interface」、「Dynamic Switching Between Gen1 (2.5 Gbps) and Gen2 (5 Gbps) Signal Rates」、「Receiver Status」、および「Receiver Detection」のセクションを更新。 ■ 図 4-32 を更新。
2010 年 4 月	1.0	初版。

