

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SV52004-1.1

この章では、Stratix® V デバイスに対して推奨のトランシーバ初期化およびリセット・シーケンスを提供しています。推奨されるリセット・シーケンスにより、トランシーバ・チャンネル内のフィジカル・コーディング・サブレイヤ (PCS) ブロックおよびフィジカル・メディア・アタッチメント (PMA) ブロックは正しく初期化されます。これは、最初のパワーアップ後に信頼性のあるトランシーバ動作を保証するために、あるいはトランシーバ・リンクの再確立に極めて重要です。

トランシーバのリセット信号

表 3-1 に、トランシーバのリセット信号および各信号に影響されるトランシーバ回路を示します。

表 3-1. トランシーバ・リセット信号

信号名	影響されるトランシーバ回路
pll_powerdown	High にアサートされると、トランスミッタ PLL をリセットします。
tx_digitalreset	High にアサートされると、トランスミッタ PCS 内のあらゆるブロックをリセットします。
rx_analogreset	High にアサートされると、レシーバ CDR をリセットします。
rx_digitalreset	High にアサートされると、レシーバ PCS 内のあらゆるブロックをリセットします。

トランシーバ・リセット・コントローラの実装

トランシーバ・リセット・シーケンス・コントローラは、各トランシーバ・コンフィギュレーションにおいて PHY IP コアの一部として自動的に実装されています。内蔵のリセット・シーケンス・コントローラは信頼性の高いトランシーバ・リンク初期化を確保します。そのため、この方法により、トランシーバをベースにしたデザインの開発が簡単になります。

図 3-1 は、リセット・シーケンス・コントローラ内蔵の PHY IP コアを示すブロック図です。



図 3-1. リセット・シーケンス・コントローラのブロック図

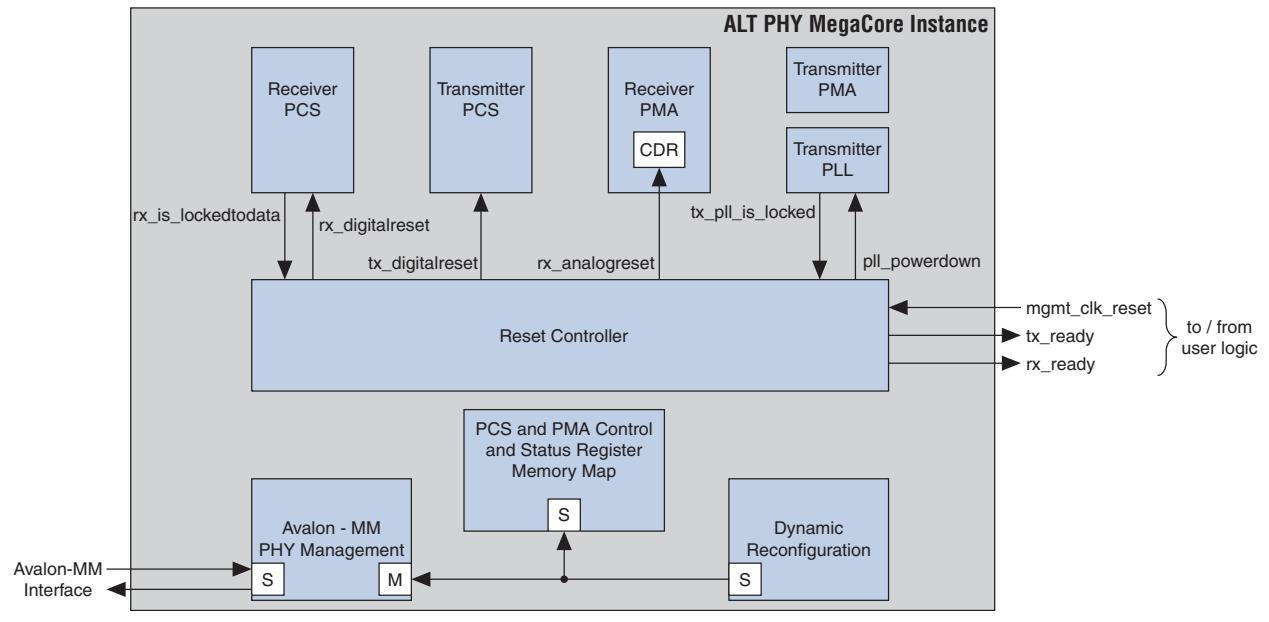


表 3-2 に、ユーザー・ロジックに提供されるリセット・コントロールおよびステータス信号を示します。

表 3-2. リセット・コントロールおよびステータス信号

信号名	信号の種類	説明
mgmt_clk_reset	コントロール入力	信号が Low から High に遷移すると、トランシーバ・リセット・シーケンスが開始します。
tx_ready	ステータス出力	信号の Low から High への遷移は、トランスミッタがリセット状態を終了し、データを送信できる状態になったことを示します。
rx_ready	ステータス出力	信号の Low から High への遷移は、レシーバがリセット状態を終了し、データを受信できる状態になったことを示します。

トランシーバのリセット・シーケンス

PCI Express® (PCIe) コンフィギュレーション以外のすべてのトランシーバ・コンフィギュレーションでは、トランシーバのリセット・シーケンスは同じです。推奨されるトランシーバ・リセット・シーケンスは下記のカテゴリーに分類されます。

- 「PCI Express 以外のコンフィギュレーションにおけるリセット・シーケンス」
- 「PCI Express コンフィギュレーションにおけるリセット・シーケンス」

PCI Express 以外のコンフィギュレーションにおけるリセット・シーケンス

図 3-2 に、PCIe 以外のコンフィギュレーションにおけるトランシーバ・リセット・シーケンスのタイミング図を示します。このリセット・シーケンスは、内部リセット・シーケンス・コントローラによって自動的に実装されます。デバイス・パワーアップ後、リセット・コントローラは、`mgmt_clk_reset` 入力信号のポジティブ・エッジ時にリセット・シーケンスを開始します。リセット・コントローラにおける `tx_ready` および `rx_ready` 信号のアサートはそれぞれ、トランスミッタ・チャンネルが送信可能になったこと、およびレシーバ・チャンネルが受信可能になったことを示します。

図 3-2. PCIe 以外のコンフィギュレーションにおけるトランシーバ・リセット・シーケンスのタイミング図

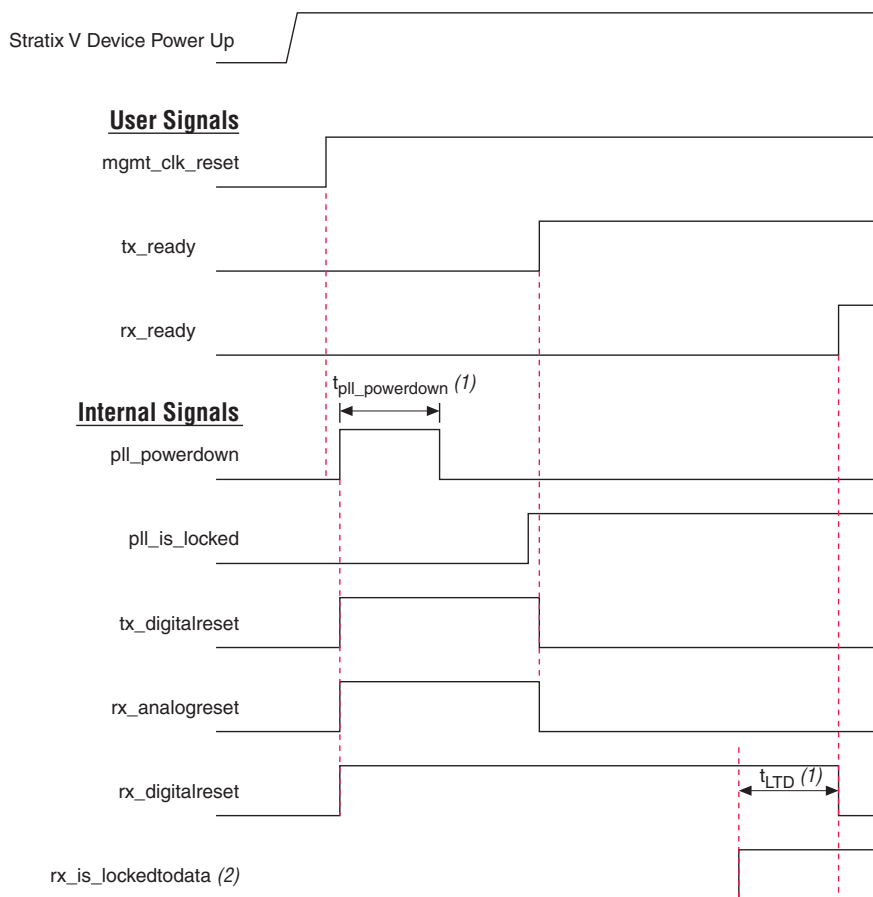


図 3-2 の注：

- (1) $t_{pll_powerdown}$ および t_{LTD} は特性評価待ちです。
- (2) 結合モード・コンフィギュレーションでは、この図に示す `rx_is_lockedtodata` 信号は、すべてのチャンネルからの `rx_is_lockedtodata` 信号の論理 AND です。

PCI Express コンフィギュレーションにおけるリセット・シーケンス

図 3-3 に、PCIe コンフィギュレーションにおけるトランシーバ・リセット・シーケンスのタイミング図を示します。このリセット・シーケンスは、内部リセット・シーケンス・コントローラによって自動的に実装されます。デバイス・パワーアップ後、リセット・コントローラは、`mgmt_clk_reset` 入力信号のポジティブ・エッジ時にリセット・シーケンスを開始します。リセット・コントローラにおける `tx_ready` および `rx_ready` 信号のアサートはそれぞれ、トランスミッタ・チャンネルが送信可能になったこと、およびレシーバ・チャンネルが受信可能になったことを示します。

図 3-3. PCIe コンフィギュレーションにおけるトランシーバ・リセット・シーケンスのタイミング図

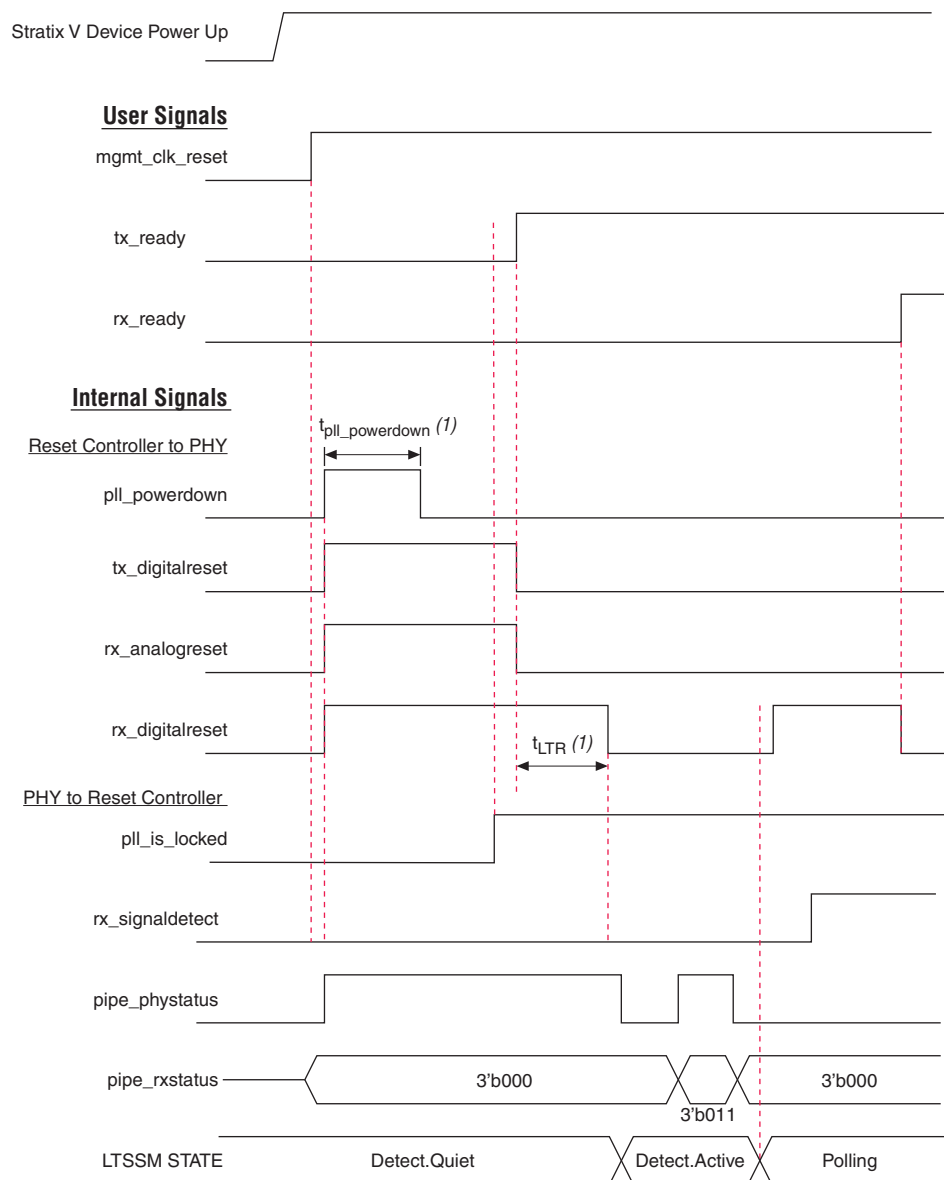


図 3-3 の注：

(1) $t_{pll_powerdown}$ および t_{LTR} は特性評価待ちです。

改訂履歴

表 3-3 に、本資料の改訂履歴を示します。

表 3-3. 改訂履歴

日付	バージョン	変更内容
2010 年 12 月	1.1	10.1 リリース。内容の変更はなし。
2010 年 7 月	1.0	初版。

