

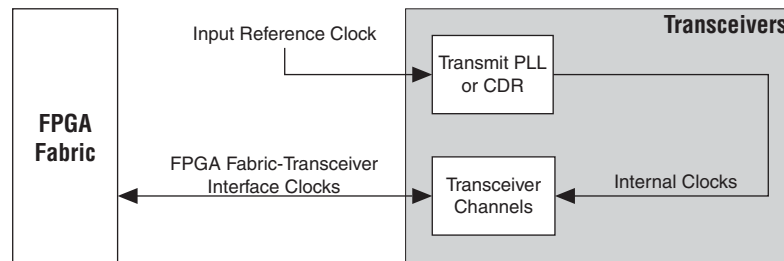
この章では、Stratix[®]V トランシーバのクロッキング・アーキテクチャについて詳細に説明します。

クロッキング・アーキテクチャの章は、以下の 3 つの項に分かれています。

- 「**入力ファレンス・クロッキング**」— リファレンス・クロックは、トランシーバ動作に必要なクロックを生成するために、送信 PLL (Phase-Locked Loop) および CDR (クロック・データ・リカバリ) に提供する方法について説明します。
- 「**内部クロック**」— トランシーバに内部アーキテクチャのクロッキングについて説明します。
- 「**FPGA ファブリック - トランシーバ間インタフェースのクロッキング**」— FPGA ファブリックとトランシーバをインターフェースするとき、使用可能なオプションについて説明します。

図 2-1 に、クロッキング・アーキテクチャの概要を示します。

図 2 1. トランシーバのクロッキング・アーキテクチャの概要



今後のクロック関連機能について詳しくは、「[Upcoming Stratix V Device Features](#)」の資料を参照してください。

入力ファレンス・クロッキング

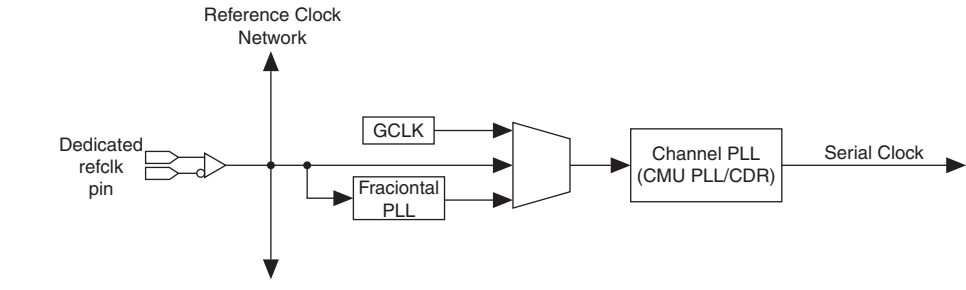
各トランスミッタ・チャンネルには、トランスミッタのクロック・マルチプライヤ・ユニット (CMU) PLL またはレシーバ CDR としてコンフィギュレーションできるチャンネル PLL があります。CMU PLL コンフィギュレーションでは、PLL がクロックを生成するための入力ファレンス・クロックを合成します。レシーバ CDR コンフィギュレーションでは、PLL が lock-to-reference (LTR) モードの入力ファレンス・クロックにロックします。また、ATX PLL はシリアル・クロックを合成するための入力ファレンス・クロックを使用しています。

入力ファレンス・クロックは、トランシーバ・ロジックと FPGA ファブリック・トランシーバ・インターフェースをクロックするトランシーバから FPGA ファブリックに転送されたクロックとは異なります。

入カリファレンス・クロック・ソース

トランシーバ・チャンネル PLL は、専用の refclk ピンから、またはリファレンス・クロック・ネットワークを介して入力クロックを生成します。図 2-2 に、トランシーバ・チャンネルへの入カリファレンス・クロックの概要を示します。

図 2. トランシーバ・ブロックへの入カリファレンス・クロック・ソース



専用 refclk ピン

Stratix V デバイスは、3 つのトランシーバ・チャンネルのグループごとに 1 つの専用の refclk ピンを備えています。すべての専用リファレンス・クロック・ピンは、デバイスの側面にまたがるクロック・ネットワークをドライブします。

refclk ピンでサポートされている入力周波数に関する仕様については、「[DC and Switching Characteristics for Stratix V Devices](#)」の章を参照してください。

PCI Express[®] (PCIe) のリファレンス・クロックに対して HCSL I/O 規格を選択した場合、プロジェクトの Quartus II 設定ファイル (.qsf) に次のアサインメントを追加します。

```
set_instance_assignment -name INPUT_TERMINATION OFF -to <refclk_pin_name>
```

図 2-3 に、HCSL としてコンフィギュレーションされているときの、リファレンス・クロックの終端方法の例を示します。

図 2.3. HCSL としてコンフィギュレーションされているときのリファレンス・クロック信号の終端方法

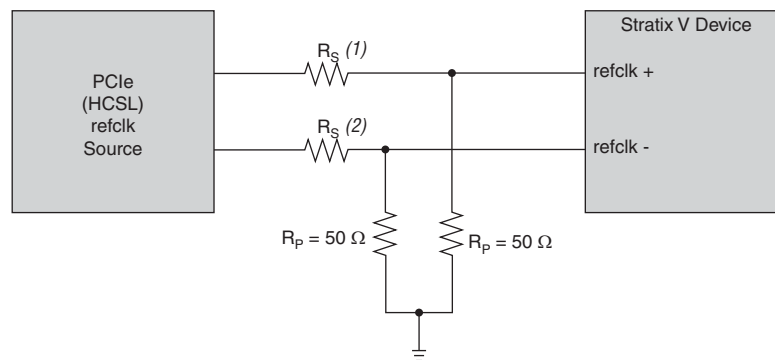


図 2-3 の注:

- (1) リファレンス・クロック信号が PCIe 仕様に準拠したクロック・ソースから生成されている場合、バIASは不要です。
- (2) PCIe クロック・ソース・ベンダが推奨する抵抗値を選択します。

リファレンス・クロック・ネットワークを使用した専用 refclk ピン

図 2-4 に、トランシーバ・バンクの入力リファレンス・クロック・ソースを示します。

各専用 refclk ピンは、リファレンス・クロック・ネットワークを介してデバイスの同じ側に送信 PLL をドライブすることができます。複数の送信 PLL を使用した同一と同じデバイス側に配置されているデザインは同じ専用 refclk ピンを共有することができます。

図 2 4. トランシーバ・バンクにおけるトランシーバ・チャンネルの入力リファレンス・クロック・ソース

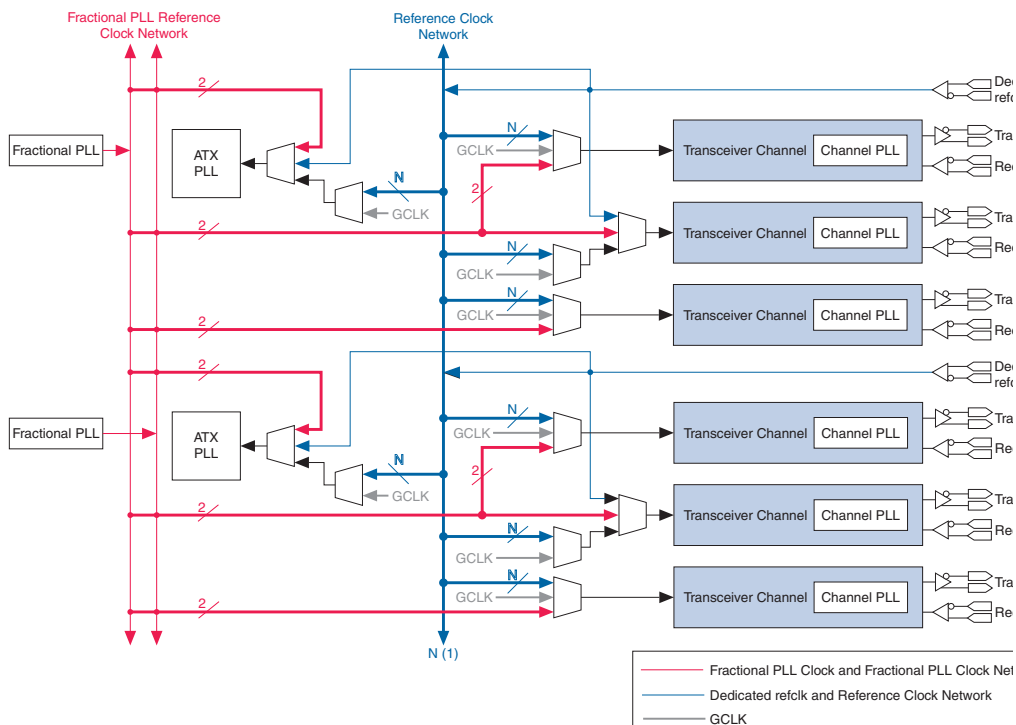
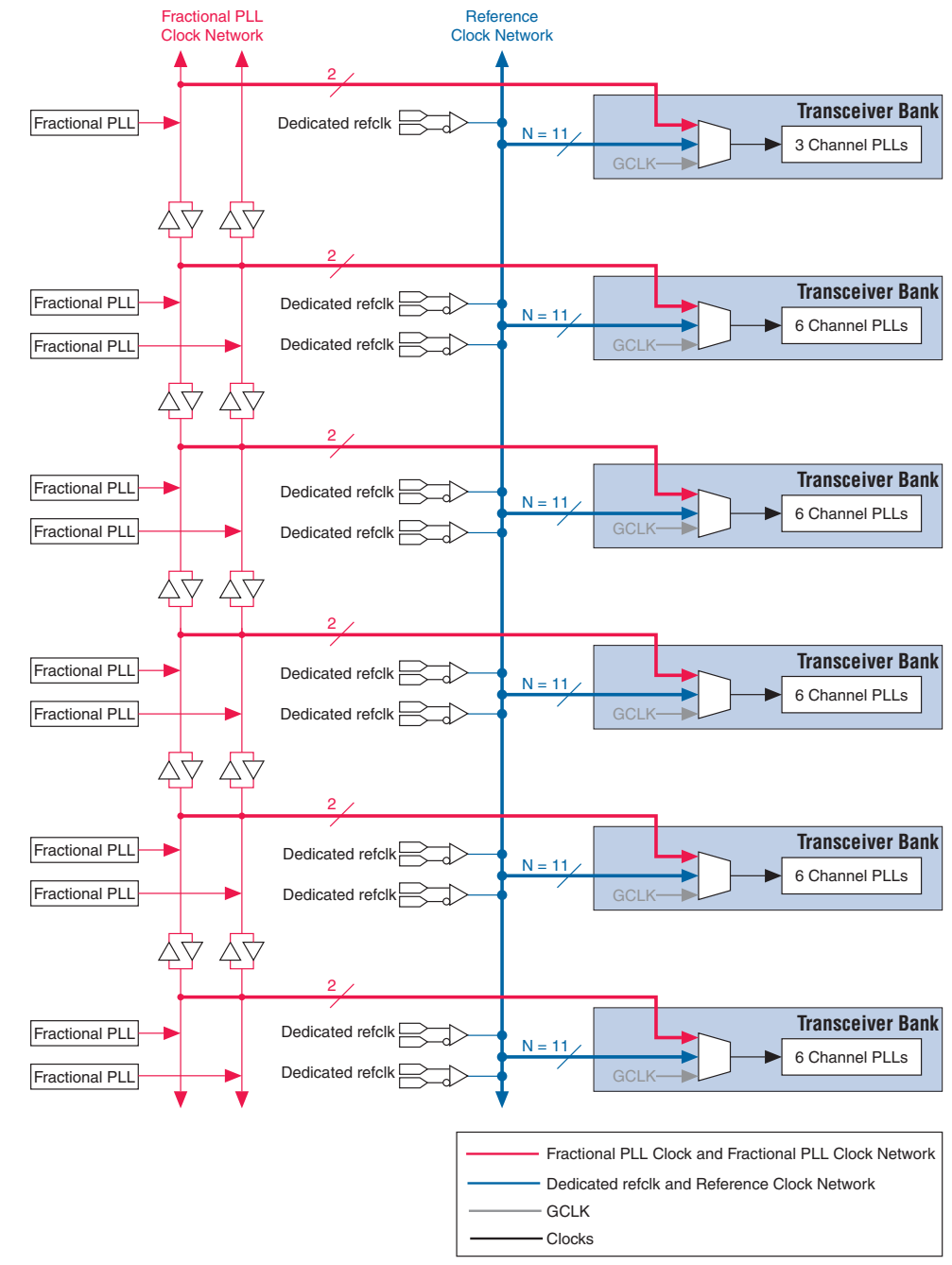


図 2-4 の注：

(1) $N = 3$ で割った値 (1 つの側のトランシーバ・チャンネル数)

図 2-5 に、5SGXEB6R デバイスの左側にある 33 つのチャンネル PLL の入力リファレンス・クロック・ソースを示しています。33 チャンネルでは、クロック・ラインの合計数は 11 です。図 2-4 に示すように、 $N = 33/3$ です。デバイスの右側で、同様の入力リファレンス・クロック・リソースがあります。

図 2 5. 5SGXE6 デバイスの入力リファレンス・クロック・ソース

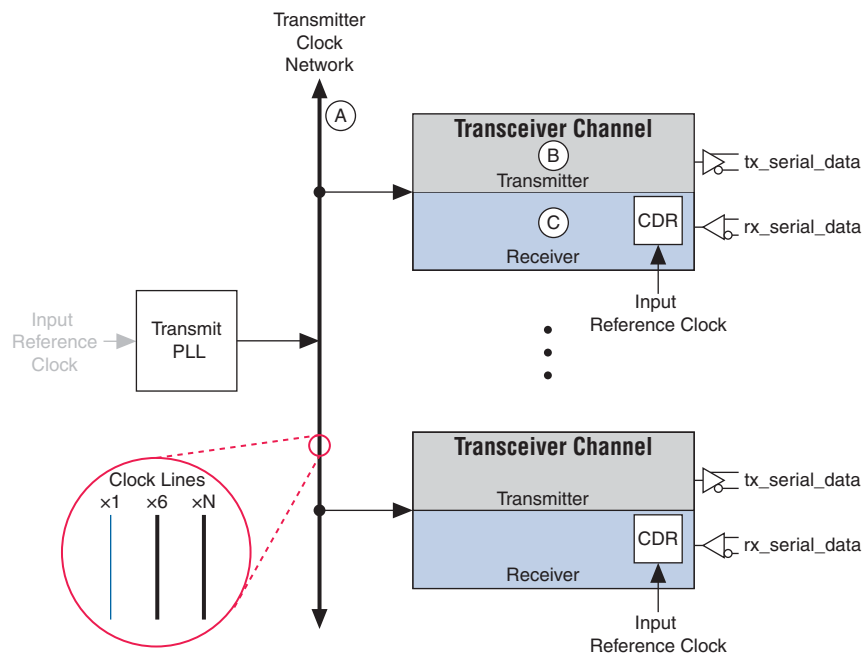


内部クロック


この項では、Stratix V トランシーバ内部のアーキテクチャのクロッキングについて説明します。異なるフィジカル・コーディング・サブレイヤ (PCS) のコンフィギュレーションおよびチャネル結合のオプションは様々なトランシーバ・クロック・パスをもたらします。図 2-6 に、トランシーバの内部クロッキングの以下の項を示します。

- 「トランスミッタ・クロック・ネットワーク」(図 2-6 の A)
- 「トランスミッタのクロッキング」(図 2-6 の B)
- 「レシーバのクロッキング」(図 2-6 の C)

図2 6. 内部クロック



2-2 ページの 図 2-2 に示したいずれかのソースからのリファレンス・クロックは、送信 PLL に供給されます。送信 PLL は CMU PLL または ATX PLL のいずれかです。トランスミッタ PLL はトランスミッタ・クロック・ネットワークを使用してトランシーバチャネルに分配されるシリアル・クロックを生成します。

 このセクションで説明されたクロッキングは、トランシーバ内部であり、選択したトランシーバ・コンフィギュレーションに応じて、クロック・ルーティングは Quartus II ソフトウェアによる主として実行されます。

トランスミッタ・クロック・ネットワーク

トランスミッタ・クロック・ネットワークは (図 2-6 に示すとおり) 送信 PLL からトランスミッタ・チャンネルに配線し、トランスミッタ・チャンネルに2つのクロックを供給します。


- シリアル・クロック — シリアライザのための高速シリアル・クロック
- パラレル・クロック — シリアライザおよび PCS のための低速シリアル・クロック


Stratix V トランシーバは、さまざまな非結合および結合トランシーバ・クロッキング・コンフィギュレーションをサポートします。結合コンフィギュレーションを使用する場合、両方のシリアル・クロックとパラレル・クロックは、送信 PLL からトランスミッタ・チャンネルに配線されます。非結合コンフィギュレーションを使用する場合、シリアル・クロックが送信 PLL からトランスミッタチャンネルにのみ配線されず、また、パラレル・クロックは、各チャンネルのローカル・クロック・ディバイダまたはセントラル・クロック・ディバイダによって生成されます。

トランスミッタ・クロック・ネットワーク・アーキテクチャ

トランスミッタ・クロック・ネットワークは、専用クロック・リソースの2種類で構成されています。

- 非結合コンフィギュレーション
 - x1 のクロック・ライン
- 結合コンフィギュレーション
 - x6 のクロック・ライン
 - xN のクロック・ライン

 Quartus II ソフトウェアは、選択したトランシーバ・コンフィギュレーションに基づいてトランスミッタ・クロック・ネットワークに関連するクロック配線を実行します。

x1 クロック・ラインは、非結合コンフィギュレーションに使用されて、送信 PLL からトランシーバ・チャンネルのクロック・ディバイダにのみシリアル・クロック・ラインを配線します  2-7 に、x1 クロック・ラインを示します。次のリソースは x1 クロック・ラインをドライブすることができます。

- トランシーバ・バンク内のチャンネル1および4のチャンネルPLL(CMU PLL としてコンフィギュレーションされます)
- トランシーバ・バンク内の ATX PLL

x1 のクロック・ラインは、トランシーバ・バンク内にある任意のチャンネルのセントラル・クロック・ディバイダおよびローカル・クロック・ディバイダをドライブすることができます。


 チャンネル PLL は、CMU PLL としてコンフィギュレーションされている場合、独自のチャンネルのセントラル・クロック・ディバイダおよびローカル・クロック・ディバイダをドライブすることができます。これを行うことにより、CDR としてチャンネル PLL を使用する能力がなくなります。CDR がなければ、トランスミッタ・チャンネルとしてだけチャンネルを使用することができます。

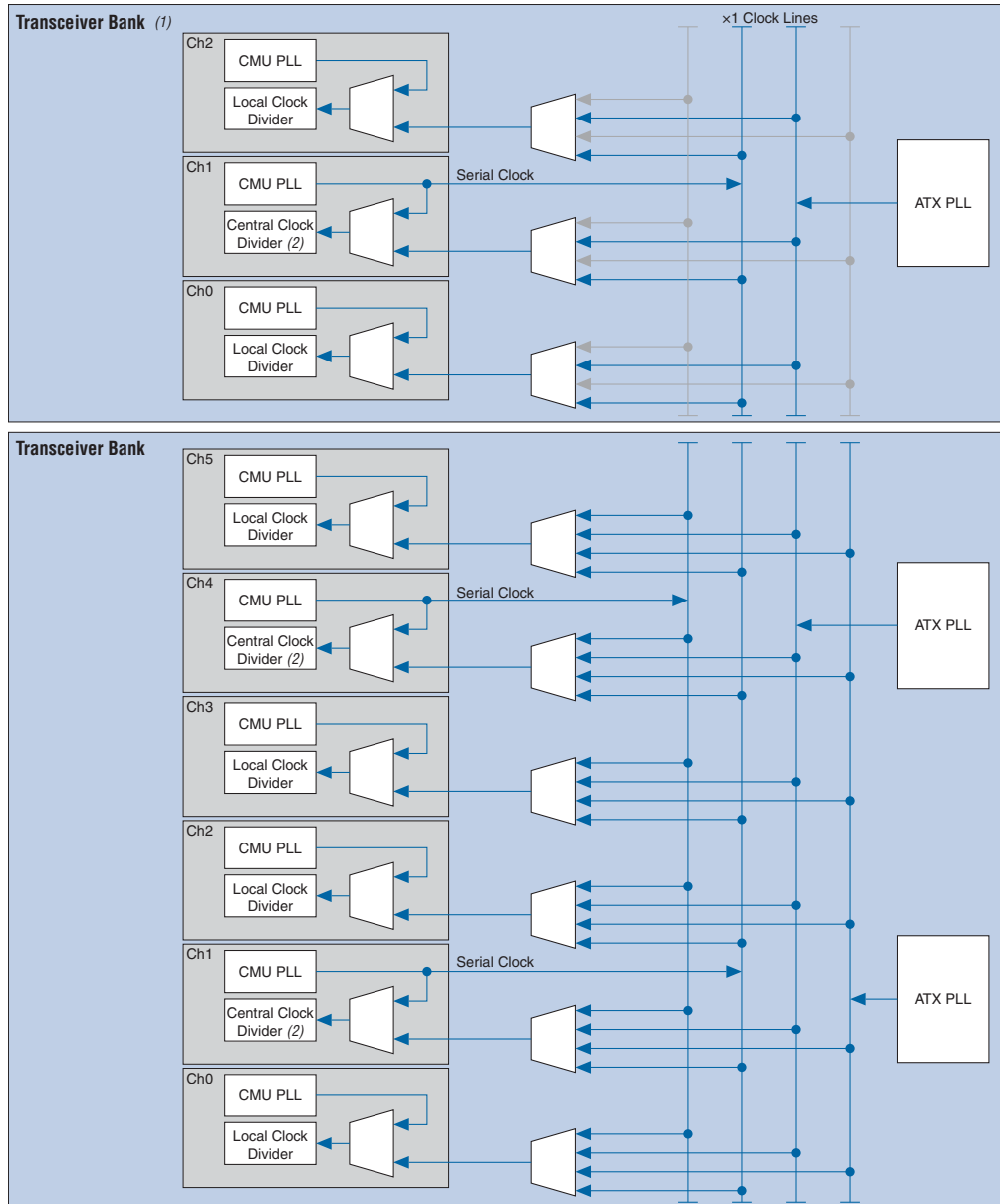
図 2.7. 非結合コンフィギュレーションに使用された $\times 1$ クロック・ライン

図 2-7 の注:

- (1) Stratix V デバイスの 5SGXB5、5SGXB6、5SGSB7、および 5SGSB8 は各側にトランシーバ・バンクがあり、および 3 つのトランシーバ・チャンネルのみを持っています。詳細については、「*Transceiver Architecture in Stratix V Devices*」の章を参照してください。
- (2) ローカル・クロック・ディバイダはセントラル・クロック・ディバイダとして使用できます。

$\times 6$ および $\times N$ クロック・ラインが結合コンフィギュレーションに使用されて、セントラル・クロック・ディバイダからトランシーバ・チャンネルへのシリアル・クロックおよびパラレル・クロックの両方を配線します。



$\times 6$ および $\times N$ クロック・ラインは非結合コンフィギュレーションに対して、デザインで使用される PLL を送信の数を節約するために、セントラル・クロック・ディバイダからトランシーバ・チャンネルにシリアル・クロックを配線することができます。

図 2-8 に、 $\times 6$ および $\times N$ クロック・ラインの両方を示します。トランシーバ・バンク内のチャンネル 1 と 4 のセントラル・クロック・ディバイダでのみ $\times 6$ クロック・ラインをドライブすることができます。 $\times 6$ クロック・ラインで $\times N$ のクロック・ラインをドライブすることができます。 $\times 6$ クロック・ラインは、トランシーバ・バンク内の任意のチャンネルをドライブすることができます。 $\times N$ のクロック・ラインは、デバイスのすべてのサイドに配置して、トランシーバ・バンクの内部または外部から任意のチャンネルをドライブすることができます。

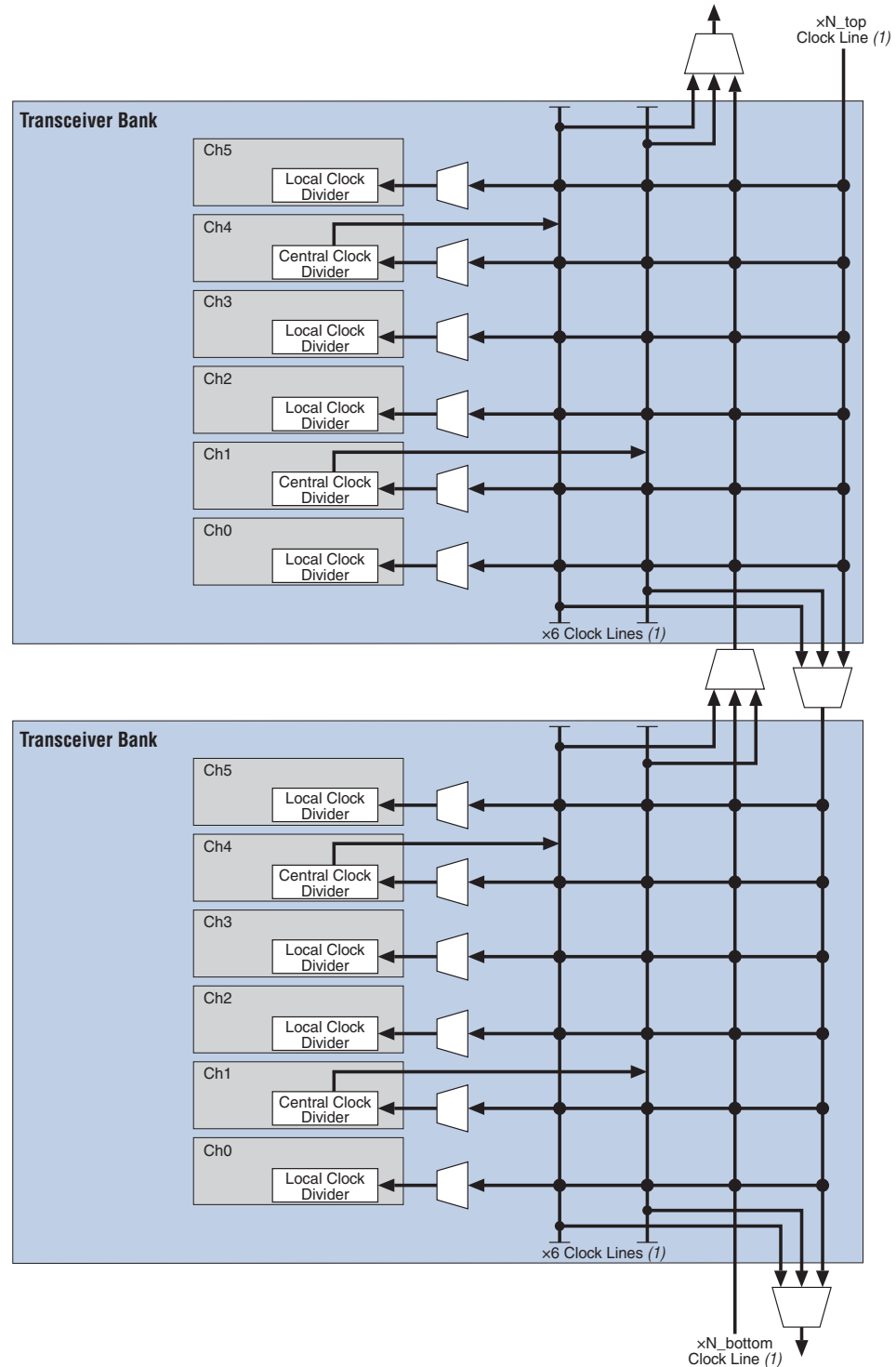
図 2 8. 非結合コンフィギュレーションに使用された $\times 6$ および $\times N$ クロック・ライン

図 2-8 の注:

(1) クロック・ラインは、シリアルおよびパラレル・クロックの両方を持ちます。



現在、 $\times N$ クロック・ラインは PCIe $\times 8$ Gen1 と Gen2 のコンフィギュレーションにのみサポートされています。

表 2-1 に、Stratix V デバイスにおけるクロック・ソースでサポートされるスパンとデータ・レート、およびネットワークを示します。

表 2 1. Stratix V デバイスのクロック・ソースおよびクロック・ネットワークを使用したサポートされるスパンとデータ・レート

クロック・ネットワーク	クロック・ソース	最大データ・レート (1)	結合	スパン
×1	1. トランシーバ・バンク内の Ch1 または Ch4 CMU PLL 2. トランシーバ・バンク内の ATX PLL	12.5 Gbps	なし	トランシーバ・バンク
×6	トランシーバ・バンク内のセントラル・クロック・ディバイダ (Ch1 または Ch4 にのみ)	12.5 Gbps	あり	トランシーバ・バンク
×N	×6 クロック・ラインを介してトランシーバ・バンク内のセントラル・クロック・ディバイダ (Ch1 または Ch4 にのみ)	5 Gbps	あり	サイド・ワイド (2)

表 2-1 の注：

- (1) 最も高速なスピード・グレードにのみ適用できます。残りのスピード・グレードについては、「DC and Switching Characteristics for Stratix V Devices」を参照してください。
- (2) PCIe Gen1 と Gen2 x8 のコンフィギュレーションでのみサポートされます。

トランスミッタのクロッキング

トランスミッタのクロッキングはトランシーバのトランスミッタ・チャンネルに内部アーキテクチャのクロッキングを指します。図 2-9 に、トランスミッタ 10G PCS のクロッキングおよびトランスミッタ・フィジカル・メディア・アタッチメント (PMA) を示します。

図 2 9. トランスミッタ 10G PCS のクロッキング

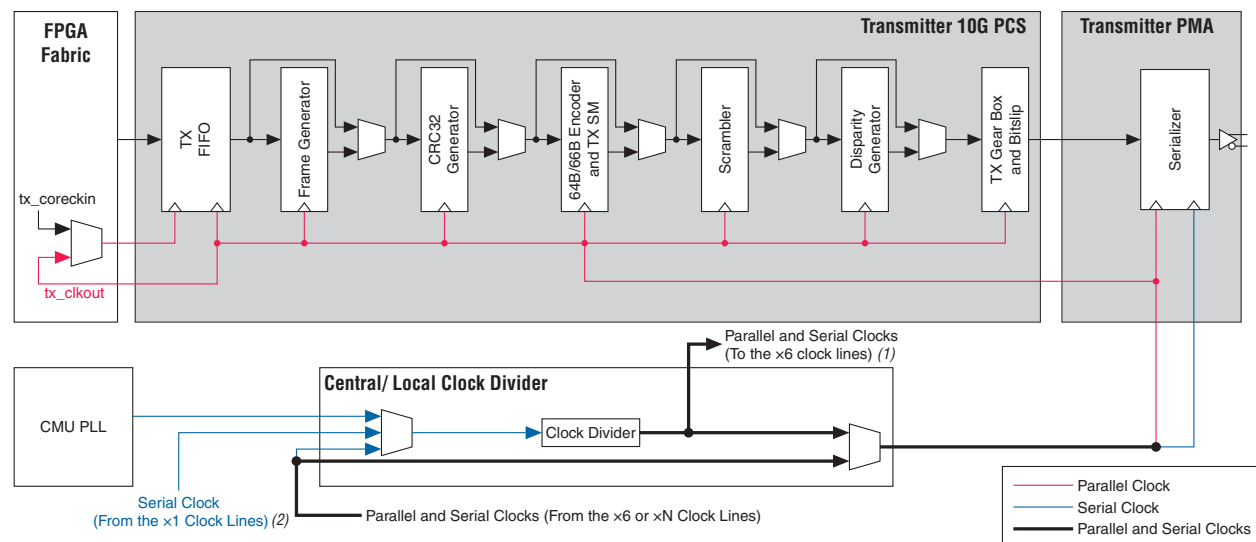


図 2-9 の注：

- (1) トランシーバ・バンク内のチャンネル 1 と 4 のセントラル・クロック・ディバイダにのみ利用できます。
- (2) ×1 クロック・ラインは、CMU PLL または ATX PLL のいずれかによってドライブすることができます。

図 2-10 に、トランスミッタ・スタンダード PCS とトランスミッタ PMA のクロッキングを示しています。

図 2 10. トランスミッタ・スタンダード PCS のクロッキング

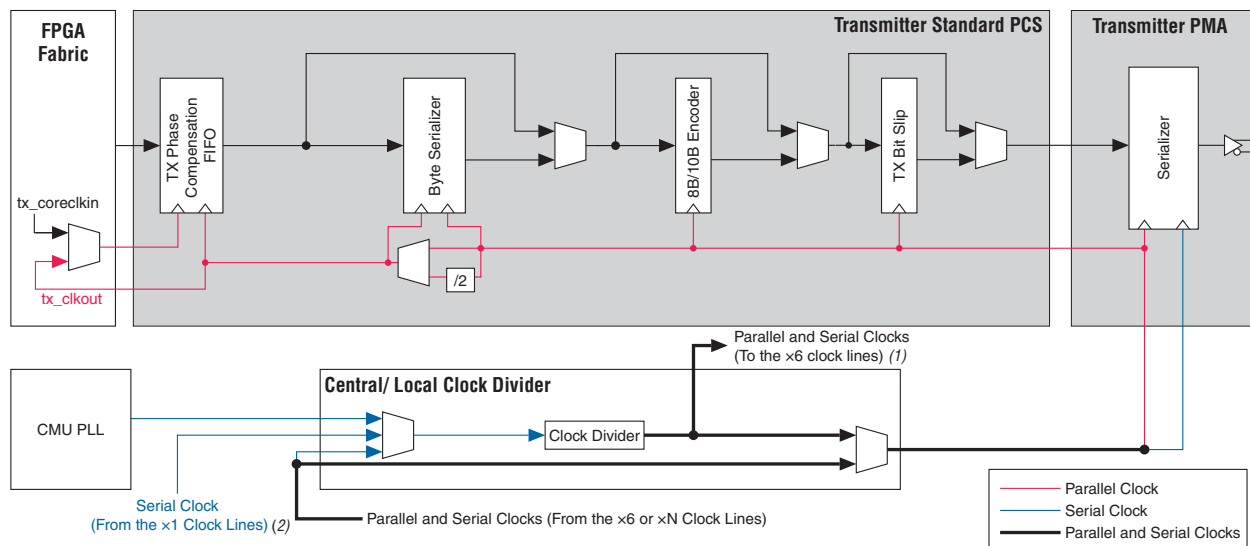


図 2-10 の注:

- (1) トランシーバ・バンク内のチャンネル 1 と 4 のセントラル・クロック・ディバイダにのみ利用できます。
- (2) $\times 1$ クロック・ラインは、CMU PLL または ATX PLL のいずれかによってドライブすることができます。

図 2-9 および図 2-10 に示すように、クロック・ディバイダ・ブロックはトランスミッタ PMA のシリアライザとトランスミッタ PCS にパラレル・クロックを提供し、トランスミッタ PMA のシリアライザにシリアル・クロックを提供します。

10G PCS チャンネルでは、パラレル・クロックはすべてのブロックをトランスミッタ (TX) FIFO のリード側にクロック・アップします。また、トランシーバで FPGA ファブリックをインタフェースするように、このクロックが FPGA ファブリックに転送されます。

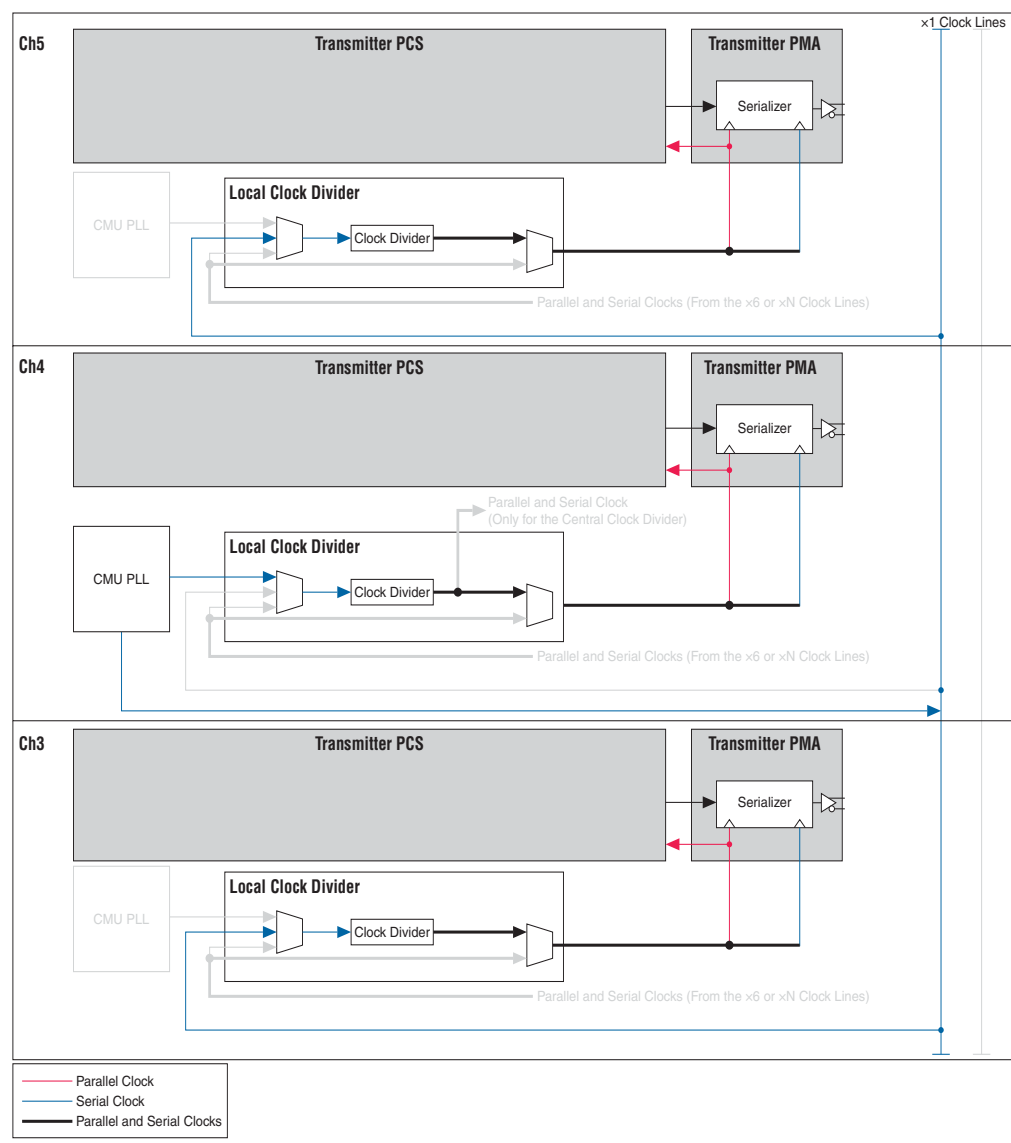
スタンダード PCS チャンネルでは、パラレル・クロックがバイト・シリアライザ・ブロックを使用しないすべての構成でトランスミッタ TX 位相補償 FIFO のリード側にすべてのブロックをクロック・アップします。バイト・シリアライザ・ブロックを使用する構成では、クロックがバイト・シリアライザおよび TX 位相補償 FIFO のリード側に対して、2 倍に分割されています。また、TX 位相補償 FIFO のリード側をクロックするのに使用されるクロックはトランシーバで FPGA ファブリックをインタフェースするように FPGA ファブリックに転送されます。

異なる構成で使用されるクロッキング方式の詳細については、*「Transceiver Protocol Configurations in Stratix V Devices」* および *「Transceiver Custom Configurations in Stratix V Devices」* の章を参照してください。

非結合チャンネル・コンフィギュレーション

非結合コンフィギュレーションでは、平行・クロックは、個々のチャンネルのクロック・ディバイダによって生成されます。図 2-11 に、 $\times 1$ クロック・ラインをドライブする CMU PLL としてコンフィギュレーションされたチャンネル 4 のチャンネル PLL でドライブされる非結合コンフィギュレーションの 3 つのトランスミットのみチャンネルを示します。各チャンネルのクロック・ディバイダ・クロックは $\times 1$ クロック・ラインからのシリアル・クロックを分割して、独自の平行・クロックを生成します。

図 2 11. 非結合コンフィギュレーションでコンフィギュレーションされた 3 つのトランスミットのみチャンネル



結合チャネル・コンフィギュレーション

結合コンフィギュレーションでは、パラレル・クロックとシリアル・クロックの両方は $\times 6$ または $\times N$ クロック・ラインのいずれかから供給されます。セントラル・クロック・ディバイダは、 $\times 1$ クロック・ラインを使用して、同じトランシーバ・バンクから送信 PLL よりシリアル・クロックを供給します。セントラル・クロック・ディバイダは、パラレル・クロックを生成し、 $\times 6$ のクロック・ライン上でシリアル・クロックとパラレル・クロックの両方をドライブします。これは $\times N$ クロック・ラインをドライブすることができます。


 現在、 $\times N$ のクロック・ラインは PCIe Gen1 と Gen2 $\times 8$ のプロトコルでのみサポートされます。

図 2-12 に、CMU PLL としてコンフィギュレーションされたチャネル 4 のチャネル PLL でドライブされる結合コンフィギュレーションの 6 つのトランスミットのみチャネルを示します。チャネル 4 のセントラル・クロック・ディバイダは、パラレル・クロックを生成し、 $\times 6$ のクロック・ライン上でシリアル・クロックとパラレル・クロックの両方をドライブします。すべての結合チャネルは $\times 6$ のクロック・ラインからのシリアルとパラレル・クロックの両方を供給します。

図 2-12. 結合コンフィギュレーションでコンフィギュレーションされた 6 つのトランスミットのみのチャンネル

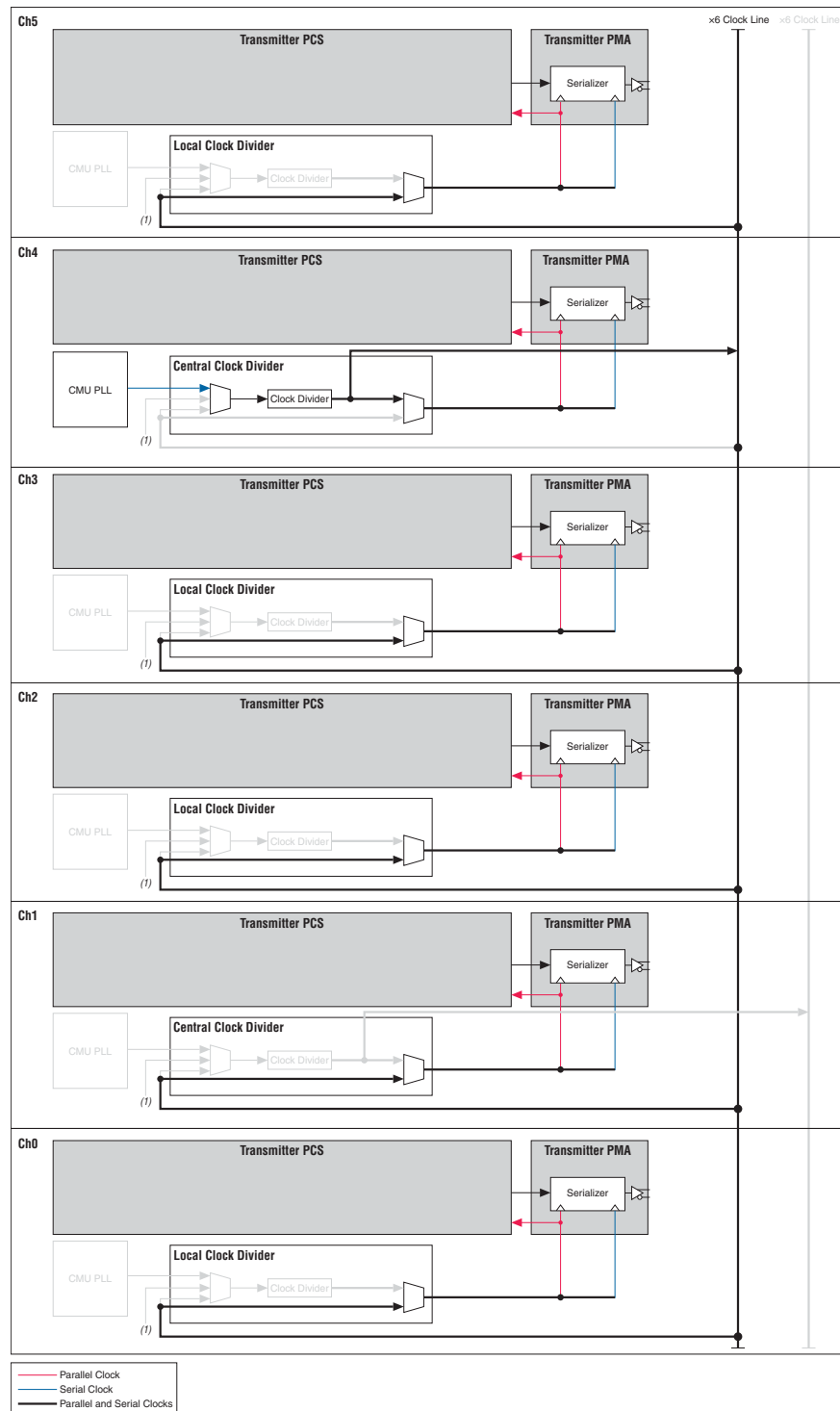


図 2-12 の注：

(1) x1 クロック・ラインからのシリアル・クロック。

× N のクロック・ラインの使用例については、「*Transceiver Protocol Configurations in Stratix V Devices*」および「*Transceiver Custom Configurations in Stratix V Devices*」の章にある PCIe x8 コンフィギュレーションを参照してください。

レシーバのクロッキング

レシーバのクロッキングはトランシーバのレシーバ・チャンネルに内部アーキテクチャのクロッキングを指します。図 2-13 に、レシーバ 10G PCS とレシーバ PMA のレシーバのクロッキングを示します。

図 2 13. レシーバ 10G PCS のクロッキング

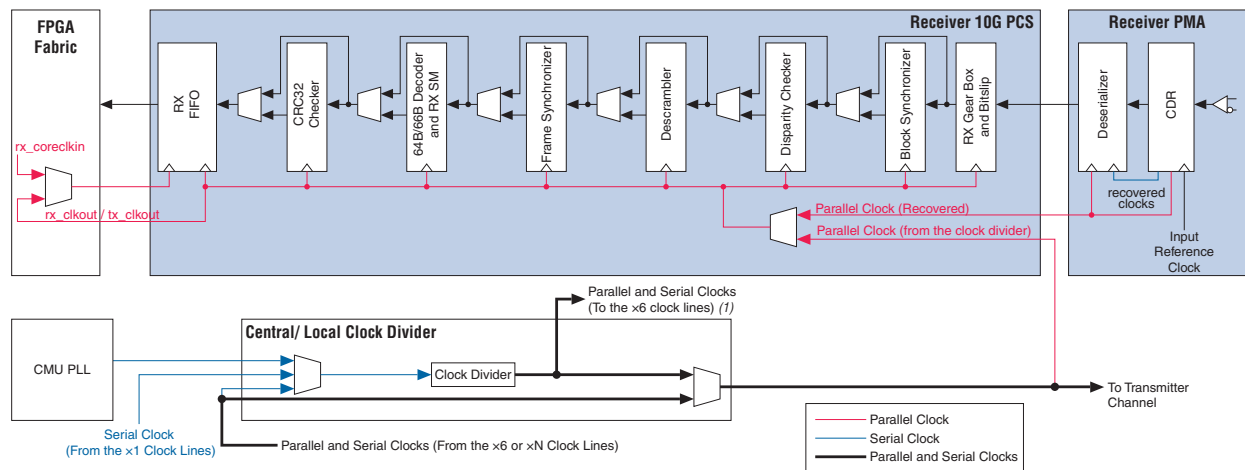


図 2-13 の注:

(1) トランシーバ・バンク内のチャンネル 1 と 4 のセントラル・クロック・ディバイダにのみ利用できます。

図 2-14 に、レシーバ・スタンダード PCS およびレシーバ PMA のクロッキングを示します。

図 2 14. レシーバ・スタンダード PCS のクロッキング

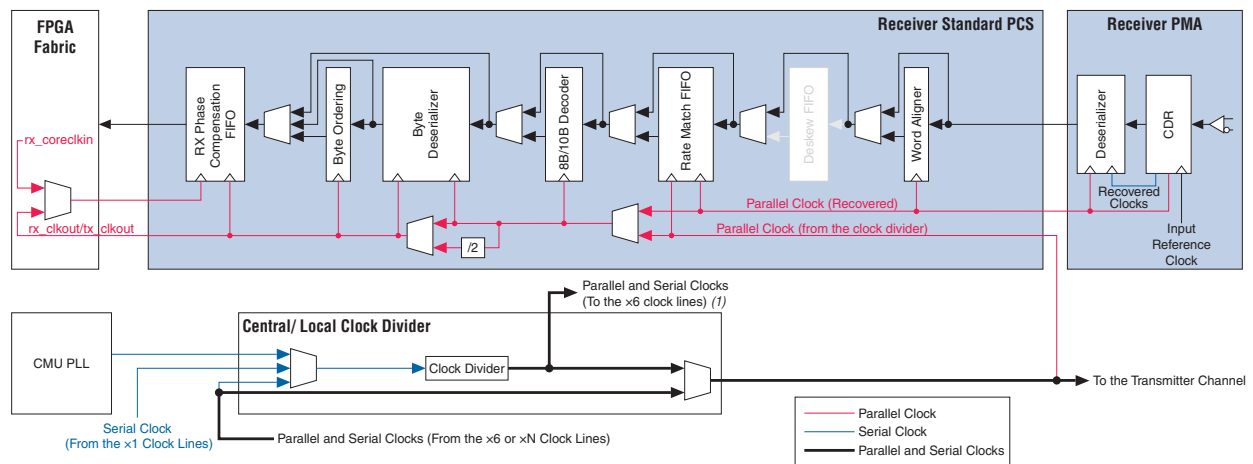


図 2-14 の注:

(1) トランシーバ・バンク内のチャンネル 1 と 4 のセントラル・クロック・ディバイダにのみ利用できます。

各チャンネルの PMA の CDR は、受信データからシリアル・クロックを回復します。また、CDR は、パラレル・クロック（リカバリ）を生成するために、シリアル・クロック（リカバリ）を分割します。両方のクロックは、デシリアライザによって使用されます。レシーバの PCS は、レシーバ・チャンネルのコンフィギュレーションに応じて、次のクロックを使用することができます。

- PMA の CDR からのパラレル・クロック（リカバリ）
- そのチャンネルのトランスミッタ PCS によって使用されるクロック・ディバイダからのパラレル・クロック

表 2-2 に、レシーバ PCS のブロックごとに使用できるさまざまなクロック・ソースを示しています。

表 2.2. すべてのレシーバ PCS ブロックのクロック・ソース

PCS	ブロック	クロック・ソース
スタンダード	ワード・アライナ	パラレル・クロック（リカバリ）
	レート・マッチ FIFO	ライト側：パラレル・クロック（リカバリ） リード側：クロック・ディバイダからのパラレル・クロック
	8B/10B デコーダ	レート・マッチャーを使用しない場合：パラレル・クロック（リカバリ） レート・マッチャーを使用した場合：クロック・ディバイダからのパラレル・クロック
	バイト・デシリアライザ	ライト側： <ul style="list-style-type: none"> ■ レート・マッチャーを使用しない場合：パラレル・クロック（リカバリ） ■ レート・マッチャーを使用した場合：クロック・ディバイダからのパラレル・クロック リード側：1 または 2 のデシリアライゼーション・ファクタに応じて、ライト側のクロックのバージョンで分割され（パラレル・クロック（リカバリ）とも呼ばれる）
	バイト・オーダリング	パラレル・クロック（分割）
	レシーバ (RX) 位相補償 FIFO	ライト側：パラレル・クロック（分割）。このクロックは FPGA ファブリックにも転送され リード側：FPGA ファブリックから供給されたクロック
10G	すべての PCS ブロック	通常モード：パラレル・クロック（リカバリ） ループバック・モード：クロック・ディバイダからのパラレル・クロック (1)

表 2-2 の注：

(1) ループバック・モードについて詳しくは、「*Loopback in Stratix V Devices*」の章を参照してください。

非結合チャンネル・コンフィギュレーション

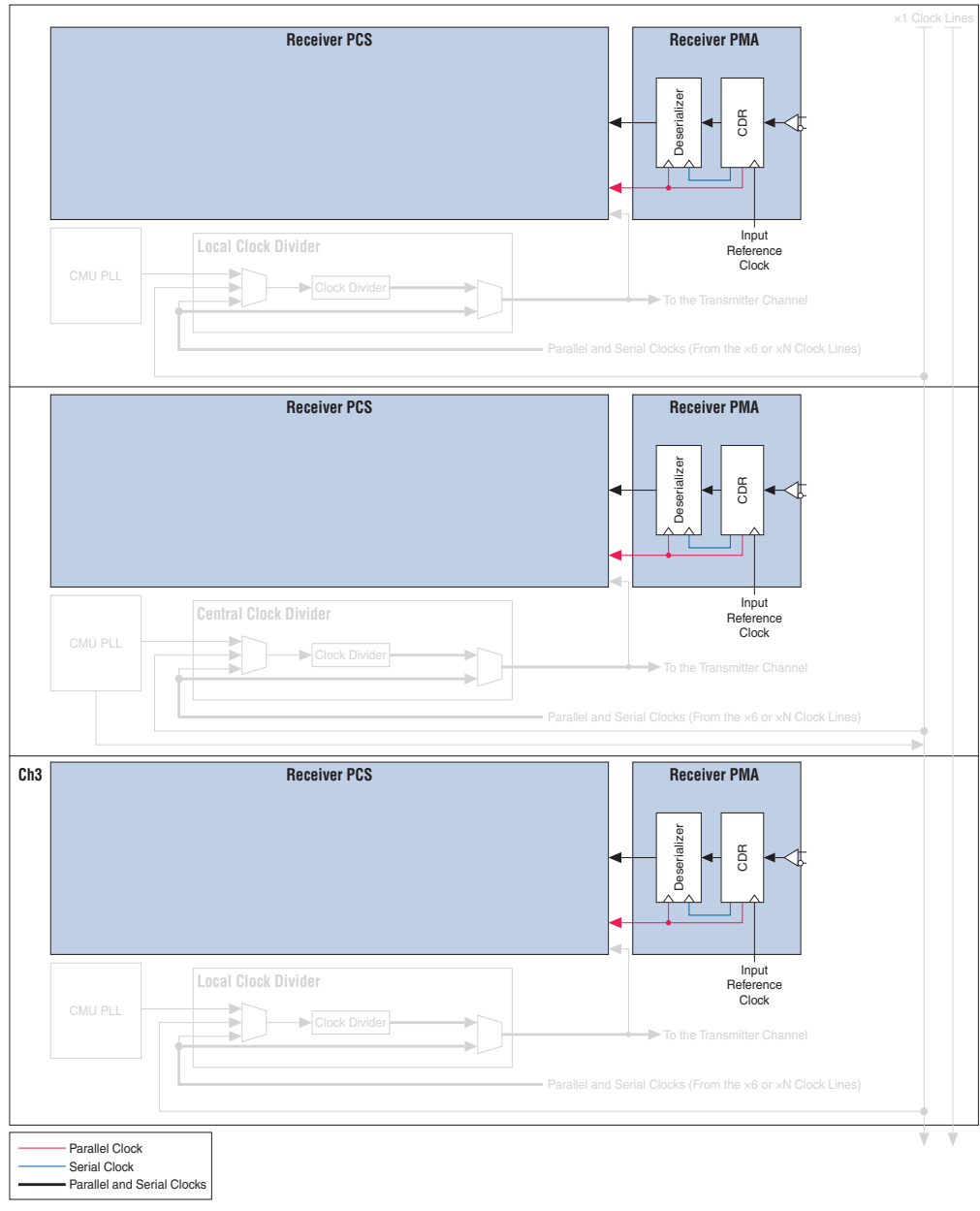
非結合コンフィギュレーションでは、レシーバ・スタンダード PCS はパラレル・クロック（リカバリ）およびクロック・ディバイダからのパラレル・クロックの両方を必要とします。コンフィギュレーションに応じて、トランスミッタ PCS に使用されるクロック・ディバイダからのパラレル・クロックが必要な場合があります。



非結合コンフィギュレーションでは、レシーバ 10G PCS はすべてのブロックに対してパラレル・クロック（リカバリ）のみを使用します。

図 2-15 に、レート・マッチング FIFO を使用していないレシーバ・スタンダード PCS を使用する非結合コンフィギュレーションでコンフィギュレーションされた 3 つのチャンネルを示します。各チャンネルの CDR は、受信データからのシリアル・クロック（リカバリ）を回復し、シリアル・クロック（リカバリ）を分割することによってパラレル・クロック（リカバリ）を生成します。コンフィギュレーションに応じて、トランスミッタのローカル・クロック・ディバイダによって生成されるクロック・ディバイダからのパラレル・クロックを使用することができます。

図 2 15. 非結合コンフィギュレーションでコンフィギュレーションされた 3 つのチャンネル



- 異なるコンフィギュレーションで使用されるクロッキング方式の詳細については、「*Transceiver Protocol Configurations in Stratix V Devices*」および「*Transceiver Custom Configurations in Stratix V Devices*」の章を参照してください。

結合チャンネル・コンフィギュレーション

結合コンフィギュレーションでは、レシーバ・スタンダード PCS はパラレル・クロック（リカバリ）およびクロック・ディバイダからのパラレル・クロックの両方を必要とします。

結合コンフィギュレーションでは、レシーバ 10G PCS はすべてのブロックに対してパラレル・クロック（リカバリ）のみを使用します。

図 2-16 に、レシーバ・スタンダード PCS を用いて結合コンフィギュレーションでコンフィギュレーションされたトランシーバ・バンクの 5 つのチャンネルが表示されます。レシーバ PCS はパラレル・クロック（リカバリ）およびクロック・ディバイダからのパラレル・クロックの両方を使用します。クロック・ディバイダからのパラレル・クロックは、トランスミッタ PCS のセントラル・クロック・ディバイダによって生成されます。また、使用したコンフィギュレーションに応じてレシーバ PCS のいくつかのブロックをドライブします。

図 2-17 は結合コンフィギュレーションでコンフィギュアされたトランシーバ・バンク内のすべての 6 つのチャンネルを示しています。これは図 2-16 に示したように最大 5 つと反対していますが、ATX PLL はトランシーバ・バンク内にチャンネル PLL として使用されなくて、トランスミットの PLL として使用されているので、これは可能です。ATX PLL を使用することで、受信動作を実行するための CDR としてコンフィギュレーションされ、両方のチャンネル 1 および 4 のチャンネルの PLL を解放します。

図 2 17. ATX PLL を使用した結合コンフィギュレーションでコンフィギュレーションされた 6 つのチャンネル

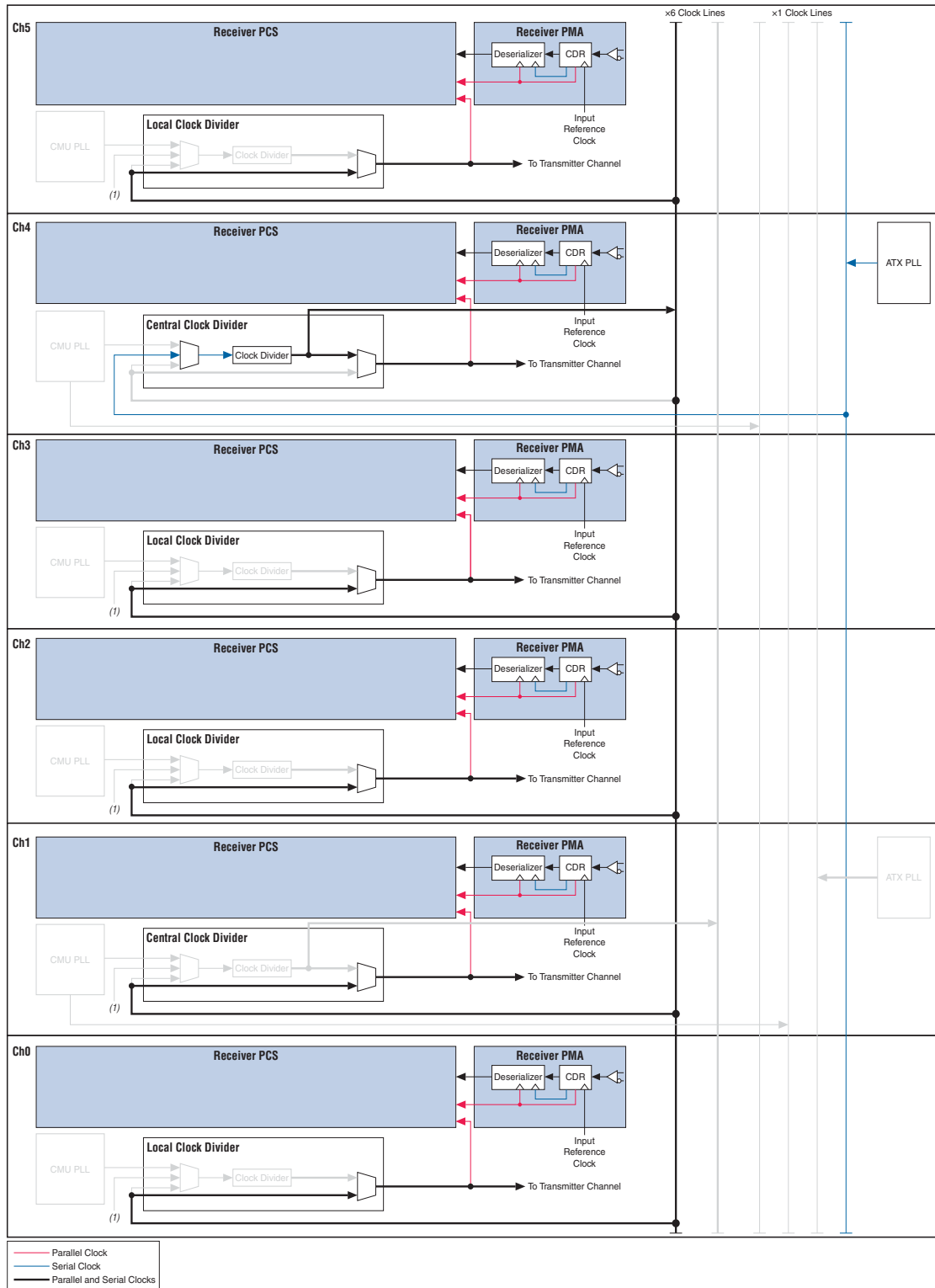


図 2-17 の注:

(1) ×1 クロック・ラインからのシリアル・クロック。

- 異なるコンフィギュレーションで使用されるクロッキング方式の詳細については、「*Transceiver Protocol Configurations in Stratix V Devices*」および「*Custom Transceiver Configuration Datapath in Stratix V Devices*」の章を参照してください。

FPGA ファブリック - トランシーバ間インタフェースのクロッキング

FPGA ファブリック - トランシーバ間インタフェースのクロックは、FPGA ファブリックからトランシーバ・ブロックへのクロック信号と、トランシーバ・ブロックからFPGA ファブリックへのクロック信号からなります。これらのクロック・リソースは、グローバル (GCLK)、リージョナル (RCLK)、およびペリフェラル (PCLK) クロック・ネットワークを含む FPGA コアのクロック・ネットワークを使用しています。

FPGA ファブリック - トランシーバ間インタフェースのクロックは、更に次の 3 種類に分類できます。

- 入力ファレンス・クロック — 2-2 ページの「*入力ファレンス・クロック・ソース*」を参照してください。また、入力ファレンス・クロックはFPGA ファブリックとFPGA ファブリック内のロジック・クロックに転送されるとき、FPGA ファブリック - トランシーバ間インタフェースのクロックになることができます。
- トランシーバ・データパス・インターフェイスのクロック — FPGA ファブリックとトランシーバ・チャンネル間でデータ、制御信号、ステータス信号を確実に転送するために設けられています。トランシーバ・チャンネルは、トランスミッタにデータおよび制御信号をクロック入力するための `tx_clkout` 信号をFPGA ファブリックに転送します。更に、トランシーバ・チャンネルはレシーバからのデータおよびステータス信号をFPGA ファブリックにクロック入力するためのリカバリ・クロック `rx_clkout` (レート・マッチャーを使用しないコンフィギュレーションの場合) または `tx_clkout` (レート・マッチャーを使用するコンフィギュレーションの場合) をFPGA ファブリックに転送します。
- その他のトランシーバ・クロック — 次のトランシーバ・クロックもFPGA ファブリックトランシーバ間インタフェース・クロックに含まれます。
 - `mgmt_clk` — Avalon-MM インタフェース・クロックはトランシーバ、ダイナミック・リコンフィギュレーション、およびキャリブレーションを制御するために使用される
 - `fixed_clk` — PCIe (PIPE) レシーバ検出回路で使用される 125 MHz 固定レートのクロック

表 2-3 に、FPGA ファブリック - トランシーバ・インタフェースのクロックを示します。

表 2 3. FPGA ファブリック - トランシーバ・インタフェースのクロック (注1) (その 1)

クロック名	クロックの説明	インタフェースの方向	FPGA ファブリックで使用するクロック・リソース
<code>pll_ref_clk</code>	FPGA ファブリック内のクロッキング・ロジックに使用される入力ファレンス・クロック	トランシーバ・ツーフPGA ファブリック	GCLK, RCLK, PCLK
<code>tx_clkout</code>	トランシーバ・データパス・インタフェースのクロッキング用のトランシーバによって転送されるクロック	トランシーバ・ツーフPGA ファブリック	GCLK, RCLK, PCLK

表 2.3. FPGA ファブリック - トランシーバ・インタフェースのクロック (注1) (その2)

クロック名	クロックの説明	インタフェースの方向	FPGA ファブリックで使用されるクロック・リソース
rx_clkout	レシーバ・データパス・インタフェースのクロッキング用のレシーバによって転送されるクロック	トランシーバ・ツー・FPGA ファブリック	GCLK, RCLK, PCLK
tx_coreclk	トランシーバ・データパス・インタフェースのクロッキング用のユーザーが選択したクロック	FPGA ファブリック・ツー・トランシーバ	GCLK, RCLK, PCLK
rx_coreclk	レシーバ・データパス・インタフェースのクロッキング用のユーザーが選択したクロック	FPGA ファブリック・ツー・トランシーバ	GCLK, RCLK, PCLK
fixed_clk	PCIe レシーバ検出クロック	FPGA ファブリック・ツー・トランシーバ	GCLK, RCLK, PCLK
mgmt_clk (2)	Avalon-MM インタフェース・クロック管理	FPGA ファブリック・ツー・トランシーバ	GCLK, RCLK, PCLK

表 2-3 の注:

- (1) 各デバイスで使用可能な GCLK、RCLK、および PCLK のリソースについては、「Clock Networks and PLLs in Stratix V Devices」の章を参照してください。
- (2) mgmt_clk は自走クロックであり、トランシーバ・ブロックから派生していないことを確認します。

表 2-4 に、tx_clkout および rx_clkout のポート名を示します。

表 2.4. tx_clkout と rx_clkout のコンフィギュレーション特定のポート名

コンフィギュレーション	tx_clkout のポート名	rx_clkout のポート名
Custom	tx_clkout	rx_clkout
Interlaken	tx_clkout	rx_clkout
Low Latency	tx_clkout	rx_clkout
PCIe	pipe_pclk	pipe_pclk
XAUI	xgmii_tx_clk	xgmii_rx_clk

トランスミッタ・データパス・インターフェイスのクロッキング

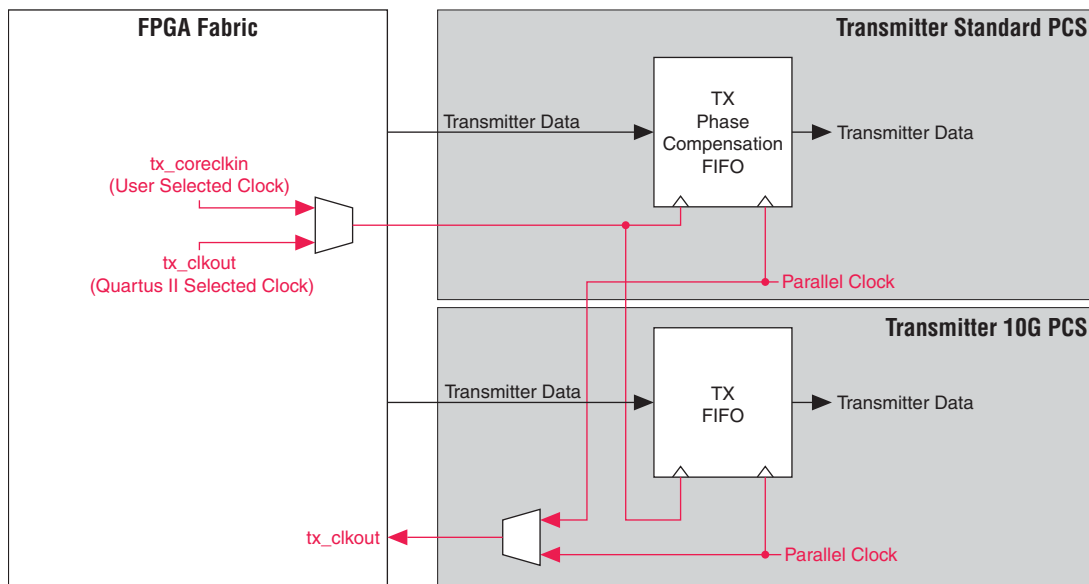
トランスミッタ・データパス・インターフェイスは以下のもので構成されます。

- TX位相補償FIFOのライト側 — スタンダードPCSチャンネルを使用するコンフィギュレーション用
- TX FIFO のライト側 — 10G PCS チャンネルを使用するコンフィギュレーション用

このインターフェイスは、トランスミッタ・データパス・インターフェイスのクロックによってクロックされます。図 2-18 に、トランスミッタ・データパス・インターフェイスのクロッキングを示します。トランスミッタ PCS は、次のクロックを FPGA ファブリックに転送します。

- 非結合コンフィギュレーション内の各トランスミッタ・チャンネルの tx_clkout
- 結合コンフィギュレーション内のすべてのトランスミッタ・チャンネルの tx_clkout[0]

図 2 18. トランスミッタ・データパス・インターフェイスのクロッキング



スタンダード PCS チャンネルを使用するすべてのコンフィギュレーションは、トランスミッタ・データパス・インターフェイス・クロックおよび TX 位相補償 FIFO のリード側クロック間の 0 PPM (周波数誤差) の差を持っている必要があります。

各コンフィギュレーションのインターフェイス・クロッキングおよびクロッキング・セクションについて詳しくは、それぞれ「[Transceiver Custom Configurations in Stratix V Devices](#)」および「[Transceiver Protocol Configurations in Stratix V Devices](#)」の章を参照してください。

いずれかの方法で、トランスミッタ・データパスのインターフェイスをクロックすることができます。

- Quartus II が選択したトランスミッタ・データパス・インターフェイス・クロック
- ユーザーが選択したトランスミッタ・データパス・インターフェイス・クロック

デザインで使用する GCLK、RCLK、PCLK リソースを減らすために、ユーザー選択は、トランシーバ・データパス間インタフェースのクロックを共有して提供されています。

Quartus II が選択したトランスミッタ・データパス・インターフェイス・クロック

Quartus II ソフトウェアはトランスミッタ・データパス・インターフェイスをクロックするために、FPGA ファブリックから適切なクロックを自動的に選択します。

図 2-19 に、FPGA ファブリックに転送されるそれぞれのトランスミッタ PCS のクロックによってクロックされた 2 つの非結合チャンネルのトランスミッタ・データパス・インターフェイスを示します。

図 2 19. 非結合チャンネルのトランスミッタ・データパス・インターフェイスのクロッキング

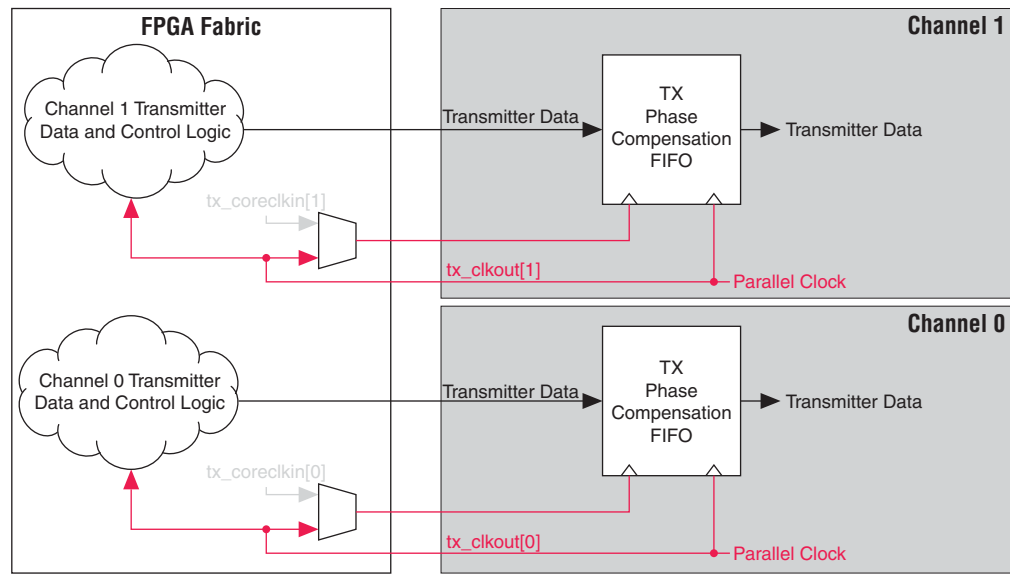
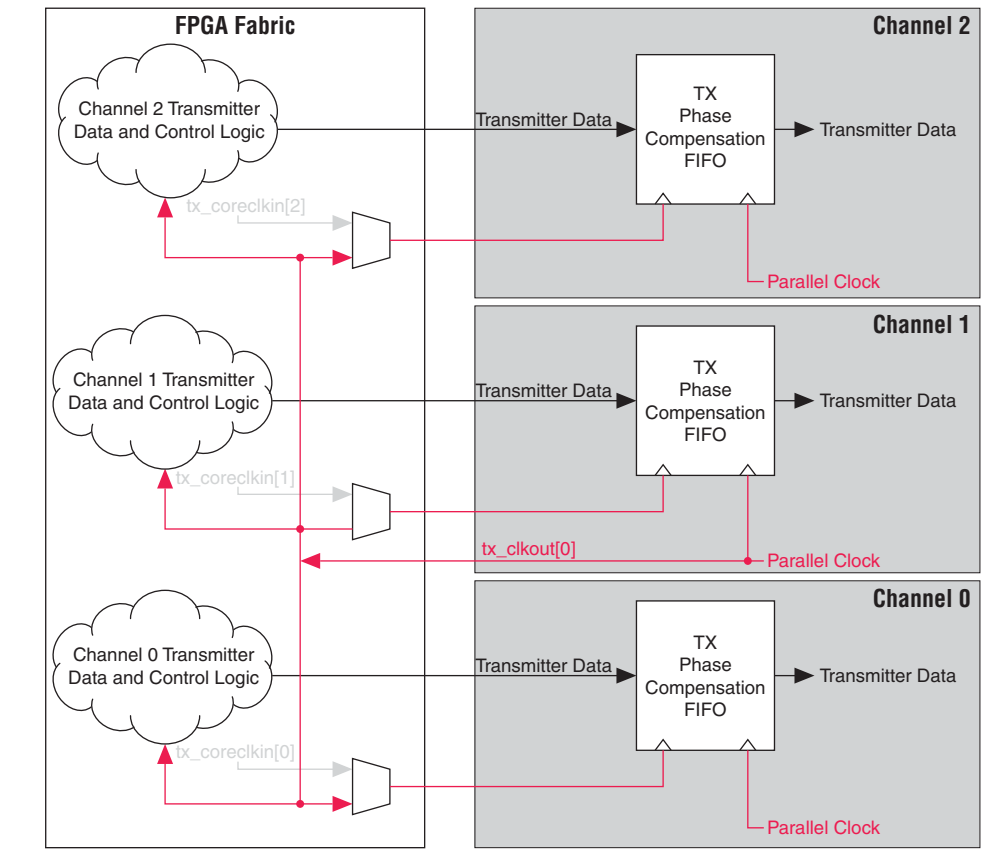


図 2-20 に、tx_clkout[0] クロックによってクロックされる 3 つの結合チャンネルのトランスミッタ・データパス・インターフェイスを示します。tx_clkout[0] クロックはトランシーバ・バンク内のチャンネル 1 または 4 のセントラル・クロック・ディバイダから得られたものです。

図 2 20. 3 つの結合コンフィギュレーションのトランスミッタ・データパスのクロッキング



ユーザーが選択したトランスミッタ・データパス・インターフェイス・クロック

非結合の複数のトランシーバ・チャンネルは GCLK、RCLK、および PCLK リソースの高い使用率が発生することがあります (図 2-19 に示すように、チャンネルごとに 1 つのクロック・リソース)。トランスミッタ・チャンネルが同一である場合は、トランスミッタ・データパス・クロックの GCLK、RCLK、および PCLK リソースの使用を大幅に減らすことができます。



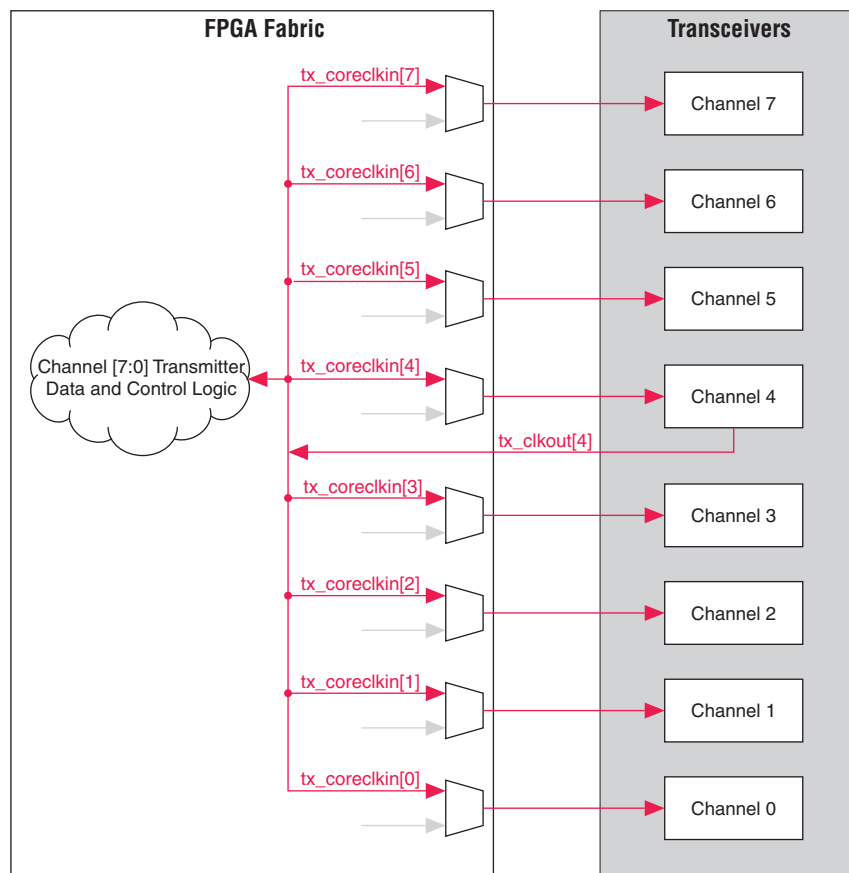
トランスミッタ・チャンネルが同一であるとは、入力リファレンス・クロックのソースが同じで、PLL のコンフィギュレーションが完全に等しく、トランスミッタ PMA および PCS のコンフィギュレーションも等しい場合と定義されます。同一トランスミッタ・チャンネルでも、トランスミッタの差動出力電圧 (V_{OD})、トランスミッタのコモン・モード電圧 (V_{CM}) またはプリエンファシス設定などの異なるアナログ設定があります。

クロック・リソースの節約を達成するためには、すべての同一トランスミッタ・チャンネルのトランスミッタ・データパス・インターフェースの共通クロック・ドライバを選択します。図 2-21 に、シングル・クロック (チャンネル 4 の `tx_clkout`) によってクロックされた 8 つの同一チャンネルが表示されます。シングル・クロックで 8 つの同一チャンネルをクロックするには、すべての同一トランスミッタ・チャンネル (`tx_coreclkin[7:0]`) の `tx_coreclkin` ポートをインスタンス化します。`tx_coreclkin[7:0]` ポートに `tx_clkout[4]` を接続してください。また、すべての 8 つに対して、`tx_clkout[4]` をトランスミッタ・データとコントロール・ロジックに接続します。



リセットまたはチャンネル 4 の電源を切ることは、すべての 8 チャンネルのクロックの損失が発生することがあります。


図 2 21. シングル・ユーザーが選択したトランスミッタ・インタフェース・クロックと 8 つの同一チャンネル



共通クロックは、すべての同一チャンネルの TX FIFO (10G PCS チャンネル内) または TX 位相補償 FIFO (スタンダード PCS チャンネル内) のリード側に対して 0 PPM の差を持っている必要があります。周波数の差は、共通クロックがそれぞれ低速または高速であるかどうかに応じて、FIFO のアンダーランまたはオーバーフローが発生します。次のソースのいずれかがより 0 PPM 共通クロックをドライブすることができます。

- 非結合チャンネル・コンフィギュレーションの任意のチャンネルの `tx_clkout`
- 結合チャンネル・コンフィギュレーションの `tx_clkout[0]`

■ 専用 refclk ピン

 Quartus II ソフトウェアでは、ゲート付きクロックまたは FPGA ロジックで生成されたクロックによる tx_coreclk_{in} ポートの駆動が禁止されています。

Quartus II ソフトウェアは、専用の refclk ピンなどの外部ピンを使用することができるので、0 PPM の差を確保する方法がありません。0 PPM の差を確認する必要があります。

レシーバ・データパス・インタフェースのクロック

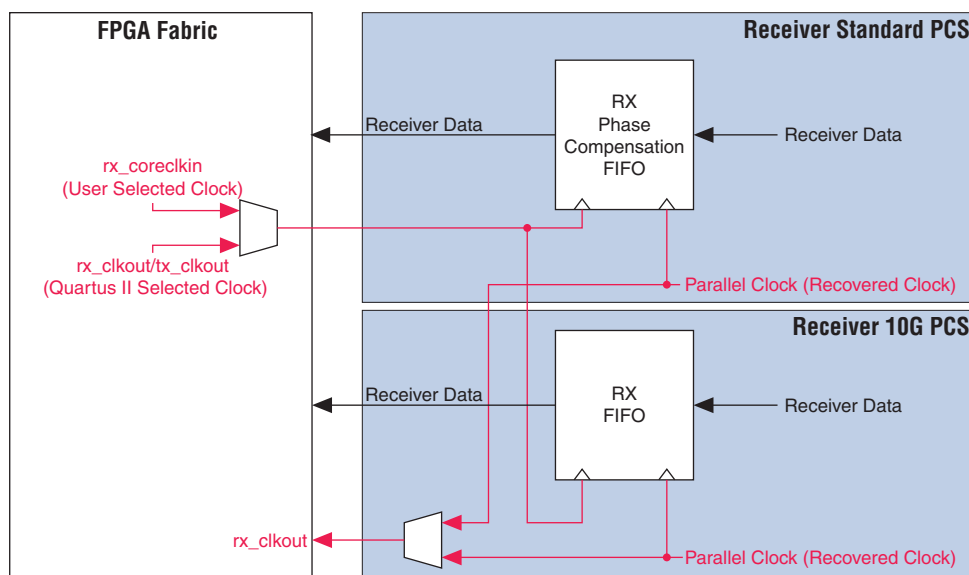
レシーバ・データパス・インタフェースは以下のもので構成されます。

- RX位相補償FIFOのリード側 — スタンダードPCSチャンネルを使用するコンフィギュレーション用
- RX FIFO のリード側 — 10G PCS チャンネルを使用するコンフィギュレーション用

このインターフェイスは、レシーバ・データパス・インターフェイスのクロックによってクロックされます。図 2-22 に、レシーバ・データパス・インターフェイスのクロッキングを示します。レシーバ PCS は、次のクロックを FPGA ファブリックに転送します。

- rx_clkout — レート・マッチャが使用されていない場合、非結合コンフィギュレーション内の各レシーバ・チャンネル
- tx_clkout — レート・マッチャが使用されている場合、非結合コンフィギュレーション内の各レシーバ・チャンネル
- シングル tx_clkout [0] — 結合コンフィギュレーション内のすべてのレシーバ・チャンネル

図 2.22. レシーバ・データパス・インターフェイスのクロッキング



スタンダード PCS チャンネルを使用するすべてのコンフィギュレーションは、レシーバ・データパス・インターフェイス・クロックおよび RX 位相補償 FIFO のリード側クロック間の 0 PPM の差を持っている必要があります。

- 各コンフィギュレーションのインターフェイス・クロッキングについて詳しくは、「*Transceiver Protocol Configurations in Stratix V Devices*」の章の各コンフィギュレーションのクロッキング・セクションを参照してください。

いずれかの方法で、レシーバ・データパスのインターフェイスをクロックすることができます。

- Quartus II が選択したレシーバ・データパス・インターフェイス・クロック
- ユーザーが選択したレシーバ・データパス・インターフェイス・クロック

- ☞ デザインで使用する GCLK、RCLK、PCLK リソースを減らすために、ユーザー選択は、トランシーバ・データパス間インタフェースのクロックを共有して提供されています。

Quartus II が選択したトランスミッタ・データパス・インターフェイス・クロック

Quartus II ソフトウェアはレシーバ・データパス・インターフェイスをクロックするために、FPGA ファブリックから適切なクロックを自動的に選択します。図 2-23 に、FPGA ファブリックに転送されるそれぞれのレシーバ PCS のクロックによってクロックされた 2 つの非結合チャンネルのレシーバ・データパス・インターフェイスを示します。

図 2-23. 非結合チャンネルのレシーバ・データパス・インターフェイスのクロッキング

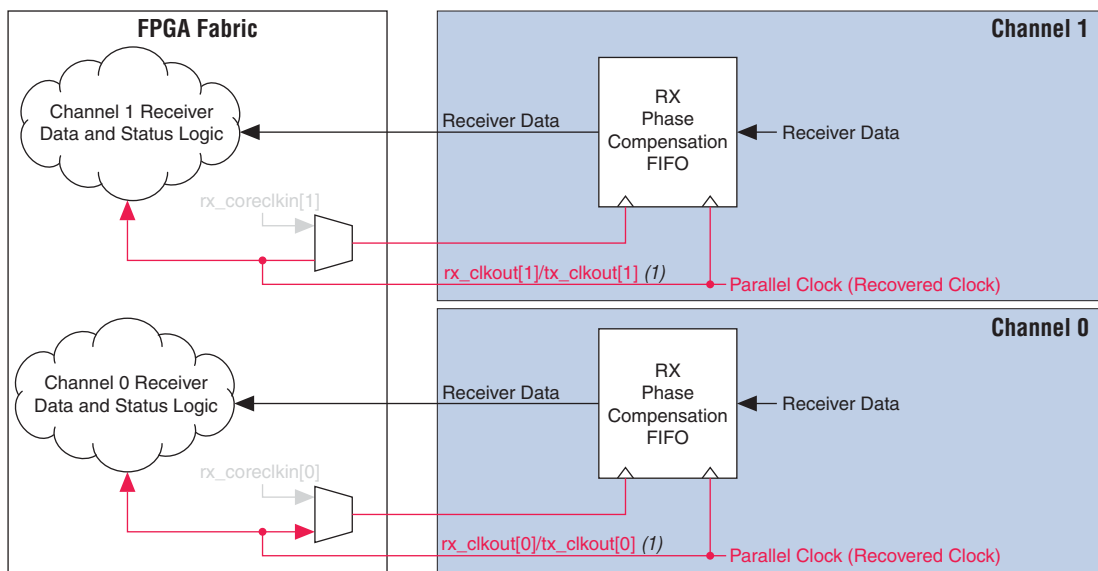
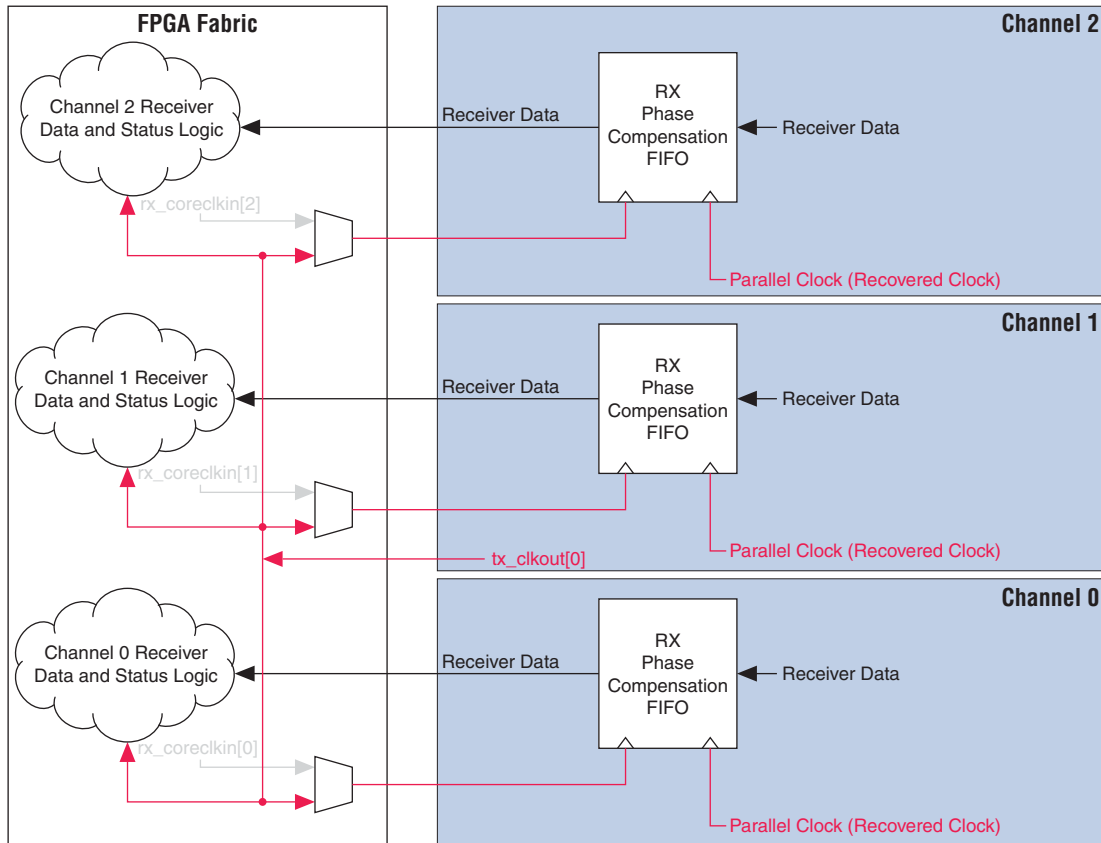


図 2-23 の注:

- (1) レート・マッチャを使用する場合、tx_clkout クロックが使用されています。


図 2-24 に、tx_clkout[0] クロックによってクロックされる 3 つの結合チャンネルのレシーバ・データバス・インターフェイスを示します。tx_clkout[0] クロックはトランシーバ・バンク内のチャンネル 1 または 4 のセントラル・クロック・ディバイダから得られたものです。

図 2 24. 3 つの結合コンフィギュレーションのレシーバ・データバスのクロッキング



ユーザーが選択したレシーバ・データバス・インターフェイス・クロック

非結合の複数のレシーバ・チャンネルは GCLK、RCLK、および PCLK リソースの高い使用率が発生することがあります (2-30 ページの 図 2-23 に示すように、チャンネルごとに 1 つのクロック・リソース)。レシーバ・チャンネルが同一である場合は、レシーバ・データバス・クロックの GCLK、RCLK、および PCLK リソースの使用を大幅に減らすことができます。

 レシーバ・チャンネルが同一であるとは、CDR の入力ファレンス・クロックのソースが同じで、レシーバ PMA および PCS のコンフィギュレーションも等しい場合と定義されます。同一レシーバ・チャンネルでも、レシーバのコモン・モード電圧 (V_{ICM})、イコライゼーション、または DC ゲイン設定などの異なるアナログ設定があります。

クロック・リソースの節約を達成するためには、すべての同一レシーバ・チャンネルのレシーバ・データバス・インターフェイスの共通クロック・ドライバを選択します。これは、すべて同一レシーバ・チャンネルの rx_coreclk[n] ポートをインスタンス化し、レシーバ・データバス・インターフェイスおよびレシーバ・データとコントロール・ロジックに共通クロック・ドライバを接続することによって行われます。

図 2-25 に、シングル・クロック（チャンネル 4 の rx_clkout）によってクロックされた 8 つの同一チャンネルが表示されます。シングル・クロックで 8 つの同一チャンネルをクロックするには、すべての同一トランスミッタ・チャンネル (rx_coreclkkin[7:0]) の rx_coreclkkin ポートをインスタンス化します。rx_coreclkkin[7:0] ポートに rx_clkout[4] を接続してください。また、すべての 8 つに対して、rx_clkout[4] をトランスミッタ・データとコントロール・ロジックに接続します。


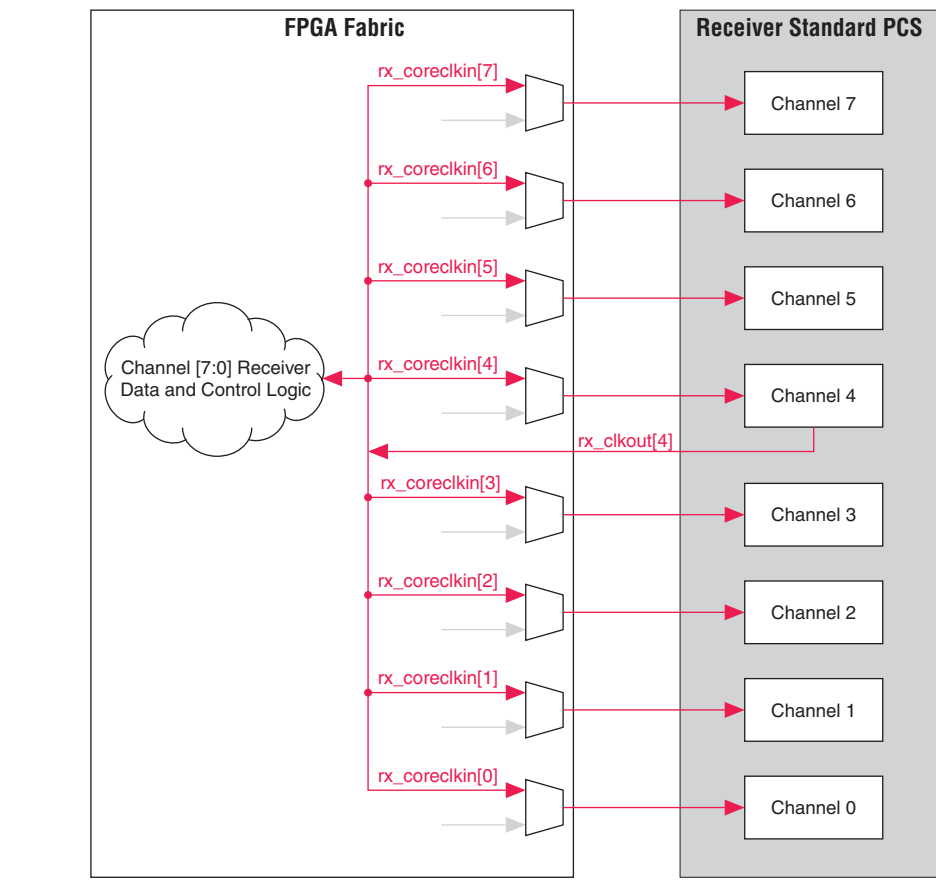
 リセットまたはチャンネル 4 の電源を切るとは、すべての 8 チャンネルのクロックの損失が発生することがあります。

図 2 25. シングル・ユーザーが選択したレシーバ・インタフェース・クロックと 8 つの同一チャンネル



共通クロックは、すべての同一チャンネルの RX FIFO（10G PCS チャンネル内）または RX 位相補償 FIFO（スタンダード PCS チャンネル内）のリード側に対して 0 PPM の差を持っている必要があります。周波数の差は、共通クロックがそれぞれ低速または高速であるかどうかに応じて、FIFO のアンダーランまたはオーバーフローが発生します。次のソースのいずれかより 0 PPM 共通クロックをドライブすることができます。

- レート・マッチャーを使用した非結合レシーバ・チャンネル・コンフィギュレーション内の任意のチャンネルの tx_clkout
- レート・マッチャーを使用した非結合レシーバ・チャンネル・コンフィギュレーション内の任意のチャンネルの rx_clkout

- 結合レシーバ・チャネル・コンフィギュレーションの tx_clkout [0]
- 専用 refclk ピン



Quartus II ソフトウェアでは、ゲート付きクロックまたは FPGA ロジックで生成されたクロックによる rx_coreclkkin ポートの駆動が禁止されています。

Quartus II ソフトウェアは、専用の refclk ピンなどの外部ピンを使用することができるので、0 PPM の差を確保する方法がありません。0 PPM の差を確認する必要があります。

改訂履歴

表 2-5 に、本資料の改訂履歴を示します。

表 2 5. 改訂履歴

日付	バージョン	変更内容
2010 年 12 月	1.1	<ul style="list-style-type: none"> ■ クロック名を更新。 ■ トランシーバ・クロッキングのより正確な描写のよう図を更新。 ■ ATX PLL に関する情報を追加。
2010 年 7 月	1.0	初版

