

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SV52002-1.3

この章では、Stratix® V GX および GS のトランシーバ・アーキテクチャ、トランシーバ・チャンネルの詳細を示し、そしてトランシーバとレシーバのチャンネル・データパスについても説明しています。Stratix V GX および GS デバイスは、600 Mbps ~ 12.5 Gbps のシリアル・データ・レートで動作する、フィジカル・コーディング・サブレイヤ (PCS) およびフィジカル・メディア・アタッチメント (PMA) を備えた最大 66 個の全二重 CDR (クロック・データ・リカバリ) ベース・トランシーバを提供します。

 次期バージョンの Quartus® II ソフトウェアでサポートされる機能について詳しくは、「[Upcoming Stratix V Device Features](#)」を参照してください。

この項では、以下のもので構成されています。

- 1-5 ページの「PMA アーキテクチャ」
- 1-18 ページの「標準の PCS アーキテクチャ」
- 1-34 ページの「10G PCS アーキテクチャ」
- 1-44 ページの「結合コンフィギュレーション」
- 1-45 ページの「PLL の共用」

アルテラの 28nm Stratix V FPGA は、最高のバンド幅、最高レベルのシステム・インテグレーション、および究極の柔軟性を実現します。この FPGA ファミリにより、帯域幅に対する需要の増大に対応しながら、コストと消費電力の制約にも対応できます。


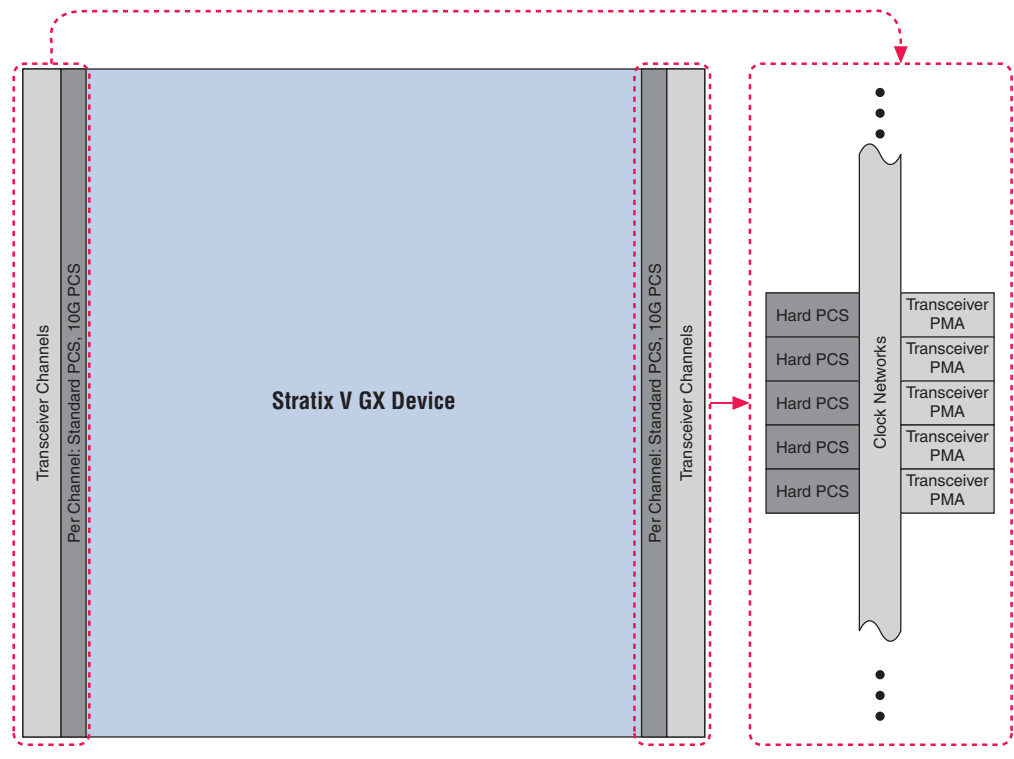
 図 1-1 に示すように、Stratix V GX デバイスでは、トランシーバがデバイスの左側および右側に配置されています。Stratix V GS デバイスでは、トランシーバが左側のみに配置されています。



図 1-1. Stratix V GX デバイスのトランシーバの基本的なレイアウト



トランシーバ・バンク境界の位置は、クロック・リソース、チャンネル結合、およびフィッティングに重要です。トランシーバは、3 チャンネルと 6 チャンネルのトランシーバ・ブロックで構成されています。図 1-2 ~ 図 1-5 に、ブロックの位置を示します。例えば、5SGSB7 デバイスの場合、27 本のトランシーバ・チャンネルがデバイスの片側に集中していますが、5SGXA3 デバイスはデバイスの両側に各 18 本、合計 36 本のトランシーバ・チャンネルを備えています。図 1-3 および図 1-4 では、同じデバイスでも、トランシーバ数はパッケージ・バリエーションによって異なる場合があります。

図 1-2. 5SGXB5 および 5SGXB6 デバイスの各トランシーバ・バンク内のチャンネル数

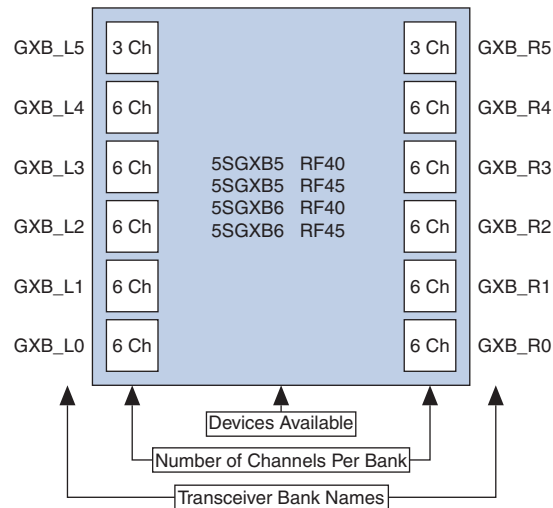


図 1-3. 5SGXA5 および 5SGXA7 デバイスの各トランシーバ・バンク内のチャンネル数

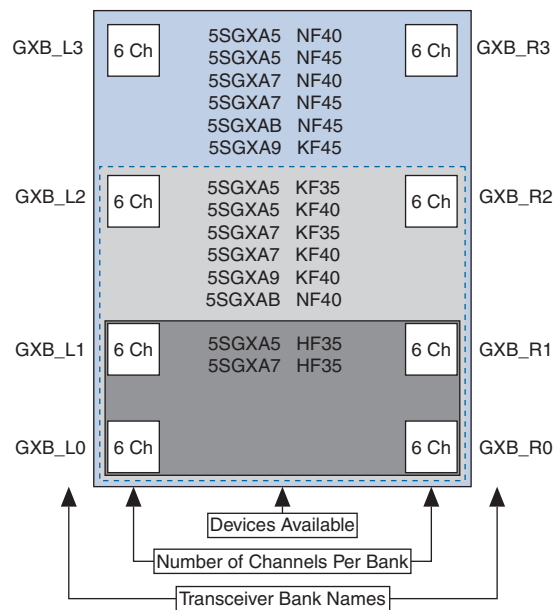


図 1-4. 5SGXA3 および 5SGXA4 デバイスの各トランシーバ・バンク内のチャンネル数

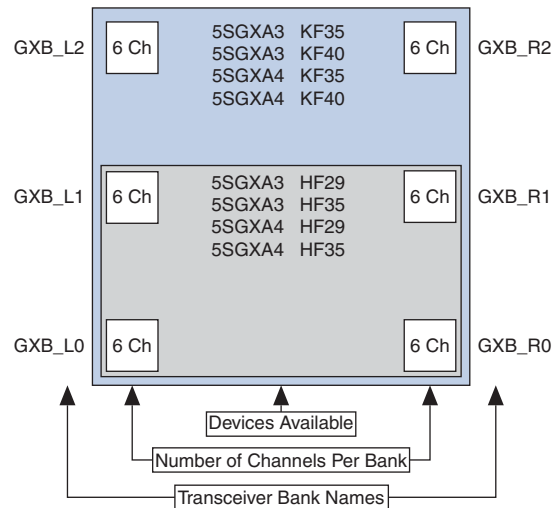
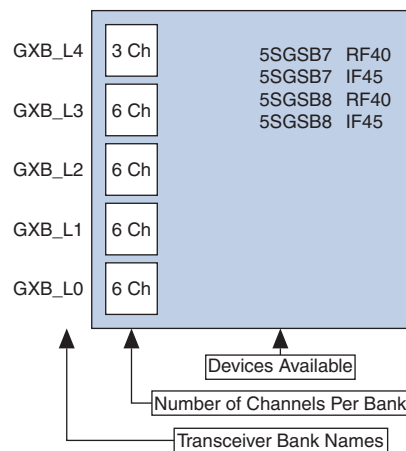


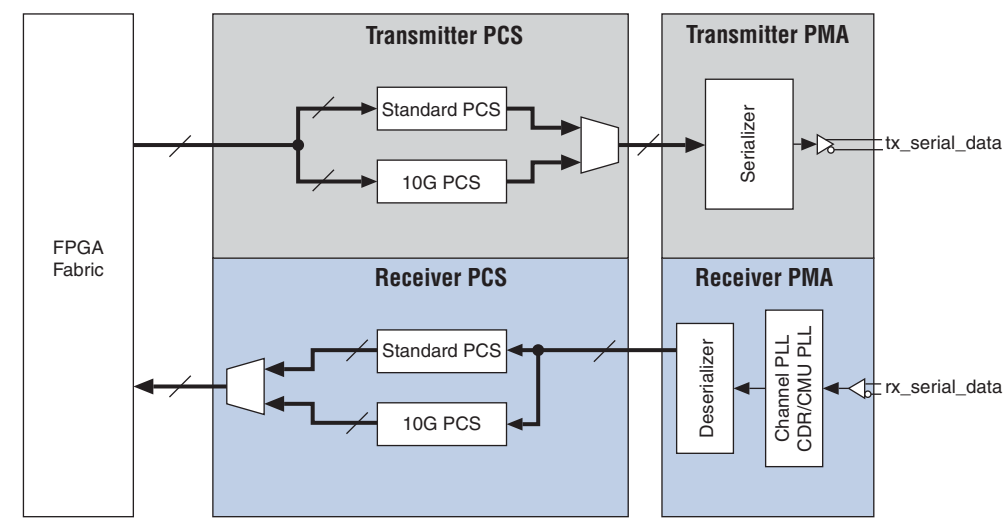
図 1-5. 5SGSB7 および 5SGSB8 デバイスの各トランシーバ・バンク内のチャンネル数



デバイス・オプションについて詳しくは、「*Stratix V デバイス・ハンドブック*」の「*Stratix V Device Family Overview*」の章を参照してください。

Stratix V GX および GS トランシーバは、トランシーバ・ブロックと呼ばれる全二重（トランスミッタおよびレシーバ）6 チャンネル・グループ内に構築されています。トランスミッタおよびレシーバは独立して動作できます。各チャンネルのトランスミッタおよびレシーバは、PMA および PCS の部分で構成されています（図 1-6 参照）。PMA には、トランシーバ・バッファ、チャンネル PLL（Phase-Locked Loop）、シリアライザおよびデシリアライザがあります。PCS セクションでは、標準 PCS または 10G PCS のいずれかを選択することができます。

図 1-6. PMA、PCS、および PLD インタフェースを示す全二重チャンネル



PMA アーキテクチャ

PMA は、オフチップの高速シリアル・データ・ストリームを送受信します。PMA チャンネルは、トランスミッタとレシーバ付きの全二重チャンネル、または CMU PLL としてコンフィギュレーションできます。特定の CMU PLL は、直接クロック・ラインおよび x6 クロック・ラインへの接続に対して優れた性能を発揮します。

詳細については、「[Transceiver Clocking in Stratix V Devices](#)」の章を参照してください。

以下の項では、Stratix V PMA アーキテクチャについて説明します。

- 1-6 ページの「CDR ユニット」
- 1-12 ページの「トランスミッタ PLL」

レシーバ PMA は、以下の特長を備えています。

- 1-8 ページの「レシーバ入力バッファ」
- 1-9 ページの「プログラマブルなチップ内差動終端」
- 1-9 ページの「プログラム可能な V_{CM} 」
- 1-10 ページの「プログラマブル・イコライゼーション」
- 1-9 ページの「信号スレッシュホールド検出回路」
- 1-10 ページの「レシーバ・バッファおよびレシーバ CDR でのオフセット・キャンセレーション」
- 1-10 ページの「DC ゲイン」
- 1-10 ページの「デシリアライザ」

トランスミッタ PMA は、以下の特長を備えています。

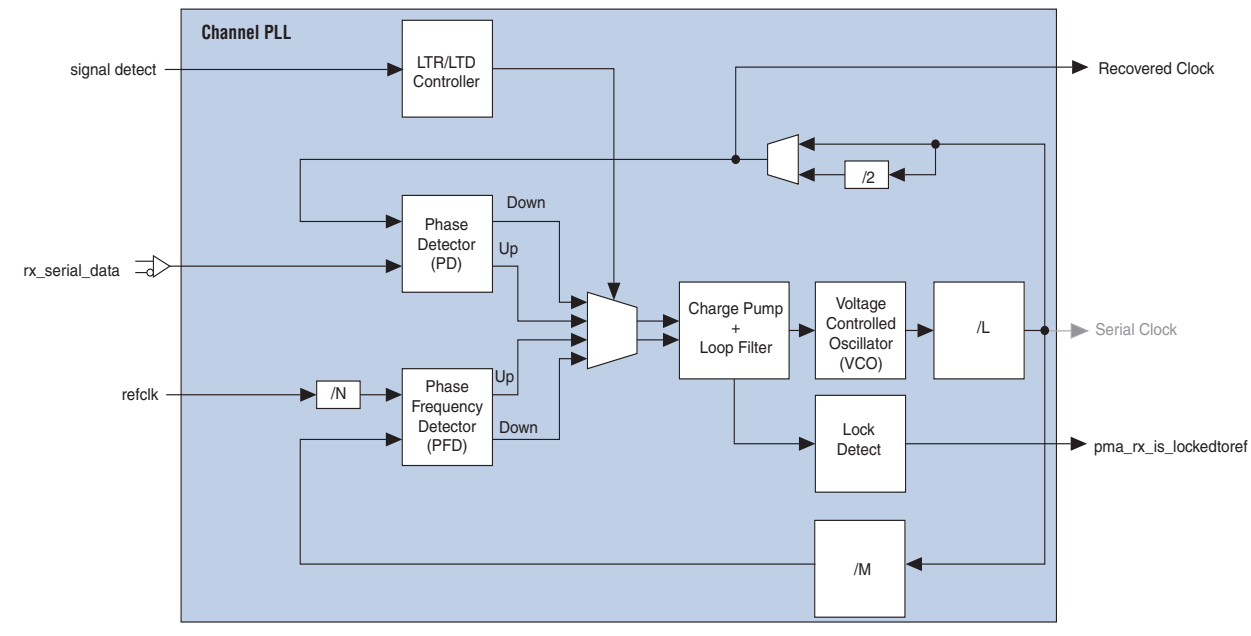
- 1-15 ページの「トランスミッタ出力バッファ」
- 1-15 ページの「プログラマブル・トランスミッタ終端」
- 1-16 ページの「プログラマブル差動出力電圧」
- 1-16 ページの「プログラマブル・プリエンファシス」
- 1-17 ページの「シリアライザ」
- 1-18 ページの「PCIe の受信検出」
- 1-18 ページの「PCIe の電氣的アイドル」

CDR ユニット

各レシーバ・チャンネルの PMA には 1 つのチャンネル PLL があります。このチャンネル PLL は、シリアル・トランシーバ・クロックを生成するための CMU (クロック・マルチプライヤ・ユニット) PLL またはレシーバ CDR (クロック・データ・リカバリ) としてコンフィギュレーションできます。

図 1-7 に、CDR PLL を示します。

図 1-7. Stratix V デバイスの CDR PLL



各レシーバ・チャンネルは、チャンネル PLL を備えており、このチャンネル PLL を独立した CDR ユニットにコンフィギュレーションし、受信シリアル・データ・ストリームからのクロックを復元することができます。シリアルおよびパラレルのリカバリ・クロックは、レシーバ PMA および PCS ブロックへのクロック供給に使用されます。


CDR はフルのデータ・レートをサポートします。電圧制御発振器 (VCO) はハーフ・レートで動作します。VCO の後の L 分周カウンタは、CDR のデータ・レート範囲を拡張します。この設定は、Quartus II ソフトウェアによって自動的に選択されます。

CDR は、LTR (lock-to-reference) モードまたは LTD (lock-to-data) モードのどちらかで動作します。LTR モードでは、CDR は入力基準クロックに追従します。LTD モードでは、CDR は受信シリアル・データに追従します。

シーバのパワーアップおよびリセット・サイクルの後、CDR は入力基準クロックにロックするまで LTR モードに保たなければなりません。入力基準クロックに一旦ロックされると、CDR の出力クロックはコンフィギュレーションされたデータ・レートと一致します。ここで CDR は LTD に切り替わり、受信データからクロックを復元します。LTR/LTD コントローラは、LTR モードと LTD モードの間の切り換えを制御します。


Lock-to-Reference (LTR) モード

LTR モードでは、CDR 中の位相周波数検出器 (PFD ; phase frequency detector) がレシーバ入力基準クロックに追従します。PFD は、CDR 中の VCO を調整するチャージ・ポンプを制御します。Quartus II 開発ソフトウェアは、データ・レートおよび選択された入力基準クロック周波数に応じて、CDR 出力クロック周波数がデータ・レートの 1/2 になるように適切な M および L ディバイダの値を自動的に選択します。pma_rx_is_lockedtoref ステータス信号が High にアサートされると、レシーバ CDR が入力基準クロックの位相および周波数にロックされたことを示します。

 LTR モードでは位相検出器 (PD) が非アクティブになり、pma_rx_is_lockedtodata が無視されます。

Lock-to-Data (LTD) モード

CDR は、通常動作中に受信シリアル・データからクロックを復元するために LTD モードでなければなりません。LTD モードでは、CDR 内の位相検出器がレシーバ・バッファの受信シリアル・データに追従します。受信データおよび CDR 出力クロック間の位相差に応じて、PFD は CDR 中の VCO を調整するチャージ・ポンプを制御します。

 LTD モードでは PFD は非アクティブです。pma_rx_is_lockedtoref 信号はランダムに切り替わり、LTD モードではこの信号には意味がありません。

LTD モードに切り替わった後、pma_rx_is_lockedtodata ステータス信号はアサートされます。CDR が LTD モードに切り替わった後、着信データにロックされ安定したリカバリ・クロックを生成するまで、最大で 1 ms かかることがあります。実際のロック時間は、着信データの遷移密度およびレシーバ入力基準クロックとアップストリーム・トランスミッタ基準クロックの間の ppm (parts per million) 周波数誤差によって決まります。レシーバの PCS ロジックは、CDR が安定したリカバリ・クロックを生成するまでリセット状態に保持しなければなりません。

自動ロック・モード

自動ロック・モードでは、LTR/LTD コントローラは CDR が入力基準クロックにロックするよう (LTR モード) に初期設定します。CDR が入力基準クロックにロックした後、以下の条件が満たされると、LTR/LTD コントローラは CDR が受信シリアル・データにロックするよう (LTD モード) に自動的に設定します。

- 信号スレッショルド検出回路が、レシーバ入力バッファに有効な信号レベルが存在することを示している。(PCI Express® [PCIe] コンフィギュレーションのみ。ほかのコンフィギュレーションの場合、この条件はデフォルトで **true** に設定されます。)
- CDR の出力クロックが入力基準クロックに対し、コンフィギュレーションされている ppm 周波数スレッショルド設定の範囲内である (周波数ロック)
- CDR 出力クロックと入力基準クロックの位相が約 0.08 UI 以内で一致している (位相ロック)

LTR モードから LTD モードへの切り換えは、pma_rx_is_lockedtodata 信号のアサートによって示されます。

LTD モードでは、CDR は位相検出器を使用して、リカバリ・クロックの位相がデータと一致した状態に保ちます。周波数ドリフトまたは振幅の大きな減衰によって CDR がデータにロックされた状態に保たれない場合、LTR/LTD コントローラは CDR を LTR モードに戻して入力基準クロックにロックさせます。自動ロック・モードでは、以下の条件が満たされると、LTR/LTD コントローラは CDR を LTD モードから LTR モードに切り換えます。

- 信号スレッショルド検出回路が、レシーバ入力バッファに有効な信号レベルが存在しないことを示している。(PCIe コンフィギュレーションのみ。ほかのコンフィギュレーションの場合、この条件はデフォルトで **true** に設定されます。)
- CDR の出力クロックが入力基準クロックに対し、コンフィギュレーションされている ppm 周波数スレッショルド設定の範囲内でない

LTD モードから LTR モードへの切り替えは、pma_rx_is_lockedtodata 信号のディアサーションによって示されます。

レシーバ・バッファ

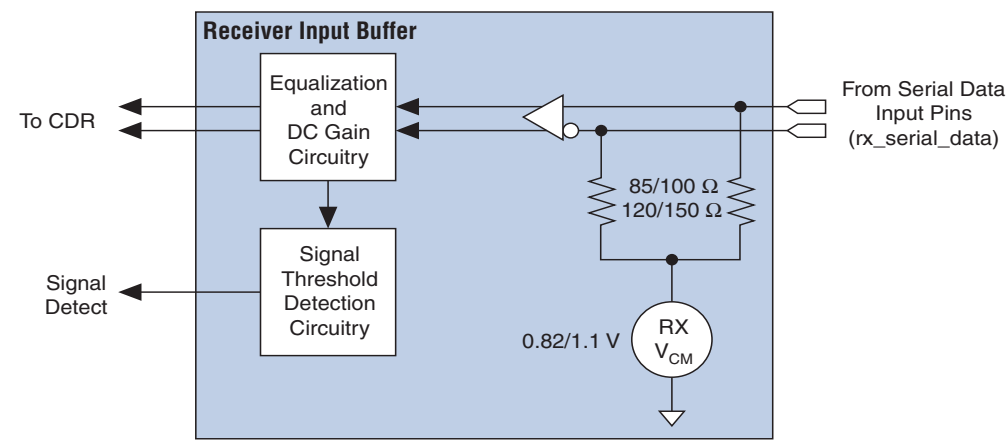
レシーバ入力バッファは、プログラマブル・コモン・モード電圧 (RX V_{CM})、イコライゼーション、DC ゲイン、チップ内終端 (OCT ; On-Chip Termination) 設定、信号検出およびオフセット・キャンセレーションをサポートします。

イコライゼーションおよび DC ゲインについては、1-10 ページの「[レシーバ・アナログの設定](#)」で詳細に説明しています。

レシーバ入力バッファ

図 1-8 に示すとおり、レシーバ入力バッファは、rx_serial_data ポートからシリアル・データを受信し、それを CDR ユニットとしてコンフィギュレーションされたチャネル PLL に供給します。

図 1-8. レシーバ入力バッファ



レシーバ・バッファの電氣的機能について詳しくは、「[DC and Switching Characteristics for Stratix V Devices](#)」を参照してください。

プログラマブルなチップ内差動終端

レシーバ・バッファは、オプションで 85、100、120、または 150 Ω のチップ内差動終端を備えています。希望するレシーバ OCT 抵抗を選択するには、Quartus II Assignment Editor で表 1-1 に記載されているアサインメントを行います。

表 1-1. Stratix V デバイスのレシーバの On-Chip Termination アサインメント設定

アサインメント先	rx_serial_data (レシーバ入力データ・ピン)
アサインメント名	Input Termination
有効な値	OCT 85 Ω、OCT 100 Ω、OCT 120 Ω、OCT 150 Ω、Off

レシーバの OCT 抵抗は、プロセス、電圧および温度 (PVT) の変動を補償するキャリブレーションがサポートされています。

プログラム可能な V_{CM}

レシーバ・バッファは、レシーバ入力で要求される V_{CM} を実現するためのバイアス回路をチップ内に備えています。0.82 V および 1.1 V の V_{CM} 設定がサポートされます。

チップ内バイアス回路は、**on-chip receiver termination** (チップ内レシーバ終端) を選択した場合にのみ有効になります。**external termination** (外部終端) を選択した場合は、レシーバ入力バッファで V_{CM} を実現するためにチップ外のバイアス回路を実装する必要があります。

信号スレッショルド検出回路

PCIe コンフィギュレーションでは、信号スレッショルド検出回路をオプションでイネーブルすることができます。イネーブルされると、このオプションは、レシーバ入力バッファ上の信号レベルが指定の信号検出スレッショルド電圧を超えたかどうかを検出します。

詳細は、「[Altera Transceiver PHY IP Core User Guide](#)」を参照してください。

レシーバ・バッファおよびレシーバ CDR でのオフセット・キャンセレーション

シリコン・プロセス・ノードの微細化が進むにつれて、このような小さなノードにおける回路性能は、プロセス変動により大きく左右されます。このようなプロセス変動によって、アナログ電圧が要求範囲から外れる可能性があります。オフセット・キャンセレーション・ロジックで、このようなずれを補正します。レシーバ・バッファおよびレシーバ CDR にはオフセット・キャンセレーションが必要です。

レシーバ・アナログの設定

レシーバ・アナログのセクションでは、プログラム・イコライゼーションおよび DC ゲインの変更ができます。この設定により、シグナル・インテグリティ (SI) を向上させることができます。

プログラマブル・イコライゼーション

各レシーバ・バッファは、独立にプログラムできる 5 つのイコライゼーション回路を備えており、これにより受信信号の高周波ゲインを大きくすることで物理媒体のロー・パス・フィルタ効果が補償されます。必要な高周波ゲインの大きさは、物理媒体の損失特性によって異なります。イコライゼーション回路は、最大 20 dB の高周波増幅を提供します。

DC ゲイン

レシーバ・バッファは、プログラマブル DC ゲイン回路もサポートしています。DC ゲイン回路はイコライゼーション回路とは異なり、受信信号を周波数スペクトル全体にわたり均等に増幅します。レシーバ・バッファは、0、3、6、9、および 12 dB の DC ゲイン設定をサポートしています。

デシリアライザ

デシリアライザ・ブロックは、高速シリアル・リカバリ・クロックを使用して、レシーバ・バッファからのシリアル入力データをクロック・インし、低速パラレル・リカバリ・クロックを使用してそれをパラレル変換します。デシリアライザ・ブロックは、パラレル変換したデータをレシーバ PCS に転送します。

- **Single Width** モードでは、デシリアライザは 8 ビットおよび 10 ビットのデシリアライゼーション・ファクタをサポートします。
- **Double Width** モードでは、デシリアライザは 16 ビットおよび 20 ビットのデシリアライゼーション・ファクタをサポートします。
- **Quadruple Width** モードでは、デシリアライザは 32 ビットおよび 40 ビットのデシリアライゼーション・ファクタをサポートします。

図 1-9 に、Single Width モード、10 ビット・デシリアライゼーション・ファクタのデシリアライザの動作を示します。

図 1-9. Single Width モードのデシリアライザの動作

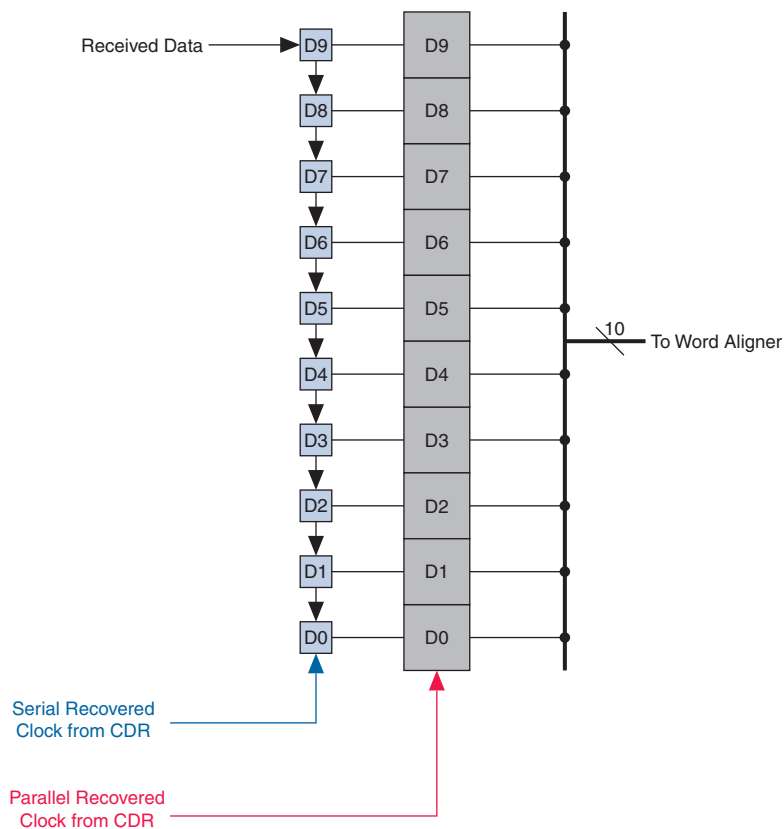
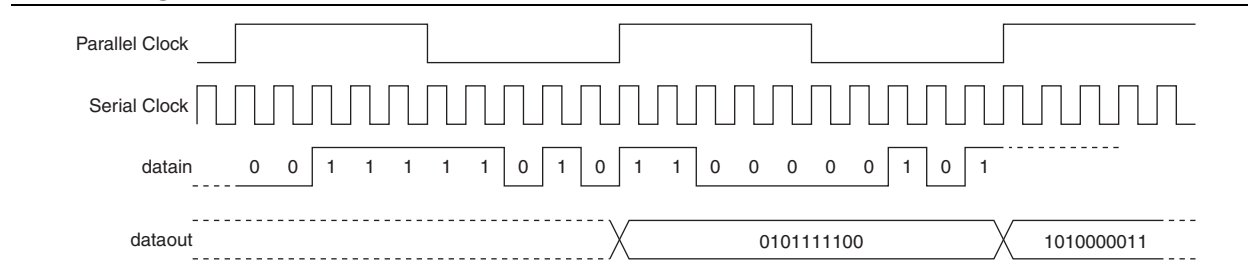


図 1-10 に、Single Width モード、10 ビット・デシリアライゼーション・ファクタのデシリアライザ・ブロックについて、その入力のシリアル・ビット順序およびパラレル・データ出力を示します。シリアル・ストリーム (0101111100) は値 10'h17C にパラレル変換されます。シリアル・データは LSB から MSB まで受信されると仮定しています。

図 1-10. Single Width モードのデシリアライザのビット順序

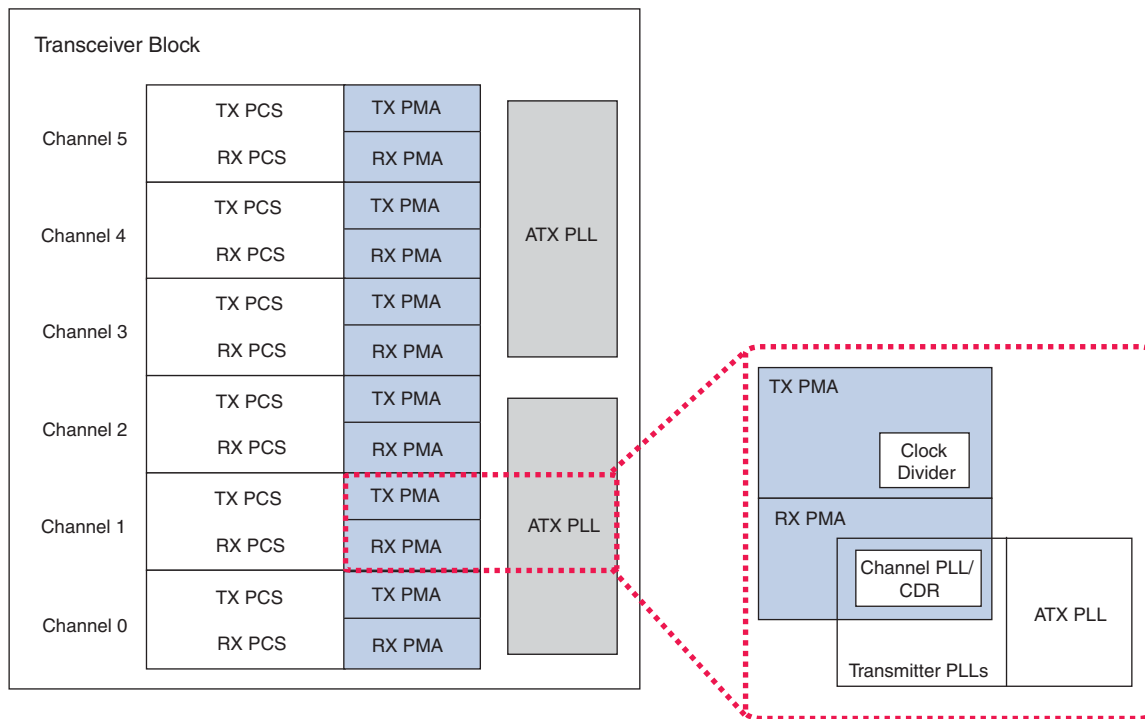


トランスミッタ PLL

以下では、Stratix V トランスミッタ PLL について説明します。

図 1-11 に、トランスミッタ PLL の位置を示します。

図 1-11. トランスミッタ PLL の位置



CMU PLL（トランスミッタ PLL）として使用されるチャンネル

前述のとおり、各チャンネル PLL は、CMU PLL または CDR PLL として動作することができます。

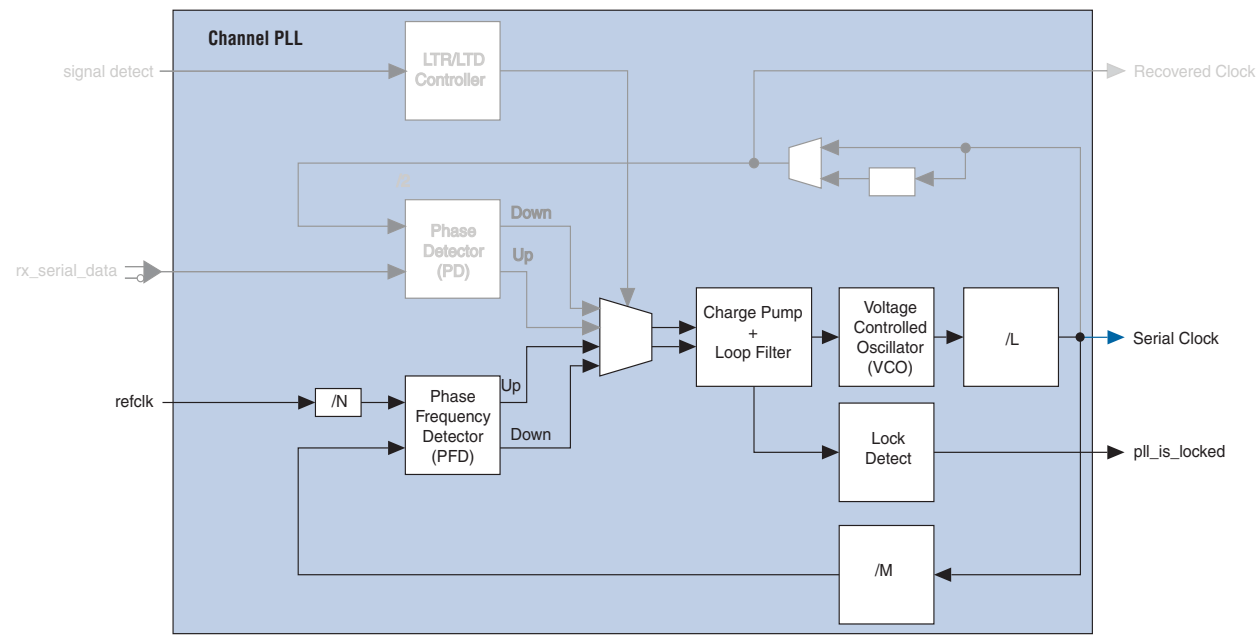
チャンネル PLL を CMU PLL として使用すると、レシーバ・チャンネルはレシーバとして使用できなくなりますが、チャンネル内のトランスミッタはまだ利用できます。そのチャンネル PLL は LTR モードしか使用できません。

PLL の電圧制御発振器 (VCO) はハーフ・レートで動作し、VCO の後の L 分周カウンタは、PLL のデータ・レート範囲を拡張します。PLL からのシリアル・クロックはトランスミッタ・クロック・ディバイダに送信され、個別のチャンネルのデータ・レートの半分まで分周することができます。PLL およびクロック・ディバイダのあらゆる設定は、Quartus II ソフトウェアによって自動的に選択され、データ・レートおよび入力クロック周波数に基づいて最高の性能を実現します。

 入力または出力周波数の範囲などの CMU PLL 仕様について詳しくは、『[DC and Switching Characteristics for Stratix V Devices](#)』の章を参照してください。

図 1-12 に、チャンネル PLL 内の CMU PLL として動作する部分を示します。

図 1-12. Stratix V デバイスの CMU PLL

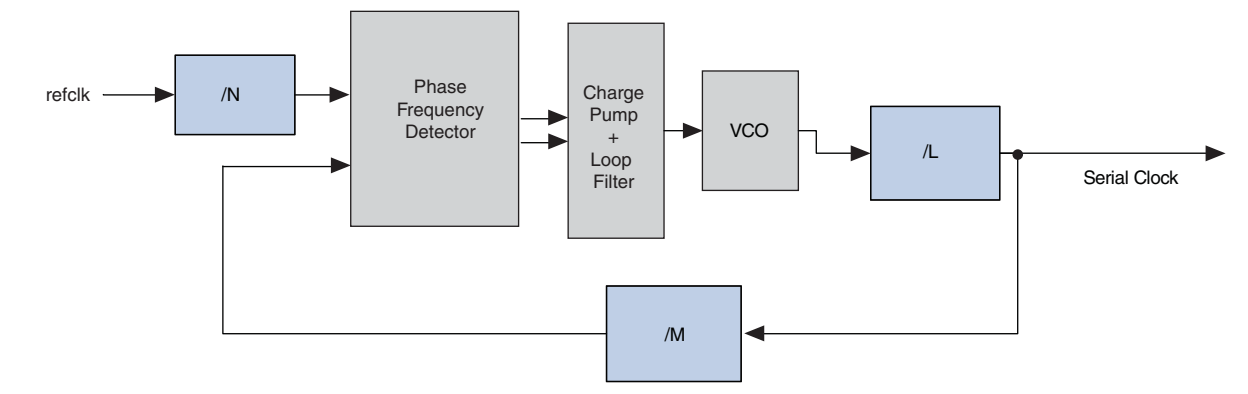


詳細は、『[Transceiver Clocking in Stratix V Devices](#)』を参照してください。

Auxiliary Transmit (ATX) PLL アーキテクチャ

Stratix V GX および GS デバイスは、トランシーバ・ブロックあたりに 2 つの ATX PLL トランシーバ・ブロックを備えて、トランスミッタ・チャンネルに高速クロックを生成することができます。これで、チャンネル PLL 内のレシーバ・リソースを節約できます。ATX PLL は図 1-13 に示すように、ほかの PLL と同様のビルディング・ブロックを有しますが、性能を向上させるように工夫されています。ATX PLL はフル・データ・レート幅で動作できない場合がありますが、ジッタの生成が少ないです。

図 1-13. Stratix V デバイスの ATX PLL アーキテクチャ



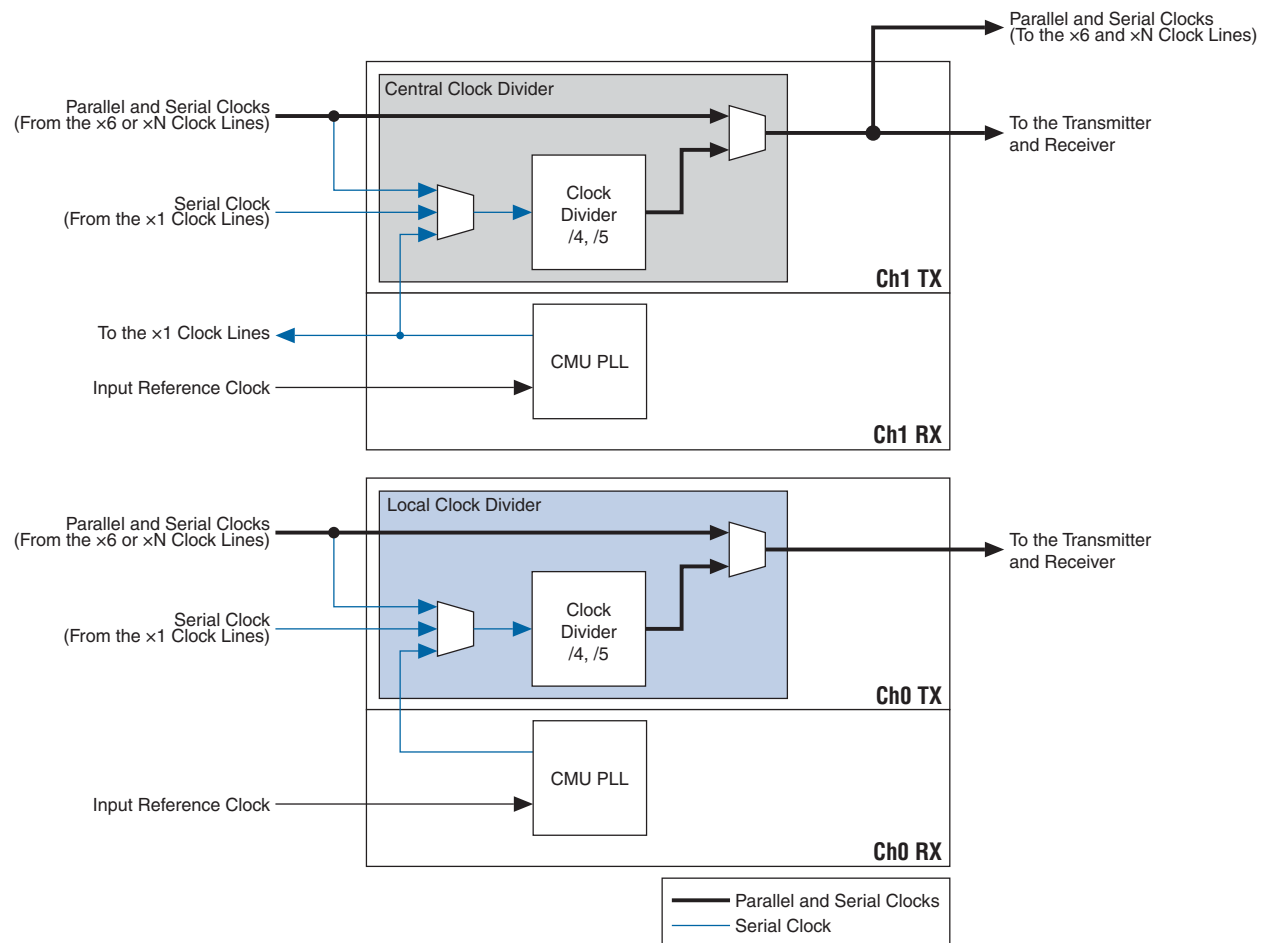
すべての PLL と同様に、VCO はハーフ・レートで動作し、VCO の後の L 分周カウンタは、PLL のデータ・レート範囲を拡張します。PLL からのシリアル・クロックはトランスミッタ・クロック・ディバイダに送信され、個別のチャンネルのデータ・レートの半分まで分周することができます。PLL およびクロック・ディバイダのあらゆる設定は、Quartus II ソフトウェアによって自動的に選択され、データ・レートおよび入力クロック周波数に基づいて最高の性能を実現します。ATX PLL と同じ側にある専用基準クロックは、基準入力周波数の供給に使用できます。

- 入力または出力周波数の範囲などの ATX PLL 仕様について詳しくは、『[DC and Switching Characteristics for Stratix V Devices](#)』の章を参照してください。

クロック・ディバイダ

各トランスミッタ・チャンネルには、ローカル・クロック・ディバイダと呼ばれるクロック・ディバイダがあります。セントラル・クロック・ディバイダと呼ばれる一部のクロック・ディバイダは、特別のアクセスを備えています。図 1-14 に 2 種類のクロック・ディバイダを示します。セントラル・クロック・ディバイダは、チャンネル 1 およびトランシーバ・ブロック・チャンネル内の 4 箇所 (0 から 5 まで番号付けられ) に配置されています。この CMU の組み合わせは、クロック・ディバイダを介してトランスミッタに (オプションでレシーバ PCS に) パラレルおよびシリアル・クロック・ソースを生成します。セントラル・クロック・ディバイダは、チャンネル結合用のクロック・ラインにクロックを供給することができます。

図 1-14. クロック・ディバイダ



トランスミッタ・バッファ

トランスミッタ・バッファは、プログラマブル差動出力電圧 (V_{OD})、プリエンファシス、および OCT 設定をサポートします。

トランスミッタ出力バッファ

トランスミッタ・バッファの電源は、トランシーバ・チャンネル内のトランスミッタ出力バッファへの電圧だけを供給します。トランスミッタ出力バッファには、 V_{OD} 、プログラマブル 3 タップ・プリエンファシス回路、内部終端回路、PCIe コンフィギュレーションをサポートする受信検出機能などのシグナル・インテグリティを改善する回路が追加されています。

プログラマブル・トランスミッタ終端

トランスミッタ・バッファは、85、100、120、または 150 Ω のプログラマブル・チップ内差動終端を備えています。抵抗値はキャリブレーション時にチップ内キャリブレーション回路によって調整され、温度、電圧、およびプロセス変更に対する補償が行われます。トランスミッタ・バッファは、電流モードのドライバです。したがって、得られる V_{OD} はトランスミッタ終端値の関数になります。

表 1-2 に、使用可能な終端設定を示します。

表 1-2. Stratix V デバイスの OCT アサインメント設定

アサインメント先	トランスミッタ・シリアル出力データ・ピン
アサインメント名	Output termination
有効な値	OCT 85 Ω、OCT 100 Ω、OCT 120 Ω、OCT 150 Ω、および OFF

OCT をディセーブルし、外部終端を使用することができます。外部終端を選択した場合、トランスミッタのコモン・モードはトライ・ステートになります。コモン・モードは、外部終端の接続に基づいています。

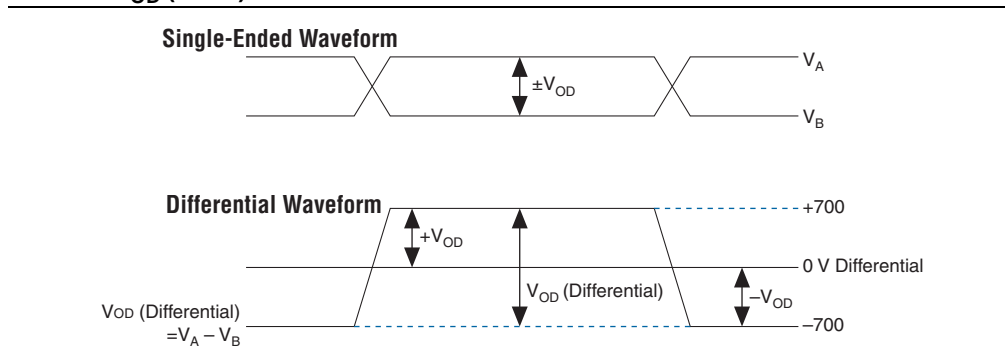
トランスミッタ・アナログの設定

この項では、シグナル・インテグリティを向上させるためのトランスミッタ・アナログの設定について説明します。

使用可能な設定について詳しくは、「[Altera Transceiver PHY IP Core User Guide](#)」を参照してください。

プログラマブル差動出力電圧

さまざまなトレース長、各種バックプレーン、およびレシーバ要件に対応するために差動出力電圧をカスタマイズすることができます。図 1-15 に、シングル・エンド波形および差動波形を示します。

図 1-15. V_{OD} (差動) 信号レベル

プログラマブル・プリエンファシス

各送信バッファ内のプログラマブル・プリエンファシス・モジュールは、伝送媒体中で減衰する可能性がある送信データ信号の高周波成分を増幅します。プリエンファシスの使用により、遠端レシーバでのデータ・アイ開口部を最大化することができます。

トランシーバは、プリタップ、第 1 ポストタップ、第 2 ポストタップの 3 つのプリエンファシス・タップを備えています。プリタップは、データ・ビットに対し遷移の前にプリエンファシスを設定します。第 1 ポストタップおよび第 2 ポストタップは、それぞれ遷移ビットおよびその次のビットに対しプリエンファシスを設定します。プリタップおよび第 2 ポストタップは、負の値で示される反転制御も提供します。

シリアライザ

シリアライザは、トランシーバ PCS からの受信低速パラレル信号を高速シリアル・データに変換しトランスミッタ・バッファに送信します。シリアライザは、8 と 10 ビット、16 と 20 ビット、および 32 と 40 ビットのシリアライゼーション・ファクタをサポートします。シリアライザ・ブロックは、入力データの LSB を先に送信します。また、トランスミッタ・シリアライザは極性反転機能およびビット反転機能を備えています。

トランスミッタ極性反転

シリアル差動リンクの正と負の信号がボード・レイアウト中に偶然に置き換わることがあります。ボードの再設計や FPGA ファブリックのロジックの大規模な更新などの解決方法は、費用がかかる可能性があります。トランスミッタ極性反転機能が、この状況を是正するために用意されています。

tx_invpolarity ポートが High のとき、トランスミッタ・データ・パスにおけるシリアライザへの入力データ・ワードの極性がビットごとに反転されます。各ビットの極性を反転することは、差動リンクの正と負の信号を置き換えることと同じ効果があるため、正しいデータがレシーバに送信されます。tx_invpolarity はダイナミック信号であり、8B/10B エンコーダ・リンクのレシーバで初期ディスパリティ・エラーが発生する場合があります。ダウンストリーム・システムはこうした不一致エラーを許容できなければなりません。



極性反転が途中でシリアライザ・ワードを介してアサートされると、ワードが破壊されます。

トランスミッタ・ビット反転

表 1-3 に、ビット反転の有無による送信ビット順序の違いを示します。

表 1-3. Stratix V デバイスのビット反転機能による送信ビット順序

トランスミッタ・ビット反転機能	Single-Width モード (8 または 10 ビット)	Double-Width モード (16 または 20 ビット)
ディセーブル (デフォルト)	LSB から MSB まで	LSB から MSB まで
イネーブル	MSB から LSB まで 例えば： <ul style="list-style-type: none"> ■ 8ビット—D[7:0] が D[0:7] に再接続されます。 ■ 10ビット—D[9:0] が D[0:9] に再接続されます。 	MSB から LSB まで 例えば： <ul style="list-style-type: none"> ■ 16ビット—D[15:0] が D[0:15] に再接続されます。 ■ 20ビット—D[19:0] が D[0:19] に再接続されます。



ビット反転が途中でシリアライザ・ワードを介してアサートされると、ワードが破壊されます。

トランスミッタ・プロトコルの指定

トランスミッタ PMA セクションには、受信検出および電氣的アイドルの 2 つの PCIe 機能があります。

PCIe の受信検出

トランスミッタ・バッファは、PCIe コンフィギュレーションの Gen1 および Gen2 データ・レートで使用する受信検出回路を内蔵しています。この回路は、トランスミッタのコモン・モード上にパルスを出力し反射をモニタすることによって、ダウンストリーム・レシーバの有無を検出します。

PCIe の電氣的アイドル

トランスミッタ出力バッファは、PCIe の電氣的アイドル（すなわち個別トランスミッタ・トライ・ステート）をサポートしています。

 受信検出および電氣的アイドルについては、「[Altera Transceiver PHY IP Core User Guide](#)」の「[PCI Express PHY IP Core](#)」の章を参照してください。

キャリブレーション・ブロック

Stratix V GX および GS デバイスは、プロセス、電圧、または温度 (PVT) の変動によって動作が影響を受けないようにするためにトランシーバ・ブロックの OCT 抵抗およびアナログ部分をキャリブレーションする回路を備えています。

キャリブレーション・ブロックは、PVT の変動に関係なく、一定の内部リファレンス電圧を生成します。この内部リファレンス電圧および外部リファレンス抵抗（この抵抗は RREF ピンに接続する必要があります）を使用して、一定のリファレンス電流を生成します。このリファレンス電流は、トランシーバ・ブロックのキャリブレーションを行うためにアナログ・ブロック・キャリブレーション回路で使用されます。

各 RREF ピンとグラウンドの間にそれぞれ独立した 2 kΩ（最大許容差 ± 1%）の外部抵抗を接続する必要があります。キャリブレーション・ブロックを正しく動作させるために、ボードの RREF 抵抗接続部は外部ノイズの影響を受けないものでなければなりません。

AC JTAG

Stratix V GX および GS デバイスは、高速トランシーバのボード・レベル・テストをイネーブルするための AC JTAG を備えています。AC JTAG は、*IEEE Standard for Boundary Scan Testing of Advanced Digital Networks (1149.6-2003)* に適合するように設計されています。この実装は、トランシーバおよびレシーバのクロック・シリアル・ピンに対して AC と DC の両方にテストを行います。

標準の PCS アーキテクチャ

この項では、600 Mbps ~ 8.5 Gbps のデータ幅範囲内の、Single Width および Double Width モードに使用可能なトランシーバ回路ブロックについて説明します。


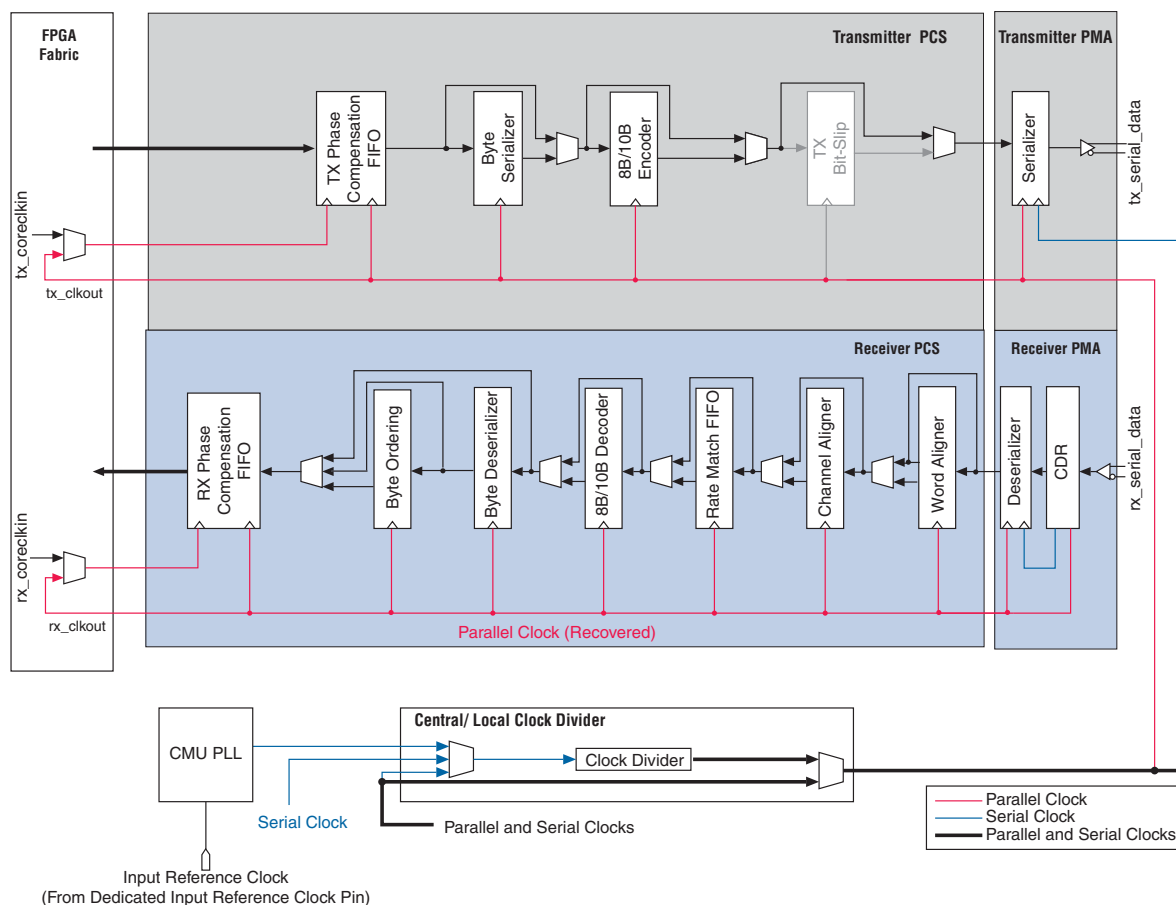
 1-16 に、PMA-PCS および PCS-FPG ファブリック・インタフェースを含む標準の PCS トランシーバ・チャネル・データパスを示します。

図 1-16. Stratix V デバイスのトランシーバ・データパス



各トランシーバの標準 PCS は、トランシーバ・チャンネルとレシーバ・チャンネルで構成されています。

レシーバ・チャンネルは、次のコンポーネントから構成されています。

- 1-21 ページの「ワード・アライナ」
- 1-25 ページの「レート・マッチ (クロック・レート補償) FIFO」
- 1-26 ページの「8B/10B デコーダ」
- 1-27 ページの「バイト・デシリアライザ」
- 1-28 ページの「バイト・オーダリング・ブロック」
- 1-30 ページの「レシーバ位相補償 FIFO」

トランスミッタ・チャンネルは、次のコンポーネントから構成されています。

- 1-31 ページの「トランスミッタ位相補償 FIFO」
- 1-31 ページの「バイト・シリアライザ」
- 1-32 ページの「8B/10B エンコーダ」

各トランシーバ・チャンネルは、PCIe のソフト IP 実装のために PCIe ハード IP ブロック (PIPE インタフェース) にインタフェースするか、または直接 FPGA ファブリック (FPGA ファブリック - トランシーバ・インタフェース) にインタフェースします。PCIe PHY MAC、データ・リンク層、およびトランザクション層を実装するためにハード IP ブロックが使用されている場合、トランシーバ・チャンネルは PCIe ハード IP ブロックにインタフェースします。それ以外の場合、トランシーバ・チャンネルは FPGA ファブリックに直接インタフェースします。

 PCIe ハード IP - トランシーバ・インタフェースは、この章の範囲外です。この章では、FPGA ファブリック - トランシーバ・インタフェースのみについて説明します。詳細は、[「Altera Transceiver IP Core User Guide」](#) の「PCI Express PHY IP Core」の章、および [「PCI Express Compiler User Guide」](#) を参照してください。

標準のトランシーバ・チャンネルのデータパスは、FPGA ファブリック - トランシーバ・インタフェースの幅 (チャンネル幅) およびトランシーバ・チャンネル PMA-PCS の幅 (シリアライゼーション・ファクタ) に基づき、次の 2 つのモードに分けることができます。

- Single Width コンフィギュレーション
- Double Width コンフィギュレーション


 標準のトランシーバ・チャンネル・データパスは Quadruple Width コンフィギュレーションをサポートしません。

表 1-4 に、Single Width コンフィギュレーションおよび Double Width コンフィギュレーションでそれぞれ許容される FPGA ファブリック - トランシーバ・インタフェースの幅（チャンネル幅）およびトランシーバ PMA-PCS の幅（シリアライゼーション・ファクタ）を示します。

表 1-4. Stratix V デバイスの FPGA ファブリック - トランシーバ・インタフェース幅およびトランシーバ PMA-PCS の幅

名称	Single Width	Double Width
PMA — PCS インタフェース幅	8/10 ビット	16/20 ビット
FPGA ファブリック — トランシーバ・インタフェース幅	8/10 ビット 16/20 ビット	16/20 ビット 32/40 ビット
サポートされるコンフィギュレーション	<ul style="list-style-type: none"> ■ PCIe Gen1 および Gen2 ■ XAUI ■ Custom Single Width 	Custom Double Width
Custom 動作モードのデータ・レート範囲	0.6 ~ 3.75 Gbps	1.0 ~ 8.5 Gbps

レシーバの標準 PCS データパス

この項では、レシーバ・チャンネル・データパス・アーキテクチャについて説明します。レシーバ・データパス内のサブ・ブロックは、ワード・アライナから FPGA ファブリック - トランシーバ・インタフェースでのレシーバ位相補償 FIFO バッファへの順に記載されています。19 ページの図 1-16 に、レシーバ・チャンネル・データパスを示します。

レシーバ・チャンネルの標準 PCS データパスは、以下のブロックで構成されています。

- 1-21 ページの「ワード・アライナ」
- 1-25 ページの「レート・マッチ（クロック・レート補償）FIFO」
- 1-26 ページの「8B/10B デコーダ」（PCIe コンフィギュレーションでのみ使用可能）
- 1-27 ページの「バイト・デシリアライザ」
- 1-28 ページの「バイト・オーダリング・ブロック」
- 1-30 ページの「レシーバ位相補償 FIFO」

レシーバ・データパスは柔軟で、選択したコンフィギュレーションに応じて複数のモードが可能になっています。

ワード・アライナ

データは送信前にシリアル変換されレシーバでパラレル変換されるため、パラレル変換後にアップストリーム・トランスミッタのワード境界が失われます。ワード・アライナは、デシリアライザからパラレル・データを受信し、リンク同期時に受信しなければならない定義済みアラインメント・パターンに基づいてワード境界を復元します。

PCIe などのシリアル・プロトコルでは、標準のワード・アラインメント・パターンが規定されています。独自プロトコルの場合、トランシーバ・アーキテクチャでは、ユーザーの実装に固有のカスタム・ワード・アラインメント・パターンを選択することができます。

ワード境界の復元に加えて、ワード・アライナは以下の機能も備えています。

- PCIe などのコンフィギュレーションで、同期ステート・マシン
- すべてのコンフィギュレーションで、プログラマブル・ラン・レンジ違反検出
- PCIe 以外のすべてのコンフィギュレーションで、レシーバ極性反転
- Custom Single Width および Custom Double Width コンフィギュレーションで、レシーバ・ビット反転
- Custom Double Width コンフィギュレーションで、レシーバ・バイト反転

ワード・アライナは、コンフィギュレーションに応じて以下の 3 つのモードのうち
の 1 つで動作します。

- マニュアル・アラインメント
- 自動同期ステート・マシン
- ビット・スリップ

表 1-5 に、使用可能なワード・アライナのオプションを示します。

表 1-5. Stratix V デバイスで使用可能なワード・アライナ・オプション

コンフィギュレーション	PMA-PCS インタフェース幅	ワード・アラインメント・モード	ワード・アラインメント・パターン長	ワード・アラインメント動作
Custom Single Width	8 ビット	マニュアル・アラインメント	16 ビット	ユーザー制御信号がアラインメント・プロセスを開始します。信号が再アサートされる場合を除き、アラインメントは 1 回しか行われません。
		ビット・スリップ	16 ビット	ユーザー制御信号がデータを 1 ビットずつシフトします。
	10 ビット	マニュアル・アラインメント	7 および 10 ビット	ユーザー制御信号がアラインメント・プロセスを開始します。信号が再アサートされる場合を除き、アラインメントは 1 回しか行われません。
		ビット・スリップ	7 および 10 ビット	ユーザー制御信号がデータを 1 ビットずつシフトします。
		自動同期ステート・マシン	7 および 10 ビット	データはでエンコードする必要があります。選択されたワード・アライナ・パターンにアラインメントします。
	Custom Double-Width	16 ビット	マニュアル・アラインメント	8、16、および 32 ビット
ビット・スリップ			8、16、および 32 ビット	ユーザー制御信号がデータを 1 ビットずつシフトします。
20 ビット		マニュアル・アラインメント	7、10、および 20 ビット	ユーザー制御信号がアラインメント・プロセスを開始します。信号が再アサートされる場合を除き、アラインメントは 1 回しか行われません。
		ビット・スリップ	7、10、および 20 ビット	ユーザー制御信号がデータを 1 ビットずつシフトします。
		自動同期ステート・マシン	7 および 10 ビット	データは 8B/10B にエンコードされる必要があります。選択されるワード・アライナ・パターンにアラインメントされます。
PCIe		10 ビット	自動同期ステート・マシン	10 ビット

8 ビット PMA-PCS インタフェース・モードを備えたビット・スリップ・コンフィギュレーションのワード・アライナ

8 ビット PMA-PCS インタフェース・コンフィギュレーションを備えたビット・スリップ・モードのワード・アライナ 8 ビット PMA-PCS インタフェース幅を備えた Custom Single Width コンフィギュレーションでは、ワード・アライナはビット・スリップ・モードにコンフィギュレーションすることができます。ビット・スリップ・モードの場合、ワード・アライナの動作は pcs8g_rx_wa_control レジスタの rx_bitslip ビットによって制御されます。pcs8g_rx_control レジスタの rx_bitslip 信号が 0 から 1 まで転移するたびに、ビット・スリップ回路は受信データ・ストリームに 1 ビットスリップし、ワード・バウンダリを効果的に 1 ビット・シフトさせます。また、ビット・スリップ・モードでは、ワード・アライナの rx_patterndetect の pcs8g_rx_wa_status レジスタ・ビットは、ビット・スリップ後の受信データがプログラムされた 16 ビットのワード・アラインメント・パターンと一致したとき、1 パラレル・クロック・サイクルの間 High にドライブされます。

rx_parallel_data 信号と rx_patterndetect 信号の両方またはいずれか一方を監視し、rx_bitslip 信号を制御してワード・アラインメントを実現するビット・スリップ・コントローラを FPGA ファブリックに実装することができます。

10 ビット PMA-PCS インタフェース・コンフィギュレーションを備えた自動同期ステート・マシン・モードのワード・アライナ

PCIe などのプロトコルでは、同期ステート・マシンを実装してリンク同期中にヒステリシスを与えるためにレシーバ PCS ロジックが必要です。これらのプロトコルではそれぞれ、同期を達成するためにリンクが受信しなければならない特定数の同期コード・グループ、および同期を失うためにリンクが受信しなければならない特定数のエラー・コード・グループが定義されます。

PCIe コンフィギュレーションでは、ワード・アライナは自動同期ステート・マシン・モードに設定されます。ワード・アライナは、それぞれのプロトコルで指定されたとおりのワード・アラインメント・パターン長およびパターンを自動的に選択します。

表 1-6 に、同期ステート・マシンのモードを示します。同期ステート・マシンのパラメータは、PCIe コンフィギュレーションについて、それぞれのプロトコルで指定された値に固定されます。

表 1-6. Stratix V デバイスの同期ステート・マシンのモード

モード	PCIe
受信後同期を達成するための有効な同期コード・グループ数またはオーダ・セット数	4
受信後同期を喪失させるエラー・コード・グループ数	17
受信後エラー・カウントを 1 減少させる、連続する正常コード・グループ数	16

自動同期ステート・マシン・モードで reset_rx_digital 信号がディアサートされた後、ワード・アライナは、受信データ・ストリーム中でワード・アラインメント・パターンまたは同期コード・グループを探し始めます。プログラムされた数の有効な同期コード・グループまたはオーダ・セットが受信されると、rx_syncstatus ステータス信号が High にドライブされ、同期が達成されたことを示します。

rx_syncstatus ステータス・ビットは、中間で良好グループを受信することなしにプログラムされた数のエラー・コード・グループを受信するまで常に High にドライブされ、その後 rx_syncstatus は Low にドライブされます。ワード・アライナは、プログラムされた数の有効な同期コード・グループが再び受信されるまで、同期の喪失 (rx_syncstatus が Low のまま) を示します。

プログラマブル・ラン・レングス違反検出

プログラマブル・ラン・レングス違反回路はワード・アライナ・ブロックにあり、データ内の 1 または 0 の連続を検出します。データ・ストリームが事前に設定された 1 または 0 の最大連続数を超えている場合、rx_rlv ステータス・ビットのアサートによって違反が通知されます。

表 1-7 に、ラン・レングス違反回路の検出能力を示します。

表 1-7. Stratix V デバイスのラン・レングス違反回路検出能力

モード	PMA-PCS インタフェース幅	ラン・レングス違反検出範囲	
		Min	Max
Single Width モード	8 ビット	4	128
	10 ビット	5	160
Double Width モード	16 ビット	8	512
	20 ビット	10	640

レシーバ極性反転

シリアル差動リンクの正と負の信号がボード・レイアウト中に誤って置き換わることがあります。ボード・リスピンのようなソリューションや PLD ロジックの大規模な更新には、費用がかかる可能性があります。レシーバ極性反転機能は、こうした状況を是正するために提供されます。

レシーバ・ビット反転

レシーバは、デフォルトでは最下位ビット～最上位ビットの送信を仮定しています。送信順序が最上位ビット～最下位ビットの場合、レシーバはパラレル・データのビット反転バージョンを rx_parallel_data 上で FPGA ファブリックに転送します。レシーバ・ビット反転機能は、こうした状況を是正するために利用できます。

この機能を使用してパラレル・データを反転することにより、最上位ビット～最下位ビット送信の場合にレシーバは rx_parallel_data 上で正しいビット順序のデータを FPGA ファブリックに転送することができます。

表 1-8 に、ビット反転の有無による転送ビット順序の違いを示します。

表 1-8. ビット反転機能による Stratix V デバイスの受信ビット順序

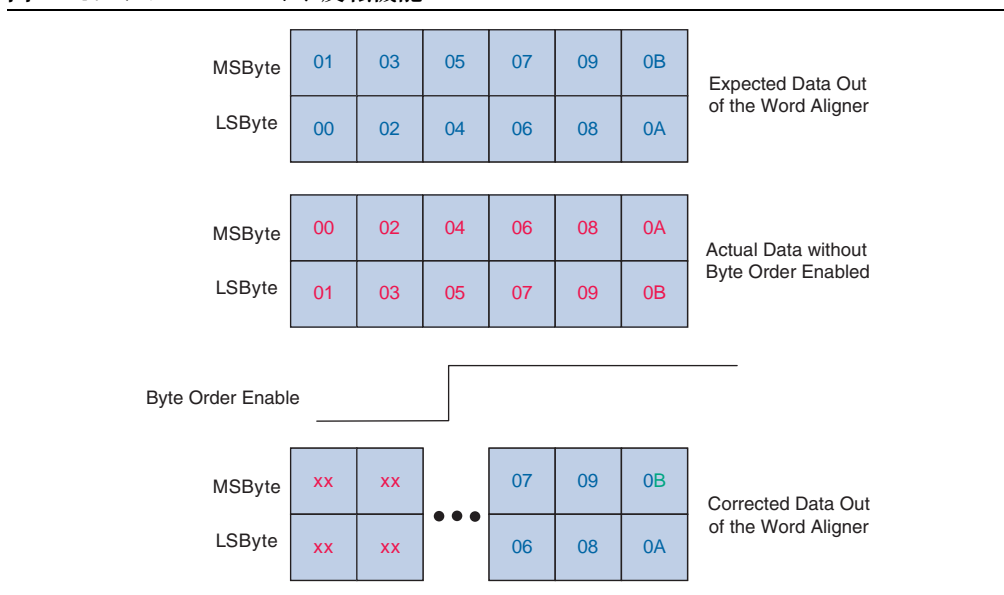
レシーバ・ビット反転機能	Single-Width モード (8 または 10 ビット)	Double-Width モード (16 または 20 ビット)
ディセーブル (デフォルト)	LSB から MSB まで	LSB から MSB まで
イネーブル	MSB から LSB まで 例えば： <ul style="list-style-type: none"> ■ 8 ビット—D[7:0] が D[0:7] に再接続されます。 ■ 10 ビット—D[9:0] が D[0:9] に再接続されます。 	MSB から LSB まで 例えば： <ul style="list-style-type: none"> ■ 16 ビット—D[15:0] が D[0:15] に再接続されます。 ■ 20 ビット—D[19:0] が D[0:19] に再接続されます。

Custom Double Width コンフィギュレーションでのレシーバ・バイト反転

トランスミッタへの入力データの最上位バイトと最下位バイトが誤って置き換わることがあります。レシーバ・バイト反転機能は、こうした状況を是正するために利用できます。

図 1-17 に、レシーバ・バイト反転機能を示します。

図 1-17. レシーバ・バイト反転機能



レート・マッチ (クロック・レート補償) FIFO

非同期システムでは、アップストリーム・トランスミッタおよびローカル・レシーバを独立した基準クロックでクロックすることができます。数百 ppm 程度の周波数差があると、リカバリ・クロック・ドメイン (アップストリーム・トランスミッタの基準クロックと同じクロック・ドメイン) からローカル・レシーバの基準クロック・ドメインにラッチしたとき、データが破壊される可能性があります。

レート・マッチ（クロック・レート補償）FIFO は、ケット間ギャップ（IPG）またはアイドル・ストリームに SKP シンボルまたはオーダ・セットを挿入または削除することにより、アップストリーム・トランスミッタ・クロックとローカル・レシーバ・クロック間のわずかなクロック周波数の違いを補償します。アップストリーム・トランスミッタの基準クロック周波数がローカル・レシーバの基準クロック周波数よりも高い場合、レート・マッチ FIFO は SKP シンボルまたはオーダ・セットを削除します。ローカル・レシーバの基準クロック周波数がアップストリーム・トランスミッタの基準クロック周波数よりも高い場合、レート・マッチ FIFO は SKP シンボルまたはオーダ・セットを挿入します。

PCIe、XAUI、およびカスタム・プロトコルにレート・マッチ FIFO を使用する方法については、『*Transceiver Protocol Configurations in Stratix V Devices*』の章を参照してください。

8B/10B デコーダ

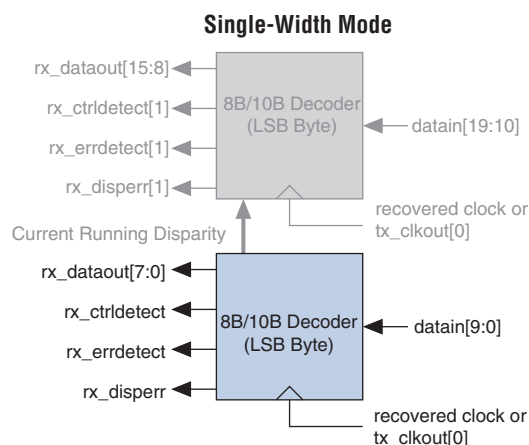
PCIe モードでは、送信されるシリアル・データで DC バランスを維持するために、リンクを通して送信されるシリアル・データを 8B/10B エンコードすることが要求されます。このプロトコルでは、レシーバ PCS ロジックに 8B/10B デコーダを実装し、データをデコードした後パケット処理のために上位層に転送する必要があります。

レシーバ・チャネルの PCS データパスでは、レート・マッチ FIFO の後に 8B/10B デコーダが実装されます。レート・マッチ FIFO がイネーブルされているコンフィギュレーションでは、8B/10B デコーダはレート・マッチ FIFO からデータを受信します。レート・マッチ FIFO がディセーブルされているコンフィギュレーションでは、8B/10B デコーダはワード・アライナからデータを受信します。

Single Width モードの 8B/10B デコーダ

図 1-18 に、Single Width モードの 8B/10B エンコーダを示します。Single Width モードでは、8B/10B デコーダは、レート・マッチ FIFO またはワード・アライナ（レート・マッチ FIFO がディセーブルされている場合）から 10 ビット・データを受信し、これを 8 ビットのデータ +1 ビットのコントロール識別子にデコードします。デコードされたデータは、バイト・デシリアライザまたはレシーバ位相補償 FIFO（バイト・デシリアライザがディセーブルされている場合）に供給されます。

図 1-18. Single Width モードの 8B/10B デコーダ



8B/10B デコーダは、IEEE802.3 仕様の 36 項向けに設計されています。

8B/10B デコーダは、PCIe コンフィギュレーションでのみ、Single Width モードで動作します。PCIe の場合、レシーバ・データパス内で 8B/10B デコーダを選択することが強制されます。

コントロール・コード・グループ検出

8B/10B デコーダは、デコードされた 8 ビット・コード・グループがデータ・コード・グループかコントロール・コード・グループかを、rx_datak 信号上に示します。受信した 10 ビット・コード・グループが、IEEE802.3 仕様で規定される 12 のコントロール・コード・グループ (/Kx.y/) のいずれかの場合、rx_datak 信号は High にドライブされます。受信した 10 ビット・コード・グループがデータ・コード・グループ (/Dx.y/) の場合、rx_datak 信号は Low にドライブされます。

バイト・デシリアライザ

FPGA ファブリックのトランシーバ・インタフェース周波数には上限があります。レシーバ PCS 周波数が指定の上限を超えたコンフィギュレーションの場合、パラレル受信データおよびステータス信号は、FPGA ファブリック - トランシーバ・インタフェースの周波数上限に違反しているため、FPGA ファブリックに転送できません。そのようなコンフィギュレーションでは、パラレル・データ幅を 2 倍にして FPGA ファブリックのトランシーバ・インタフェース周波数を低下させるためにバイト・デシリアライザが必要になります。

FPGA ファブリックトランシーバ・インタフェースのクロック周波数上限を超えるコンフィギュレーションでは、バイト・デシリアライザが必要になります。これは、FPGA ファブリック - トランシーバ・インタフェースの最大周波数上限を超えないコンフィギュレーションではオプションになっています。

バイト・デシリアライザは、以下の 2 つのモードで動作します。

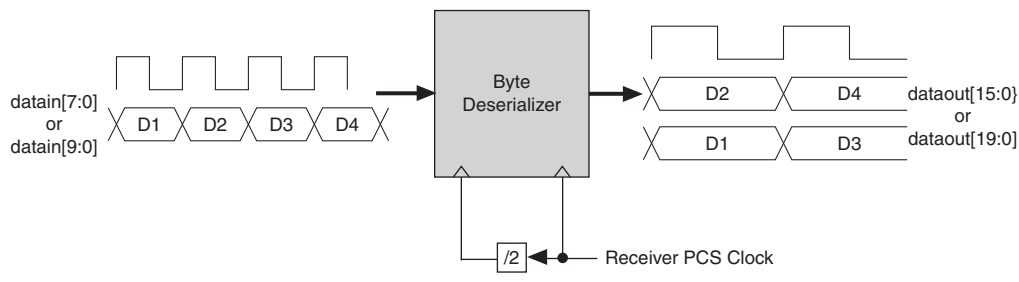
- Single Width モード
- Double Width モード

Single Width モードのバイト・デシリアライザ

Single Width モードでは、バイト・デシリアライザは 8B/10B デコーダから 8 ビット幅のデータ、またはワード・アライナから 10 ビット幅のデータを (8B/10B デコーダがディセーブルされている場合) 受信し、これを 1/2 の速度の 16 ビット幅または 20 ビット幅のデータにパラレル変換します。

図 1-19 に、Single Width モードのバイト・デシリアライザを示します。

図 1-19. Single Width モードのバイト・デシリアライザ

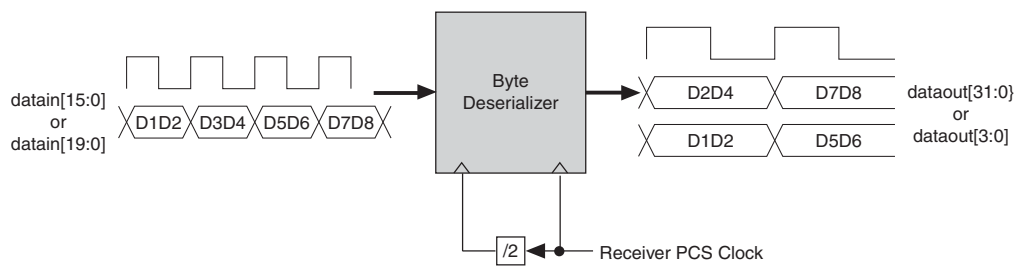


Double Width モードのバイト・デシリアライザ

Double Width モードでは、バイト・デシリアライザは 8B/10B デコーダから 16 ビット幅のデータ、またはワード・アライナから 20 ビット幅のデータを (8B/10B デコーダがディセーブルされている場合) 受信し、これを 1/2 の速度の 32 ビット幅または 40 ビット幅のデータに平行変換します。

図 1-20 に、Double Width モードのバイト・デシリアライザを示します。

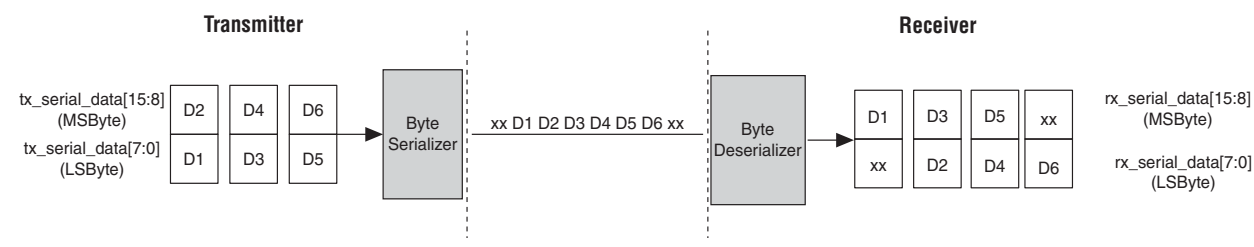
図 1-20. Double Width モードのバイト・デシリアライザ

**バイト・オーダリング・ブロック**

16 ビットまたは 20 ビットの FPGA ファブリックトランシーバ・インタフェースを備えた Single Width モードでは、バイト・デシリアライザは 1 データ・バイト (8 ビットまたは 10 ビット) を受信し、これを 2 データ・バイト (16 ビットまたは 20 ビット) に平行変換します。レシーバ PCS ロジックがリセットから復帰した時点によって、バイト・デシリアライザ出力でのバイト・オーダリングは、送信データの元のバイト・オーダリングと一致する場合と一致しない場合があります。リセット状態終了時にバイト・デシリアライザからバイト・デシリアライゼーションによるバイト・アラインメント誤差は予測できません。

図 1-21 に、2 バイトのトランスミッタ・データの最上位バイトと最下位バイトが、レシーバでバイト・平行変換された後、2 つのワード境界にまたがって出現するシナリオを示します。

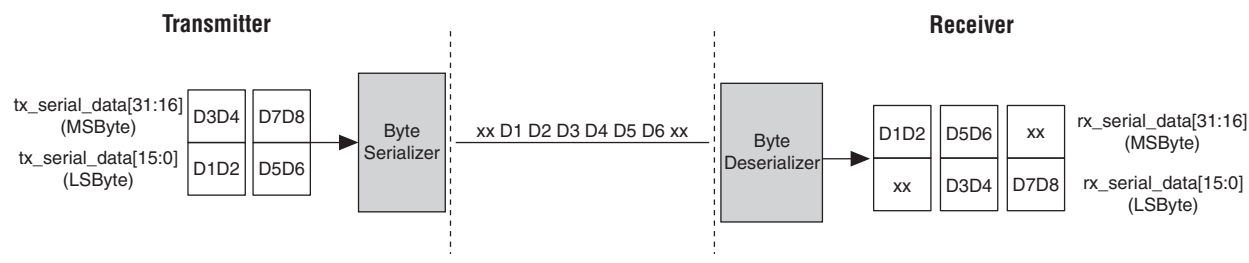
図 1-21. 2 つのワード境界にまたがった 2 バイト・トランスミッタ・データの最上位バイトと最下位バイト



32 ビットの FPGA ファブリック・トランシーバ・インタフェースを備えた Double Width モードでは、バイト・デシリアライザは 2 データ・バイト (16 ビット) を受信し、これを 4 データ・バイト (32 ビット) に平行変換します。

図 1-22 に、4 バイトのトランスミッタ・データの 2 つの最上位バイトと最下位バイトが、レシーバでバイト・平行変換された後、2 つのワード境界にまたがって出現するシナリオを示します。

図 1-22. 2つのワード境界にまたがった4バイト・トランスミッタ・データの最上位バイトと最下位バイト



トランシーバは、レシーバ・データパス内にオプションのバイト・オーダーリング・ブロックを備えており、これを使用することで、正しいバイト・オーダーリングを復元した後データを **FPGA** ファブリックに転送することができます。バイト・オーダーリング・ブロックは、バイト・パラレル変換されたデータ中でユーザーがプログラムしたバイト・オーダーリング・パターンを探します。ユーザーは、パラレル・トランスミッタ・データの最下位バイト位置に出現することが分かっているバイト・オーダーリング・パターンを選択する必要があります。バイト・オーダーリング・ブロックは、バイト・パラレル変換されたデータの最上位バイト位置で、プログラムされたバイト・オーダーリング・パターンを見つけた場合、ユーザーがプログラムした **PAD** バイトを適切な数だけ挿入しバイト・オーダーリング・パターンを最下位バイト位置にプッシュすることによって、正しいバイト・オーダーリングを復元します。

Single Width モードのバイト・オーダーリング・ブロック

Custom Single Width コンフィギュレーションでは、カスタムのバイト・オーダーリング・パターンおよびバイト・オーダーリング **PAD** パターンをプログラムすることができます。表 1-9 **Custom Double Width** コンフィギュレーションで許容されるバイト・オーダーリング・パターン長を示します。

表 1-9. Stratix V デバイス — **Custom Single Width** コンフィギュレーションでのバイト・オーダーリング・パターン長

コンフィギュレーション	バイト・オーダーリング・パターン長	バイト・オーダーリング PAD ・パターン長
以下を備えた Custom Single Width コンフィギュレーション。 <ul style="list-style-type: none"> ■ 16 ビット FPGA ファブリック・トランシーバ・インタフェース ■ 8B/10B デコーダ無し ■ マニュアル・アラインメント・モードのワード・アライナ 	8 ビット	8 ビット

Double Width モードのバイト・オーダーリング・ブロック

Custom Double Width コンフィギュレーションでは、**ALT PHY IP** メガファンクションでカスタムのバイト・オーダーリング・パターンおよびバイト・オーダーリング **PAD** パターンをプログラムすることができます。表 1-10 に、**Custom Double Width** コンフィギュレーションで許容されるバイト・オーダーリング・パターン長を示します。

表 1-10. Stratix V デバイス — Custom Double Width コンフィギュレーションでのバイト・オーダーリング・パターン長

コンフィギュレーション	バイト・オーダーリング・パターン長	バイト・オーダーリング PAD パターン長
以下を備えた Custom Double Width コンフィギュレーション。 <ul style="list-style-type: none"> ■ 32 ビット FPGA ファブリック - トランシーバ・インタフェース ■ ビット FPGA ファブリック - トランシーバ・インタフェース ■ マニュアル・アラインメント・モードのワード・アライナ 	16 ビット、 8 ビット	8 ビット

レシーバ位相補償 FIFO

各チャネルのレシーバ位相補償 FIFO によって、レシーバ・チャネルと FPGA ファブリックの間で信頼性の高いデータおよびステータス信号の転送が保証されます。レシーバ位相補償 FIFO は、パラレル・レシーバ PCS クロック (FIFO 書き込みクロック) と FPGA ファブリック・クロック (FIFO 読み出しクロック) の間の位相差を補償します。

図 1-23 に、レシーバ位相補償 FIFO を示します。

図 1-23. レシーバ位相補償 FIFO

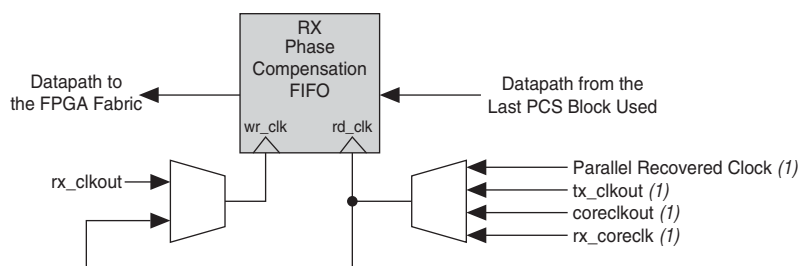


図 1-23 の注：

(1) バイト・デシリアライザが使用された場合、これらのクロックは 2 分周された可能性があります。

トランスミッタの標準 PCS データパス

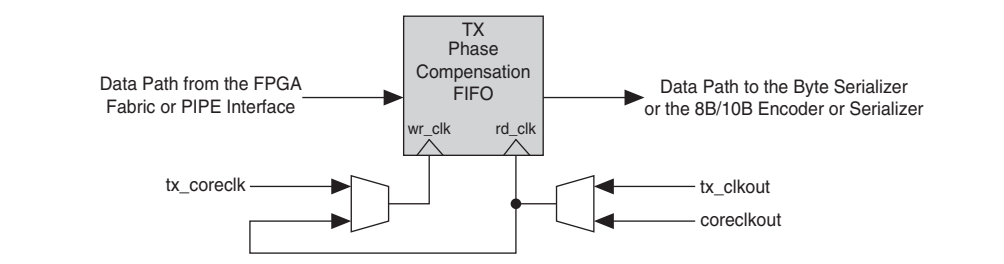
図 1-16 に示すトランスミッタ PCS データパスは、以下のブロックで構成されています。

- 1-31 ページの「トランスミッタ位相補償 FIFO」
- 1-31 ページの「バイト・シリアライザ」
- 1-32 ページの「8B/10B エンコーダ」(PCIe コンフィギュレーションでのみ使用可能)

トランスミッタ位相補償 FIFO


トランスミッタ位相補償 FIFO は、トランスミッタ・チャンネル PCS と FPGA ファブリック PCIe インタフェースとをインタフェースし、低速パラレル・クロックと FPGA ファブリック・インタフェース・クロックの間の位相差を補償します。これは、低速パラレル・クロックと FPGA ファブリック・インタフェース・クロック間の位相差を補正します。図 1-24 に、トランスミッタ位相補償 FIFO のデータパスおよびクロッキングを示します。

図 1-24. トランスミッタ位相補償 FIFO



バイト・シリアライザ

バイト・シリアライザは、入力データパスを 2 つに分割します。これにより、FPGA ファブリック・インタフェースの周波数を最大制限値以内に保ちながら、トランシーバ・チャンネルをより高いデータ・レートで動作させることができます。Single Width モードでは、2 バイト幅のデータパスが 1 バイト幅のデータパスに変換されます。Double Width モードでは、4 バイト幅のデータパスが 2 バイト幅のデータパスに変換されます。これは、FPGA ファブリック・トランシーバ・インタフェースの最大周波数制限を超えないコンフィギュレーションではオプションになっています。

 FPGA ファブリック・トランシーバ・インタフェースの最大周波数制限を超えるコンフィギュレーションでは、バイト・デシリアライザが必要になります。

Single Width モード

バイト・シリアライザは、最下位バイトを最初に転送し、その後最上位バイトを転送します。バイト・シリアライザへの入力データ幅は、チャンネル幅オプションによって決まります。例えば、Single Width モードでは、チャンネル幅を 20 とすると、バイト・シリアライザは、FPGA ファブリックパラレルの最下位ワード tx_parallel_data[9:0] を送信して、その後、tx_parallel_data[19:10] を送信をします。表 1-11 に、Single Width モードにおけるバイト・シリアライザの入力データ幅および出力データ幅を示します。

表 1-11. Stratix V デバイス — Single Width モードにおけるバイト・シリアライザの入力データ幅および出力データ幅

デシリアライゼーション幅	バイト・シリアライザへの入力データ幅	バイト・シリアライザからの出力データ幅
Single Width モード	16	8
	20	10

Double Width モード

Double Width モードの動作は、Single Width モードと同様です。例えば、チャンネル幅を 32 とすると、バイト・シリアライザは最初に tx_parallel_data[15:0] を転送し、その後、tx_parallel_data[31:16] を転送します。表 1-12 に、Double Width モードにおけるバイト・シリアライザの入力データ幅および出力データ幅を示します。

表 1-12. Stratix V デバイス — Double Width モードにおけるバイト・シリアライザの入力データ幅および出力データ幅

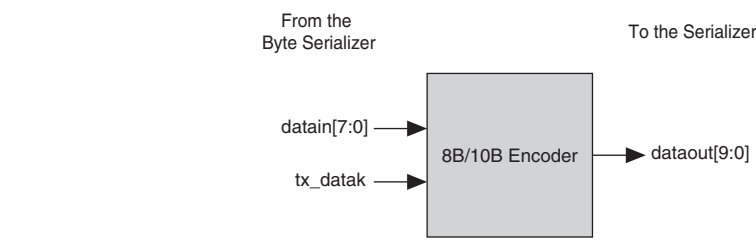
デシリアライゼーション幅	バイト・シリアライザへの入力データ幅	バイト・シリアライザからの出力データ幅
Double Width モード	32	16
	40	20

8B/10B Encoder オプションを選択すると、8B/10B エンコーダはバイト・シリアライザからの出力を使用します。それ以外の場合、バイト・シリアライザ出力がシリアライザに転送されます。

8B/10B エンコーダ

8B/10B エンコーダは PCIe コンフィギュレーションでのみ使用できます。8B/10B エンコーダは、8 ビットのデータと 1 ビットのコントロール識別子から 10 ビットのコード・グループを生成します。図 1-25 に、Single Width モードの 8B/10B エンコーダを示します。

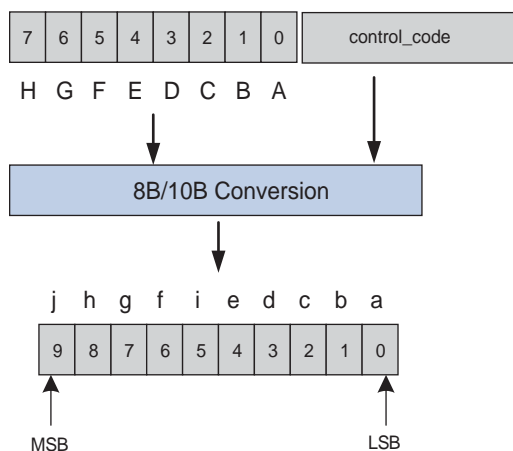
図 1-25. Single Width モードの 8B/10B エンコーダ



Single Width モード

図 1-25 に、Single Width モードの 8B/10B エンコーダを示します。このモードでは、8B/10B エンコーダは 8 ビットのデータを適切なディスパリティを含む 10 ビットのコード・グループ（コントロール・ワードまたはデータ・ワード）に変換します。tx_datak 入力が高の場合、8B/10B エンコーダは、入力 data[7:0] を 10 ビットのコントロール・ワードに変換します。tx_datak 入力が Low の場合、8B/10B エンコーダは、入力 data[7:0] を 10 ビットのデータ・ワードに変換します。図 1-26 に変換フォーマットを示します。LSB が最初に送信されます。

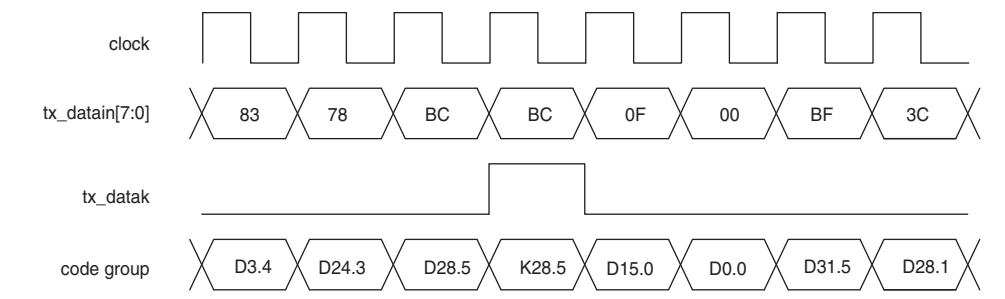
図 1-26. 8B/10B 変換フォーマット



コントロール・コードのエンコード

8B/10B ブロックには、tx_parallel_data 信号の 8 ビット・データをコントロール・ワード (Kx.y) としてエンコードする必要があるかどうかを示す tx_dataak 信号が設けられています。tx_dataak が Low の場合、8B/10B エンコーダ・ブロックは、tx_parallel_data 信号のバイトをデータ (Dx.y) としてエンコードします。tx_dataak が High の場合、8B/10B エンコーダ・ブロックは、tx_parallel_data 信号のバイトを Kx.y コード・グループとしてエンコードします。図 1-27 に、2 番目の 0xBC がコントロール・ワード (K28.5) としてエンコードされることを示しています。tx_parallel_data バイトのその他の部分はデータ・ワード (Dx.y) としてエンコードされます。

図 1-27. コントロール・ワードおよびデータ・ワードの送信



EEE 802.3 の 8B/10B エンコーダ仕様書には、tx_dataak をアサートしなければならない 1 組の 8 ビット・キャラクタだけが規定されています。その他の組のバイトに対し tx_dataak をアサートすると、8B/10B エンコーダは、入力された値に応じて、出力の 10 ビット・コードを無効なコード (有効な Dx.y または Kx.y コードにマッピングされない)、または意図しない有効な Dx.y コードにエンコードする可能性があります。ダウンストリーム 8B/10B デコーダが、コード・エラー・フラグをアサートせず、無効なコントロール・ワードを有効な Dx.y コードにデコードする可能性があります。

リセット条件

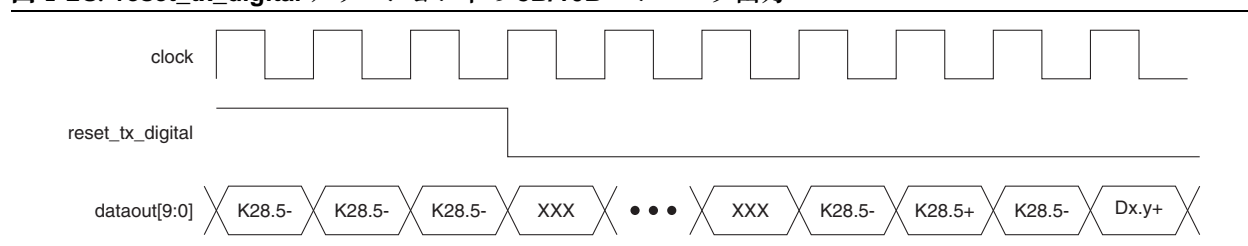
reset_tx_digital 信号は 8B/10B エンコーダをリセットします。リセット中に、ランニング・ディスペリティおよびデータ・レジスタがクリアされます。また、8B/10B エンコーダは、reset_tx_digital がディアサートされるまで RD- カラムから連続的に K28.5 パターンを出力します。FPGA ファブリックからの入力データおよびコントロール・コードは、リセット状態の間無視されます。リセット状態後に、8B/10B エンコーダは負のディスペリティ (RD-) で開始し、同期化のために 3 つの K28.5 コード・グループを送信してから、その出力上でデータのエンコーディングおよび送信を開始します。



reset_tx_digital がアサートされている間、データを受信するダウンストリーム 8B/10B デコーダで、同期化またはディスペリティ・エラーが観察される場合があります。

図 1-28 に、8B/10B エンコーダのリセット動作を示します。リセット状態 (reset_tx_digital が High) のとき、reset_tx_digital が Low になるまで、K28.5 (RD- カラムからの K28.5 10 ビット・コード・グループ) が連続して送信されます。トランスミッタ・チャンネル PCS のパイプライン化のために、3 つの同期化 K28.5 コード・グループの前にいくつかの「don't cares」(10'hxxx) が送信されます。ユーザー・データは 3 番目の K28.5 コード・グループの後に続きます。

図 1-28. reset_tx_digital アサーション中の 8B/10B エンコーダ出力



10G PCS アーキテクチャ

10G PCS は、2.0 ~ 12.5 Gbps のシリアル・データ・レートをサポートする全二重 (トランスミッタおよびレシーバ) トランシーバ・チャンネルを備えています。

一部の機能ブロックは、Interlaken または 10GBASE-R などのプロトコルに合わせてカスタマイズされています。表 1-13 に示すとおり、これらのプロトコルに対する異なるデータパス・コンフィギュレーションは、異なる ALT PHY MegaWizard™ Plug-In Managers を介して設定できます。

表 1-13. Stratix V デバイス — 10G PCS でサポートされるコンフィギュレーション

トランシーバ・コンフィギュレーション	トランシーバ ALT PHY IP	データ・レート	参照先
10GBASE-R	10GBASE-R PHY IP	10.3125 Gbps	10GBASE-R
Interlaken	Interlaken PHY IP	3.125 ~ 10.3125 Gbps	Interlaken
10G Custom	Low Latency PHY IP	2.0 ~ 12.5 Gbps	10G Custom Configuration

- 10G PCS ハード・マクロは、FPGA ファブリックにステータス信号およびコントロール信号を提供します。信号名については「*Altera Transceiver PHY IP Core User Guide*」を参照してください。
- 各データパス・コンフィギュレーションのクロッキング方式および配置制限については、「*Transceiver Protocol Configurations in Stratix V Devices*」および「*Custom Transceiver Configuration Datapath in Stratix V Devices*」の章を参照してください。

図 1-29 に、10G PCS データパスを示します。

図 1-29. Stratix V デバイスの 10G PCS データパス (注 1)

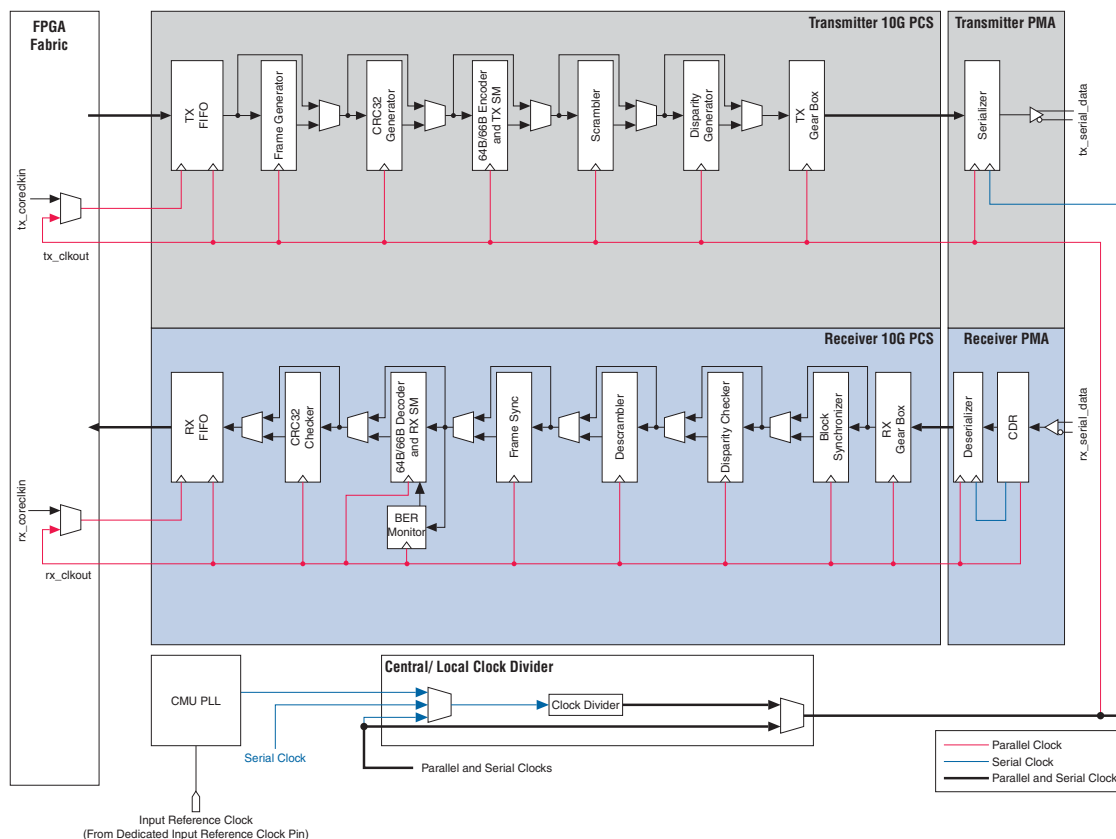


図 1-29 の注：

(1) 10G PCS データパスに示したすべてのブロックがすべてのコンフィギュレーションで使用できるとは限りません。

レシーバの 10G PCS データパス

図 1-29 に示すレシーバ・チャネルのデータパスは、以下のブロックで構成されています。

- 1-36 ページの「レシーバ・ギアボックス」
- 1-36 ページの「ブロック・シンクロナイザ」
- 1-37 ページの「ディスパリティ・チェッカー」
- 1-37 ページの「デスクランブラ」
- 1-38 ページの「フレーム・シンクロナイザ」

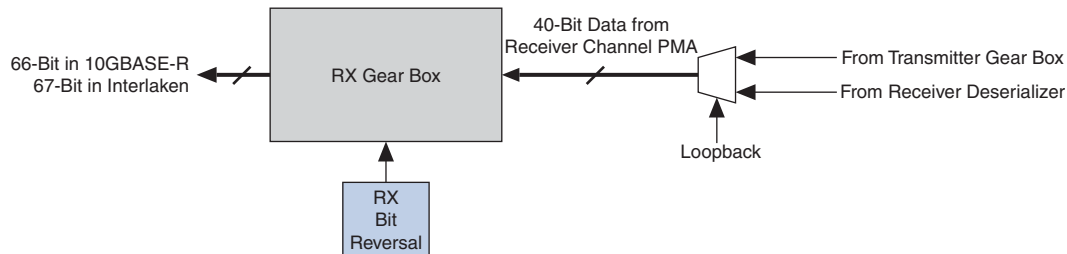
- 1-38 ページの「ビット・エラー・レート (BER) モニタ」
- 1-38 ページの「64B/66B デコーダ」
- 1-39 ページの「CRC-32 チェッカ」
- 1-39 ページの「レシーバ FIFO」

レシーバ・ギアボックス

レシーバ・ギアボックスは、PMA データ幅を PCS とインタフェースさせるために、PMA データ幅をより小さいバス幅に適合させます。

PMA バス幅が PCS バス幅よりも小さいため、レシーバ・ギアボックスは PMA のデータ・バス幅を PCS のデータ・バス幅に拡張します。このプロセスは透過的であるため、レシーバ・ギアボックスにデータを連続して送信できます。図 1-30 に、10GBASE-R コンフィギュレーションのレシーバ・ギアボックスを示します。

図 1-30. レシーバ・ギアボックス



レシーバ・ギアボックスはバス幅の適合に加えて、レシーバ・ビット反転機能も提供しています。

レシーバ・ビット反転

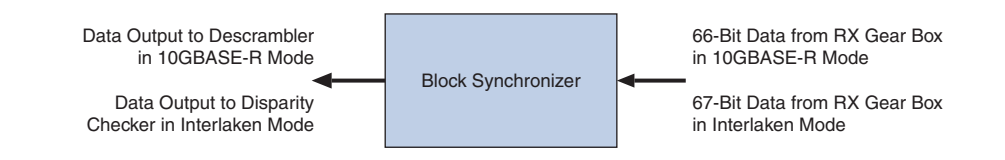
レシーバ・ギアボックスは、受信データにビット反転を実行できます。この機能はトランスミッタ・ビット反転機能に似ています。Interlaken など一部のプロトコルにはビット反転機能が必要です。詳細については、1-17 ページの「トランスミッタ・ビット反転」を参照してください。

ブロック・シンクロナイザ

ブロック・シンクロナイザは、IEEE 802.3-2008 の 49 項に規定されているとおり、Interlaken プロトコル仕様および 10GBASE-R プロトコル仕様向けに設計されています (図 1-31 を参照)。

ブロック・シンクロナイザは、10GBASE-R 場合では 66 ビット・ワードのブロック境界を、Interlaken の場合では 67 ビット・ワードのブロック境界を決定します。受信データ・ストリームは、受信データ・ストリームで有効な同期ヘッダ (ビット 65 およびビット 66) が検出されるまで、1 ビットずつスリップします。事前に定義された同期ヘッダ数 (プロトコル仕様で要求されるとおり) が検出されると、ブロック・シンクロナイザはレシーバ・データパスの少し先のほかのレシーバ PCS ブロックおよび FPGA ファブリックにステータス信号をアサートします。

図 1-31. ブロック・シンクロナイザ



ディスパリティ・チェッカー

ディスパリティ・チェッカーの設計は、Interlaken プロトコル仕様に基づいています。ワード同期が達成された後、ディスパリティ・チェッカーは受信ワードの第 67 ビットのステータスをモニタし、受信ワードの [63:0] ビットを反転するかどうかを決定します。


 ディスパリティ・チェッカーは、Interlaken コンフィギュレーションでのみ使用されます。

表 1-14 に、67 ビット・ワードの MSB の解釈を示します。

表 1-14. Stratix V デバイス — 67 ビット・ペイロードの MSB の解釈

MSB	解釈
0	ビット [63:0] が反転されていません。レシーバは変更なしでこのワードを処理できます。
1	ビット [63:0] が反転されています。レシーバは、処理を行う前に、このワードを反転して元のワードに変換する必要があります。

デスクランブラ

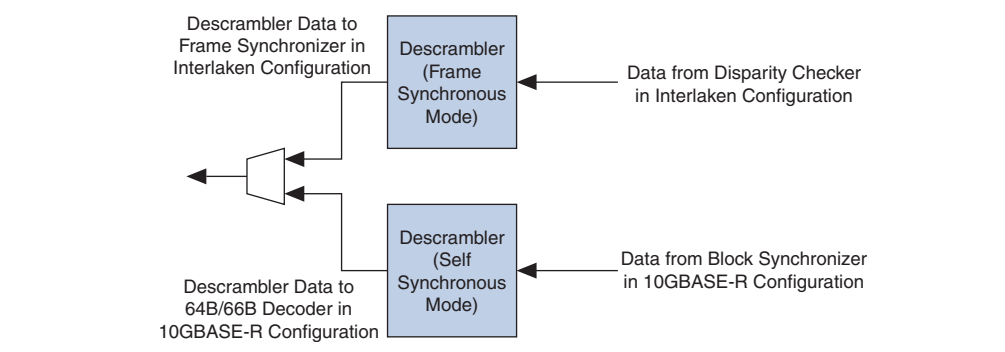
デスクランブラ（暗号復号装置）は、10G PCS にサポートされるプロトコル仕様によって受信データを逆スクランブルして復号化します。

デスクランブラは、以下の 2 つのモードで動作します。

- フレーム同期
- 自己同期

図 1-32 に、デスクランブラを示します。

図 1-32. デスクランブラ



フレーム同期モード

フレーム同期モードを **Interlaken** コンフィギュレーションでのみ使用してください。ブロック同期が達成されると、デスクランブラは、受信されたスクランブラ・ステート・ワードからのスクランブラ・シードを使用します。また、このブロックは現在のデスクランブラ・ステートをフレーム・シンクロナイザに送信します。


自己同期モード

自己同期モード **10GBASE-R** コンフィギュレーションで使用してください。

フレーム・シンクロナイザ

フレーム・シンクロナイザ・ブロックは、**Interlaken** コンフィギュレーションでサポートされています。

フレーム・シンクロナイザ・ブロックは、連続するメタフレームで 4 つの同期ワードを検出するとロックを取得します。同期後に、フレーム・シンクロナイザ・ブロックはメタフレーム内のスクランブル・ワードをモニタし、3 回の連続した不一致が検出されると、ロック信号をデアサートして同期動作を再開します。ロック・ステータスは、**FPGA** ファブリックで使用できます。

 フレーム・シンクロナイザは、**Interlaken** コンフィギュレーションでのみ使用されます。


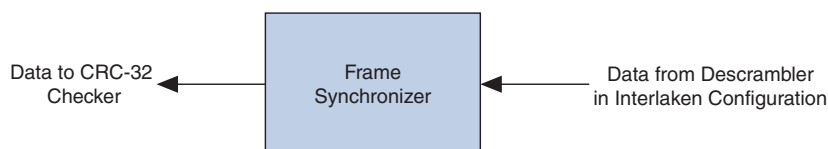
 [図 1-33](#) に、フレーム・シンクロナイザを示します。

図 1-33. フレーム・シンクロナイザ



ビット・エラー・レート (BER) モニタ

BER モニタ・ブロックは、**IEEE 802.3-2008** の 49 項に規定されているとおり **10GBASE-R** プロトコル仕様向けに設計されています。ブロック・ロックが取得された後、BER モニタは 125 マイクロ秒にわたって無効な同期ヘッダを計算します。125 マイクロ秒の期間内に 16 以上の無効な同期ヘッダが検出されると、BER モニタは **FPGA** ファブリックにステータス信号を送信し、ビット・エラー・レートが高いことを示します。

64B/66B デコーダ

64B/66B デコーダ・ブロックは、**IEEE 802.3-2008** の 49 項に規定されているとおり **10GBASE-R** プロトコル仕様向けに設計されています。

このブロックには、以下の 2 つのサブ・ブロックがあります。

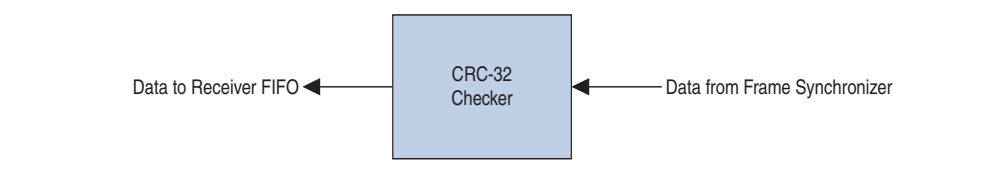
- 64B/66B デコーダ
- レシーバ・ステート・マシーン

64B/66B デコーダは、デスクランブラからの受信データを 64 ビットのデータと 8 ビットの制御文字に変換します。レシーバ・ステート・マシンは、BER モニタからのステータス信号をモニタします。ステータス信号がアサートされると、レシーバ・ステート・マシンはローカル・フォルト (LF : local fault) のオーダ・セットを送信します。

CRC-32 チェッカ

CRC 32 チェッカ・ブロックは、Interlaken プロトコルをサポートするように設計されています。CRC-32 チェッカは、入力データの CRC を計算して、その値を診断ワードで送信された CRC 値と比較をします。CRC エラー信号が FPGA ファブリックに提供されます。図 1-34 に、CRC-32 チェッカを示します。

図 1-34. CRC-32 チェッカ



レシーバ FIFO

レシーバ FIFO ブロックは、トランシーバ・データパスのコンフィギュレーションによって異なるモードで動作します (表 1-15 を参照)。

表 1-15. Stratix V デバイスのレシーバ FIFO 動作モード

コンフィギュレーション	レシーバ FIFO モード
10GBASE-R	「クロック補償モード」
Interlaken	「汎用モード」
Custom	「位相補償モード」

Quartus II ソフトウェアは、使用されるコンフィギュレーションによってレシーバ・モードを自動的に選択します。

クロック補償モード

10GBASE-R コンフィギュレーションの場合、レシーバ FIFO がクロック補償モードにコンフィギュレーションされます。このモードでは、FIFO はアイドルの OR オーダ・セットを削除し、アイドルのみを挿入して、リモート・トランスミッタとローカル・レシーバ間のクロック差を最大 ± 100 PPM まで補償します。

汎用モード

Interlaken コンフィギュレーションの場合、レシーバ FIFO が汎用モードにコンフィギュレーションされます。このモードでは、レシーバ FIFO は FIFO のリード側を制御するために、FIFO の状態を示すステータス信号を FPGA ファブリックに送信します。

位相補償モード

10G Custom コンフィギュレーションの場合、レシーバ FIFO が位相補償モードにコンフィギュレーションされます。このモードでは、FIFO は、FIFO のライト・クロックおよびリード・クロック間の位相差を補償します。

トランスミッタ 10G PCS データパス

35 ページの図 1-29 に示すトランスミッタ・チャンネル・データパスは、以下のブロックで構成されています。

- 「トランスミッタ FIFO」
- 1-40 ページの「フレーム・ジェネレータ」
- 1-41 ページの「CRC-32 ジェネレータ」
- 1-42 ページの「64B/66B エンコーダ」
- 1-42 ページの「スクランブラ」
- 1-43 ページの「ディスペリティ・ジェネレータ」
- 1-43 ページの「トランスミッタ・ギアボックス」

トランスミッタ FIFO

トランスミッタ FIFO は、トランスミッタ・チャンネル PCS および FPGA ファブリック間のインタフェースを提供します。

10GBASE-R コンフィギュレーションでは、トランスミッタ FIFO は FPGA ファブリックからデータを受信します。このブロックからのデータ出力は 64B/66B エンコーダに送信されます。

Interlaken コンフィギュレーションでは、トランスミッタ FIFO は、FPGA ファブリックからデータを受信する準備ができたかどうかを示す制御信号を送信します。ユーザー・ロジックは、この信号がアサートされた場合にのみ FIFO にデータを送信します。このコンフィギュレーションでは、トランスミッタ FIFO ブロックからのデータ出力はフレーム・ジェネレータに送信されます。

フレーム・ジェネレータ

フレーム・ジェネレータ・ブロック (図 1-35) は Interlaken プロトコルをサポートするように設計されています。このブロックは、トランスミッタ FIFO からデータを受信し、FPGA ファブリックからのペイロードおよびバースト/アイドル制御ワードをフレーミング・レイヤ制御ワード (同期ワード、スクランブラ・ステート・ワード、スキップ・ワード、および診断ワード等) によってカプセル化し、メタフレームを形成します。Interlaken PHY IP MegaWizard Plug-In Manager インタフェースには、メタフレーム長を設定するオプションがあります。


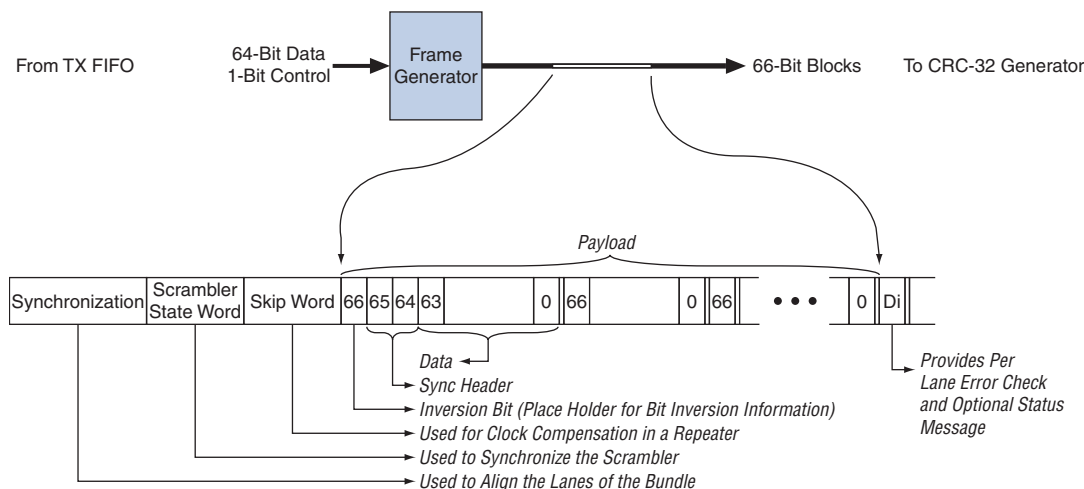
 フレーム・ジェネレータは Interlaken コンフィギュレーションでのみ使用されます。

図 1-35. フレーム・ジェネレータ



CRC-32 ジェネレータ

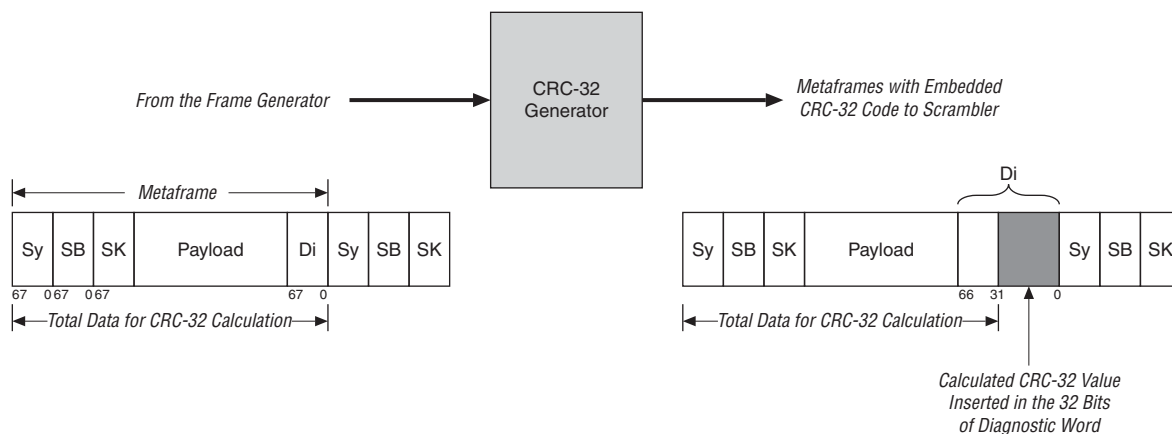
CRC-32 ジェネレータ (図 1-36) は、Interlaken プロトコルをサポートするように設計されています。CRC-32 ジェネレータ・ブロックは、フレーム・ジェネレータからデータを受信し、各データ・ブロックに対して CRC (Cyclic Redundancy Check) コードを計算します。この値は診断ワードの CRC32 フィールドに格納されます。

CRC-32 の計算は、以下のものを除いて、診断ワードを含むメタフレーム全体を対象としています。

- 各ワードのビット [66:64]
- スランブラ・ステート・ワード内の 58 ビットのスクランブラ・ステート
- 診断ワード内の 32 ビット・フィールド

CRC-32 ジェネレータは、Interlaken プロトコル・コンフィギュレーションでのみ使用されます。

図 1-36. CRC-32 ジェネレータ



64B/66B エンコーダ

64B/66B エンコーダ (図 1-37) は、IEEE 802.3-2008 の 49 項に規定されているとおり 10GBASE-R プロトコル仕様向けに設計されています。

このブロックには、以下の 2 つのサブ・ブロックがあります。

- 64B/66B エンコーダ
- トランスミッタ・ステート・マシーン

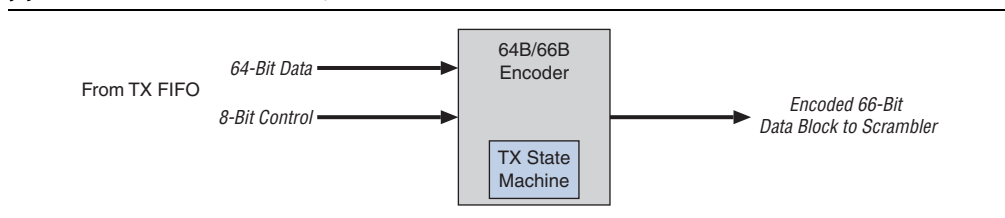
64B/66B エンコーダ・ブロックは、トランスミッタ FIFO からデータを受信します。64B/66B エンコーダ・ブロックは、64 ビットのデータおよび 8 ビットの制御文字を 10GBASE-R コンフィギュレーションに必要な 66 ビット・データ・ブロックにエンコードします。このブロック内のトランスミッタ・ステート・マシーンは、MAC レイヤからの 64 ビット・データをチェックし、適切なブロック順序を保証します。

 64B/66B エンコーダは、10GBASE-R コンフィギュレーションでのみ使用されます。

スクランブラ

データ・ストリーム内の 0 や 1 の長いシーケンス、およびデータ・パターンの重複は、隣接するチャンネルへの干渉および電磁妨害 (EMI) を発生させます。データ・スクランブラはこれらの影響を減少させます。図 1-38 に、スクランブラを示します。

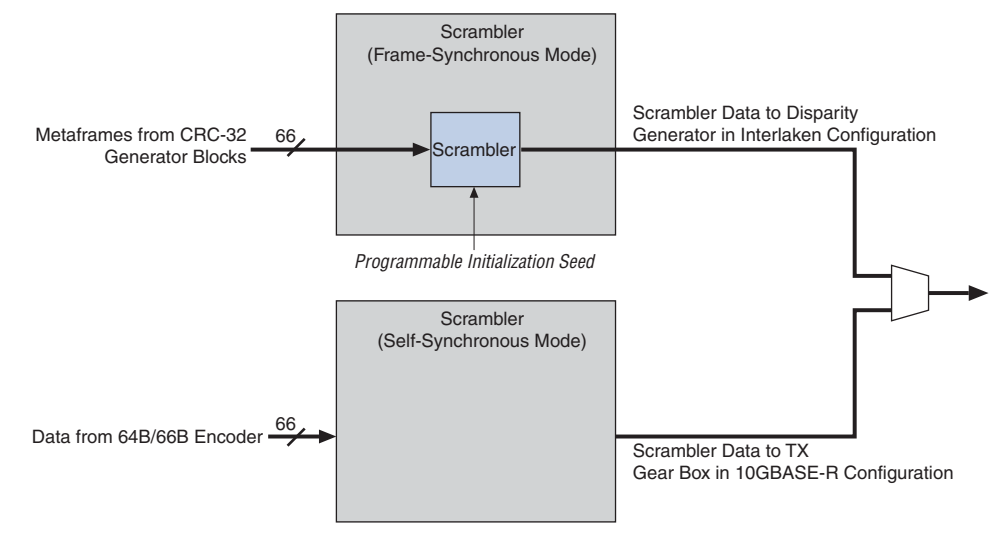
図 1-37. 64B/66B エンコーダ



スクランブラは、2 種類のモードで動作します。

- フレーム同期モード — Interlaken コンフィギュレーションで使用されます。
- 自己同期モード — IEEE 802.3-2008 の 49 項に規定されているとおり、10GBASE-R コンフィギュレーションで使用されます。

図 1-38. スクランプラ



ディスパリティ・ジェネレータ

ディスパリティ・ジェネレータ・ブロックは、Interlaken プロトコル仕様向けに設定されており、DC バランスのデータ出力を提供します。ディスパリティ・ジェネレータ・ブロックは、スクランブラからデータを受信し、ランニング・ディスパリティを反転して ± 96 ビットの境界に維持するようにします。このランニング・ディスパリティ要件を確保するためには、ビット [63:0] が反転され、ビット 66 が反転を示すように設定されます。


 ディスパリティ・ジェネレータは、Interlaken コンフィギュレーションでのみ使用されます。

表 1-16 に、67 ビット・ペイロードの MSB の解釈を示します。

表 1-16. Stratix V デバイス — 67 ビット・ペイロードの MSB の解釈

MSB	解釈
0	ビット [63:0] が反転されていません。レシーバは変更なしでこのワードを処理できます。
1	ビット [63:0] が反転されています。レシーバは、処理を行う前に、このワードを反転して元のワードに変換する必要があります。

トランスミッタ・ギアボックス

トランスミッタ・ギアボックスは、PCS データ幅を PMA とインタフェースさせるために、PCS データ幅をより小さいバス幅に適合させます。トランスミッタ・ギアボックスにより、FPGA ファブリック内のロジックは PCS と PMA 間のバス幅差を無視できます。


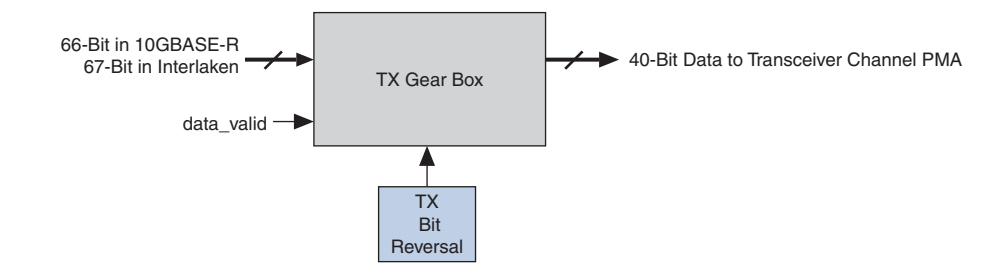
 サポートされる PMA-PCS 幅については、「[Transceiver Protocol Configurations in Stratix V Devices](#)」の章を参照してください。カスタム・コンフィギュレーションについて詳しくは、「[Custom Transceiver Configuration Datapath in Stratix V Devices](#)」の章を参照してください。

図 1-39 に、トランスミッタ・ギアボックスおよび Interlaken コンフィギュレーションと 10GBASE-R コンフィギュレーションのデータ幅を示します。

図 1-39. トランスミッタ・ギアボックス



バス幅の適合に加えて、トランスミッタ・ギアボックスはトランスミッタ・ビット反転機能およびトランスミッタ・ビット・スリップ機能を提供しています。

トランスミッタ・ビット反転

トランスミッタ・ギアボックスは、送信ビットの順序を反転する機能を備えています。デフォルトでは、トランスミッタは最初にワードの **LSB** を送信します。ただし、**Interlaken** など一部のプロトコルでは、ワードの **MSB** (ワード [66:0] の場合ではビット 66) を最初に送信する必要があります。トランスミッタ・ビット反転機能をイネーブルすると、ギアボックスへのパラレル入力が反転され、**MSB** が先に送信されるようになります。**Interlaken** コンフィギュレーションを使用する場合、**Quartus II** ソフトウェアは自動的にビット反転機能を設定します。

トランスミッタ・ビット・スリップ

トランスミッタ・ビット・スリップ機能を使用して **PMA** に送信されるデータをスリップすることにより、複数のトランスミッタ間のチャンネル間スキューを補償することができます。スリップされるビット数は **FPGA** ファブリックからコントロールでき、スリップできる最大ビット数は「**PMA-PCS** の幅 - 1」になります。この機能は **10G** コンフィギュレーションでのみサポートされます。

詳細については、「*Custom Transceiver Configuration Datapath in Stratix V Devices*」の章の「**10G Custom Configuration**」を参照してください。

結合コンフィギュレーション

チャンネル間的高速シリアル・クロック・スキューと低速シリアル・クロック・スキュー、およびトランスミッタ位相補償 **FIFO** における不均等なレイテンシは、トランスミッタのチャンネル間スキューの原因になります。結合されたトランスミッタ・データパス・クロッキングは、非結合チャンネル・コンフィギュレーションの場合に比較すると、チャンネル間スキューが低いです。

- 結合チャンネル・コンフィギュレーション — すべての結合チャンネルのシリアル・クロックおよびパラレル・クロックが送信 PLL およびセントラル・クロック・ディバイダによって生成されるため、チャンネル間クロック・スキューは比較的低いです。

すべての結合チャンネルにおけるトランスミッタ位相補償 FIFO が、セントラル・クロック・ディバイダによって生成される共通のポインタおよび制御ロジックを共用するため、すべての結合チャンネルのトランスミッタ位相補償 FIFO におけるレイテンシが均等になります。すべてのチャンネルのトランスミッタ位相補償 FIFO における低いトランシーバ・クロック・スキューおよび均等なレイテンシにより、結合チャンネル・コンフィギュレーションのチャンネル間スキューが低くなります。

- 非結合チャンネル・コンフィギュレーション — 各チャンネルのパラレル・クロックは各自のローカル・クロックによって生成されるため、チャンネル間クロック・スキューは比較的高いです。

非結合チャンネルのトランスミッタ位相補償 FIFO はそれぞれ独自のポインタおよび制御ロジックを持つため、各チャンネルに不均等なレイテンシが生じます。各チャンネルのトランスミッタ位相補償 FIFO における高いトランシーバ・クロック・スキューおよび不均等なレイテンシにより、高いチャンネル間スキューが発生する可能性があります。

- Stratix V トランシーバは、各種の結合 / 非結合トランシーバ・クロッキング・コンフィギュレーションをサポートします。詳細は、「[Transceiver Clocking in Stratix V Devices](#)」の章を参照してください。

PLL の共用

同一 Quartus II デザインにおける 2 つの異なるプロトコル・コンフィギュレーションを、同じ CMU PLL リソースを共用するようにマージすることができます。この 2 つのコンフィギュレーションは同じトランシーバ・バンクに配置する必要があります。また、この 2 つのコンフィギュレーションの入力 refclk および PLL 出力周波数は同じでなければなりません。

改訂履歴

表 1-17 に、本資料の改訂履歴を示します。

表 1-17. 改訂履歴

日付	バージョン	変更内容
2010年 12月	1.3	<ul style="list-style-type: none"> ■ 図 1-16 を更新。 ■ 図のマイナーな編集。
2010年 12月	1.2	<ul style="list-style-type: none"> ■ Quartus II v10.1 の情報を追加して更新。 ■ 章の情報を再編成。 ■ 「CMU PLL (トランスミッタ PLL) として使用されるチャンネル PLL」 および「ATX (Auxiliary Transmit) PLL アーキテクチャ」の項を追加。 ■ 図 1-11 を追加。 ■ 「結合コンフィギュレーション」の項を更新。 ■ 図 1-2、図 1-3、図 1-4、図 1-5、図 1-7、図 1-8、図 1-14、図 1-16、および図 1-29 を更新。 ■ 図 1-8、図 1-18、図 1-19、図 1-20、図 1-21、および図 1-22 における Rx の方向を反転。 ■ テキストのマイナーな編集。
2010年 7月	1.1	「Stratix V デバイス・ハンドブック」における初版。
2010年 4月	1.0	EAP における初版。