

Stratix® V デバイスは、低消費電力動作のためのプログラマブル・パワー・テクノロジーを提供します。これらの機能はスピード・グレードの選択と併せて、さまざまな順序で使用して、消費電力と性能の最適な組み合わせを得ることができます。

Stratix V 温度検知ダイオード (TSD) は、放熱管理のために、アナログ/デジタル・コンバータ (以下 ADC) を使用しており、設計者はこの機能をデザインに容易に組み込むことができます。デバイスのジャンクション温度をいつでもモニタできるため、デバイスへの空気流量が制御できるようになり、システム全体の消費電力の節約も可能になります。

Stratix V FPGA は、ハイエンド・アプリケーションに革新的なシステム帯域幅および消費電力効率を提供し、妥協のない技術革新を実現します。Stratix V デバイスは先進的な消費電力管理技術により、集積度と性能両方を向上させる同時に、消費電力の減少も実現できます。

FPGA の全消費電力には、スタティック消費電力とダイナミック消費電力が含まれます。

- スタティック消費電力とは、FPGA がコンフィギュレーションされているが、クロックが動作していないときに FPGA が消費する電力です。
- ダイナミック電力とは、デバイスがコンフィギュレーションされ、動作しているときのスイッチング消費電力です。ダイナミック消費電力は、式 12-1 に示す式で計算されます。

#### 式 12-1. ダイナミック消費電力を求める式 (1)

$$P = \frac{1}{2}CV^2 \times \text{frequency}$$

式 12-1 の注 :

(1) P = 消費電力 ; C = 負荷の容量 ; および V = 電源電圧レベルです。

式 12-1 に示すように、周波数はデザインに依存します。ただし、ダイナミック消費電力値は電圧差の 2 乗によって変化するため、電圧の変更でダイナミック消費電力を低減することができます。Stratix V デバイスは、高度なプロセス最適化およびプログラマブル・パワー・テクノロジーによって、スタティック消費電力とダイナミック消費電力を最小限に抑えます。これらのテクノロジーにより、Stratix V のデザインは、可能な最小消費電力でデザイン固有の性能要件を最適な形で満たすことができます。

Quartus® II ソフトウェアは、Stratix V パワー・テクノロジーによってすべてのデザインを最適化し、最小消費電力で性能要件を満たします。この自動プロセスにより、設計者はデザインの消費電力を気にすることなく、デザインの機能に集中することができます。

消費電力は放熱管理にも影響を与えます。Stratix V デバイスは、デバイスのジャンクション温度を自己モニターし、FPGA への空気流量の制御などを行うために外部回路を付加して使用する温度検知ダイオード (以下 TSD) を備えています。

この章は、以下の項で構成されています。

- 「温度検知ダイオード」
- 「Stratix V 外部電源要件」
- 「温度検知ダイオード」

## Stratix V プログラマブル・パワー・テクノロジー

Stratix V デバイスでは、ユーザの介入なしで Quartus II ソフトウェアによってタイルと呼ばれるコアの一部を、高速モードまたは低消費電力モードに設定することができます。タイルを高速モードまたは低消費電力モードに設定する動作はオンチップ回路で完成させるため、Stratix V デバイスに電源を追加する必要はありません。デザインのコンパイルにおいて、Quartus II ソフトウェアはデザインのタイミング制約に基づき、タイルを高速モードまたは低消費電力モードのいずれにする必要があるかを判断します。

Stratix V のタイルは、以下のもので構成できます。

- ペアへの配線を持つ MLAB (メモリ・ロジック・アレイ・ブロック) / LAB (ロジック・アレイ・ブロック) ペア
- ペアおよび隣接する DSP (デジタル信号処理) / メモリ・ブロック配線への配線を持つ MLAB/LAB ペア
- TriMatrix メモリ・ブロック
- DSP ブロック
- PCI Express® (PCIe) ハード IP
- フィジカル・コーディング・サブレイヤ (PCS)

タイルに関連するすべてのブロックおよび配線は、高速または低消費電力のいずれかで同じ設定を共有します。DSP ブロックまたはメモリ・ブロックを含むタイルは、デザインで使用されるときに最適な性能を達成するために、デフォルトでは高速モードに設定されます。未使用の DSP ブロックおよびメモリ・ブロックは、スタティック消費電力を低減するために低消費電力モードに設定されます。クロック・ネットワークは、プログラマブル・パワー・テクノロジーをサポートしません。

プログラマブル・パワー・テクノロジーにより、高スピード・グレードの FPGA は、低スピード・グレードの FPGA に比べて高速 MLAB および LAB ペア数が少なくなるため、より少ない消費電力で動作することもあります。低スピード・グレードのデバイスでは性能要件を満たすためにより多くの高速 MLAB および LAB ペアが必要ですが、高スピード・グレードのデバイスでは MLAB および LAB ペアが低消費電力モードで性能要件を満たすことができます。

Quartus II ソフトウェアでは、デザイン内の未使用デバイス・リソースを低消費電力モードに設定して、スタティック消費電力およびダイナミック消費電力を低減することができます。Quartus II ソフトウェアでは、デザインで使用しない場合は以下のリソースを低消費電力モードに設定することができます。

- LAB および MLAB
- TriMatrix メモリ・ブロック
- DSP ブロック

デザインで PLL がインスタンス化される場合は、areset ピンを High にアサートして PLL を低消費電力モードに維持します。

表 12-1 に、Stratix V デバイスのプログラマブル・パワー機能を示します。スピード・グレードの選択を考慮することにより、システムの設計における柔軟性を向上させることが可能です。

表 12-1. Stratix V プログラマブル・パワー機能

機能	プログラマブル・パワー・テクノロジー
LAB	使用可
配線	使用可
メモリ・ブロック	固定設定 (1)
DSP ブロック	固定設定 (1)
グローバル・クロック・ネットワーク	使用不可


表 12-1 の注:

- (1) デザインで使用される DSP ブロックおよびメモリ・ブロックを含むタイルは、常に高速モードに設定されます。未使用の DSP ブロックおよびメモリ・ブロックはデフォルトで低消費電力モードに設定されます。

## Stratix V 外部電源要件

この項では、Stratix V デバイ스에電力を供給するのに必要な各種外部電源について説明します。電源ピンが同じ電圧を必要とされる場合には、それらのピンに同一電源で給電することが可能です。

 電源ピン接続に関するガイドラインおよび電源レギュレータの共有については詳しくは、「[Stratix V GX Device Family Pin Connection Guidelines](#)」を参照してください。

 アルテラが推奨した電源の動作条件については、「[Stratix V デバイスの DC およびスイッチング特性](#)」の章を参照してください。

## 温度検知ダイオード

Stratix V TSD (温度検知ダイオード) は、PN ジャンクション・ダイオードの特性を使用してダイ温度を決定します。放熱管理にとっては、ジャンクション温度を把握することが非常に重要です。従来、ジャンクション温度は、周囲温度またはケース温度、ジャンクションから周囲まで (ja) の熱抵抗、またはジャンクションからケースまで (jc) の熱抵抗、およびデバイスの消費電力を使用して計算されていました。Stratix V デバイスは、TSD を外部 ADC と併用して、ダイ温度をモニタできます。これにより、デバイスへの空気流量が制御可能です。

## 内部温度検知ダイオード

Stratix V の内部温度検知ダイオードは 2 種類の動作モードで動作します。パワーアップ・モードでは、内部 TSD は ALTTEMP\_SENSE メガファンクションはデザインがイネーブルされている場合、コンフィギュレーション間のダイ温度を読み取ります。ALTTEMP\_SENSE ファンクションは、内部の TSD 回路に c1ken 信号をアサートすることによって、デバイスのユーザー・モード時に温度を検出することができます。デバイスのスタティック消費電力を低減するために、使用中の内蔵 ADC 回路しないときは、内部 TSD を無効にすることができます。不使用の時にビルトイン ADC 回路によって内部 TSD をディセーブルできます。


表 12-2 に、内部 TSD の仕様を示します。

表 12-2. 内部温度検知ダイオード

温度範囲	正確さ	キャリブレーションされるオフセットのオプション	サンプリング・レート	変換時間	分解能	紛失したコードなしの最小分解能
-40°C ~ 100°C	±8°C	なし	1MHz、500KHz	<100 ms	8 ビット	8 ビット

表 12-2 の注：

(1) シリコン特性評価待ちです。

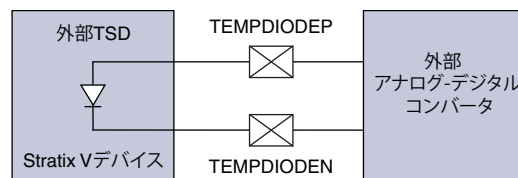
 ALTTEMP\_SENSE メガファンクションについて詳しくは、「[ALTTEMP\\_SENSE Megafunction User Guide](#)」を参照してください。

外部 ADC は Stratix V デバイスの TSD を流れるバイアス電流を操作して、順方向電圧を測定し、この測定値を 8 ビット符号付数値 (7 ビットと符号) の形式で温度に変換します。この 8 ビットの出力値は、Stratix V デバイスのジャンクション温度を表し、インテリジェント電源管理に使用されることができます。

## 外部ピン接続

Stratix V TSD には電圧リファレンス用の 2 本のピンが必要とされます。図 12-1 に示すように、TSD に外部 ADC デバイスを接続することができます。例えば、MAX1619、MAX1617A、MAX6627、および ADT 7411 などの外部温度検知デバイスを 2 本の TSD ピンに接続して Stratix V デバイスのダイ温度を読み取ることができます。

図 12-1. Stratix V TSD 外部ピン接続




 外部 TSD 仕様について詳しくは、「[Stratix V デバイスの DC およびスイッチング特性](#)」を参照してください。

TSD は、ボード上ほかのトレースから混入されたノイズ（デバイスの使用によってデバイス・パッケージ自体にも起こり得る）に影響される恐れがある、非常に敏感な回路です。インタフェース・デバイスは温度を TSD での電圧差のミリボルト (mV) として記録します。TSD ピン付近にあるスイッチング I/O は温度の読み取りに影響することがあります。そのため、アルテラはデバイスが動作していない期間に温度を読み取ることを推奨しています。

次は TSD 外部ピン接続のボード接続ガイドラインです。

- TEMPDIODE<sub>P</sub>/TEMPDIODE<sub>N</sub> の最大トレース長は 8 インチ以下でなければなりません。
- 両トレースを平行で配線し、各側にグラウンドされたガード・トラックを付けて、お互いに近接して配置します。
- アルテラは両トレースの間に 10 ミルの幅とスペースをすることを推奨しています。
- トレースを最小数のビアおよびクロスアンダーで配線して、熱電対効果を最小限に抑えます。
- 両トレースのビアは同数であることを確認します。
- 両トレースのトレース長がほぼ一致であることを確認します。
- ダイオードのトレースおよび高周波数信号の間に GND プレーンを配置して、トグルする信号（例えば、クロック信号および I/O 信号）との結合を避けます。
- 高周波ノイズをフィルタするには、TEMPDIODE<sub>P</sub>/TEMPDIODE<sub>N</sub> トレースの間に外部コンデンサを（外部チップに近づけるよう）配置します。
- Maxim デバイスの場合には、2200 pF ~ 3300 pF の外部コンデンサを使用します。
- 外部デバイスの近くに 0.1 uF のバイパス・コンデンサを配置します。
- ビルトイン ADC 回路の内部 TSD および外部 TSD を同時に使うことができます。
- 内部 ADC 回路のみ使用する場合、TSD のピンが使用されていないため、外部 TSD ピン (TEMPDIODE<sub>P</sub>/TEMPDIODE<sub>N</sub>) は GND に接続することができます。

 外部 TSD が使用されていない場合の TEMPDIODE<sub>P</sub>/TEMPDIODE<sub>N</sub> ピンの接続について詳しくは、「Stratix V Device Family Pin Connection Guidelines」を参照してください。

 デバイス仕様および接続ガイドラインについては、デバイス・メーカーからの外部 ADC/温度センサー・デバイスのデータシートを参照してください。

## 改訂履歴

表 12-3 に、本資料の改訂履歴を示します。

表 12-3. 改訂履歴

日付	バージョン	変更内容
2011 年 5 月	1.2	本章は 11.0 リリースのために Volume 2 に更新。
2010 年 12 月	1.1	Quartus II ソフトウェア 10.1 のためのこの章の内容に変更はありません。
2010 年 7 月	1.0	初版。

