

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SV51012-1.2

この章では、Stratix® V でサポートされるバウンダリ・スキャン・テスト (BST) 機能について説明します。

Stratix V デバイスでは、IEEE Std. 1149.1 および IEEE Std. 1149.6 をサポートします。IEEE Std. 1149.6 は、Stratix V デバイスの高速シリアル・インタフェース (HSSI) トランシーバでのみサポートされています。IEEE Std. 1149.6 により、AC カップリングされた (ソースとデスティネーション間にコンデンサが直列に接続された) トランシーバとレシーバ間の接続をボード・レベルでチェックすることができます。

この章は、以下の項で構成されています。

- 11-1 ページの「IEEE Std. 1149.6 バウンダリ・スキャン・レジスタ」
- 11-3 ページの「BST 動作コントロール」
- 11-5 ページの「JTAG チェインでの I/O 電圧のサポート」
- 11-6 ページの「BSDL のサポート」



下記の IEEE Std. 1149.1 BST 機能について詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「IEEE 1149.1 (JTAG) Boundary-Scan Testing in Stratix III Devices」を参照してください。

- IEEE Std. 1149.1 BST のアーキテクチャおよび回路
- IEEE Std. 1149.1 バウンダリ・スキャン・レジスタ
- IEEE Std. 1149.1 BST ガイドライン
- TAP (Test Access Point) コントローラ・ステート・マシン

## IEEE Std. 1149.6 バウンダリ・スキャン・レジスタ

Stratix V デバイスの HSSI トランスミッタのバウンダリ・スキャン・セル (GXB\_TX [p, n])、およびレシーバ/入力クロック・バッファ (GXB\_RX [p, n])/(REFCLK [p, n]) は、I/O ピンの BSC とは異なります。

☒ 11-1 に、Stratix V HSSI トランスミッタ BSC を示します。



図 11-1. Stratix V デバイスの IEEE Std. 1149.6 BST 回路付き HSSI トランスミッタ BSC

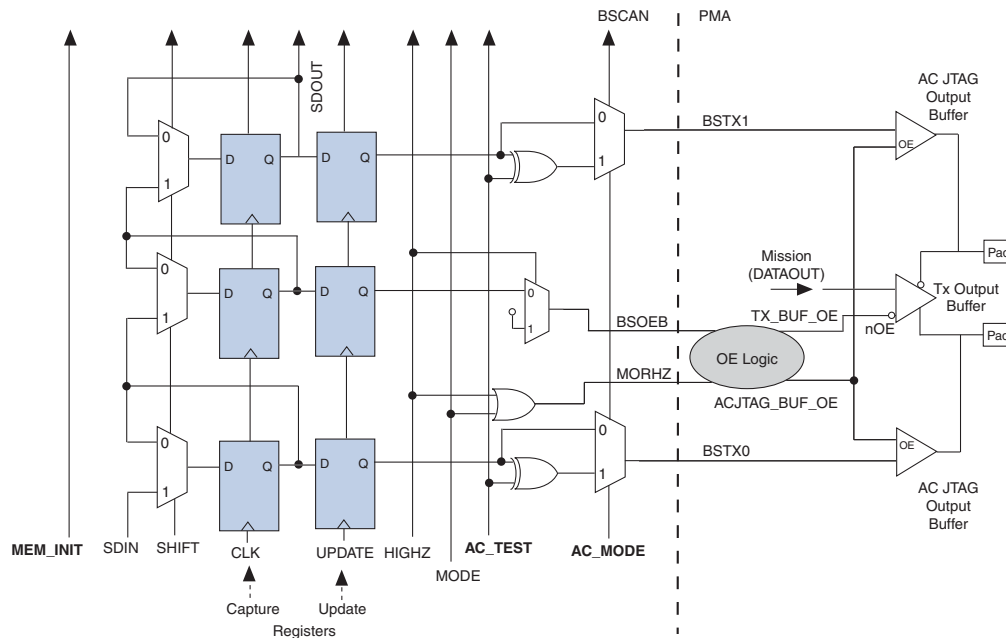
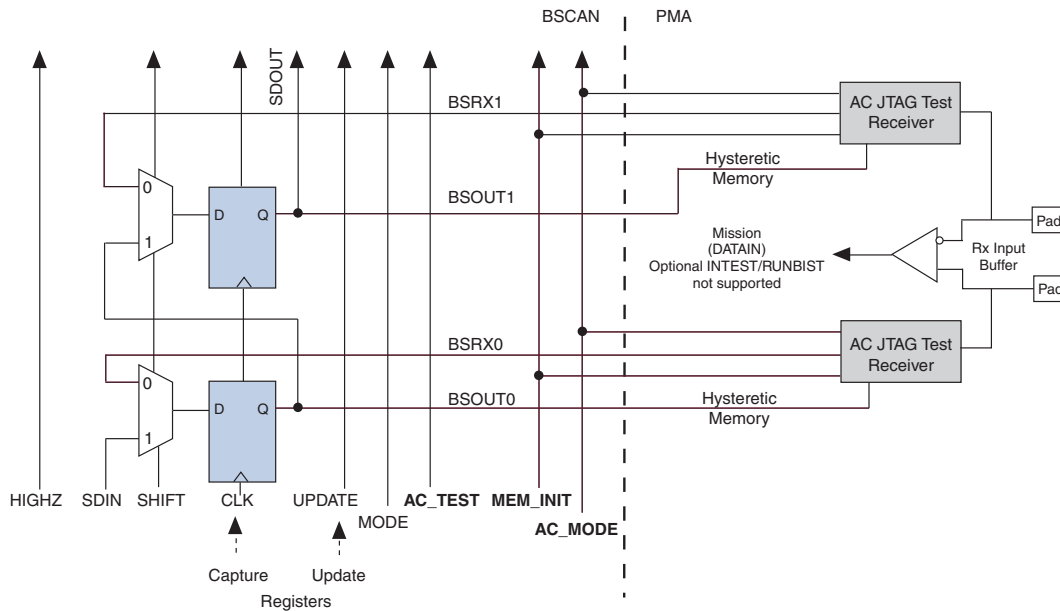


図 11-2 に、Stratix V HSSI レシーバ/入力バッファ BSC を示します。

図 11-2. Stratix V デバイスの IEEE Std. 1149.6 BST 回路付き HSSI レシーバ/入力クロック・バッファ BSC



## BST 動作コントロール

表 11-1 に、Stratix V デバイスの IDCODE 情報を示します。

表 11-1. Stratix V デバイスの 32 ビット IDCODE 情報 Stratix V— 暫定値

ファミリ	デバイス	IDCODE (32 ビット) (1)			
		バージョン (4 ビット)	部品番号 (16 ビット)	メーカー ID (11 ビット)	LSB (1 ビット) (2)
Stratix V GX	5SGXA3	0000	0010 1001 0001 0001	000 0110 1110	1
	5SGXA4	0000	0010 1001 0000 0001	000 0110 1110	1
	5SGXA5	0000	0010 1001 0001 0011	000 0110 1110	1
	5SGXA7	0000	0010 1001 0000 0011	000 0110 1110	1
	5SGXA9	0000	0010 1001 0001 0101	000 0110 1110	1
	5SGXAB	0000	0010 1001 0000 0101	000 0110 1110	1
	5SGXB5	0000	0010 1001 0001 0010	000 0110 1110	1
	5SGXB6	0000	0010 1001 0000 0010	000 0110 1110	1
Stratix V GT	5SGTC5	0000	0010 1001 0010 0011	000 0110 1110	1
	5SGTC7	0000	0010 1001 0100 0011	000 0110 1110	1
Stratix V GS	5SGSD2	未定	未定	未定	未定
	5SGSD3	未定	未定	未定	未定
	5SGSD4	未定	未定	未定	未定
	5SGSD5	未定	未定	未定	未定
	5SGSD6	未定	未定	未定	未定
	5SGSD8	未定	未定	未定	未定
Stratix V E	5SEE9	未定	未定	未定	未定
	5SEEB	未定	未定	未定	未定

表 11-1 の注：

- (1) 左側が最上位ビット (MSB) です。
- (2) IDCODE の最下位ビット (LSB) は常に 1 です。

表 11-2 に、Stratix デバイスでサポートされる JTAG 命令を示します。

表 11-2. Stratix V デバイスでサポートされている JTAG 命令 Stratix V ( 1 / 2 )

JTAG 命令	命令コード	説明
SAMPLE/PRELOAD	00 0000 0101	通常動作中のデバイスのピンから信号を取り込んでテストすることができる。また、初期データ・パターンをデバイス・ピンに出力させることができる。SignalTap™ II エンベデッド・ロジック・アナライザにも使用される。
EXTEST (1)	00 0000 1111	出力ピンにテスト・パターンを強制的に与え、入力ピンでテスト結果を取り込むことによって、外部回路との接続とボード・レベルの配線がテストできる。
BYPASS	11 1111 1111	TDI ピンと TDO ピンの間に 1 ビットのバイパス・レジスタを配置することによって、デバイスに通常の動作をさせながら BST データが選択されたデバイスをバイパスして、隣接したデバイスに同期転送させることができる。
USERCODE	00 0000 0111	32 ビットの USERCODE レジスタを選択し、このレジスタを TDI ピンと TDO ピンの間に配置することによって、USERCODE が TDO にシリアルにシフト・アウトさせることができる。
IDCODE	00 0000 0110	IDCODE レジスタを選択し、これを TDI ピンと TDO ピンの間に配置することによって、IDCODE が TDO にシリアルにシフト・アウトされるようにすることができる。
HIGHZ (1)	00 0000 1011	TDI ピンと TDO ピンの間に 1 ビットのバイパス・レジスタを配置することによって、すべての I/O ピンをトライ・ステートにした状態で、デバイスに通常の動作をさせながら BST データが選択されたデバイスをバイパスして、隣接したデバイスに同期転送させることができる。
CLAMP (1)	00 0000 1010	TDI ピンと TDO ピンの間に 1 ビットのバイパス・レジスタを配置することによって、I/O ピンをバウンダリ・スキャン・レジスタ内のデータで定義される状態に保持し、デバイスに通常の動作をさせながら BST データが指定したデバイスをバイパスして、隣接したデバイスに同期転送させることができる。
PULSE_NCONFIG	00 0000 0001	nCONFIG ピンに物理的な影響を与えることなく、Low のパルスが与えられ、リコンフィギュレーションが行なわれる状態をエミュレーションする。
CONFIG_IO	00 0000 1101	JTAG テストのため、IOCSR を使用して JTAG ポートを介して I/O リコンフィギュレーションが可能。この命令はコンフィギュレーション後またはコンフィギュレーション中に実行可能である。CONFIG_IO 命令は、nSTATUS スピンが High になった後でのみ発行できる。
FACTORY	10 1000 0001	パワーアップ時にサポートされる BYPASS、SAMPLE/PRELOAD、EXTEST、IDCODE、EXTEST_PULSE、および EXTEST_TRAIN 命令以外に、ほかのすべての JTAG 命令へのアクセスを可能にする。また、この命令はデバイス・コンフィギュレーション・データおよび高度暗号化規格 (AES) 揮発性キーをクリアする。
EXTEST_PULSE	00 1000 1111	下記の 3 つの出力遷移を生成することで、AC カップリングされたトランシーバとレシーバ間の接続をボード・レベルでチェックすることを可能にする。 <ul style="list-style-type: none"> <li>■ ドライバは、UPDATE_IR/DR ステータスのときに TCK の立ち下がりエッジでデータをドライブする。</li> <li>■ ドライバは、RUN_TEST/IDLE ステータスに入った後、TCK の立ち下がりエッジで反転されたデータをドライブする。</li> <li>■ ドライバは、RUN_TEST/IDLE ステータスが終了した後、TCK の立ち下がりエッジでデータをドライブする。</li> </ul>

表 11-2. Stratix V デバイスでサポートされている JTAG 命令 Stratix V ( 2 / 2 )


JTAG 命令	命令コード	説明
EXTEST_TRAIN	00 0100 1111	EXTEST_PULSE 命令と同じように動作する。ただし、TAP コントローラが RUN_TEST/IDLE ステートである限り、出力は TCK の立下がりエッジでもトグルし続ける。

表 11-2 の注：


- (1) バス・ホールドおよびウィーク・プルアップ抵抗の機能は、HIGHZ、CLAMP、および EXTEST 時のハイ・インピーダンス・ステートに対して優先されます。

パワーアップ後とコンフィギュレーション前の間に JTAG ピンでサポートされているのは、5 つの必須の JTAG 命令 (BYPASS、SAMPLE/PRELOAD、EXTEST、EXTEST\_PULSE、および EXTEST\_TRAIN)、オプションの IDCODE 命令、および FACTORY プライベート命令のみです。ほかのすべての JTAG 命令にアクセスできるようにするには、デバイスがコア・コンフィギュレーション・データをロードする前に FACTORY 命令を発行する必要があります。また、この命令はデバイス・コンフィギュレーション・データおよび AES 揮発性キーをクリアします。

TAP コントローラがリセット状態にある場合、IDCODE 命令がデフォルト命令になります。何の命令もロードせずに Shift\_DR ステートに入って JTAG Device ID をシフト・アウトすることができます。

 デバイスがリセット・ステートにある場合、nCONFIG または nSTATUS 信号が Low になると、デバイス IDCODE の読み出しが正常に実行できない場合があります。デバイス IDCODE を正しく読み出すには、nCONFIG および nSTATUS 信号が High のときにのみ IDCODE JTAG 命令を発行します。

IEEE Std. 1149.6 仕様によると、2 つの新しい命令、EXTEST\_PULSE および EXTEST\_TRAIN が要求されます。これらの新しい命令により、HSSI ピンを含む信号パスにエッジ検出動作をイネーブルします。これらの命令は、HSSI ピンに新しいテスト動作を実装する同時に、非 HSSI ピンに対しては IEEE Std. 1149.1 の EXTEST 命令と同じ動作を実装します。

 HSSI 信号に DC カップリングを使用する場合、EXTEST 命令を実行します。HSSI 信号に AC カップリングを実行する場合、EXTEST\_PULSE を実行します。

## JTAG チェインでの I/O 電圧のサポート

BST モードで動作するデバイスは、TDI、TDO、TMS、TCK の 4 本の専用ピン、および TRST の 1 本のオプション・ピンを使用します。TCK ピンは内部ウィーク・プルダウン抵抗を備えています。TDI ピン、TMS ピンおよび TRST ピンは内部ウィーク・プルアップ抵抗を備えています。TDO 出力ピンおよびすべての JTAG 入力ピンは、I/O バンク 3A の 2.5 V/3.0 V  $V_{CCPD}$  電源で駆動されます。JTAG コンフィギュレーション実行中、すべてのユーザー I/O ピンはトライ・ステートになります。

JTAG チェインには何種類かのデバイスをサポートします。ただし、チェーンに異なる  $V_{CCIO}$  レベルを持つデバイスが含まれる場合は注意が必要です。TDO ピンの出力電圧レベルは、ドライブする TDI ピンの規格を満たす必要があります。

表 11-3 に、適切な JTAG チェイン動作を実現するためのボード・デザイン推奨事項を示します。

表 11-3. サポートされている TDO/TDI 電圧の組み合わせ

デバイス	TDI 入力バッファ電源	Stratix V TDO $V_{CCPD}$	
		$V_{CCPD} = 3.0\text{ V}$ (1)	$V_{CCPD} = 2.5\text{ V}$ (2)
Stratix V	$V_{CCPD} = 3.0\text{ V}$	✓	✓
	$V_{CCPD} = 2.5\text{ V}$	✓	✓
Non-Stratix V	$V_{CC} = 3.3\text{ V}$	✓ (3)	✓ (4)
	$V_{CC} = 2.5\text{ V}$	✓ (3)	✓ (4)
	$V_{CC} = 1.8\text{ V}$	✓ (3)	✓ (4)
	$V_{CC} = 1.5\text{ V}$	✓ (3)	✓ (4)

表 11-3 の注：

- (1) TDO 出力バッファは、 $V_{OH}(\text{MIN}) = 2.4\text{ V}$  に適合します。
- (2) TDO 出力バッファは、 $V_{OH}(\text{MIN}) = 2.0\text{ V}$  に適合します。
- (3) 入力バッファは  $3.0\text{ V}$  を許容する必要があります。
- (4) 入力バッファは  $2.5\text{ V}$  を許容する必要があります。

## BSDL のサポート

VHDL のサブセットである BSDL (Boundary-Scan Description Language) は、テスト可能な IEEE Std. 1149.6 BST 対応デバイスの機能を記述できる構文を提供します。テスト・ソフトウェア開発システムは、BSDL ファイルをテスト生成、解析、および障害診断に使用します。

- IEEE Std. 1149.6 準拠の Stratix V デバイス用 BSDL ファイルについては、アルテラ・ウェブサイトの [IEEE 1149.6 BSDL Files](#) ページを参照してください。
- また、IEEE Std. 1149.6 準拠の Stratix V デバイス用の BSDL ファイル(プリ - コンフィギュレーションとポスト - コンフィギュレーション) は、V10.0 SP1 以降の Quartus® II ソフトウェアによっても生成できます。Quartus II ソフトウェアによって BSDL ファイルを生成する手順については、アルテラ・ウェブサイトの [BSDL Files Generation in QII](#) を参照してください。

## 改訂履歴

表 11-4 に、本資料の改訂履歴を示します。

表 11-4. 改訂履歴

日付	バージョン	変更内容
2011 年 5 月	1.2	<ul style="list-style-type: none"> <li>■ 11.0 リリースにより、この章を Volume 2 に移動</li> <li>■ 表 11-1 を更新</li> </ul>
2010 年 12 月	1.1	10.1 リリース。内容の変更はなし
2010 年 7 月	1.0	初版