

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SV51010-1.3

この章では、Stratix® V でサポートされているコンフィギュレーション手法、必要なコンフィギュレーション手法の実行方法、およびピン設定について説明します。また、この章では、デバイスをコンフィギュレーションするさまざまな方法を検討して、Stratix V デバイスのデザイン・セキュリティおよびリモート・システム・アップグレード機能を説明しています。

この章は、以下の項で構成されています。

- 9-2 ページの「コンフィギュレーション機能」
- 9-2 ページの「パワー・オン・リセット回路およびコンフィギュレーション・ピン電源電圧」
- 9-4 ページの「コンフィギュレーション・シーケンス」
- 9-7 ページの「コンフィギュレーション手法」
- 9-9 ページの「ファースト・パッシブ・パラレル・コンフィギュレーション」
- 9-17 ページの「アクティブ・シリアル・コンフィギュレーション (シリアル・コンフィギュレーション・デバイス)」
- 9-30 ページの「パッシブ・シリアル・コンフィギュレーション」
- 9-37 ページの「JTAG コンフィギュレーション」
- 9-41 ページの「デバイス・コンフィギュレーション・ピン」
- 9-45 ページの「コンフィギュレーション・データの復元」
- 9-47 ページの「リモート・システム・アップグレード」
- 9-58 ページの「デザイン・セキュリティ」

Stratix V デバイスは、SRAM セルを使用してコンフィギュレーション・データを格納します。SRAM は揮発性のため、電源が投入されるたびに Stratix IV デバイスにコンフィギュレーション・データをダウンロードする必要があります。Stratix IV デバイスは、4 種類のコンフィギュレーション手法のいずれか 1 つを使用してコンフィギュレーションできます。

- ファースト・パッシブ・パラレル (FPP) (x8、x16、および x32)
- アクティブ・シリアル (AS) (x1 および x4)
- パッシブ・シリアル (PS)
- JTAG

すべてのコンフィギュレーション手法では、外部コントローラ (MAX®II デバイスまたはマイクロプロセッサなど)、コンフィギュレーション・デバイス、またはダウンロード・ケーブルを使用します。コンフィギュレーション機能については、9-2 ページの「コンフィギュレーション機能」を参照してください。



コンフィギュレーション機能

Stratix V デバイスは、圧縮復元、デザイン・セキュリティ、およびリモート・システム・アップグレード機能を提供しています。Stratix V デバイスは、圧縮されたコンフィギュレーション・ビットストリームを受信して、このデータをリアルタイムで復元することができるため、必要なメモリおよびコンフィギュレーション時間を低減します。コンフィギュレーション・ビットストリーム暗号化を使用した Stratix V のデザイン・セキュリティは、ユーザーのデザインを保護します。リモート・システム・アップグレード機能を使用して、Stratix V デザインに対して遠隔地からのリアルタイム・システム・アップグレードを行うことができます。

表 9-1 に、各コンフィギュレーション手法で使用可能なコンフィギュレーション機能をリストします。

表 9-1. Stratix V デバイスのコンフィギュレーション機能

コンフィギュレーション手法	復元	デザイン・セキュリティ	リモート・システム・アップグレード
FPP (x8, x16, x32)	✓ (1)	✓ (1)	—
AS (x1, x4)	✓	✓	✓
PS	✓	✓	—
JTAG	—	—	—

表 9-1 の注:

(1) これらのコンフィギュレーション手法では、ホスト・システムは異なる DCLK-to-DATA [] の比を調整しなければなりません。詳しくは、9-9 ページの「ファースト・パッシブ・パラレル・コンフィギュレーション」を参照してください。

パワー・オン・リセット回路およびコンフィギュレーション・ピン電源電圧

以降の項では、パワー・オン・リセット (POR) 回路およびコンフィギュレーション・ピン電源電圧について説明します。

POR 遅延の仕様

POR 遅延は、POR 回路によりモニターされたすべての電源品が nSTATUS が High にリリースされて、デバイスがコンフィギュレーションを開始するときに、最小推奨動作電圧に達する時間の間の遅延と定義されます。

✎ POR 遅延について詳しくは、「Stratix V デバイスのホット・ソケットおよびパワー・オン・リセット」の章を参照してください。

表 9-2 には、ファストおよび標準の POR 遅延の仕様をリストします。

表 9-2. ファストおよび標準の POR 遅延の仕様 (注 1)


POR 延長	最小値	最大値
ファスト	4 ms	12 ms
標準	100 ms	300 ms

表 9-2 の注:

(1) 7 ページの表 9-4 で説明されるように MSEL 設定に基づいて POR 遅延を選択することができます。

パワー・オン・リセット回路

POR 回路は、電源投入時に電源電圧レベルが安定するまでシステム全体をリセット状態に維持します。電源投入後に POR 回路によってモニターされているすべての電源電圧がデバイスの POR トリップ・ポイントを上回るまで、nSTATUS を解放しません。電源投入時に、任意の POR 回路によってモニターされているすべての電源電圧がホット・ソケット回路のスレッシュホールド・レベルよりも下回る場合にブラウン・アウトが発生します。


 POR 回路によってモニターされている電源電圧について詳しくは、「[Stratix V デバイスのホット・ソケットおよびパワー・オン・リセット](#)」の章を参照してください。

V_{CCPGM} ピン

Stratix V デバイスは、すべての専用コンフィギュレーション・ピンおよび兼用ピンのための電源 V_{CCPGM} を提供しています。サポートされているコンフィギュレーション電圧は、1.8、2.5、および 3.0 V です。


すべての専用コンフィギュレーション入力ピン、専用コンフィギュレーション出力ピン、専用コンフィギュレーション双方向ピン、およびコンフィギュレーションに使用する兼用ピンに電力を供給するために、V_{CCPGM} ピンを使用します。コンフィギュレーション入力バッファは、Stratix V デバイスで電源ラインを通常の I/O バッファと共有する必要がなくなります。

コンフィギュレーション中、コンフィギュレーション入力ピンの動作電圧は、I/O バンク電源 V_{CCIO} から独立しています。したがって、V_{CCIO} のコンフィギュレーション電圧の制約は Stratix V デバイスでは必要ありません。

 コンフィギュレーション・ピンについて詳しくは、「[Stratix V デバイスのファミリー・ピンの接続ガイドライン](#)」を参照してください。

V_{CCPD} ピン

Stratix V デバイスには、専用のプログラミング電源 V_{CCPD} がありますが、これは I/O プリドライバおよび JTAG I/O ピン (TCK、TMS、TDI、TDO および TRST) に電源を供給するために 3.0 V または 2.5 V に接続する必要があります。

 V_{CCIO} は、V_{CCIO} と等しいかそれ以上でなければなりません。V_{CCIO} は 3.0 V に設定される場合、V_{CCPD} は 3.0 V にパワーアップする必要があります。バンクの V_{CCIO} は 2.5 V または以下に駆動される場合、V_{CCPD} は 2.5 V にパワーアップする必要があります。これは V_{CCPD} と V_{CCIO} ピンが含まれているすべてのバンクに適用されます。


コンフィギュレーション・ピン電源電圧について詳しくは、[9-41 ページ](#)の「[デバイス・コンフィギュレーション・ピン](#)」を参照してください。


コンフィギュレーション・シーケンス

次の項では、FPP、AS、および PS 手法用の一般的なコンフィギュレーション・プロセスについて説明します。

電源投入

設定プロセスを開始するには、適切な電圧レベルに POR 回路によってモニターされるすべての電源電圧を完全にパワーアップする必要があります。コンフィギュレーションの成功を確認するように、電源電圧は指定されたランプアップ時間仕様に一定に上昇しなければなりません。

 V_{CCPGM} および V_{CCPD} が含まれているすべての電源電圧は、ランプアップ時間仕様内の 0 V から希望の電圧レベルまで上昇しなければなりません。これらの電源がこの規定時間内に上昇しない場合、Stratix V デバイスは正しくコンフィギュレーションされません。システムが指定されたランプアップ時間仕様に電源を上昇していない場合は、すべての電源が安定するまで nCONFIG を Low に保持する必要があります。

 ランプアップ時間仕様について詳しくは、「Stratix V デバイスのホット・ソケットおよびパワー・オン・リセット」の章を参照してください。

リセット

電源投入後には、Stratix V デバイスで POR が実行されます。POR 遅延は、MSEL の設定によって異なります。POR の間、デバイスはリセットされ、nSTATUS が Low に保持され、コンフィギュレーション RAM ビット、およびすべてのユーザー I/O ピンがトライ・ステートになります。デバイスが正常に POR を終了すると、デバイスがコンフィギュレーションされるまですべてのユーザー I/O ピンはトライ・ステートを維持します。


nCONFIG が Low のとき、デバイスはリセット状態です。デバイスはリセット状態を終了するとき、オープン・ドレインの nSTATUS ピンをリリースするように、nCONFIG がロジック High レベルにあります。nSTATUS が解放されると、プルアップ抵抗によって High にプルアップされてそして、デバイスはコンフィギュレーション・データを受信可能な状態になります。すべてのユーザー I/O ピンは、コンフィギュレーションの実行前および実行中にトライ・ステートとなります。電源投入時およびコンフィギュレーション中に nIO_pullup が Low にドライブされた場合、ユーザー I/O ピンおよび兼用 I/O ピンはウィーク・プルアップ抵抗を持ち、(POR 後の) コンフィギュレーションの実行前および実行中にオンになります。nIO_pullup が High にドライブされた場合、ウィーク・プルアップ抵抗はディセーブルされます。

遅延仕様について詳しくは、9-2 ページの「POR 遅延の仕様」を参照してください。

コンフィギュレーション

コンフィギュレーション・ステージが開始されるようにロジック High レベルで nCONFIG および nSTATUS の両方をディアサートする必要があります。PS および FPP コンフィギュレーション手法では、デバイスは、DATA ピンでコンフィギュレーション・データを受信し、DCLK ピンでクロック・ソースを受信します。このコンフィギュレーション・データは、DCLK の立ち上がりエッジで Stratix V デバイスにラッチされます。AS コンフィギュレーション手法では、AS_DATA[] ピンでコンフィギュレーション・データを受信し、DCLK ピンでクロック・ソースを駆動します。そしてそのコンフィギュレーション・データは、DCLK の立ち下がりエッジで Stratix V デバイスにラッチされます。

Stratix V デバイスは、すべてのコンフィギュレーション・データを正常に受信すると、プルアップ抵抗で High にプルアップされた CONF_DONE ピンを解放します。CONF_DONE の Low から High への遷移は、コンフィギュレーションが完了し、デバイスの初期化を開始できることを示します。FPP および PS コンフィギュレーション手法では、コンフィギュレーションの終了時に DCLK をフローティング状態にしないようにする必要があります。これらを High か Low のいずれかボードで都合が良い方にドライブしなければなりません。

 FPP および PS コンフィギュレーション手法では、DCLK には最大周期はありません。これは DCLK を無制限に Low に保持することによってコンフィギュレーションを停止できることを意味します。コンフィギュレーションを再開するには、外部ホストは最初の DCLK の立ち上がりエッジを送信する前に、DATA[] ピンにデータを供給しなければなりません。

コンフィギュレーション・エラー

AS コンフィギュレーション手法では、**Auto-restart configuration after error** オプション (Quartus® II ソフトウェアの **Device and Pin Options** ダイアログ・ボックスの **General** タブで選択可能) がオンの場合、Stratix V デバイスは指定された時間 (tSTATUS で示される) の後に nSTATUS を解放し、コンフィギュレーションを再試行します。このオプションがオフになっている場合、または外部コントローラ付きの PS か FPP コンフィギュレーション手法を使用する場合は、コンフィギュレーションを再開するにはシステムが nSTATUS でエラーを監視し、nCONFIG で Low から High への信号を送信する必要があります。

初期化

Stratix V デバイスでは、初期化は、CONF_DONE が High に達してから開始されます。FPP および PS コンフィギュレーション手法では、両方の非圧縮および圧縮コンフィギュレーション・データはデバイスの初期化を開始するために、Stratix V デバイスに最後のコンフィギュレーション・バイトが送信されると 2 つの DCLK 立ち下がりエッジが必要です。

初期化クロック・ソースは内部オシレータの CLKUSR または DCLK からです。デフォルトでは、内部オシレータが初期化用のクロック・ソースです。内部オシレータを使用する場合、Stratix V デバイスは、自身で初期化を正しく実行するのに必要なクロック・サイクルを供給します。


表 9-3 には、初期化クロック・ソース・オプション、適用可能なコンフィギュレーション手法、および最大周波数をリストします。

表 9-3. 初期化クロック・ソース・オプションおよび最大周波数

初期化クロック・ソース・オプション	コンフィギュレーション手法	最大周波数	クロック・サイクルの最小数 ⁽¹⁾
内蔵オシレータ	AS、PS、FPP	12.5 MHz	17,408 ⁽³⁾
CLKUSR	AS、PS、FPP ⁽²⁾	125 MHz	

表 9-3 の注:


- (1) デバイスの初期化に必要なクロック・サイクルの最小数です。
- (2) 初期化時計ソースとして CLKUSR をイネーブルするには、Quartus II ソフトウェアの **Device and Pin Options** ダイアログ・ボックスの **General** パネルから **Enable user-supplied start-up clock (CLKUSR)** オプションをオンにしてください。
- (3) この情報は暫定仕様です。

 初期化クロック・ソースとしてオプションの CLKUSR ピンが使用されて、nCONFIG がデバイスの初期化中に Low にプルダウンされてコンフィギュレーションを再開する場合は、nSTATUS が Low そして High になるまで、CLKUSR または DCLK がトグルし続けるようにする必要があります。

CLKUSR には、複数のデバイスの初期化を同期させたり、初期化を遅らせるといった柔軟性を得ることが提供されています。初期化中に CLKUSR ピンにクロックを供給しても、コンフィギュレーション・プロセスには影響しません。CONF_DONE が High に遷移した後、 t_{CD2CU} の規定時間後に CLKUSR または DCLK がイネーブルされます。この期間の経過後、Stratix V デバイスは正しく初期化を実行して t_{CD2UMC} パラメータで指定されたユーザー・モードに入るためにクロック・サイクルの最小数を必要とします。

ユーザー・モード

初期化が完了すると、Stratix V デバイスはユーザー・モードに入ります。オプションの INIT_DONE ピンをイネーブルすることによって、初期化ステージの終了をモニターすることができます。イネーブルされている場合、INIT_DONE の Low から High への遷移は、デバイスが初期化を完了すること、およびユーザー・モードに入ったことを示します。このモードでは、デザインが実行されます。ユーザー I/O ピンにウィーク・プルアップ抵抗がなくなり、デザインで割り当てられたとおりに機能します。

 コンフィギュレーション・ステージまたはユーザー・モード動作中に、nCONFIG ピンで Low パルスを設定することによって、リコンフィギュレーションを始めることができます。パルスは最小 t_{CFG} Low パルス幅を満たす必要があります。nCONFIG が Low にプルダウンされると、nSTATUS と CONF_DONE も Low にプルダウンし、すべての I/O ピンがトライ・ステートになります。nCONFIG および nSTATUS がロジック High レベルに復帰すると、リコンフィギュレーションが開始されます。nCONFIG および nSTATUS がロジック High レベルに復帰すると、リコンフィギュレーションが開始されます。

コンフィギュレーション手法

以下の項では、Stratix V デバイスのコンフィギュレーション手法について説明します。

MSEL ピンの設定

表 9-4 に示すように、コンフィギュレーション手法を選択するには、Stratix V デバイスの MSEL ピンを High または Low にドライブします。MSEL 入力バッファは、 V_{CCPGM} 電源で駆動されます。アルテラでは、MSEL ピンを V_{CCPGM} および GND を接続することを推奨しています。POR およびリコンフィギュレーション中、MSEL ピンがロジック Low またはロジック High と判定されるには、それぞれ LVTTL V_{IL} レベルまたは V_{IH} レベルであることが必要です。


 不正なコンフィギュレーション手法の検出の問題を回避するために、MSEL ピンを V_{CCPGM} および GND にプルアップ抵抗またはプルダウン抵抗なしで接続してください。MSEL ピンをマイクロプロセッサや他のデバイスでドライブしてはなりません。

表 9-4 に、Stratix V デバイスのコンフィギュレーション手法をリストします。

表 9-4. Stratix V デバイスのコンフィギュレーション手法 (その 1)

コンフィギュレーション手法	圧縮復元機能	デザイン・セキュリティ機能	コンフィギュレーション電圧規格 (V) (2)	POR 遅延 (5)	MSEL[4..0]
FPP x8	ディセーブル	ディセーブル	1.8/2.5/3.0	ファスト	10100
				スタンダード	11000
	ディセーブル	イネーブル	1.8/2.5/3.0	ファスト	10101
				スタンダード	11001
	ディセーブル	オプション (1)	1.8/2.5/3.0	ファスト	10110
				スタンダード	11010
FPP x16	ディセーブル	ディセーブル	1.8/2.5/3.0	ファスト	00000
				スタンダード	00100
	ディセーブル	ディセーブル	1.8/2.5/3.0	ファスト	00001
				スタンダード	00101
	ディセーブル	オプション (1)	1.8/2.5/3.0	ファスト	00010
				スタンダード	00110
FPP x32	ディセーブル	ディセーブル	1.8/2.5/3.0	ファスト	01000
				スタンダード	01100
	ディセーブル	ディセーブル	1.8/2.5/3.0	ファスト	01001
				スタンダード	01101
	ディセーブル	オプション (1)	1.8/2.5/3.0	ファスト	01010
				スタンダード	01110
PS	オプション (1)	オプション (1)	1.8/2.5/3.0	ファスト	10000
				スタンダード	10001
AS (x1, x4) (3)	オプション (1)	オプション (1)	3.0	ファスト	10010
				スタンダード	10011

表 9-4. Stratix V デバイスのコンフィギュレーション手法 (その 2)

コンフィギュレーション手法	圧縮復元機能	デザイン・セキュリティ機能	コンフィギュレーション電圧規格 (V) (2)	POR 遅延 (5)	MSEL[4..0]
JTAG ベースのコンフィギュレーション (4)	ディセーブル	ディセーブル	—	—	(6)

表 9-4 の注:

- (1) この機能をイネーブルすること、またはディセーブルすることを選択できます。
- (2) コンフィギュレーション中にすべてのコンフィギュレーション・ピンをパワー・アップする V_{CCPGM} 電源に適用された V_{CCPGM} です。
- (3) AS コンフィギュレーション手法は、リモート・システム・アップデート機能をサポートします。リモート・システム・アップデート機能について詳しくは、9-47 ページの「リモート・システム・アップグレード」を参照してください。
- (4) JTAG ベースのコンフィギュレーションは、他のコンフィギュレーション手法よりも優先されます。つまり MSEL ピンの設定は無視されます。JTAG ベースのコンフィギュレーションは、デザイン・セキュリティまたは復元機能をサポートしません。
- (5) POR 遅延の仕様について詳しくは、9-2 ページの「POR 遅延の仕様」を参照してください。
- (6) MSEL ピンをフローティング状態のままにせず、V_{CCPGM} または GND に直接接続してください。これらのピンは、生産時に使用される JTAG 以外のコンフィギュレーション手法をサポートします。アルテラは、JTAG コンフィギュレーションしか使用しない場合は、MSEL ピンを GND に接続することを推奨しています。

ロウ・バイナリ・ファイル・サイズ

POR 遅延仕様について詳しくは、9-2 ページの「POR 遅延の仕様」を参照してください。

表 9-5 に、Stratix V デバイスの非圧縮ロウ・バイナリ・ファイル (.rbf) のサイズをリストします。


表 9-5. Stratix V デバイスの非圧縮 .rbf のサイズ (注 1)

ファミリ	デバイス	コンフィギュレーション .rbf サイズ (ビット)
Stratix V GX	5SGXA3	139,255,840
	5SGXA4	139,255,840
	5SGXA5	266,599,584
	5SGXA7	266,599,584
	5SGXA9	387,394,048
	5SGXAB	387,394,048
	5SGXB5	266,798,896
	5SGXB6	266,798,896
Stratix V GT	5SGTC5	266,035,472
	5SGTC7	266,035,472
Stratix V GS	5SGSD2	93,080,448
	5SGSD3	93,080,448
	5SGSD4	209,935,224
	5SGSD5	209,935,224
	5SGSD6	266,798,896
	5SGSD8	266,798,896
Stratix V E	5SEE9	387,394,048
	5SEEB	387,394,048

表 9-5 の注:

- (1) これらの値は暫定仕様です。

表 9-5 のデータは、デザインをコンパイルする前のファイル・サイズの見積りにのみ使用してください。16 進 (.hex) フォーマットや表形式テキスト・ファイル (.tff) フォーマットなど、コンフィギュレーション・ファイル形式ごとにファイル・サイズが異なります。コンフィギュレーション・ファイルのタイプおよびファイル・サイズについては、Quartus II ソフトウェアを参照してください。ただし、Quartus II ソフトウェアの特定のバージョンでは、同じデバイスを対象としたデザインの非圧縮コンフィギュレーション・ファイルのサイズは同じになります。圧縮を使用した場合、圧縮率はデザインに依存するため、ファイル・サイズはコンパイルするたびに変わる可能性があります。


 デバイスのコンフィギュレーション・オプションの設定またはコンフィギュレーション・ファイルの生成について詳しくは、「[Device Configuration Options](#)」および「[Configuration Handbook Vol 2](#)」の「[Configuration File Formats](#)」の章を参照してください。

ファースト・パッシブ・パラレル・コンフィギュレーション

外部ホストを使用した FPP コンフィギュレーションは、Stratix V デバイスをコンフィギュレーションする最速の方法です。FPP には、複数のデータ幅の 8 ビット、16 ビット、および 32 ビットでサポートされています。Stratix V デバイスの FPP コンフィギュレーションは、MAXII デバイス、またはマイクロプロセッサなどのインテリジェント・ホストを使用して実行できます。外部ホストでは、フラッシュ・メモリなどのストレージ・デバイスからターゲットの Stratix V デバイスへのコンフィギュレーション・データの転送を制御することができます。コンフィギュレーション・データは、.rbf、.hex、または .tff フォーマットで保存できます。したがって、データをフラッシュ・メモリからフェッチしてデバイスに送信するといったコンフィギュレーション・ステージを制御するデザインを MAX II デバイスに格納する必要があります。

MAX II デバイスの MAX II パラレル・フラッシュ・ローダ (PFL) 機能は、TAG インタフェースを介して CFI フラッシュ・メモリ・デバイスをプログラムする効率的な方法を提供します。また、PFL はフラッシュ・メモリ・デバイスからコンフィギュレーション・データを読み出すためにコントローラとして動作して、Stratix V デバイスをコンフィギュレーションします。PFL 機能では、PS および FPP 両方のコンフィギュレーション手法がサポートされます。

 PFL について詳しくは、「[Parallel Flash Loader Megafunction User Guide](#)」を参照してください。

 FPP コンフィギュレーションには、両方の非圧縮および圧縮コンフィギュレーション・データはデバイスの初期化を開始するために、CONF_DONE が High になると 2 つの DCLK 立ち下がりがエッジが必要です。

FPP コンフィギュレーション用の DCLK-to-DATA[] の比


FPP コンフィギュレーションでは、デザイン、セキュリティ、圧縮、またはその両方の機能を有効に異なる DCLK-to-DATA[] の比を必要とします。表 9-6 は、それぞれの組み合わせの DCLK-to-DATA[] の比を示しています。

表 9-6. DCLK-to-DATA[] の比 (注 1)

コンフィギュレーション手法	復元	デザイン・セキュリティ	DCLK-to-DATA[] の比
FPP x8	ディセーブル	ディセーブル	1
	ディセーブル	イネーブル	1
	イネーブル	ディセーブル	2
	イネーブル	イネーブル	2
FPP x16	ディセーブル	ディセーブル	1
	ディセーブル	イネーブル	2
	イネーブル	ディセーブル	4
	イネーブル	イネーブル	4
FPP x32	ディセーブル	ディセーブル	1
	ディセーブル	イネーブル	4
	イネーブル	ディセーブル	8
	イネーブル	イネーブル	8

表 9-6 の注:

- (1) DCLK-to-DATA[] の比に応じて、ホストは、r 倍を bps、または WPS のデータ・レートの DCLK 周波数を送信する必要があります。例えば、FPP x16 の DCLK-to-DATA[] の比が 2 の場合、DCLK の周波数は、WPS の 2 倍のデータ・レートをする必要があります。Stratix V デバイスは、コンフィギュレーション・データを復号化して復元するのに追加クロック・サイクルを使用します。

 DCLK-to-DATA[] の比は 1 より大きい場合、コンフィギュレーションの終了時に最終データが Stratix V デバイスにラッチされた後でのみ DCLK (DCLK-to-DATA[] の比 - 1) クロック・サイクルが停止できます。


 図 9-1 に、シングル・デバイス・コンフィギュレーションでの Stratix V デバイスと MAX II デバイス間のコンフィギュレーション・インタフェース接続を示します。

図 9-1. 外部ホストを使用したシングル・デバイス FPP コンフィギュレーション

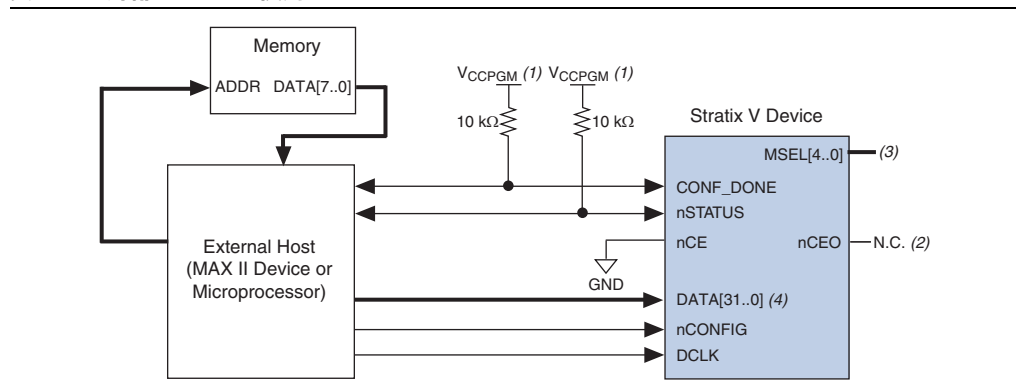


図 9-1. 外部ホストを使用したシングル・デバイス FPP コンフィギュレーション

図 9-1 の注:

- (1) Stratix V デバイスに許容される入力信号を供給する電源に抵抗を接続します。V_{CCPGM} は、デバイスおよび外部ホスト上の I/O の V_{IH} 仕様に合わせて十分に高くなければなりません。アルテラでは、V_{CCPGM} ですべてのコンフィギュレーション・システム I/O を電源投入することを推奨しています。
- (2) nCEO ピンは、未接続のままにするか、別のデバイスの nCE ピンに信号を供給していない場合はユーザー I/O ピンとして使用できます。
- (3) MSEL ピンの設定は、各データ幅、コンフィギュレーション電圧規格および POR 時間によって異なります。MSEL を接続するには、7 ページの表 9-4 を参照してください。
- (4) FPP x8 を使用する場合、DATA [7..0] を使用してください。FPP x16 を使用する場合、DATA [15..0] を使用してください。

FPP マルチ・デバイスのコンフィギュレーション

FPP マルチ装置構成のために、コンフィギュレーション・データの異なるセット (複数の SRAM オブジェクト・ファイル [.sof])、または同じコンフィギュレーション・データ (単一の .sof) ですべてのデバイスを設定できます。いずれの場合も、nCONFIG、nSTATUS、DCLK、DATA [], CONF_DONE ピンは、チェーン内のすべてのデバイスに接続されます。DCLK ラインとデータ・ラインがデバイス 4 個ごとにバッファリングされるようにします。これは、シグナル・インテグリティを確実にし、クロック・スキュー問題を回避することを確保します。

すべてのデバイスの CONF_DONE および nSTATUS ピンは連結されているため、すべてのデバイスは同時に初期化され、ユーザー・モードに入ります。いずれかのデバイスがエラーを検出した場合、チェーン全体のコンフィギュレーションを停止して、全てのデバイスをリコンフィギュレーションする必要があります。例えば、最初のデバイスが nSTATUS でエラーを示すと、nSTATUS ピンを Low にプルダウンしてチェーンをリセットします。この動作はシングル・デバイスでエラーを検出するのに似ています。



FPP マルチ・デバイス・コンフィギュレーションには、チェーン内の全てのデバイスは同じデータ幅でなければなりません。FPP x32 を使用する場合、チェーン内のすべてのデバイスは、FPP x32 のコンフィギュレーション手法を使用する必要があります。そして、FPP x8 を使用する場合、FPP x8 をサポートしている他の FPGA デバイスで Stratix V デバイスを使用することができます。

図 9-2 は、両方のデバイスが異なるコンフィギュレーション・データ (複数の .sof) のセットを受信するとき、MAX II デバイスを使用して複数のデバイスを設定する方法を示しています。

図 9-2. 両方のデバイスが異なるコンフィギュレーション・データのセットを受信するときのマルチ・デバイス PS コンフィギュレーション

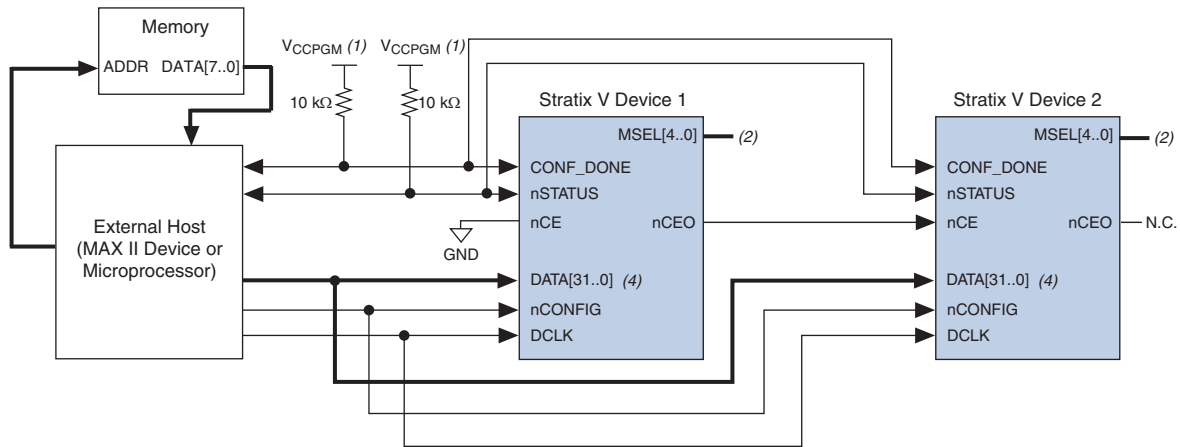


図 9-2 の注:

- (1) Stratix V デバイスに許容される入力信号を供給する電源に抵抗を接続します。V_{CCPGM} は、デバイスおよび外部ホスト上の I/O の V_{IH} 仕様に適合するよう十分に高くなければなりません。アルテラでは、V_{CCPGM} ですべてのコンフィギュレーション・システム I/O を電源投入することを推奨しています。
- (2) nCEO ピンは、未接続のままにするか、別のデバイスの nCE ピンに信号を供給していない場合はユーザー I/O ピンとして使用できます。
- (3) MSEL ピンの設定は、各データ幅と POR 遅延によって異なります。MSEL を接続するには、7 ページの表 9-4 を参照してください。
- (4) FPP ×8 を使用する場合、DATA[7..0] を使用してください。FPP ×16 を使用する場合、DATA[15..0] を使用してください。チェーン内の全てのデバイスは同じデータ幅でなければなりません。

図 9-2 には、複数デバイスのコンフィギュレーション・チェーン内の最初のデバイスがコンフィギュレーションを完了した後、その nCEO ピンは Low にドライブされ、2 番目のデバイスの nCE ピンをアクティブにし、2 番目のデバイスがコンフィギュレーションを開始することを示します。チェーン内の 2 番目のデバイスは、1 クロック・サイクル以内にコンフィギュレーションを開始するため、2 番目のデバイスへのデータの転送先は MAX II デバイスまたはマイクロプロセッサには分かりません。

図 9-3 に、両方の Stratix V デバイスが同じコンフィギュレーションデータ（単一の .sof）を受信する時の複数デバイスの FPP コンフィギュレーション設定を示します。

図 9-3. 外部ホストによる両方デバイスが同じデータを受信するときのマルチ・デバイス FPP コンフィギュレーション

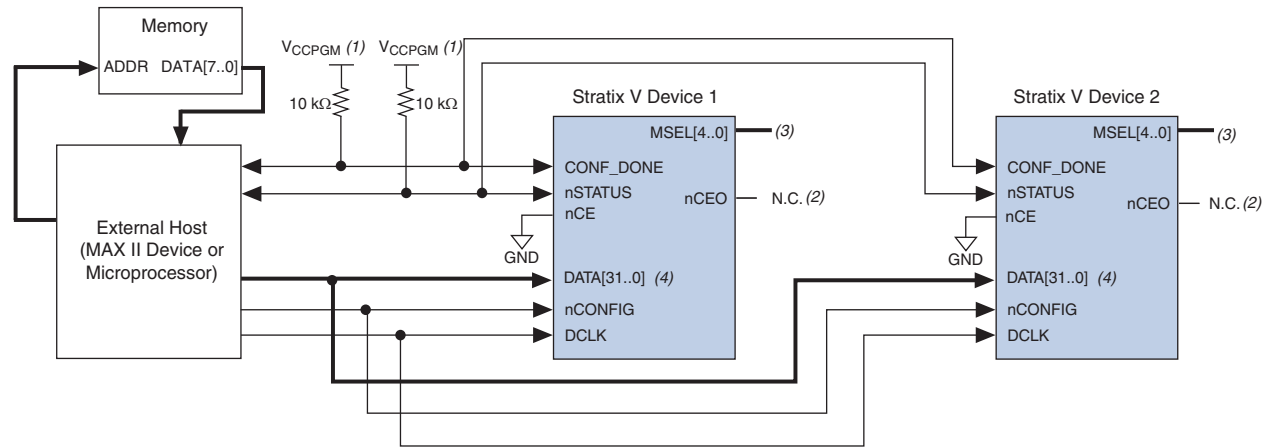


図 9-3 の注:

- (1) Stratix V デバイスに許容される入力信号を供給する電源に抵抗を接続します。V_{CCPGM} は、デバイスおよび外部ホスト上の I/O の V_{IH} 仕様に適合するよう十分に高くなければなりません。アルテラでは、V_{CCPGM} ですべてのコンフィギュレーション・システム I/O を電源投入することを推奨しています。
- (2) nCEO ピンは、未接続のままにするか、別のデバイスの nCE ピンに信号を供給していない場合はユーザー I/O ピンとして使用できます。
- (3) MSEL ピンの設定は、各データ幅と POR 遅延によって異なります。MSEL を接続するには、7 ページの表 9-4 を参照してください。
- (4) FPP ×8 を使用する場合、DATA[7..0] を使用してください。FPP ×16 を使用する場合、DATA[15..0] を使用してください。チェーン内の全てのデバイスは同じデータ幅でなければなりません。

図 9-3 には、両方の nCE ピンは GND に接続されているため、コンフィギュレーションはチェーン内の両方のデバイスは同時に開始と完了され、同時にユーザー・モードに入ります。

単一の .sof による FPP マルチ・デバイスをコンフィギュレーションするには、すべて Stratix V のデバイスは、同じパッケージと集積度でなければなりません。

FPP コンフィギュレーション・タイミング

図 9-4 に、MAX II デバイスを外部ホストとして使用するときの、FPP コンフィギュレーションのタイミング波形を示します。この波形は、DCLK-t₀-DATA[] の比は 1 の場合を示します。

この波形は、DCLK-t₀-DATA[] の比は 1 の場合を示します。圧縮復元機能やデザイン・セキュリティ機能がイネーブルされているとき、FPP ×8、FPP ×16、および FPP ×32 の DCLK-t₀-DATA[] の比は異なります。それぞれの DCLK-t₀-DATA[] の比については、10 ページの表 9-6 を参照してください。

図 9-4. DCLK-to-DATA[] の比は 1 の場合の FPP コンフィギュレーション・タイミング波形 (注 1),(2)

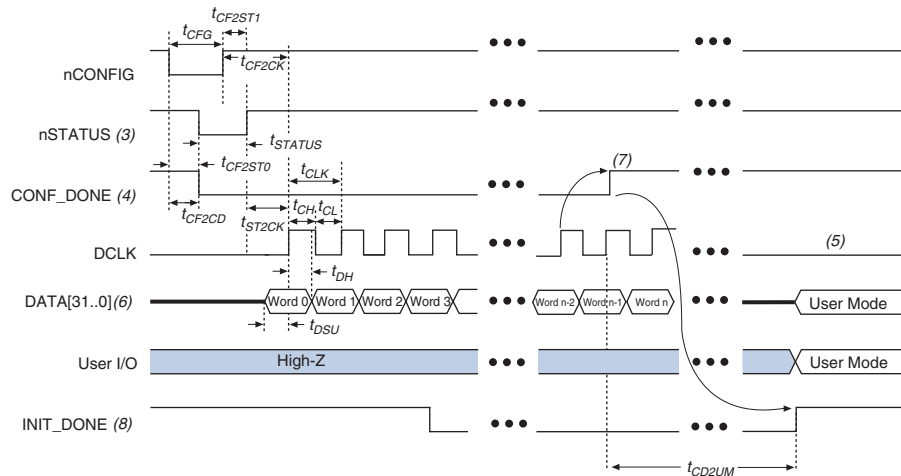


図 9-4 の注:

- (1) DCLK-to-DATA[] の比が 1 の場合、このタイミング波形を使用してください。
- (2) この波形の開始はデバイスがユーザー・モードにあることを示します。ユーザー・モードでは、nCONFIG、nSTATUS、および CONF_DONE はロジック High レベルにあります。nCONFIG が Low にプルダウンされると、リコンフィギュレーション・サイクルが開始します。
- (3) 電源投入後、Stratix V デバイスは POR 遅延時間の間、nSTATUS を Low に保持します。
- (4) 電源投入後、コンフィギュレーションの実行前と実行中、CONF_DON は Low になります。
- (5) コンフィギュレーション後、DCLK をフローティング状態のままにしないでください。High または Low のいずれかの都合の良いレベルにドライブができます。
- (6) FPP ×16 を使用する場合、DATA [15..0] を使用してください。FPP ×8 を使用する場合、DATA [7..0] を使用してください。コンフィギュレーション後、DATA [31..0] はユーザー I/O ピンとして使用できます。このピンの状態は Dual-Purpose Pin の設定によって異なります。
- (7) コンフィギュレーションの成功を確認するため、全体のコンフィギュレーション・データを Stratix V デバイスに送信してください。CONF_DONE は、Stratix V デバイスがすべてのコンフィギュレーション・データを受信した時に High にリリースされます。CONF_DONE が High になると、初期化を開始するために、DCLK の 2 つの追加の立ち下がりエッジを送信してユーザー・モードに入ります。
- (8) INIT_DONE をイネーブルするオプション・ビットがデバイスにコンパイルされた後、INIT_DONE ピンは Low になります。

表 9-7 には、DCLK-to-DATA[] の比が 1 のときに、FPP コンフィギュレーション用の Stratix V デバイスのタイミング・パラメータをリストしています。

表 9-7. デバイスの FPP タイミング波形 (注 1),(2) (その 1)

シンボル	パラメータ	最小値	最大値	単位
t _{CF2CD}	nCONFIG low to CONF_DONE low	—	600	ns
t _{CF2ST0}	nCONFIG low to nSTATUS low	—	600	ns
t _{CFG}	nCONFIG low pulse width	2	—	μs
t _{STATUS}	nSTATUS low pulse width	268	1,506(3)	μs
t _{CF2ST1}	nCONFIG high to nSTATUS high	—	1,506(4)	μs
t _{CF2CK}	nCONFIG high to first rising edge on DCLK	1,506	—	μs
t _{ST2CK}	nSTATUS high to first rising edge of DCLK	2	—	μs
t _{DSU}	DATA [] setup time before rising edge on DCLK	5.5	—	ns
t _{DH}	DATA [] hold time after rising edge on DCLK	0	—	ns
t _{CH}	DCLK high time	0.45 × 1/f _{MAX}	—	s

表 9-7. デバイスの FPP タイミング波形 (注 1),(2) (その 2)

シンボル	パラメータ	最小値	最大値	単位
t_{CL}	DCLK low time	$0.45 \times 1/f_{MAX}$	—	s
t_{CLK}	DCLK period	$1/f_{MAX}$	—	s
f_{MAX}	DCLK frequency (FPP $\times 8/\times 16$)	—	125	MHz
	DCLK frequency (FPP $\times 32$)	—	100	MHz
t_R	入力 rise time	—	40	ns
t_F	入力 fall time	—	40	ns
t_{CD2UM}	CONF_DONE high to user mode (5)	175	437	μ s
t_{CD2CU}	CONF_DONE high to CLKUSR enabled	4 \times 最大 DCLK 周期	—	—
t_{CD2UMC}	CONF_DONE high to user mode with CLKUSR option on	$t_{CD2CU} +$ (17,408 \times CLKUSR 周期)(6)	—	—

表 9-7 の注:

- (1) この情報は暫定仕様です。
- (2) これらタイミング・パラメータは、圧縮復元機能およびデザイン・セキュリティ機能が使用されていないときに利用してください。
- (3) この値は、ユーザーが nCONFIG または nSTATUS の Low パルス幅を拡張して、コンフィギュレーションを遅延しない場合に適用されます。
- (4) この値は、ユーザーが nSTATUS の Low パルス幅を保持して、コンフィギュレーションを遅延しない場合に適用されます。
- (5) 最小値および最大値は、デバイスを起動させるためのクロック・リソースとして内部オシレータが選択された場合にのみ適用されます。
- (6) 初期化クロック・ソースとして CLKUSR ピンをイネーブルするには、およびピンの最大周波数仕様を取得するには、9-5 ページの「初期化」を参照してください。

図 9-5 に、MAX II デバイスまたはマイクロプロセッサを外部ホストとして使用するときの、FPPS コンフィギュレーションのタイミング波形を示します。この波形は、DCLK-t0-DATA [] の比が 1 より大きいタイミングを示します。

図 9-5. DCLK-to-DATA[] の比 >1 のときの FPP コンフィギュレーション・タイミング波形 (注 1),(2)

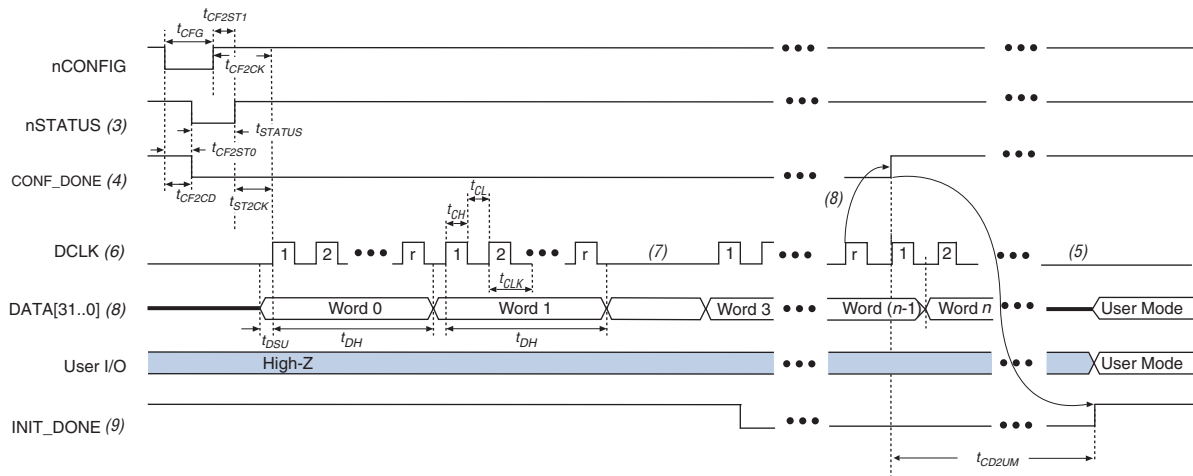


図 9-5 の注:

- (1) DCLK-to-DATA [] の比が >1 のとき、このタイミング波形およびパラメータを使用してください。使用するシステムの DCLK-to-DATA [] の比を確認するには、10 ページの表 9-6 を参照してください
- (2) この波形の開始はデバイスがユーザー・モードであることを示します。ユーザー・モードでは、nCONFIG、nSTATUS、および CONF_DONE はロジック High レベルにあります。nCONFIG が Low にプルダウンされると、リコンフィギュレーション・サイクルが開始します。
- (3) 電源投入後、Stratix V デバイスは POR 遅延時間の間、nSTATUS を Low に保持します。
- (4) 電源投入後、コンフィギュレーションの実行前と実行中、CONF_DONE は Low になります。
- (5) コンフィギュレーション後、DCLK をフローティング状態のままにしないでください。
- (6) r は、DCLK-to-DATA [] の比を示します。復元機能やデザイン・セキュリティ機能のイネーブル設定に基づく DCLK-to-DATA [] の比については、10 ページの表 9-6 を参照してください。
- (7) 必要な場合、DCLK は Low に保持して休止することができます。DCLK がリスタートしたら、外部ホストは最初の DCLK の立ち上がりエッジを送信する前に、DATA [31..0] ピンにデータを供給しなければなりません。
- (8) コンフィギュレーションの成功を確認するため、全体のコンフィギュレーション・データを Stratix V デバイスに送信してください。CONF_DONE は、Stratix V デバイスがすべてのコンフィギュレーション・データを受信した時に High にリリースされます。CONF_DONE が High になると、初期化を開始するために、DCLK の 2 つの追加の立ち上がりエッジを送信してユーザー・モードに入ります。
- (9) INIT_DONE をイネーブルするオプション・ビットがデバイスにコンパイルされた後、INIT_DONE ピンは Low になります。

表 9-8 には、DCLK-to-DATA[] の比が 1 より大きいときに、FPP コンフィギュレーション用の Stratix V デバイスのタイミング・パラメータをリストしています。

表 9-8. DCLK-to-DATA[] の比 >1 のときの Stratix V デバイスの FPP タイミング・パラメータ (注 1),(2) (その 1)

シンボル	パラメータ	最小値	最大値	単位
t _{CF2CD}	nCONFIG low to CONF_DONE low	—	600	ns
t _{CF2ST0}	nCONFIG low to nSTATUS low	—	600	ns
t _{CFG}	nCONFIG low pulse width	2	—	μs
t _{STATUS}	nSTATUS low pulse width	268	1,506(3)	μs
t _{CF2ST1}	nCONFIG high to nSTATUS high	—	1,506(3)	μs
t _{CF2CK}	nCONFIG high to first rising edge on DCLK	1,506	—	μs
t _{ST2CK}	nSTATUS high to first rising edge of DCLK	2	—	μs
t _{DSU}	DATA [] setup time before rising edge on DCLK	5.5	—	ns

表 9-8. DCLK-to-DATA[] の比 >1 のときの Stratix V デバイスの FPP タイミング・パラメータ (注 1),(2) (その 2)

シンボル	パラメータ	最小値	最大値	単位
t_{DH}	DATA [] hold time after rising edge on DCLK	$3 \times 1/f_{DCLK}$ (6)	—	s
t_{CH}	DCLK high time	$0.45 \times 1/f_{MAX}$	—	s
t_{CL}	DCLK low time	$0.45 \times 1/f_{MAX}$	—	s
t_{CLK}	DCLK period	$1/f_{MAX}$	—	s
f_{MAX}	DCLK frequency (FPP $\times 8 \times 16$)	—	125	MHz
	DCLK frequency (FPP $\times 32$)	—	100	MHz
t_R	入力 rise time	—	40	ns
t_F	入力 fall time	—	40	ns
t_{CD2UM}	CONF_DONE high to user mode (4)	175	437	μ s
t_{CD2CU}	CONF_DONE high to CLKUSR enabled	4 \times 最大 DCLK 周期	—	—
t_{CD2UMC}	CONF_DONE high to user mode with CLKUSR option on	$t_{CD2CU} + (17,408 \times \text{CLKUSR 周期})$ (5)	—	—

表 9-8 の注:

- (1) この情報は暫定仕様です。
- (2) これらタイミング・パラメータは、圧縮復元機能およびデザイン・セキュリティ機能が使用されていないときに利用してください。
- (3) この値は、ユーザーが nCONFIG または nSTATUS の Low パルス幅を拡張して、コンフィギュレーションを遅延しない場合に適用されます。
- (4) 最小値および最大値は、デバイスを起動させるためのクロック・リソースとして内部オシレータが選択された場合にのみ適用されます。
- (5) 初期化クロック・ソースとして CLKUSR ピンをイネーブルするには、およびピンの最大周波数仕様を取得するには、9-5 ページの「初期化」を参照してください。
- (6) f_{DCLK} は、システムが動作している DCLK 周波数です。


アクティブ・シリアル・コンフィギュレーション (シリアル・コンフィギュレーション・デバイス)

AS コンフィギュレーション手法は、1 ビットのデータ幅 (AS $\times 1$ モード) または 4 ビットのデータ幅 (AS $\times 4$ モード) でサポートされています。AS $\times 1$ モードでは、Stratix V デバイスはシリアル・コンフィギュレーション・デバイスを使用してコンフィギュレーションされます。AS $\times 4$ モードでは、Stratix V デバイスはクワッド・コンフィギュレーション・デバイス (EPCQ) を使用してコンフィギュレーションされます。AS $\times 4$ モードは、AS $\times 1$ モードより 4 倍速いコンフィギュレーション時間を提供します。

EPCS および EPCQ デバイスは、それぞれシンプルな 4 ピンまたは 6 ピン・インタフェースとスモール・フォーム・ファクタを特長とする不揮発性メモリを備えた低コスト・デバイスです。これらの特長により、AS コンフィギュレーション手法は理想的な低コストのコンフィギュレーション・ソリューションとなります。



EPCS ピンを制御する場合、nCONFIG ピンを Low に保持し、nCE ピンを High にプルアップします。これにより、機器がリセットされ、AS コンフィギュレーション・ピンがトライ・ステートにされます。

 EPCS および EPCQ デバイスについては、「[Configuration Handbook Vol 2](#)」を参照してください。

AS モードは、100 MHz までの DCLK 周波数をサポートしています。DCLK をドライブするコンフィギュレーション・クロック・ソースとしての CLKUSR または内部オシレータを選択することができます。コンフィギュレーション・クロック・ソースとして内部オシレータを使用する場合は、**Device and Pins Option** の **Configuration** パネルから 12.5、25、50、または 100 MHz を選択することができます。


表 9-9 には、AS コンフィギュレーション手法の DCLK 周波数仕様を示します。


表 9-9. AS コンフィギュレーション手法の DCLK 周波数仕様 (注 1)、(2)

最小値	標準値	最大値	単位
5.3	7.9	12.5	MHz
10.6	15.7	25.0	MHz
21.3	31.4	50.0	MHz
42.6	62.9	100.0	MHz

表 9-9 の注:

- (1) この情報は暫定仕様です。
- (2) これは、コンフィギュレーション・クロック・ソースとして内部オシレータを使用して DCLK の周波数仕様に適用されます。

 Quartus II ソフトウェアで **Configuration** パネルの **Device and Pins Option** 設定のオプションを選択することにより、DCLK クロック・ソースとして内部オシレータまたは CLKUSR を選択することができます。これは、プログラミング・ファイル内の特定のオプションを設定します。デフォルトで、AS 手法では、Stratix V デバイスはコンフィギュレーションをパワー・アップして、DCLK クロック・ソースとして 12.5 MHz の内部オシレータでコンフィギュレーションを開始します。プログラミング・ファイルからオプション・ビットを読み出した後に、Stratix V デバイスは、12.5 MHz の周波数で内部オシレータを使用し続けているか、より高い内部オシレータクロック周波数に切り替わるか、または CLKUSR ピンに切り替わります。

 コンフィギュレーション・クロック・ソースとして CLKUSR を選択した場合、設定可能な最大周波数は 100 MHz です。

デバイス・コンフィギュレーションの間、Stratix V デバイスはシリアル・インタフェースを通してコンフィギュレーション・データを読み出し、必要に応じてデータを復元し、SRAM セルをコンフィギュレーションします。AS 手法では、Stratix V デバイスはコンフィギュレーション・インタフェースを制御します。PS 手法では、外部ホスト (MAX II デバイスまたはマイクロプロセッサ) がインタフェースを制御します。


 Quartus II ソフトウェアの **Configuration** パネルの **Device and Pins Option** 設定のオプションを選択して、AS×1 と AS×4 設定のいずれかを選択することができます。これは、プログラミング・ファイル内の特定のオプションを設定します。デフォルトで、AS 手法では、Stratix V デバイスはコンフィギュレーションをパワー・アップして、AS×1 モードとしてコンフィギュレーションを開始します。プログラミング・ファイルからオプション・ビットを読み出すと、Stratix V デバイスは、AS×1 モードとして滞在することか、またはその他のコンフィギュレーションのための AS×4 モードに切り替わります。

図 9-6 に、AS x1 モードのためのシングル・デバイスのコンフィギュレーション設定を示します。

図 9-6. シングル・デバイス AS x1 モード・コンフィギュレーション

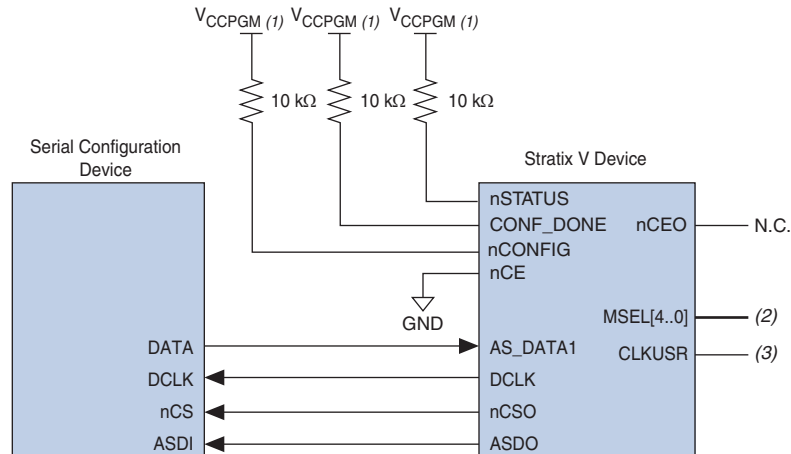


図 9-6 の注:

- (1) プルアップ抵抗を 3.0-V の V_{CCPGM} 電源に接続します。
- (2) MSEL ピンの設定は、各コンフィギュレーション電圧規格と POR 遅延によって異なります。MSEL に接続する場合は、7 ページの表 9-4 を参照してください。
- (3) コンフィギュレーション実行中に DCLK をドライブする外部クロック・ソースを供給する CLKUSR ピンを使用することができます。最大周波数は 100 MHz です。

図 9-7 には、AS x4 モードのシングル・デバイスのコンフィギュレーション設定を示しています。

図 9-7. シングル・デバイス AS × 4 モード・コンフィギュレーション

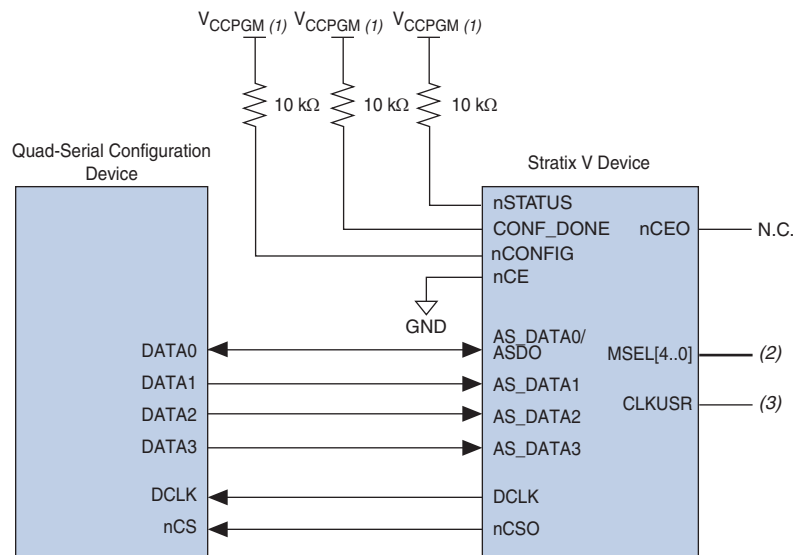


図 9-7 の注:


- (1) プルアップ抵抗を 3.0-V の V_{CCPGM} 電源に接続します。
- (2) MSEL ピンの設定は、各コンフィギュレーション電圧規格と POR 遅延によって異なります。MSEL に接続する場合は、7 ページの表 9-4 を参照してください。
- (3) コンフィギュレーション実行中に DCLK をドライブする外部クロック・ソースを供給する CLKUSR ピンを使用することができます。最大周波数は 100 MHz です。

Stratix V デバイスで生成されるシリアル・クロック (DCLK は、コンフィギュレーション・サイクル全体を制御し、シリアル・インタフェースに対するタイミングを提供します)。Stratix V デバイスはコンフィギュレーション・クロック・ソース (DCLK) として内部オシレータまたは外部クロック (CLKUSR) を使用しています。AS コンフィギュレーション手法では、Stratix V デバイスは、DCLK の立ち下がりエッジでコントロール信号をドライブ・アウトし、DCLK の次の立ち下がりエッジでデータをラッチします。


コンフィギュレーション実行中、Stratix V デバイスが nCSO 出力ピンを Low にドライブすることによって、EPCS または EPCQ をイネーブルし、それによって EPCS または EPCQ のチップ・セレクト (nCS) ピンが接続されます。Stratix V デバイスは、シリアル・クロック (DCLK) およびシリアル・データ出力 (ASDO) ピンを使用して、オペレーション・コマンドやリード・アドレス信号を EPCS または EPCQ に送信します。コンフィギュレーション・デバイスは、データをシリアル・データ出力 (DATA []) ピンに供給し、このピンは Stratix V デバイスの AS_DATA [] 入力に接続されます。

AS マルチ・デバイス・コンフィギュレーション

AS のマルチ・デバイスコンフィギュレーション式では、それぞれのコンフィギュレーションデータ (異なる .sof) と同じコンフィギュレーションデータ (単一 .sof) でチェーン内すべてのデバイスをコンフィギュアすることができます。両方の場合において、nCONFIG、nSTATUS、DCLK、およびデータ・ライン (マスタ・デバイス上の AS_DATA1 およびスレーブ・デバイス上の DATA0) と CONF_DONE ピンは、チェーンのすべてのデバイスと接続されます。DCLK ラインとデータ・ラインがデバイス 4 個ごとにバッファリングされるようにします。

 AS コンフィギュレーション手法は、AS x1 モードでのマルチ・デバイスをサポートします。しかし、AS x4 モードはマルチ・デバイスのコンフィギュレーション設定をサポートしません。

AS マルチ・デバイス・コンフィギュレーションは、nSTATUS、nCONFIG、および CONF_DONE ピンは連結されています。したがって、すべてのデバイスは同時に初期化され、ユーザー・モードに入ります。いずれかのデバイスがエラーを検出した場合、チェーン全体のコンフィギュレーションを停止して、全てのデバイスをリコンフィギュレーションする必要があります。例えば、最初のデバイスが nSTATUS でエラーを示すと、nSTATUS ピンを Low にプルダウンしてチェーンをリセットします。この動作はシングル・デバイスでエラーを検出するのに似ています。

 このコンフィギュレーション手法では、チェーン内の最初の Stratix V デバイスは、コンフィギュレーション・マスタであり、チェーン全体のコンフィギュレーションを制御します。MSEL ピンを接続して、AS コンフィギュレーション手法を選択する必要があります。残りの Stratix V デバイスはコンフィギュレーション・スレーブです。MSEL ピンを接続して、PS コンフィギュレーション手法を選択する必要があります。PS コンフィギュレーションをサポートするその他のどのアルテラ・デバイスでも、コンフィギュレーション・スレーブとしてチェーンの一部に含めることができます。


 9-8 に、チェーン内の両方のデバイスが異なるコンフィギュレーション・データのセット (複数の .sof) を受信するときの AS x1 モードのマルチ・デバイスのコンフィギュレーション設定を示します。

図 9-9. シングル .sof によるデバイスが同じデータを受信するときの AS マルチ・デバイス・コンフィギュレーション (注 1)

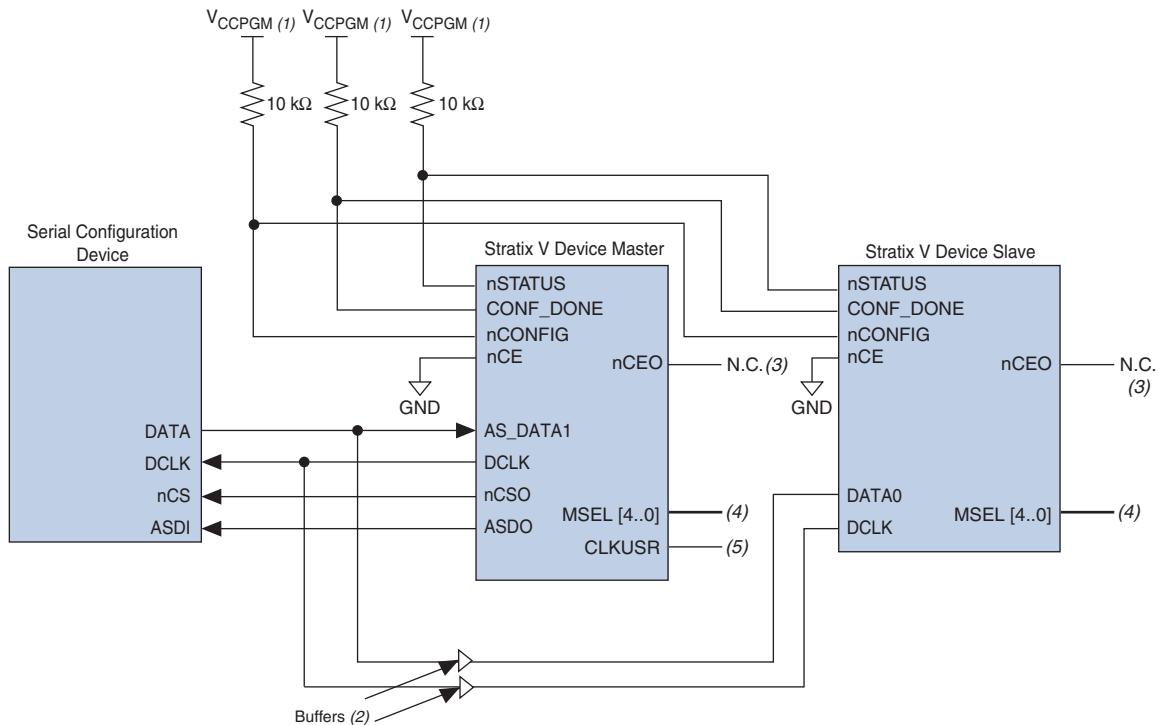


図 9-9 の注:

- (1) プルアップ抵抗を 3.0-V の V_{CCPGM} 電源に接続します。
- (2) AS_DATA1/DATA0 と DCLK に対して、Stratix V のマスタとスレーブ・デバイス間にリピータ・バッファを接続します。
- (3) nCEO ピンは、未接続のままにするか、別のデバイスの nCE ピンに信号を供給していない場合はユーザー I/O ピンとして使用できます。
- (4) MSEL ピンの設定は、各コンフィギュレーション電圧規格と POR 遅延によって異なります。MSEL を接続するには、7 ページの表 9-4 を参照してください。
- (5) コンフィギュレーション実行中、DCLK をドライブする外部クロック・クソースを供給する CLKUSR ピンを使用することができます。最大周波数仕様は 100 MHz です。

AS 接続ガイドライン

表 9-10 に、単一デバイスおよび複数デバイスの AS コンフィギュレーションでサポートされる EPCS または EPCQ および Stratix V デバイス間のボード・トレース・レンクスとロードをリストします。

表 9-10. AS x1/x4 コンフィギュレーションのための最大トレース・レンクスおよびロード

Stratix V デバイス AS ピン	12.5/ 25/ 50 MHz 動作のための Stratix V デバイスからシリアル・コンフィギュレーション・デバイスまでの最大トレース・レンクス (インチ)	100 MHz 動作のための Stratix V デバイスからシリアル・コンフィギュレーション・デバイスまでの最大トレース・レンクス (インチ)	最大のボード・ロード (pF)
DCLK	10	6	15
DATA [3..0]	10	6	30
nCSO	10	6	30

AS コンフィギュレーション・タイミング

図 9-10 に、AS x1 モードおよび AS x4 モード・コンフィギュレーション・タイミングのタイミング波形を示しています。

図 9-10. AS コンフィギュレーション・タイミング

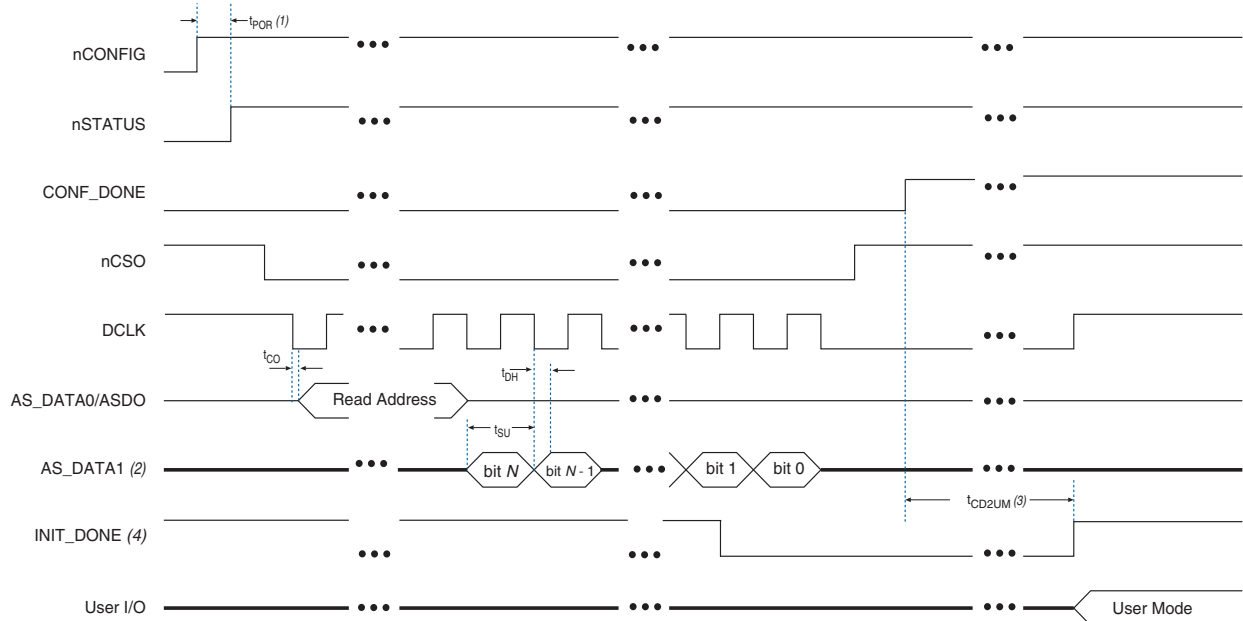


図 9-10 の注:

- (1) AS 手法は、スタンダードおよびファスト POR 遅延 (t_{POR}) を示します。 t_{POR} 遅延について詳しくは、9-2 ページの「POR 遅延の仕様」を参照してください。
- (2) x4 AS モードを使用している場合、この信号は、AS_DATA[3..0] を表します。そして、EPCQ は、各 DCLK サイクルのデータの 4 ビットで送信します。
- (3) 初期化クロックは、内部オシレータまたは CLKUSR ピンから供給することができます。
- (4) INIT_DONE をイネーブルするオプション・ビットがデバイスにコンフィギュレーションされると、INIT_DONE ピンは Low になります。

表 9-11 には、Stratix V デバイスでの AS x1 および AS x4 コンフィギュレーションのタイミング・パラメータを示します。

表 9-11. Stratix V デバイスでの AS x1 および AS x4 コンフィギュレーションのタイミング・パラメータ (2)、(3)

シンボル	パラメータ	最小値	最大値	単位
t_{CO}	DCLK falling edge to AS_DATA0/ASDO 入力	—	4	μS
t_{SU}	Data setup time before rising edge on DCLK	1.5	—	ns
t_H	Data hold time after rising edge on DCLK	0	—	ns
t_{CD2UM}	CONF_DONE high to user mode (4)	175	437	μS
t_{CD2CU}	CONF_DONE high to CLKUSR enabled	4 × 最大 DCLK 周期	—	—

表 9-11. Stratix V デバイスでの AS ×1 および AS ×4 コンフィギュレーションのタイミッシング・パラメータ
(2)、(3)

シンボル	パラメータ	最小値	最大値	単位
t_{CD2UMC}	CONF_DONE high to user mode with CLKUSR option on	$t_{CD2CU} + (17,408 \times \text{CLKUSR 周期})$	—	—

表 9-11 の注:

- (1) この情報は暫定仕様です。
- (2) 最小値および最大値は、デバイスを起動させるためのクロック・リソースとして内部オシレータが選択された場合にのみ適用されます。
- (3) t_{CF2CD} 、 t_{CF2ST0} 、 t_{CFG} 、 t_{STATUS} 、および t_{CF2ST1} のタイミッシング・パラメータは、33 ページの表 9-12 にリストされた PS モードのタイミッシング・パラメータと同一です。
- (4) 初期化クロック・ソースとして CLKUSR ピンをイネーブルすること、またこのピンの最大周波数仕様を取得するには、9-5 ページの「初期化」を参照してください。

アクティブ・シリアル・コンフィギュレーション時間見の積り

AS コンフィギュレーション時間は、EPCS から Stratix V デバイスへのデータ転送に要する時間によって左右されます。このシリアル・インタフェースは、Stratix V DCLK でクロックが供給されます

以下の等式を用いて、最小の AS ×1 モードのコンフィギュレーション時間を見積もることができます。

$\text{.rbf サイズ} \times (\text{最小 DCLK 周期} / \text{DCLK サイクルあたり 1 ビット}) = \text{推定最小コンフィギュレーション時間}$


以下の等式を用いて、最小の AS ×4 モードのコンフィギュレーション時間を見積もることができます。

$\text{.rbf サイズ} \times (\text{最小 DCLK 周期} / \text{DCLK サイクルあたり 4 ビット}) = \text{推定最小コンフィギュレーション時間}$

圧縮をイネーブルにすると、Stratix V デバイスに送信されるコンフィギュレーション・データ量が削減され、これによってもコンフィギュレーション時間が短縮されます。コンフィギュレーション時間は、圧縮率に依存して短縮されます。圧縮率はデザインに依存して異なります。

EPCS および EPCQ のプログラミング

EPCS および EPCQ は、不揮発性のフラッシュ・メモリをベースにしたデバイスです。これらのデバイスは、USB-Blaster™、EthernetBlaster™ または ByteBlaster™ II ダウンロード・ケーブルを使用して、イン・システムでプログラムすることができます。あるいは、Srunner ソフトウェア・ドライバを搭載したマイクロプロセッサを使用して EPCS および EPCQ をプログラムできます。

 EPCQ 256 プログラミングの Quartus II ソフトウェアまたは SRunner ソフトウェアを使用していない場合は、デバイスをプログラムとコンフィギュレーションする前に、4 バイトのアドレッシング・モードに EPCQ256 デバイスを入れてください。

 For more information about SRunner ソフトウェア・ドライバについて詳しくは、「AN 418: SRunner: An Embedded Solution for Serial Configuration Device Programming」を参照してください。

イン・システム・プログラミングはいずれかの AS プログラミング・インターフェイスまたは JTAG インタフェースを使用する EPCS または EPCQ デバイスをプログラムするためのオプションを提供しています。AS プログラミング・インターフェイスを使用して、コンフィギュレーション・データは、Quartus II ソフトウェアまたはサポートされているサード・パーティのソフトウェアでの EPCS にプログラムされます。JTAG インタフェースを使用することによって、シリアル・フラッシュ・ローダ (SFL) と呼ばれるアルテラ IP は、JTAG インタフェースと EPCS または EPCQ デバイス間のブリッジを形成するために、Stratix V デバイスにする必要があります。これで、EPCS または EPCQ デバイスは、JTAG インタフェースを使用して直接プログラムすることができます。

図 9-11 に、JTAG インタフェースを使用して EPCS デバイスをプログラミングする接続のセットアップを示します。

図 9-11. JTAG インタフェースによる EPCS デバイスをプログラミングする接続のセットアップ

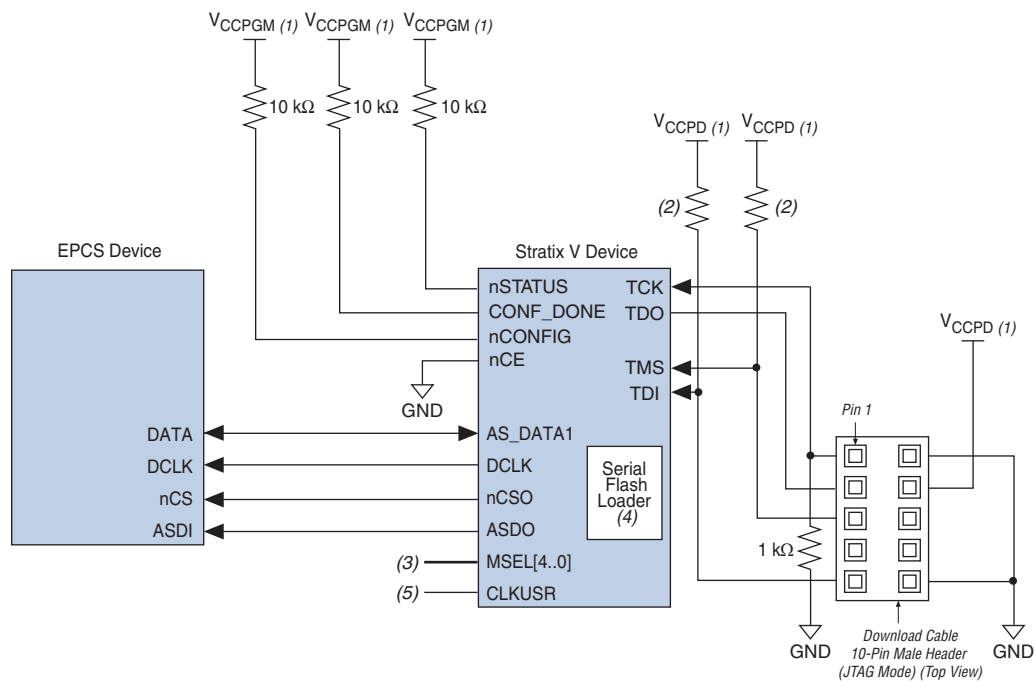


図 9-11 の注:

- (1) プルアップ抵抗を 3.0-V の V_{CCPGM} および V_{CCPD} 電源に接続します。
- (2) 抵抗値は 1 kΩ から 10 kΩ までです。シグナル・インテグリティ分析を実行して、セットアップのために抵抗値を選択してください。
- (3) MSEL ピンの設定は、各コンフィギュレーション電圧規格と POR 遅延によって異なります。MSEL を接続するには、7 ページの表 9-4 を参照してください。
- (4) デザインで SFL をインスタンス化して、EPCS デバイスおよび Stratix V デバイス間でブリッジを形成してください。SFL について詳しくは、『AN 370: Using the Serial Flash Loader with the Quartus II Software』を参照してください。
- (5) コンフィギュレーション実行中に、DCLK をドライブする外部クロックソースを供給する CLKUSR ピンを使用することができます。最大周波数仕様は 100 MHz です。

図 9-12 には、インタフェースによる EPCQ デバイスをプログラムするときの接続セッアップを示します。

図 9-12. インタフェースによる EPCQ デバイスをプログラムするときの接続セッアップ

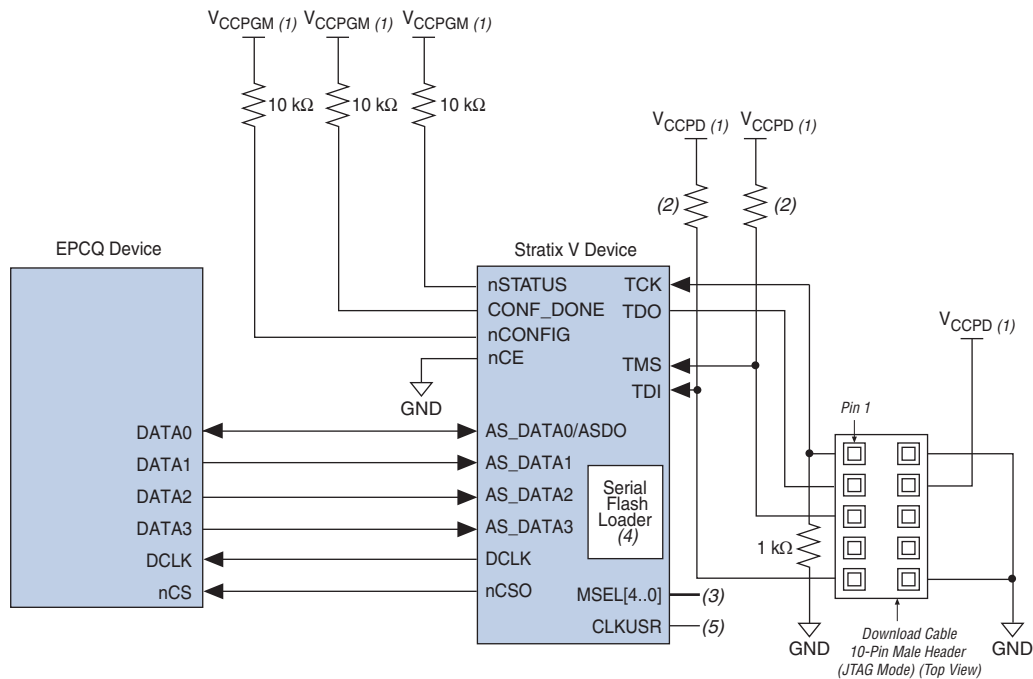


図 9-12 の注:

- (1) プルアップ抵抗を 3.0-V の V_{CCPGM} および V_{CCPD} 電源に接続します。
- (2) 抵抗値は 1 k Ω から 10 k Ω までです。シグナル・インテグリティ分析を実行して、セッアップのために抵抗値を選択してください。
- (3) MSEL ピンの設定は、各コンフィギュレーション電圧規格と POR 遅延によって異なります。MSEL を接続するには、7 ページの表 9-4 を参照してください。
- (4) デザインで SFL をインスタンス化して、EPCS デバイスおよび Stratix V デバイス間でブリッジを形成してください。SFL について詳しくは、[AN 370: Using the Serial Flash Loader with the Quartus II Software](#) を参照してください。
- (5) コンフィギュレーション実行中に、DCLK をドライブする外部クロックソースを供給する CLKUSR ピンを使用することができません。最大周波数仕様は 100 MHz です。

図 9-13 には、AS インタフェースによる EPCS デバイスをプログラムするときの接続セットアップを示します。

図 9-13. AS インタフェースによる EPCS デバイスをプログラムするときの接続セットアップ

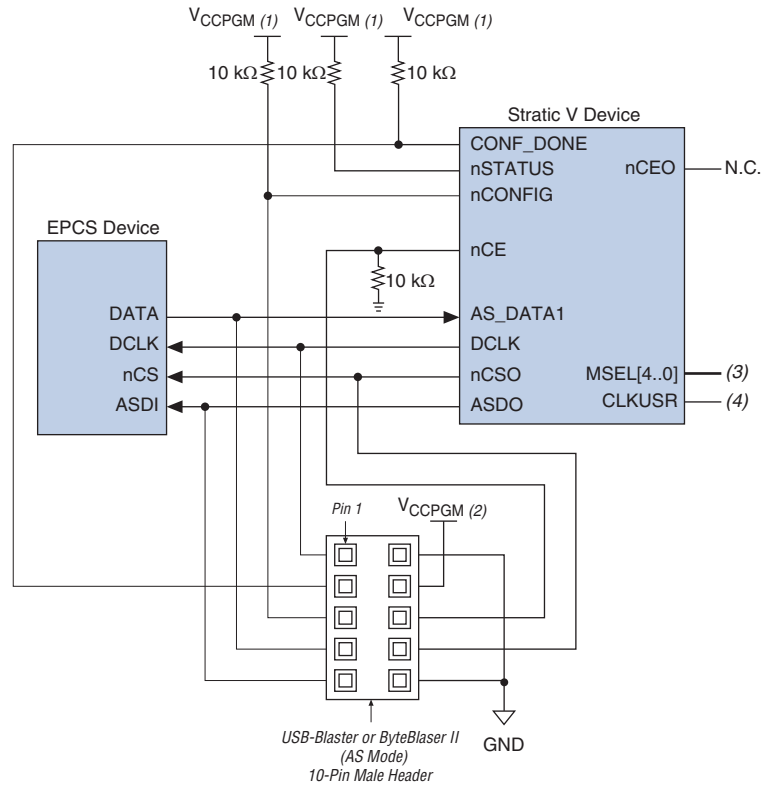


図 9-13 の注:

- (1) プルアップ抵抗を 3.0-V の V_{CCPGM} および V_{CCPD} 電源に接続します。
- (2) USB-ByteBlaster, ByteBlaster II, または EthernetBlaster ケーブルの $V_{CC(TRGT)}$ を V_{CCPGM} でパワーアップします。
- (3) $MSEL$ ピンの設定は、各コンフィギュレーション電圧規格と $PORMSEL$ によって異なります。MSEL を接続するには、7 ページの表 9-4 を参照してください。✖
- (4) コンフィギュレーション実行中に、DCLK をドライブする外部クロックソースを供給する CLKUSR ピンを使用することができます。最大周波数仕様は 100 MHz です。

図 9-14 には、AS インタフェースによる EPCQ デバイスをプログラムするときの接続セットアップを示します。

図 9-14. AS インタフェースによる EPCQ デバイスをプログラムするときの接続セットアップ (注 1)

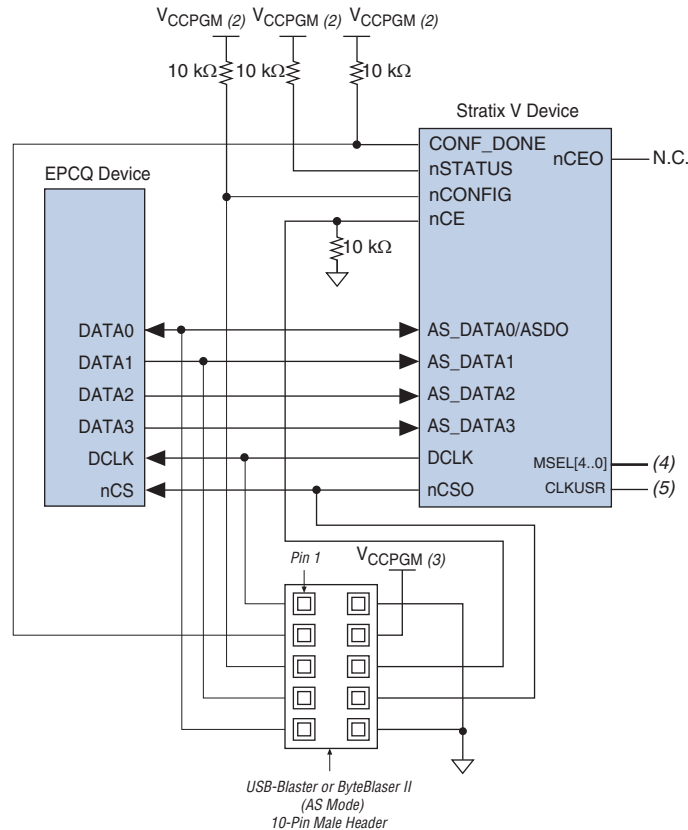



図 9-14 の注:

- (1) AS ヘッダーを使用して、プログラマは、DATA0 の上でシリアルに EPCQ デバイスへのオペレーション・コマンドおよびコンフィギュレーション・ビットを送信します。図 9-14 に示すように、これは、EPCS デバイスのプログラミング動作に同等です。
- (2) プルアップ抵抗を 3.0-V の VCCPGM および VCCPD 電源に接続します。
- (3) USB-ByteBlaster, ByteBlaster II, または EthernetBlaster ケーブルの $V_{CC(TRGT)}$ を VCCPGM でパワーアップします。
- (4) MSEL ピンの設定は、各コンフィギュレーション電圧規格と POR 遅延によって異なります。MSEL を接続するには、7 ページの表 9-4 を参照してください。
- (5) コンフィギュレーション実行中に、DCLK をドライブする外部クロックソースを供給する CLKUSR ピンを使用することができます。最大周波数仕様は 100 MHz です。

EPCS および EPCQ プログラミング中に、ダウンロード・ケーブルは nCE ピンを High にして、AS インタフェースへのデバイス・アクセスをディセーブルします。nCONFIG ラインは、リセット・ステージに Stratix V デバイスを保持するために Low にプルダウンされます。プログラミングの完了後、ダウンロード・ケーブルが nCE と nCONFIG を解放するため、プルダウン抵抗とプルアップ抵抗でそれぞれ GND と VCCPGM をドライブできます。

 ダウンロード・ケーブルを使用して、EPCQ プログラミング実行中に、DATA0 が EPCQ デバイスにダウンロード・ケーブルからのプログラミング・データ、オペレーション・コマンド、およびアドレスの情報を転送します。ダウンロード・ケーブルを使用して EPCQ の検証では、DATA1 は、ダウンロード・ケーブルのにプログラミング・データを転送します。

パッシブ・シリアル・コンフィギュレーション

Stratix V デバイスの PS コンフィギュレーションは、MAXII デバイス、マイクロプロセッサまたはホス PC トなどの外部ホストを使用して実行できます。したがって、データをフラッシュ・メモリからフェッチしてデバイスに送信するといったコンフィギュレーション・ステージを制御するデザインを外部ホスト・デバイスに格納する必要があります。

MAX II デバイスのパラレル・フラッシュ・ローダ (PFL) 機能は、JTAG インタフェースを介して CFI フラッシュ・メモリ・デバイスをプログラムする効率的な方法を提供します。PFL は、フラッシュ・メモリ・デバイスからコンフィギュレーション・データを読み込むためにコントローラとして動作し、Stratix V デバイスをコンフィギュレーションします。PFL は、は、PS および FPP コンフィギュレーション手法をサポートしています。

 PFL について詳しくは、「[Parallel Flash Loader Megafunction User Guide](#)」を参照してください。

MAX II デバイスおよびマイクロプロセッサを使用した PS コンフィギュレーション

外部ホストは (MAX II デバイスまたはマイクロプロセッサ)、フラッシュ・メモリなどのストレージ・デバイスからコンフィギュレーション・データを読み込み、Stratix V デバイスに転送します。コンフィギュレーション・データは、.pof、.rbf、.hex、または .tff フォーマットで保存できます。コンフィギュレーション・データを .rbf、.hex、または .tff フォーマットで使用する場合は、各データ・バイトの LSB を最初に送信しなければなりません。例えば、.rbf にバイト・シーケンス 02 1B EE 01 FA が含まれている場合、デバイスに送信する必要があるシリアル・ビットストリームは 0100-0000 1101-1000 0111-0111 1000-0000 0101-1111 です。


 9-15 に、シングル・デバイス・コンフィギュレーションでの Stratix V デバイスと MAX II デバイス間のコンフィギュレーション・インタフェース接続を示します。

図 9-15. 外部ホストを使用した単一デバイスの PS コンフィギュレーション

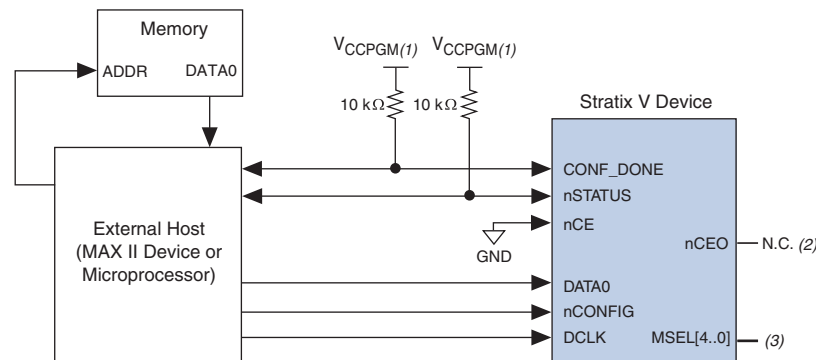


図 9-15 の注:

- (1) Stratix V デバイスに許容される入力信号を供給する電源に抵抗を接続します。V_{CCPGM} は、デバイスおよび外部ホスト上の I/O の V_{IH} 仕様に適合するよう十分に高くなければなりません。アルテラでは、V_{CCPGM} ですべてのコンフィギュレーション・システム I/O を電源投入することを推奨しています。
- (2) nCEO ピンは、未接続のままにするか、別のデバイスの nCE ピンに信号を供給していない場合はユーザー I/O ピンとして使用できます。
- (3) MSEL ピンの設定は、各コンフィギュレーション電圧規格と POR 遅延によって異なります。MSEL に接続する場合は、7 ページの表 9-4 を参照してください。

図 9-16 に、(複数の .sof) チェイン内のすべてのデバイスは、異なるコンフィギュレーション・データのセットを受信する外部ホストを使用した PS マルチ・デバイス・コンフィギュレーションを示しています。

図 9-16. 異なるコンフィギュレーション・データのセットを受信したマルチ・デバイス・コンフィギュレーション

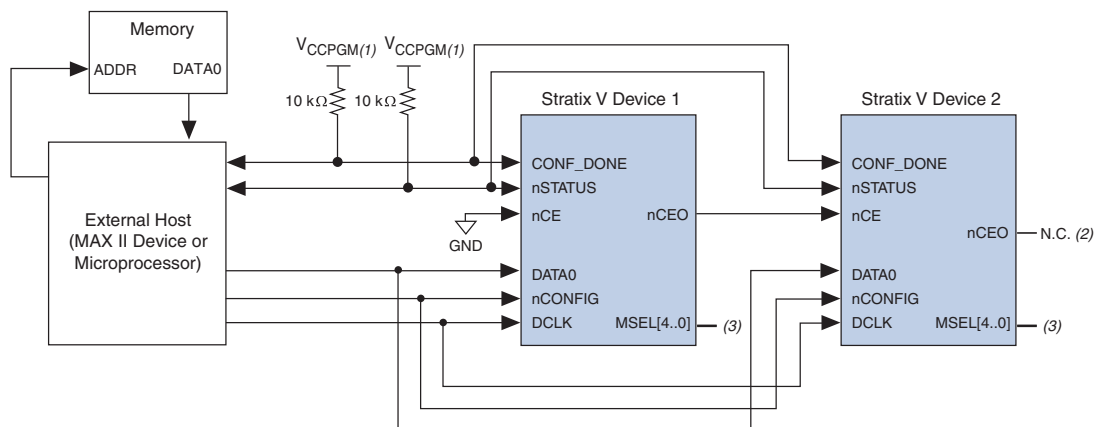


図 9-16 の注:

- (1) Stratix V デバイスに許容される入力信号を供給する電源に抵抗を接続します。V_{CCPGM} は、デバイスおよび外部ホスト上の I/O の V_{IH} 仕様に適合するよう十分に高くなければなりません。アルテラでは、V_{CCPGM} ですべてのコンフィギュレーション・システム I/O を電源投入することを推奨しています。
- (2) nCEO ピンは、未接続のままにするか、別のデバイスの nCE ピンに信号を供給していない場合はユーザー I/O ピンとして使用できます。
- (3) MSEL ピンの設定は、各コンフィギュレーション電圧規格と POR 遅延によって異なります。MSEL に接続する場合は、7 ページの表 9-4 を参照してください。

図 9-16 には、複数デバイスのコンフィギュレーション・チェーン内の最初のデバイスがコンフィギュレーションを完了した後、その nCEO ピンは Low にドライブされ、2 番目のデバイスの nCE ピンをアクティブにし、2 番目のデバイスがコンフィギュレーションを開始することを示します。チェーン内の 2 番目のデバイスは、1 クロック・サイクル以内にコンフィギュレーションを開始するため、2 番目のデバイスへのデータの転送は MAX II デバイスには分かりません。

図 9-17 に、デバイスが同じコンフィギュレーション・データのセット（単一の .sof）を受信するときの PS マルチ・デバイス・コンフィギュレーションを示します。

図 9-17. 同じコンフィギュレーション・データのセットを受信した PS マルチ・デバイス・コンフィギュレーション

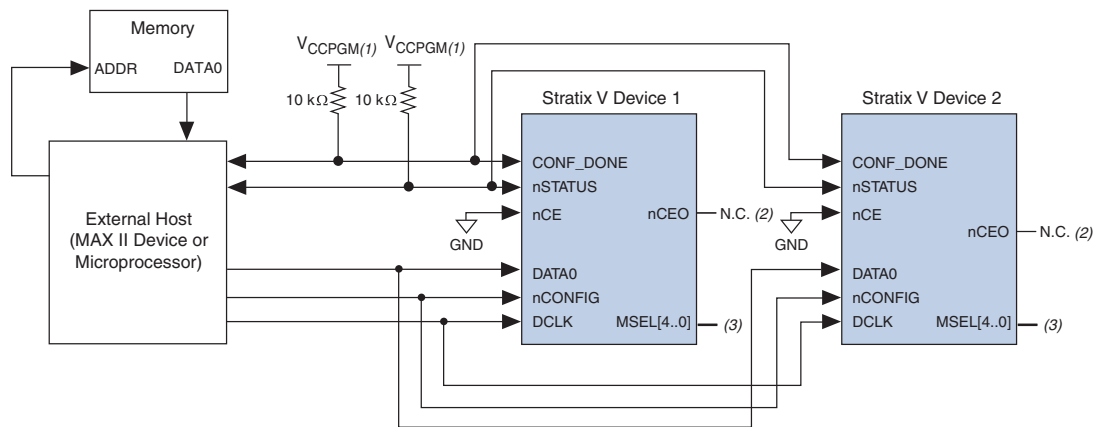


図 9-17 の注:

- (1) Stratix V デバイスに許容される入力信号を供給する電源に抵抗を接続します。V_{CCPGM} は、デバイスおよび外部ホスト上の I/O の V_{IH} 仕様に適合するよう十分に高くなければなりません。アルテラでは、V_{CCPGM} ですべてのコンフィギュレーション・システム I/O を電源投入することを推奨しています。
- (2) nCEO ピンは、未接続のままにするか、別のデバイスの nCE ピンに信号を供給していない場合はユーザー I/O ピンとして使用できます。
- (3) MSEL ピンの設定は、各コンフィギュレーション電圧規格と POR 遅延によって異なります。MSEL に接続する場合は、7 ページの表 9-4 を参照してください。

図 9-17 には、両方の nCE ピンは連結されているため、チェーン内の両方のデバイスは同時に初期化され、同時にユーザー・モードに入ります。

図 9-17 に示されているように、単一の .sof による PS マルチ・デバイスをコンフィギュレーションするには、すべて Stratix V のデバイスは、同じパッケージと集積度でなければなりません。

PS コンフィギュレーション・タイミング

図 9-18 に、MAX II デバイスおよびマイクロプロセッサを外部ホストとして使用するときの、PS コンフィギュレーションのタイミング波形を示します。

図 9-18. PS コンフィギュレーションのタイミング波形 (注 1)

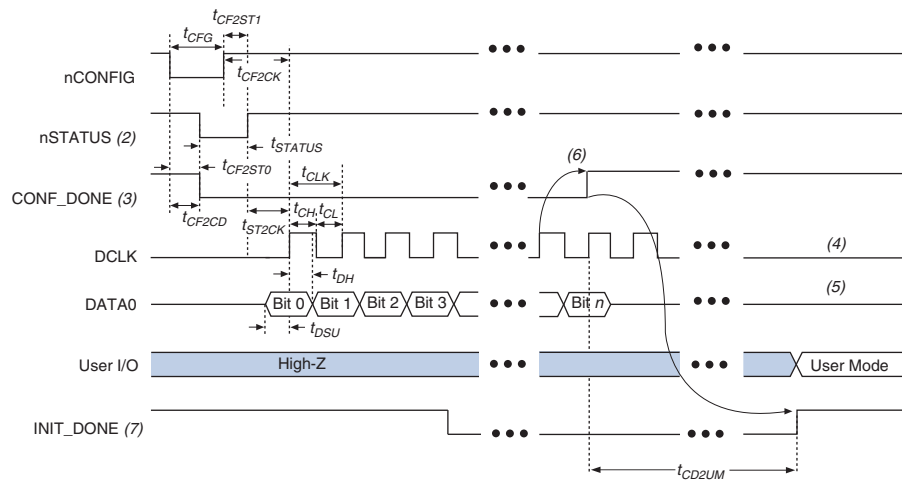


図 9-18 の注:

- (1) この波形の開始はデバイスがユーザー・モードであることを示します。ユーザー・モードでは、nCONFIG、nSTATUS、および CONF_DONE はロジック High レベルにあります。nCONFIG が Low にプルダウンされると、リコンフィギュレーション・サイクルが開始します。
- (2) 電源投入後、Stratix V デバイスは POR 遅延時間の間、nSTATUS を Low に保持します。
- (3) 電源投入後、コンフィギュレーションの実行前と実行中、CONF_DONE は Low になります。
- (4) コンフィギュレーション後、DCLK をフローティング状態のままにしないでください。High または Low のいずれかの都合の良いレベルにドライブができます。
- (5) コンフィギュレーション後は、DATA0 はユーザー I/O ピンとして使用可能です。このピンの状態は Device and Pins Option での兼用ピンの設定によって決まります。
- (6) 成功したコンフィギュレーションを確認するためには、全体のコンフィギュレーション・データを Stratix V デバイスに送信してください。Stratix V デバイスがすべてのコンフィギュレーション・データを受信した後、CONF_DONE は High にリリースされます。CONF_DONE が High になった後に、DCLK 上の 2 つの追加の立ち下がりエッジを送信すると、初期化が開始され、ユーザーモードに入ります。
- (7) INIT_DONE ピンをイネーブルするオプション・ビットがデバイスにコンフィギュレーションされた後に、INIT_DONE は Low になります。

表 9-12 に、Stratix V デバイスの PS コンフィギュレーションのためのタイミング・パラメータをリストします。

表 9-12. Stratix V デバイスの PS コンフィギュレーションのタイミング・パラメータ (注 1) (その 1)


シンボル	パラメータ	最小値	最大値	単位
t_{CF2CD}	nCONFIG low to CONF_DONE low	—	600	ns
t_{CF2ST0}	nCONFIG low to nSTATUS low	—	600	ns
t_{CFG}	nCONFIG low pulse width	2	—	μ s
t_{STATUS}	nSTATUS low pulse width	268	1,506(2)	μ s
t_{CF2ST1}	nCONFIG high to nSTATUS high	—	1,506(3)	μ s
t_{CF2CK}	nCONFIG high to first rising edge on DCLK	1,506	—	μ s
t_{ST2CK}	nSTATUS high to first rising edge of DCLK	2	—	μ s
t_{DSU}	DATA [] setup time before rising edge on DCLK	5.5	—	ns
t_{DH}	DATA [] hold time after rising edge on DCLK	0	—	ns
t_{CH}	DCLK high time	$0.45 \times 1/f_{MAX}$	—	s
t_{CL}	DCLK low time	$0.45 \times 1/f_{MAX}$	—	s

表 9-12. Stratix V デバイスの PS コンフィギュレーションのタイミング・パラメータ (注 1) (その 2)


シンボル	パラメータ	最小値	最大値	単位
t_{CLK}	DCLK period	$1/f_{MAX}$	—	s
f_{MAX}	DCLK frequency	—	125	MHz
t_R	入力 rise time	—	40	ns
t_F	入力 fall time	—	40	ns
t_{CD2UM}	CONF_DONE high to user mode (4)	175	437	μ s
t_{CD2CU}	CONF_DONE high to CLKUSR enabled	4 × 最大 DCLK 周期	—	—
t_{CD2UMC}	CONF_DONE high to user mode with CLKUSR option on	$t_{CD2CU} +$ (17,408 × CLKUSR 周期) (5)	—	—

表 9-12 の注:


- (1) この情報は暫定仕様です。
- (2) この値は、ユーザーが nCONFIG または nSTATUS の Low パルス幅を拡張して、コンフィギュレーションを遅延しない場合に適用されます。
- (3) この値は、ユーザーが nSTATUS を Low に保持して、コンフィギュレーションを遅延しない場合に適用されます。
- (4) 最小値および最大値は、デバイスを起動させるためのクロック・リソースとして内部オシレータが選択された場合にのみ適用されます。
- (5) 初期化クロック・ソースとして CLKUSR ピンをイネーブルすること、またこのピンの最大周波数仕様を取得するには、9-5 ページの「初期化」を参照してください。

 PS コンフィギュレーション手法には、両方の非圧縮および圧縮ビットストリームはデバイスの初期化を開始するために、CONF_DONE が High になると 2 つの DCLK 立ち上がりエッジが必要です。

ダウンロード・ケーブルを使用した PS コンフィギュレーション

 この項で使用する「ダウンロード・ケーブル」という用語には、アルテラの USB-Blaster ユニバーサル・シリアル・バス (USB) ポート・ダウンロード・ケーブル、ByteBlaster II パラレル・ポート・ダウンロード・ケーブル、ByteBlaster MV パラレル・ポート・ダウンロード・ケーブル、EthernetBlaster ダウンロード・ケーブルが含まれます。

ダウンロード・ケーブルを使用した PS コンフィギュレーションでは、PC はダウンロード・ケーブルを使用して、ストレージ・デバイスから Stratix V デバイスへのデータを転送するホストとして機能します。コンフィギュレーション実行中に、プログラミング・ハードウェアまたはダウンロード・ケーブルが、コンフィギュレーション・データを 1 ビットずつデバイスの DATA0 ピンに送信します。コンフィギュレーション・データは、CONF_DONE が High になるまでターゲット・デバイスに送られます。

 PS コンフィギュレーション実行中に CLKUSR オプションをオンにした場合、ダウンロード・ケーブルと Quartus II プログラマを使用してデバイスをコンフィギュレーションする際に、CLKUSR にクロックを供給する必要はありません。


 図 9-19 に、アルテラのダウンロード・ケーブルを使用した Stratix V デバイスの PS コンフィギュレーションを示します。

図 9-19. アルテラのダウンロード・ケーブルを使用した PS コンフィギュレーション

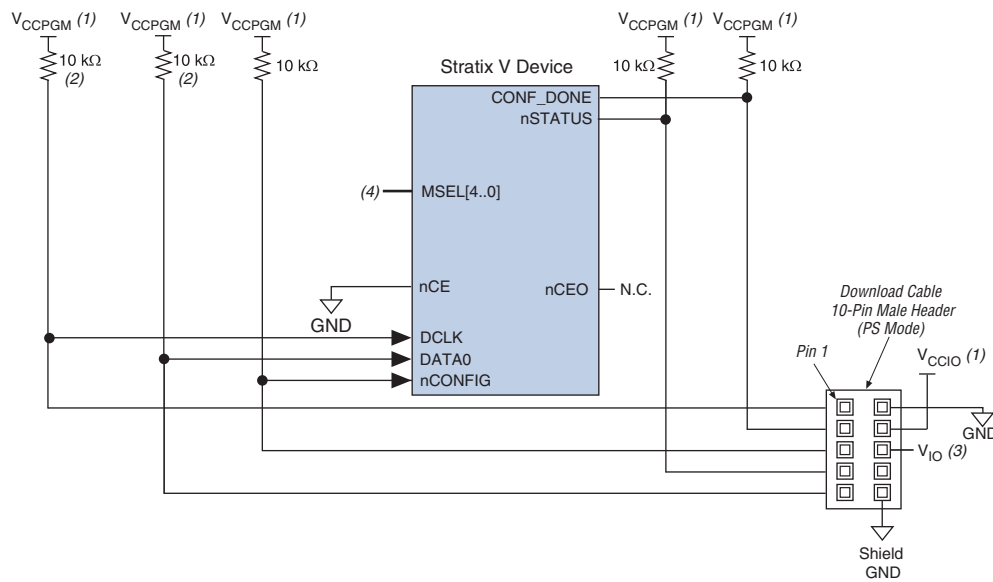


図 9-19 の注:

- (1) プルアップ抵抗は、USB-Blaster、ByteBlaster II、ByteBlasterMV または EthernetBlaster ケーブルと同じ電源電圧 (V_{CCIO}) に接続してください。
- (2) DATA0 および DCLK のプルアップ抵抗は、ボードで使用されるコンフィギュレーション手法がダウンロード・ケーブルだけの場合に限り必要です。これにより、DATA0 および DCLK がコンフィギュレーション後にフローティング状態のままにならないようにしています。例えば、MAX II デバイスまたはマイクロプロセッサも使用する場合、DATA0 および DCLK のプルアップ抵抗は不要です。
- (3) USB-Blaster および ByteBlaster II ケーブルでは、このピンは AS に使用される場合は nCE に接続され、それ以外の場合は接続されません。
- (4) MSEL ピンの設定は、各コンフィギュレーション電圧規格と POR 遅延によって異なります。MSEL[4..0] を接続するには、7 ページの表 9-4 を参照してください。

ダウンロード・ケーブルを使用したマルチ・デバイス PS コンフィギュレーション

図 9-20 に示すように、複数の Stratix V デバイスをコンフィギュレーションするにはダウンロード・ケーブルを使用することができます。

図 9-20. アルテラのダウンロード・ケーブルを使用したマルチ・デバイス PS コンフィギュレーション

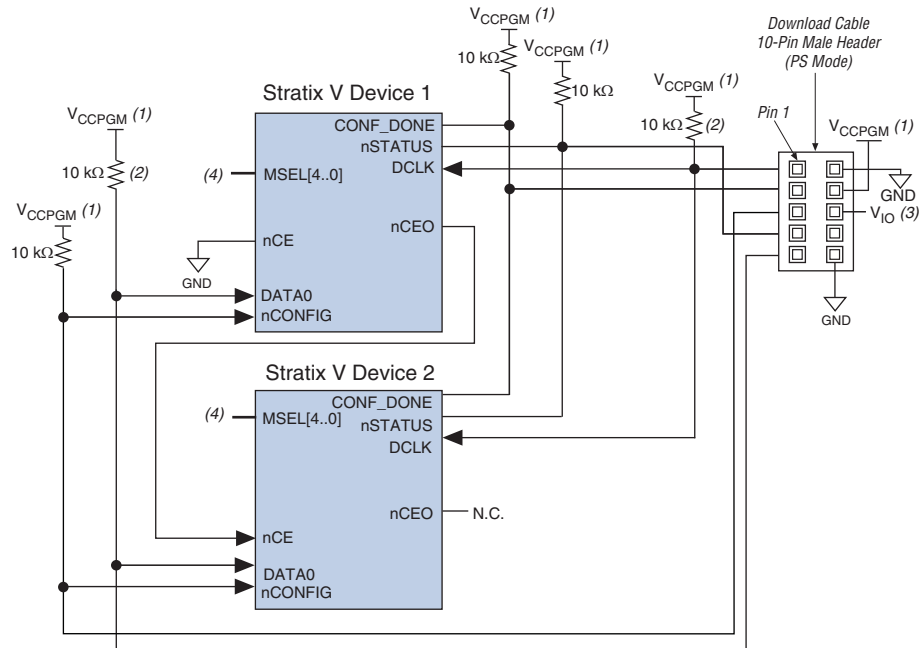



図 9-20 の注:

- (1) プルアップ抵抗は、USB-Blaster、ByteBlaster II、ByteBlasterMV または EthernetBlaster ケーブルと同じ電源電圧 (V_{CCIO}) に接続してください。
- (2) DATA0 および DCLK のプルアップ抵抗は、ボードで使用されるコンフィギュレーション手法がダウンロード・ケーブルだけの場合に限り必要です。これにより、DATA0 および DCLK がコンフィギュレーション後にフローティング状態のままにならないようにしています。例えば、MAX II デバイスまたはマイクロプロセッサも使用する場合、DATA0 および DCLK のプルアップ抵抗は不要です。
- (3) USB-Blaster および ByteBlaster II ケーブルでは、このピンは AS に使用される場合は nCE に接続され、それ以外の場合は接続されません。
- (4) MSEL ピンの設定は、各コンフィギュレーション電圧規格と POR 遅延によって異なります。MSEL[4..0] を接続するには、7 ページの表 9-4 を参照してください。

図 9-20 に示すように、最初のデバイスがコンフィギュレーションを完了した後、その nCEO ピンは Low にドライブされ、2 番目のデバイスの nCE ピンをアクティブにし、2 番目のデバイスがコンフィギュレーションを開始します。nCONFIG、nSTATUS、DCLK、DATA0、および CONF_DONE ピンは、チェーン内のすべてのデバイスに接続されます。すべてのデバイスの CONF_DONE および nSTATUS ピンは連結されているため、チェーン内のすべてのデバイスは同時に初期化され、同時にユーザー・モードに入ります。いずれかのデバイスがエラーを検出した場合、チェーン全体のコンフィギュレーションを停止して全てのデバイスをリコンフィギュレーションする必要があります。例えば、最初のデバイスが nSTATUS でエラーを示すと、nSTATUS ピンを Low にプルダウンしてチェーンをリセットします。


JTAG コンフィギュレーション


デバイスにコンフィギュレーション・データをシフトして、バウンダリ・スキャン・テスト (BST) 用の開発された同じ JTAG インタフェースを使用することができます。Quartus II ソフトウェアは、Quartus II プログラマでダウンロード・ケーブルによる JTAG コンフィギュレーションに使用可能な .sof を自動的に生成します。

 Stratix V による使用可能な JTAG BST およびコマンドについて詳しくは、以下の資料を参照してください。

- 「[JTAG Boundary-Scan Testing in Stratix V Devices](#)」の章
- 「[Programming Support for Jam STAPL Language](#)」

Stratix V デバイスは、JTAG インストラクションがどのデバイス・コンフィギュレーション・モードよりも優先されるように設計されています。JTAG コンフィギュレーションを他のコンフィギュレーション・モードの完了を待たずに実行することができます。例えば、PS コンフィギュレーション実行中に Stratix V デバイスの JTAG コンフィギュレーションを試みた場合、PS コンフィギュレーションは終了し、JTAG コンフィギュレーションが開始されます。JTAG コンフィギュレーション実行中、すべてのユーザー I/O ピンはトライ・ステートになります。


 JTAG ベースのコンフィギュレーションを使用中に、Stratix V デバイスをコンフィギュレーションする場合、Stratix V の圧縮復元またはデザイン・セキュリティ機能は使用できません。

 TDI、TDO、TMS、および TCK について詳しくは、[9-41 ページ](#)の「[デバイス・コンフィギュレーション・ピン](#)」を参照してください。

 チェイン内の複数のデバイスに対して複数の電圧の JTAG チェインを接続するための方法については、「[JTAG Boundary Scan Testing in Stratix V Devices](#)」の章を参照してください。

JTAG チェイン内の 1 つのデバイスをコンフィギュレーションするために、プログラミング・ソフトウェアは他のすべてのデバイスをバイパス・モードにします。バイパス・モードでは、デバイスは 1 個のレジスタを通して、内部的に影響を受けることなく、TDI ピンからのプログラミング・データを TDO ピンに渡します。この手法により、プログラミング・ソフトウェアはターゲット・デバイスをプログラムまたは検証することができます。デバイスにドライブされたコンフィギュレーション・データは、1 サイクル・クロック後に TDO ピンに出力されます。デバイスにドライブされたコンフィギュレーション・データは、1 サイクル・クロック後に TDO ピンに出力されます。Quartus II ソフトウェアは、JTAG ポートを介して CONF_DONE ピンの状態のチェックを完了した後 JTAG コンフィギュレーションの成功を検証します。

CONF_DONE が High でない場合、Quartus II ソフトウェアはコンフィギュレーションが失敗したことを示します。CONF_DONE が High の場合、ソフトウェアはコンフィギュレーションが成功したことを示します。コンフィギュレーション・データが JTAG TDI ポートを介してシリアルに送信された後、TCK ポートに追加の 1,222 サイクルがクロックされ、デバイスの初期化が実行されます。

 Stratix V デバイスのチップ・ワイドのリセット (DEV_CLRn) ピンとチップ・ワイドの出力イネーブル (DEV_OE) ピンは、JTAG バウンダリ・スキャンまたはコンフィギュレーション動作に影響を与えません。

他のサード・パーティのプログラマ・ツールで使用する JAM ファイル (.jam) または Jam-byte Code (.jbc) を生成することができます。また、デバイスをプログラムするには .rbf のある JRunner を使用することができます。

図 9-21 に、シングル Stratix V デバイスの JTAG コンフィギュレーションを示します。

図 9-21. ダウンロード・ケーブルを使用したシングル・デバイスの JTAG コンフィギュレーション

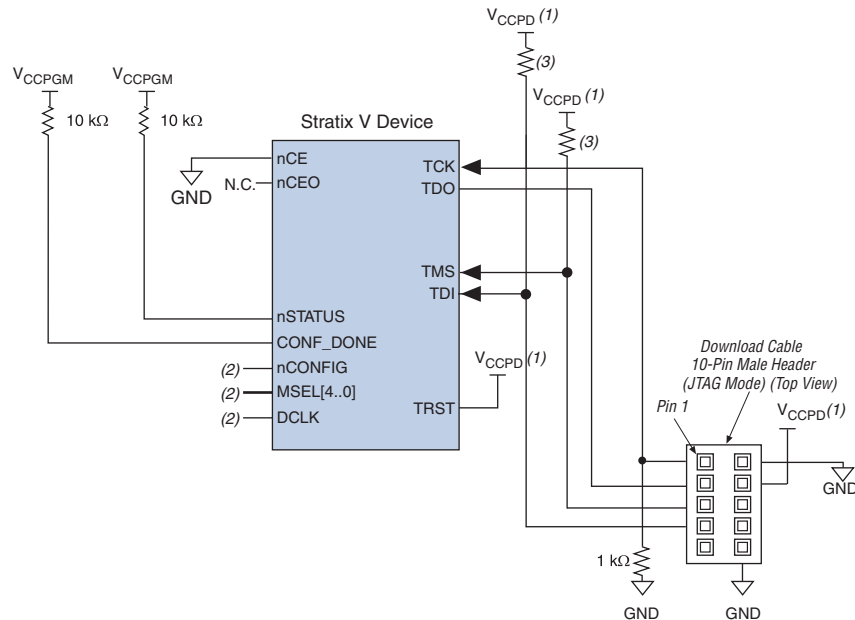


図 9-21 の注:

- (1) プルアップ抵抗 V_{CCPD} を接続します。この動作について詳しくは、9-3 ページの「 V_{CCPD} ピン」の V_{CCPD} 要件を参照してください。
- (2) JTAG コンフィギュレーションのみを使用する場合は、nCONFIG を V_{CCPGM} に、MSEL[4..0] をグラウンドに接続します。DCLK を High または Low のいずれかボード上で都合の良いレベルにプルアップまたはプルダウンします。DCLK を High または Low のいずれかボード上で都合の良いレベルにプルアップまたはプルダウンします。他のコンフィギュレーション手法と JTAG を使用する場合は、選択したコンフィギュレーション手法に基づいて MSEL[4..0] を設定して、nCONFIG、および DCLK を接続します。
- (3) 抵抗値は、1 k Ω ~ 10 k Ω です。セットアップのための抵抗値を選択するために、シグナル・インテグリティを実行してください。
- (4) JTAG コンフィギュレーションを成功させるには、nCE を GND に接続するか、Low にドライブしなければなりません。

また、JTAG インタフェースを介してデバイスをプログラムするためにマイクロプロセッサを使用することができます。

JRunner について詳しくは、「AN 414: The JRunner Software Driver: An Embedded Solution for PLD JTAG Configuration」を参照してください。

図 9-22 に、マイクロプロセッサを使用した Stratix V デバイスの JTAG コンフィギュレーションを示します。

図 9-22. マイクロプロセッサを使用したシングル・デバイスの JTAG コンフィギュレーション

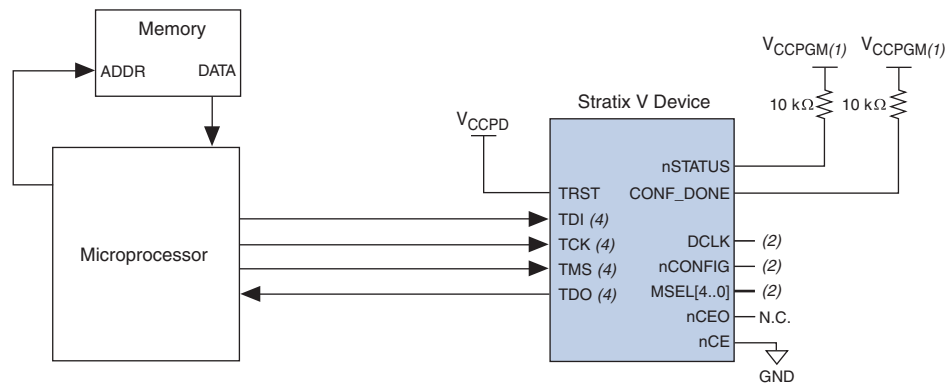



図 9-22 の注:

- (1) チェイン内のすべての Stratix V デバイスの許容入力信号を供給する電源にプルアップ抵抗を接続します。V_{CCPGM} は、デバイスの I/O の V_{IH} 仕様に適合するよう十分に高くなければなりません。
- (2) JTAG コンフィギュレーションのみを使用する場合は、nCONFIG を V_{CCPGM} に、MSEL[4..0] を GND に接続してください。DCLK を High または Low のいずれかボード上で都合の良いレベルにプルアップまたはプルダウンします。DCLK を High または Low のいずれかボード上で都合の良いレベルにプルアップまたはプルダウンします。他のコンフィギュレーション手法と JTAG を使用する場合は、選択したコンフィギュレーション手法に基づいて MSEL[4..0] を設定して、nCONFIG、および DCLK を接続します。
- (3) JTAG コンフィギュレーションを成功させるには、nCE を GND に接続するか、Low にドライブします。
- (4) JTAG ピンをドライブするために、マイクロプロセッサは V_{CCPD} のように同じ I/O 規格を使用しなければなりません。

CONFIG_IO 命令

CONFIG_IO 命令を使用すると、JTAG ポートを通して I/O バッファをコンフィギュレーションでき、命令が発行されるとコンフィギュレーションを中断します。この命令により、Stratix V デバイスのコンフィギュレーションの実行前、またはコンフィギュレーション・デバイスがコンフィギュレーションを完了するのを待っている間にボード・レベルのテストを実行できます。一度コンフィギュレーションが中断されると、JTAG テストが完了した場合は、JTAG インタフェースを使用するか、ボード上で FPP、PS、または、nCONFIG に Low パルスを与えてデバイスをリコンフィギュレーションする必要があります。あるいは、PULSE_NCONFIG JTAG 命令を使用して同じ JTAG インタフェースで nCONFIG を Low にパルス化できます。

 他の JTAG 命令 (BYPASS、IDCODE、および SAMPLE を除き) はすべて、最初にコンフィギュレーションを中断し、CONFIG_IO 命令を使用して I/O ピンを再プログラミングしなければ発行できません。

マルチ・デバイス JTAG コンフィギュレーション

JTAG デバイス・チェーンのプログラミング時には、1 つの JTAG 互換ヘッダが複数のデバイスに接続されます。JTAG チェイン内のデバイス数は、ダウンロード・ケーブルのドライブ能力によってのみ制限されます。JTAG チェインに 4 つ以上のデバイスが接続されている場合、アルテラは TCK、TDI、および TMS ピンをオンボード・バッファでバッファすることを推奨しています。JTAG をサポートするアルテラの他のデバイスを同じ JTAG チェイン内に配置して、デバイスのプログラミングを実行することができます。

JTAG チェイン・デバイスのプログラミングは、システムに複数のデバイスが含まれている場合や JTAG BST 回路を使用してシステムをテストする場合に理想的です。図 9-23 にマルチ・デバイス JTAG コンフィギュレーションを示します。

図 9-23. ダウンロード・ケーブルを使用した複数のデバイスの JTAG コンフィギュレーション

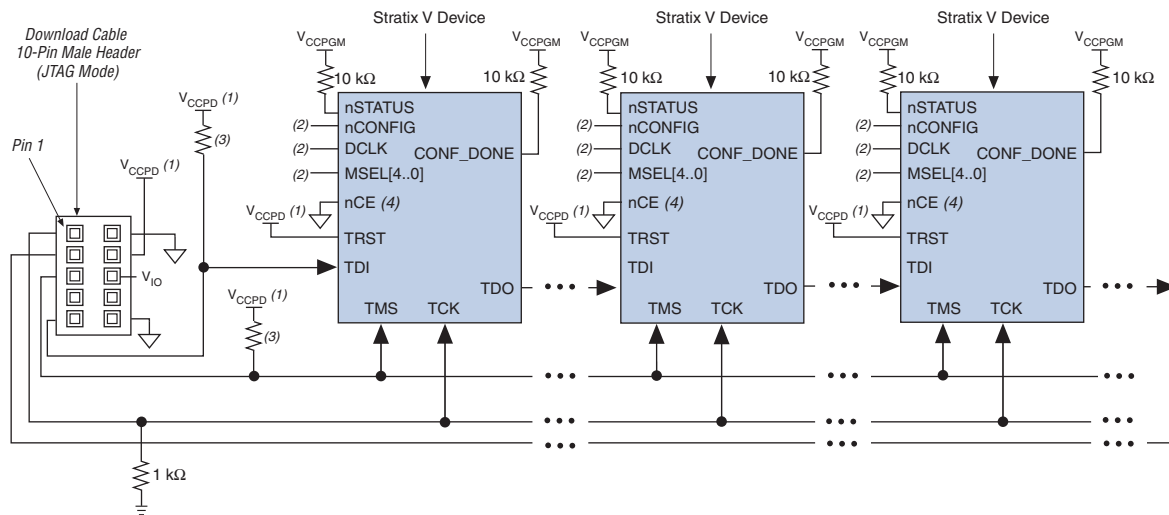


図 9-23 の注:

- (1) プルアップ抵抗 V_{CCPD} を接続します。この動作について詳しくは、9-3 ページの「 V_{CCPD} ピン」の V_{CCPD} 要件を参照してください。
- (2) JTAG コンフィギュレーションのみを使用する場合は、nCONFIG を V_{CCPGM} に、MSEL[4..0] をグラウンドに接続します。DCLK を High または Low のいずれかボード上で都合の良いレベルにプルアップまたはプルダウンします。DCLK を High または Low のいずれかボード上で都合の良いレベルにプルアップまたはプルダウンします。他のコンフィギュレーション手法と JTAG を使用する場合は、選択したコンフィギュレーション手法に基づいて MSEL[4..0]、nCONFIG、および DCLK を接続します。
- (3) 抵抗値は、1 k Ω ~ 10 k Ω です。セットアップのための抵抗値を選択するために、シグナル・インテグリティを実行してください。
- (4) JTAG コンフィギュレーションを成功させるには、nCE を GND に接続するか、Low にドライブしなければなりません。

FPP、PS および AS などの他の手法と JTAG マルチ・デバイス・コンフィギュレーションを使用する場合は、FPP、PS および AS マルチ・デバイス・コンフィギュレーション手法に推奨するように CONF_DONE、nSTATUS、および nCONFIG を連結します。JTAG チェインがマルチ・デバイス FPP、PS、または AS コンフィギュレーション・チェインと同じ順序であることを確認します。

JTAG コンフィギュレーションのみ使用する場合には、アルテラは図 9-22 に示すとおり回路を接続することを推奨しています。ここで、CONF_DONE 信号と nSTATUS 信号はそれぞれ分離されているので、各デバイスは個別にユーザー・モードに入ることができます。

JTAG コンフィギュレーションと他のコンフィギュレーションの組み合わせることについて詳しくは、「Configuration Handbook Vol 2」の「Combining Different Configuration Schemes」の章を参照してください。

エンベデッド環境での JTAG および Jam STAPL について詳しくは、「AN 425: Using Command-Line Jam STAPL Solution for Device Programming」を参照してください。Jam Player をダウンロードするには、アルテラ・ウェブサイト (www.altera.co.jp) にアクセスしてください。

USB-Blaster、ByteBlaster II、または EthernetBlaster ケーブルについて詳しくは、以下のユーザーガイドを参照してください。

■ [USB-Blaster ダウンロード・ケーブル・ユーザーガイド](#)

- *ByteBlaster II* ダウンロード・ケーブル・ユーザーガイド
- *Ethernet Blaster* 通信ケーブル・ユーザーガイド

デバイス・コンフィギュレーション・ピン

表 9-13 および表 9-14 には、Stratix V デバイスのすべてのコンフィギュレーション関連ピンの接続と機能をリストしています。表 9-13 に、Stratix V のコンフィギュレーション・ピンとそれらの電源をリストします。

表 9-13. Stratix V デバイスのコンフィギュレーション・ピンの概要 (その 1)

ピン名	入力/出力	ユーザー・モード	電源供給元	コンフィギュレーション手法
TDI	入力	—	V _{CCPD}	JTAG
TMS	入力	—	V _{CCPD}	JTAG
TCK	入力	—	V _{CCPD}	JTAG
TRST	入力	—	V _{CCPD}	JTAG
TDO	入力	—	V _{CCPD}	JTAG
CLKUSR	入力	I/O (1)	V _{CCPGM} /V _{CCIO} (4)	すべての手法
CRC_ERROR	入力	I/O (1)	プルアップ	オプション、すべての手法
CONF_DONE	双方向	—	V _{CCPGM} /プルアップ	すべての手法
DATA0	双方向	I/O (2)	V _{CCPGM} /V _{CCIO} (4)	FPP, PS
DATA[31..1]	双方向	I/O (2)	V _{CCPGM} /V _{CCIO} (4)	FPP
DCLK	入力	—	V _{CCPGM}	FPP, PS
	入力	—	V _{CCPGM}	AS
DEV_OE	入力	I/O (1)	V _{CCPGM} /V _{CCIO} (4)	オプション、すべての手法
DEV_CLRn	入力	I/O (1)	V _{CCPGM} /V _{CCIO} (4)	オプション、すべての手法
INIT_DONE	入力	I/O (1)	Pull-up	オプション、すべての手法
MSEL[4..0]	入力	—	V _{CCPGM}	すべての手法
nSTATUS	双方向	—	V _{CCPGM}	すべての手法
nCE	入力	—	V _{CCPGM}	すべての手法
nCEO	入力	I/O (3)	Pull-up	すべての手法
nCONFIG	入力	—	V _{CCPGM}	すべての手法
nCS0	入力	—	V _{CCPGM}	AS
nIO_PULLUP	入力	—	V _{CC} (5)	すべての手法
AS_DATA0/ASDO	双方向	—	V _{CCPGM}	AS

表 9-13. Stratix V デバイスのコンフィギュレーション・ピンの概要 (その 2)

ピン名	入力/出力	ユーザー・モード	電源供給元	コンフィギュレーション手法
AS_DATA[3..1]	双方向	—	V _{CCPGM}	AS

表 9-13 の注:

- (1) これは兼用ピンです。このピンをイネーブルする関連オプションが **Device and Pins Option** 設定の **Configuration** パネルからオフにされる場合、このピンは I/O として使用可能です。例えば、**Enable device-wide output enable** オプションがオフにされる場合、**DEV_OE** はユーザー I/O として使用可能です。
- (2) これは兼用ピンです。このピンの状態は **Device and Pins Option** 使用の **Dual-purpose Pins** 設定によって決まります。
- (3) このピンがマルチ・デバイス・コンフィギュレーションで次のデバイスの **nCE** を供給されていないため、このピンは I/O として使用可能です。このピンを使用してマルチ・デバイス・チェーンで次のデバイスの **nCE** に供給するには、供給 **Quartus II** ソフトウェアで **Device and Pins Option** の **General** パネルの下で **Enable INIT_DONE output** オプションをオンにしてください。
- (4) このピンはコンフィギュレーション中に V_{CCPGM} でパワーアップされます。通常の I/O としてユーザー・モードで使用される場合、ピンが存在するバンクの V_{CCIO} によってパワーアップされます。
- (5) **nIO_PULLUP** が V_{CC} によってパワーアップされても、アルテラでは、これらのピンはプルアップまたはプルダウン抵抗を使用せず、V_{CCPGM} または **GND** に直接接続することを推奨しています。

表 9-14 に、コンフィギュレーション・ピンについて説明します。

表 9-14. コンフィギュレーション・ピンの説明 (その 1)

ピン名	説明
TDI (1)	テスト・データ入力。命令、テストおよびプログラミング・データ用のシリアル入力ピン。データは TCK の立ち上がりエッジでシフト・インされます。 このピンには、常時アクティブな内部 25 kΩ プルアップ抵抗を備えています。
TMS (1)	テスト・モードの選択。TAP コントローラ・ステート・マシンの遷移を決定するコントロール信号を提供する入力ピン。TMS は、TCK の立ち上がりエッジで評価されます。このため、ユーザーは TCK の立ち上がりエッジの前に TMS を設定する必要があります。ステート・マシン内での遷移は、信号は TMS に印加された後、TCK の立ち下がりエッジで発生します。 このピンには、常時アクティブな内部 25 kΩ プルアップ抵抗を備えています。
TCK (1)	専用テスト・クロック入力。BST 回路へのクロック入力。立ち上がりエッジで発生する動作と、立ち下がりエッジで発生する動作があります。クロック入力波形は、標準 50% のデューティ・サイクルが期待されます。 このピンには、常時アクティブな内部 25 kΩ プルアップ抵抗を備えています。
TRST (1)	専用テスト・リセット入力。バウンダリ・スキャン回路を非同期でリセットするアクティブ Low 入力。TRST ピンは IEEE Std. 1149.1 に準じたオプションです。 ピンを Low に接続すると JTAG 回路がディセーブルされます。このピンには、常時アクティブな内部 25 kΩ プルアップ抵抗を備えています。
TDO (1)	専用テスト・データ出力。命令、テストおよびプログラミング・データ用のシリアル出力ピン。データは TCK の立ち下がりエッジでシフト・アウトされます。このピンは、データがデバイスからシフト・アウトされない場合はトライ・ステートになります。
CLKUSR	オプションのユーザー供給クロック入力。1 つまたは複数のデバイスの初期化を同期させます。 Enable user-supplied start-up clock (CLKUSR) オプションは、Quartus II ソフトウェアの Device and Pins Option ダイアログ・ボックスの Configuration タブでオンにすることができます。
CRC_ERROR	オプションの出力ピン。デバイスがユーザー・モード中に CRC (Cyclic Redundancy Check) エラーを検出したことを示します。デフォルトで、このピンはオープン・ドレイン出力であり、10 kΩ プルアップ抵抗を必要とします。Quartus II ソフトウェアの Device and Pins Option の Error Detection CRC パネルで Enable Open-drain on CRC_ERROR pin をオフにすることで、このピンを通常の出力として使用できます。 ユーザー・モードの動作中に CRC エラーがない場合、ターゲット・デバイスはこのピンを Low にドライブします。オープン・ドレイン出力として、CRC エラーが発生すると、デバイスはピンをリリースして、外部プルアップ抵抗で High にプルアップされます。 このピンは、Quartus II ソフトウェアで、 Enable CRC error detection on CRC_ERROR pin オプションをオンにするとイネーブルされます。CRC_ERROR ピンについて詳しくは、「 SEU Mitigation in Stratix V Devices 」の章を参照してください。

表 9-14. コンフィギュレーション・ピンの説明 (その2)

ピン名	説明
CONF_DONE	専用オープン・ドレインの双方向ピン。コンフィギュレーションの実行前および実行中に、ターゲット・デバイスは CONF_DONE ピンを Low にドライブします。デバイスは、すべてのコンフィギュレーション・データを正常に受信すると、1 外部プルアップ抵抗で High にプルアップされたオープン・ドレインの CONF_DONE ピンを解放します。そして、ターゲット・デバイスは CONF_DONE がロジック High であることを確認するために、CONF_DONE ピン・ステータスを読み込みます。High であることを確認した後、CONF_DONE が High になると、ターゲット・デバイスは初期化を行いユーザー・モードに入ります。 初期化を完了した後に、CONF_DONE を Low にドライブしても、コンフィギュレーションされたデバイスには影響ありません。
DATA0 (3)	兼用データ入力ピン。DATA0 が受信されたデータは DCLK に同期されます。 コンフィギュレーションが完了した後、このピンはユーザー I/O ピンとして使用できます。
DATA[31..1] (3)	兼用データ入力ピン。FPP x16 または FPP x32 を使用している場合、これらのピンの 1 つのサブセットだけがコンフィギュレーションに必要です。コンフィギュレーションに使用されていないピンは、通常の I/O として使用できます。 コンフィギュレーション実行中に、これらのピン上にバイト幅またはワード幅データが受信されます。DATA [31..1] は DCLK に同期しています。
DCLK	専用双方向のクロック・ピン。PS および FPP コンフィギュレーションでは、DCLK は外部ソースからターゲット・デバイスにデータを送るのに使用されるクロック入力です。データは、DCLK の立ち上がりエッジでデバイスにラッチされます。データは、DCLK の立ち上がりエッジでデバイスにラッチされます。コンフィギュレーションが完了した後、DCLK を High または Low のうち都合の良いレベルにドライブしなければなりません。 AS モードでは、DCLK は EPCS または EPCQ デバイスをクロックする出力クロックです。そしてこのデータは、DCLK の次の立ち上がりエッジでデバイスにラッチされます。AS コンフィギュレーション後、このピンはウィーク・プルアップ抵抗でトライ・ステートになります。 コンフィギュレーション後にこのピンを切り替えても、コンフィギュレーションされたデバイスには影響ありません。
DEV_OE (2)	ユーザーがデバイスのすべてのトライ・ステートを無効にできるオプション・ピンです。このピンが Low にドライブされるとすべての I/O ピンはトライ・ステートになります。このピンが High にドライブされると、すべての I/O ピンはプログラムされたとおりに動作します。このピンは、Quartus II ソフトウェアで、 Enable device-wide output enable (DEV_OE) オプションをオンにするとイネーブルされます。
DEV_CLRn (2)	ユーザーがデバイス・レジスタのすべてのクリアを無効にできるオプション・ピンです。このピンが Low にドライブされると、すべてのレジスタがクリアされます。このピンが High にドライブされると、すべてのレジスタはプログラムされたとおりに動作します。このピンは、Quartus II ソフトウェアで、 Enable device-wide reset (DEV_CLRn) オプションをオンにするとイネーブルされます。
INIT_DONE (2)	オプションの出力ピン。デバイスが初期化されユーザー・モードになったことを示す信号。リセット・ステージ中に POR を終了するとき、そしてコンフィギュレーションの開始時に、INIT_DONE ピンはトライ・ステートになり、外部プルアップ抵抗によって High にプルアップされます。 INIT_DONE を有効にするオプション・ビットが、(コンフィギュレーション・データの最初のフレーム時に) デバイスにプログラムされると、INIT_DONE ピンは Low になります。初期化が完了すると、INIT_DONE ピンは解放されて High にプルアップされ、デバイスはユーザー・モードに入ります。 したがって、監視回路は Low から High への遷移を検出できなければなりません。このピンは、Quartus II ソフトウェアで、 Enable INIT_DONE output オプションをオンにするとイネーブルされます。
MSEL[4..0]	専用入力ピン。Stratix V デバイスのコンフィギュレーション手法を設定する 5 ビットのコンフィギュレーション入力。正しい接続は、7 ページの表 9-4 を参照してください。 MSEL [4..0] ピンは、常時アクティブな 5-k Ω 内部プルダウン抵抗を備えています。

表 9-14. コンフィギュレーション・ピンの説明 (その 3)

ピン名	説明
nSTATUS	専用オープン・ドレイン双方向ピン。デバイスは電源投入直後に nSTATUS を Low にドライブし、POR 時間経過後に解放します。ユーザー・モード時および通常のコンフィギュレーション時には、このピンは外部 10-kΩ 抵抗で High にプルアップされます。 コンフィギュレーション実行中、このピンは、デバイスで Low にドライブされると、コンフィギュレーション中にエラーが発生したことを示します。外部ソースがコンフィギュレーション実行中または初期化中に nSTATUS を Low にドライブした場合、ターゲット・デバイスはエラー状態に入ります。このメカニズムは、マルチ・デバイス・コンフィギュレーションのセットアップ中に使用されています。デバイスのいずれかがエラーを検出して、nSTATUS を Low にプルすると、チェーン内のすべてのデバイスがリセットされます。 コンフィギュレーションおよび初期化画完了した後に、nSTATUS を Low にドライブしても、コンフィギュレーションされたデバイスには影響ありません。
nCE	専用アクティブ Low のチップ・イネーブル入力ピン。このピンをドライブするとコンフィギュレーションを実行するようになります。nCE ピンは、シングル・デバイス・コンフィギュレーションのコンフィギュレーション実行中、初期化中、およびユーザー・モードでは Low にドライブします。マルチ・デバイスのコンフィギュレーションでは、推奨されるそれぞれのコンフィギュレーション・セットアップ図に基づき、nCE ピンをチェーンの前のデバイスの GND または nCEO と接続してください。
nCEO (3)	兼用オープン・ドレイン出力ピン。このピンは、デバイスのコンフィギュレーション完了時に Low をドライブします。マルチ・デバイス・チェーンに次のデバイスの nCE ピンに供給するためにこのピンを使用するには、Quartus II ソフトウェアの Device and Pins Option の General パネルで Enable INIT_DONE output をオンにしてください。シングル・デバイス・コンフィギュレーションでは、このピンを通常の I/O として使用することができます。マルチ・デバイス・コンフィギュレーションでは、次のデバイスの nCE ピンを供給していない場合に、このピンを通常の I/O として使用することができます。
nCONFIG	専用入力ピン。このピンがコンフィギュレーションおよびユーザー・モードで Low パルスである場合、デバイスはリセット状態に入り、すべての I/O ピンをトライ・ステートにします。Low から High へのロジックはリコンフィギュレーションを開始します。 JTAG プログラミング間に、nCONFIG ステータスが無視されます。
nCSO	専用出力ピン。AS モードで Stratix V デバイスから EPCS と EPCQ デバイスにコントロール信号をドライブします。AS コンフィギュレーションが完成した後に、ウィーク・プルアップ抵抗によってこれらのピンがトライ・ステートされます。
nIO_PULLUP	専用入力ピン。この入力ピンは、ユーザー I/O ピンおよび兼用 I/O ピン (DATA[31..0]、CLKUSR、INIT_DONE、DEV_OE、および DEV_CLRN) の内部プルアップ抵抗をイネーブルまたはディセーブルします。ロジック High は内部ウィーク・プルアップ抵抗をオフにし、ロジック Low はオンにします。 このピンには、常にアクティブな 5-kΩ 内部プルダウン抵抗があります。
AS_DATA0/ASDO	専用双方向データ・ピン。AS x1 および AS x4 コンフィギュレーションでは、ASDO は、動作コマンドとアドレスを EPCS または EPCQ デバイスに送信するために使用されます。AS x4 コンフィギュレーションでは、AS_DATA0 にデータを受信し、DCLK に同期されます。 AS コンフィギュレーションが完成した後に、ウィーク・プルアップ抵抗によってこのピンがトライ・ステートされます。
AS_DATA[3..1]	専用双方向データ・ピン。コンフィギュレーション中は、これらのピンにデータを受信し、DCLK に同期されます。 AS コンフィギュレーションが完成した後に、ウィーク・プルアップ抵抗によってこのピンがトライ・ステートされます。


表 9-14 の注:

- (1) ボードに JTAG インタフェースが必要ない場合は、このピンをロジック High に接続して JTAG 回路をディセーブルできます。チェーン内の複数のデバイスに対して複数の電圧の JTAG チェインを接続するための推奨方法については、「[JTAG Boundary Scan Testing](#)」の章を参照してください。
- (2) これは兼用ピンです。このピンをイネーブルする関連オプションが **Device and Pins Option** 設定の **Configuration** パネルからオフにされる場合、このピンは I/O として使用可能です。例えば、DEV_OE は **Enable device-wide output enable** オプションをオフにした場合に使用できます。
- (3) これは兼用ピンです。このピンの状態は **Device and Pins Option** 設定での **Dual-purpose Pins** 設定によって決まります。

コンフィギュレーション・データの復元

Stratix V デバイスは、コンフィギュレーション・メモリ・スペースを節減してコンフィギュレーション時間を短縮するコンフィギュレーション・データの復元をサポートします。この機能により、圧縮されたコンフィギュレーション・データをコンフィギュレーション・デバイスまたはその他のメモリに格納し、この圧縮されたデータを Stratix V デバイスに送信することができます。コンフィギュレーションの間、Stratix V デバイスはリアルタイムでデータを復元し、SRAM セルをプログラムします。データ圧縮は、コンフィギュレーションの実行時に実行され、追加の処理時間を必要としません。

暫定データでは、圧縮によってコンフィギュレーション・ビット・ストリームのサイズが使用されたデザインをベースに通常 35 ~ 55% に縮小しています。これにより、フラッシュ・メモリのストレージ要件の容量が低減されます。復元機能は、JTAG 以外のすべてのコンフィギュレーション手法でサポートされています。

 FPP では、復元機能をイネーブルすると、異なる DCLK-to-DATA [] の比を必要とします。詳しくは、9-9 ページの「ファースト・パッシブ・パラレル・コンフィギュレーション」を参照してください。

Stratix V のデータの圧縮をイネーブルするには、デザイン・コンパイル前（Compiler Settings メニュー）とデザイン・コンパイル後（Convert Programming Files ウィンドウ）の 2 つの方法があります。

プロジェクトのコンパイラ設定で圧縮をイネーブルするには、以下のステップを実行します。


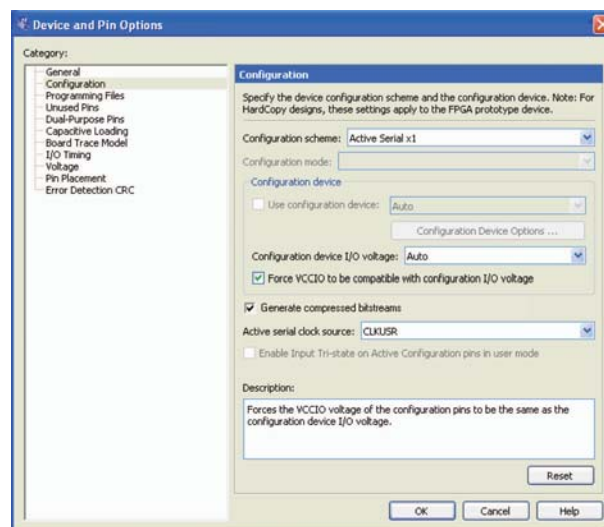
1. Assignments メニューで、**Device** をクリックして、**Settings** ダイアログ・ボックスを表示します。
2. Stratix V デバイスを選択した後、**Device and Pin Options** ダイアログ・ボックスを開きます。
3. **Configuration settings** パネルで、**Generate compressed bitstreams** オプションをオンにします（ 9-24 を参照）。

図 9-24. コンパイラ設定で StratixIV のビットストリームの圧縮をイネーブル



プログラミング・ファイルを **Convert Programming Files** ウィンドウから作成するとき、圧縮をイネーブルにするには、次のステップに従います。これを実行するには、以下のステップを実行します。

1. File メニューの **Convert Programming Files** をクリックします。
2. プログラミング・ファイル・タイプ (**.pof**、**.sram**、**.hex**、**.rbf**、または **.tff**) を選択します。
3. POF 出力ファイルの場合は、コンフィギュレーション・デバイスを選択します。
4. **Input files to convert** ボックスで、**SOF Data** を選択します。
5. **Add File** を選択し、Stratix V デバイスの **.sof** ファイルを追加します。
6. **SOF Data** 領域に追加したファイル名を選択し、**Properties** をクリックします。
7. **Compression** チェック・ボックスをオンにします。

マルチ・デバイス・コンフィギュレーションにシリアル・コンフィギュレーション手法、AS x1 または PS を使用する場合、シリアル・コンフィギュレーション手法を使用している場合は、チェーン内の各デバイスに対して圧縮機能を選択的にイネーブルすることができます。図 9-25 に、2 個の Stratix V デバイスのチェーンを示します。最初の Stratix V デバイスは圧縮がイネーブルされているため、外部ホストから圧縮されたデータを受信します。2 番目の Stratix V デバイスは、圧縮機能がディセーブルされているので非圧縮データを受信します。


 FPP コンフィギュレーション手法では、DCLK-t0-DATA [] の比の差があるため、同じマルチ・デバイス・チェーン内の圧縮および非圧縮コンフィギュレーションの組み合わせは実行できません。

図 9-25. 同じコンフィギュレーション・ファイル内の圧縮および非圧縮コンフィギュレーション・データ (注 1)

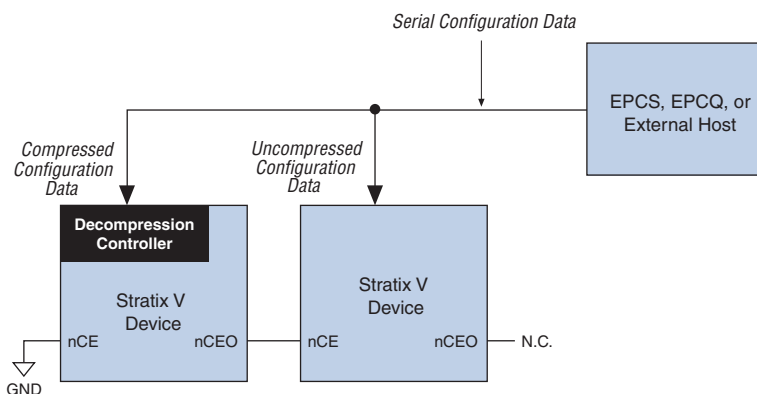


図 9-25 の注:

- (1) このセットアップのコンフィギュレーションは Quartus II ソフトウェアの **Convert Programming Files** メニューから生成されます。

リモート・システム・アップグレード

この章では専用リモート・システム・アップグレード回路の機能と実装について説明します。また、ファクトリ・コンフィギュレーション、アプリケーション・コンフィギュレーション、リモート・アップデート・モード、およびユーザー・ウォッチドッグ・タイマを含むリモート・システム・アップグレードのコンセプトについても定義します。さらに、このセクションはサポートされるコンフィギュレーション手法を使用してリモート・システム・アップグレードを実装するためのデザイン・ガイドラインについて説明します。

システム設計者は、短いデザイン・サイクル、進化する規格、遠隔地でのシステム配置など、時として困難な課題に直面することがあります。Stratix V デバイスは、独自のリプログラマビリティとリモート・システム・アップグレードを実行する専用回路により、これらの課題を克服します。リモート・システム・アップグレードは、経費のかかる製品回収を行わずに機能強化やバグ修正を行うことができ、製品の市場投入の短縮や製品寿命の延長に役立ちます。

Stratix V デバイスは専用のリモート・システム・アップグレード回路を備えています。Stratix V デバイスに実装されたソフト・ロジック (Nios® II エンベデッド・プロセッサまたはユーザー・ロジック) は、遠隔地から新しいコンフィギュレーション・イメージをダウンロードし、それをコンフィギュレーション・メモリに格納し、さらに専用リモート・システム・アップグレード回路にリコンフィギュレーション・サイクルの開始を指示することもできます。この専用回路は、コンフィギュレーション・プロセス中およびプロセス後にエラー検出を実行し、安全なコンフィギュレーション・イメージに戻ることによってエラー状態から回復し、エラー・ステータス情報を提供します。

リモート・システム・アップグレードは、EPCS および EPCQ デバイスの AS コンフィギュレーション手法でサポートされています。リモート・システム・アップグレードは、コンフィギュレーション・データのリアルタイム復元や安全で効率的なフィールド・アップグレードのための高度暗号化規格 (Advanced Encryption Standard、略称: AES) を使用したデザイン・セキュリティなど、Stratix V の先進機能と併せて実装することも可能です。最大の EPCS および EPCQ デバイスは、現在、それぞれ 128M ビットと 256M ビットのコンフィギュレーション・成データをサポートしています。



リモート・システム・アップデートはシングル・デバイス・コンフィギュレーションしかサポートされていません。

Stratix V デバイスのリモート・システム・アップグレード・プロセスでは、以下のステップを実行します。

1. Stratix V デバイスのロジック・アレイに実装される Nios II プロセッサ (またはユーザー・ロジック) は、遠隔地から新しいコンフィギュレーション・データを受信します。リモート・ソースへの接続には、TCP/IP などの通信プロトコル、PCI、UDP (User Datagram Protocol)、UART または独自のインタフェースを使用します。
2. Nios II プロセッサ (またはユーザー・ロジック) は、この新しいコンフィギュレーション・データを不揮発性コンフィギュレーション・メモリに格納します。
3. Nios II プロセッサ (またはユーザー・ロジック) は、新しいコンフィギュレーション・データまたはアップデートされたコンフィギュレーション・データでリコンフィギュレーション・サイクルを開始します。

4. 専用リモート・システム・アップグレード回路は、リコンフィギュレーション・サイクル中またはリコンフィギュレーション・サイクル後に発生する可能性のあるエラーの検出およびエラー状態からの回復を実行し、ユーザー・デザインにエラー・ステータス情報を提供します。

図 9-26 に、リモート・システム・アップデートのステップを示します。

図 9-26. Stratix V リモート・システム・アップグレード・プロセスの機能図

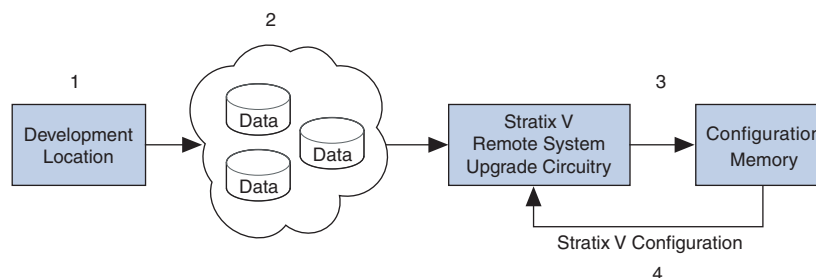


図 9-27 に、Stratix V の AS コンフィギュレーション手法によるリモート・システム・アップグレードを実装するためのブロック図を示します。

図 9-27. Stratix V の AS コンフィギュレーション手法のためのリモート・システム・アップグレードのブロック図 (1)

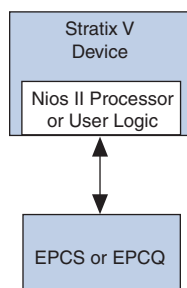


図 9-27 の注:

- (1) システムでリモート・システム・アップグレードを使用するには、モード選択ピン (MSEL [4..0]) を AS モードに設定する必要があります。MSEL ピンの設定は、各 POR 遅延によって異なります。MSEL [4..0] を接続するには、7 ページの表 9-4 を参照してください。

コンフィギュレーション・イメージのタイプ

リモート・システム・アップグレードを使用する場合、Stratix V デバイスのコンフィギュレーション・データはファクトリ・コンフィギュレーション・イメージまたはアプリケーション・コンフィギュレーション・イメージに分類されます。イメージ (コンフィギュレーションとも呼ばれる) とは、特定のユーザー定義機能を実行する Stratix V デバイ스에ロードされるデザインのことで、

ファクトリ・イメージはユーザー定義のフォールバックまたは安全なコンフィギュレーションで、専用回路で新しいイメージにリコンフィギュレーションを開始します。アプリケーション・イメージは、ターゲットの Stratix V デバイスにユーザー定義機能を実装します。ファクトリ・イメージにデフォルトのアプリケーション・イメージ機能を含めることができます。システムの各 Stratix V デバイスでは、1 つのファクトリ・イメージと 1 つ以上のアプリケーション・イメージが必要になります。

リモート・アップデート・モード

Stratix V のリモート・システム・アップグレード回路は、リモート・アップデート・モードしかサポートされていません。リモート・アップデート・モードでは、Stratix V デバイスはパワーアップ後にファクトリ・コンフィギュレーション・イメージをロードします。ユーザー定義ファクトリ・コンフィギュレーションは、ロードするアプリケーション・コンフィギュレーションを決定し、リコンフィギュレーション・サイクルを開始します。

Stratix V デバイスは最初のパワーアップ時にはリモート・アップデート・モードになり、EPCS および EPCQ デバイスでの開始アドレスの PGM[23..0] = 24'h000000 の位置にあるファクトリ・コンフィギュレーションをロードします。ファクトリ・コンフィギュレーション・イメージをこの開始アドレスに格納する必要があります。



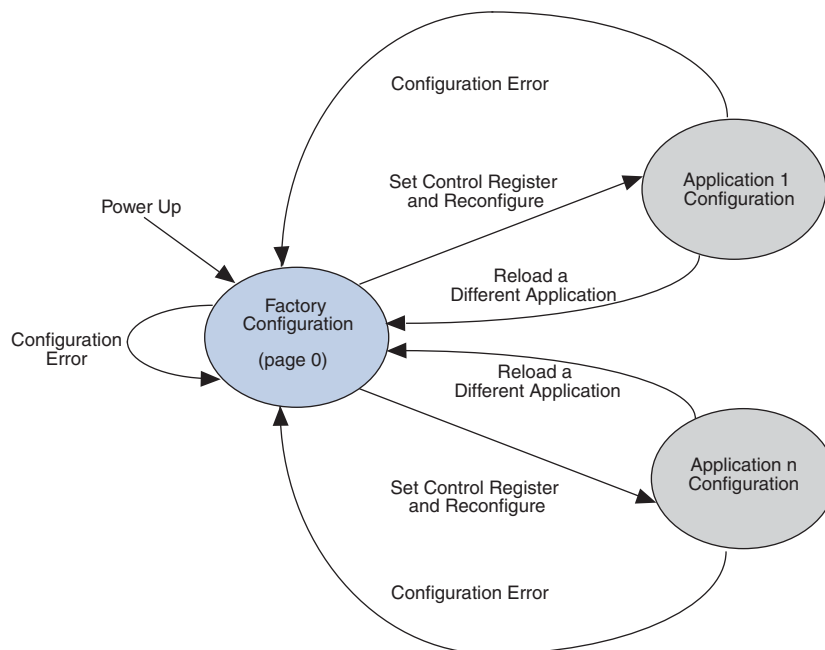
アプリケーション・イメージ開始アドレスは任意の EPCS または EPCQ セクタ境界にあることができます。アルテラは、2 つのイメージの場合、EPCS デバイス内の別のセクタを使用することを推奨します。

ファクトリ・イメージはユーザーがデザインしたもので、以下の動作を行うためのソフト・ロジックを備えています。

- 専用のリモート・システム・アップグレード回路からのステータス情報に基づくエラーの処理
- リモート・ホストとの通信、新しいアプリケーション・コンフィギュレーションの受信、およびこの新しいコンフィギュレーション・データのローカル不揮発性メモリ・デバイスへの保存
- Stratix V デバイスにロードするアプリケーション・コンフィギュレーションの決定
- ユーザー・ウォッチドッグ・タイマのイネーブルまたはディセーブル、およびそのタイムアウト値のロード
- 専用リモート・システム・アップグレード回路に対するリコンフィギュレーション・サイクル開始の指示

図 9-28 に、リモート・アップデート・モードでのファクトリ・コンフィギュレーションとアプリケーション・コンフィギュレーション間の遷移を示します。

図 9-28. リモート・アップデート・モードでのコンフィギュレーション間の遷移



パワーアップまたはコンフィギュレーション・エラーの後、ファクトリ・コンフィギュレーション・イメージが自動的にロードされます。そして、システムは、アプリケーション・コンフィギュレーション・イメージに切り換えるか、またはファクトリ・コンフィギュレーション・イメージに滞在することを決定します。システムが、アプリケーション・コンフィギュレーション・イメージに切り換えると決定した後、リコンフィギュレーションはリモート・システム・アップグレード回路を介して開始されます。アプリケーション・コンフィギュレーション・イメージでは、以下のリコンフィギュレーション・トリガ条件が満たされた後に、システムはファクトリ・コンフィギュレーション・イメージに戻すこともできます。

- nSTATUS が外部で Low にドライブされる
- コンフィギュレーション CRC エラー
- ユーザー・ウォッチドッグ・タイマのタイムアウト
- コア nCONFIG 信号のアサーション
- nCONFIG 信号のアサーション

ファクトリ・コンフィギュレーション・イメージが再ロードされた後、ユーザー設計のファクトリ・コンフィギュレーションは、リモート・システム・アップグレード・ステータス・レジスタを読み出して、リコンフィギュレーションの理由を判断します。次にファクトリ・コンフィギュレーションは適切なエラー回復処理を行い、リモート・システム・アップグレード・コントロール・レジスタに書き込んで、次にロードするアプリケーション・コンフィギュレーションを決定します。

アプリケーション・コンフィギュレーション・イメージが正常にロードされると、ソフト・ロジック (Nios II プロセッサまたはステート・マシンおよびリモート通信インタフェース) はリモート・システム・アップデートの要求を判断します。その場合、ソフト・ロジックはデータを受信してそれをコンフィギュレーション・メモリ・デバイスに書き込みます。次に、デバイスはファクトリ・コンフィギュレー

ションのロードを開始します。ファクトリ・コンフィギュレーションは、リモート・システム・アップグレード・ステータス・レジスタおよびコントロール・レジスタを読み出し、ロードする有効なアプリケーション・コンフィギュレーションを決定し、それに応じてリモート・システム・アップグレード・コントロール・レジスタに書き込んで、システムのリコンフィギュレーションを開始します。

EPCQ 256 を使用したリモート・システム・アップグレード

EPCQ256 を使用している場合、アプリケーション・イメージ・アドレスの精度が 32'h00000100 であることを確実にしてください。アプリケーション・イメージのための .rbf のサイズは、8 ページの表 9-5 にリストされた値より 76,500 バイト長いです。複数のアプリケーション・イメージを EPCQ 256 デバイスにフィットさせるとき、この追加のスペース要件を考慮する必要があります。



EPCQ 256 プログラミングのための Quartus II ソフトウェアまたは SRunner ソフトウェアを使用していない場合、デバイスをプログラムと設定する前に、EPCQ 256 デバイスを 4 バイト・アドレッシング・モードに入れてください。

専用リモート・システム・アップグレード回路

この項では、Stratix V リモート・システム・アップグレード専用回路の実装について説明します。リモート・システム・アップグレード回路は、ハード・ロジックで実装されます。この専用回路は、Stratix V デバイス・ロジック・アレイに実装されるユーザー定義ファクトリおよびアプリケーション・コンフィギュレーションにインタフェースし、完全なリモート・コンフィギュレーション・ソリューションを提供します。リモート・システム・アップグレード回路は、リモート・システム・アップグレード・レジスタ、ウォッチドッグ・タイマ、およびこれらのコンポーネントを制御するステート・マシンを備えています。

図 9-29 に、リモート・システム・アップグレード回路を示します。

図 9-29. リモート・システム・アップグレード回路 (注 1)

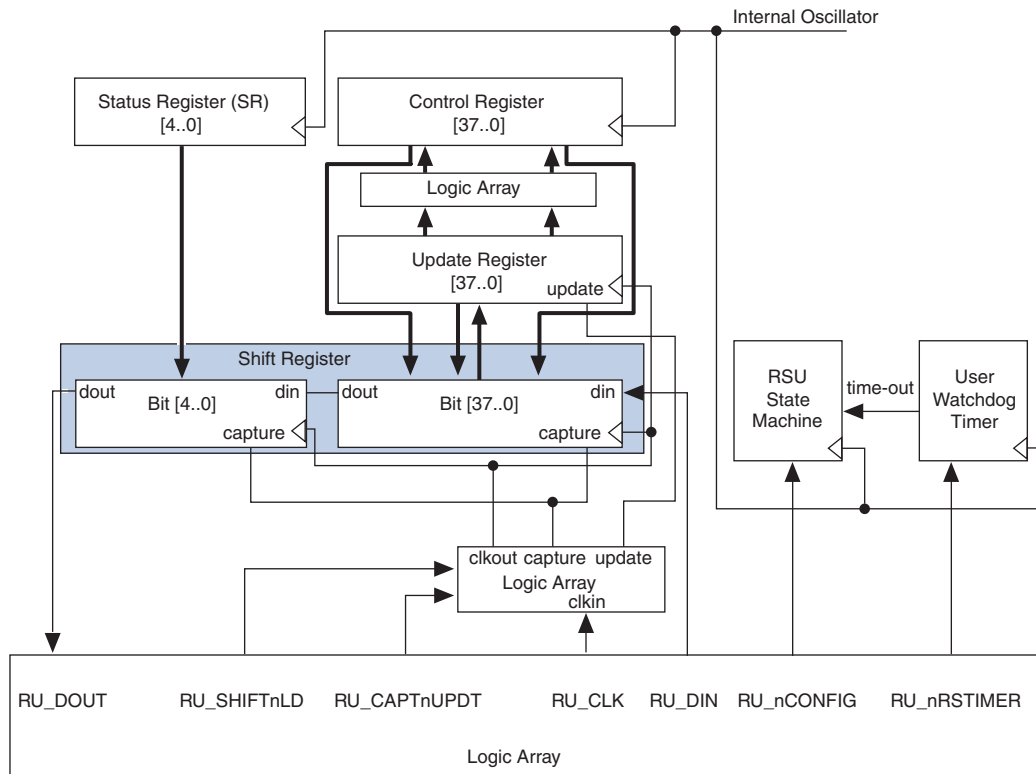


図 9-29 の注:

- (1) **ALTEMOTE_UPDATE** メガファンクションを使用する場合、**RU_DOUT**、**RU_SHIFThLD**、**RU_CAPThUPDT**、**RU_CLK**、**RU_DIN**、**RU_nCONFIG**、および **RU_nRSTIMER** 信号は、すべての関連したリモート・システム・アップグレード動作を実行するためにメガファンクションにより内部で制御されます。

表 9-15 に、リモート・システム・アップグレード回路のためのタイミング・パラメータ仕様を示します。

表 9-15. リモート・システム・アップグレード回路のタイミング仕様

パラメータ	最小値	最大値	単位
$f_{\text{MAX_RU_CLK}}$ (1)	—	40	MHz
$t_{\text{RU_nCONFIG}}$ (2)	250	—	ns
$t_{\text{RU_nRSTIMER}}$ (3)	250	—	ns

表 9-15 の注:

- (1) このクロックはリモート・システム・アップグレード回路にユーザー供給されます。**ALTEMOTE_UPDATE** メガファンクションを使用している場合、**ALTEMOTE_UPDATE** メガファンクションにユーザー供給されたクロックは、この仕様を満たすようにする必要があります。
- (2) これはタイミング仕様の最小値で **ALTEMOTE_UPDATE** メガファンクション High のリコンフィギュレーション入力のストロープに相当します。詳細は、9-55 ページの「リモート・システム・アップグレード・ステート・マシン」を参照してください。
- (3) これはタイミング仕様の最小値で **ALTEMOTE_UPDATE** メガファンクション High の reset_timer 入力のストロープに相当します。詳細は、9-55 ページの「リモート・システム・アップグレード・ステート・マシン」を参照してください。

リモート・システム・アップグレード・レジスタ

リモート・システム・アップグレード・ブロックは、ページ・アドレス、ウォッチドッグ・タイマ設定、およびステータス情報を格納するレジスタを備えています。表 9-16 に、これらのレジスタをリストします。

表 9-16. リモート・システム・アップグレード・レジスタ

レジスタ	説明
シフト・レジスタ	このレジスタはロジック・アレイからアクセスでき、ユーザー・ロジックによるアップデート・レジスタ、ステータス・レジスタ、およびコントロール・レジスタへの書き込みとサンプリングを可能にします。
コントロール・レジスタ	このレジスタには、現在のページ・アドレス、ユーザー・ウォッチドッグ・タイマ設定、および現在のコンフィギュレーションがファクトリ・コンフィギュレーションまたはアプリケーション・コンフィギュレーションかを指定する 1 ビットが含まれています。アプリケーション・コンフィギュレーションでのリード動作時に、このレジスタはシフト・レジスタに読み出されます。リコンフィギュレーション・サイクルが開始されると、アップデート・レジスタの内容がコントロール・レジスタに書き込まれます。
アップデート・レジスタ	このレジスタはコントロール・レジスタと同様のデータを保持します。ただし、アップデート・レジスタはデータをシフト・レジスタにシフトし、アップデート動作を発行することによって、ファクトリ・コンフィギュレーションでのみ更新することができます。リコンフィギュレーション・サイクルがファクトリ・コンフィギュレーションによってトリガされると、コントロール・レジスタはアップデート・レジスタの内容で更新されます。ファクトリ・コンフィギュレーションでのキャプチャ動作時に、このレジスタはシフト・レジスタに読み出されます。
ステータス・レジスタ	このレジスタは、リコンフィギュレーションの原因を記録するために、リモート・システム・アップグレード回路によってすべてのリコンフィギュレーションで書き込まれます。この情報はリコンフィギュレーション後の適切な処理を決定するために、ファクトリ・コンフィギュレーションで使用されます。このレジスタはキャプチャ・サイクル時にシフト・レジスタに読み出されます。

リモート・システム・アップグレードのコントロール・レジスタとステータス・レジスタは、10-MHz の内蔵オシレータ（ユーザー・ウォッチドッグ・タイマを制御するオシレータと同じ）でクロックされます。ただし、リモート・システム・アップグレード・シフトおよびアップグレード・レジスタは、ユーザー・クロック入力（RU_CLK）でクロックされます。

コントロール・レジスタ

コントロール・レジスタは、アプリケーション・コンフィギュレーションのページ・アドレスとユーザー・ウォッチドッグ・タイマ設定を格納します。コントロール・レジスタの機能は、リモート・システム・アップグレード・モードの選択によって異なります。リモート・アップデート・モードのファクトリ・コンフィギュレーションにはこのレジスタへのライト・アクセスがあります。

図 9-30 に、コントロール・レジスタのビット位置を示します。表 9-17 に、このコントロール・レジスタのビットを定義します。図中の数字は、レジスタ内の設定のビット位置を示します。例えば、ビット番号 25 はウォッチドッグ・タイマのイネーブル・ビットです。

図 9-30. リモート・システム・アップグレード・コントロール・レジスタ

37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	..	3	2	1	0
Wd_timer[11..0]												Wd_en	PGM[23..0]					AnF		

Application-not-factory (AnF) ビットは、Stratix V デバイスにロードされた現在のコンフィギュレーションがファクトリ・コンフィギュレーションまたはアプリケーション・コンフィギュレーションのいずれであるかを示します。このビットは、エラー状態によってファクトリ・コンフィギュレーションへのフォールバックが発生すると、リモート・システム・アップグレード回路によって Low に設定されます。AnF ビットが High のとき、コントロール・レジスタへのアクセスはリード動作にのみ制限され、ウォッチドッグ・タイマをイネーブルします。アップデート・レジスタの内容をアプリケーション・ページのアドレス設定およびウォッチドッグ・タイマ設定で更新するときに、ファクトリ・コンフィギュレーションのデザインがこのビットを High (1'b1) に設定することが必要です。

表 9-17 に、リモート・システム・アップグレード・コントロール・レジスタの内容をリストします。

表 9-17. リモート・システム・アップグレード・コントロール・レジスタの内容

コントロール・レジスタ・ビット	値 (2)	定義
AnF (1)	1'b0	アプリケーション・ノット・ファクトリ
PGM[23..0]	24'b0x000000	AS コンフィギュレーション開始アドレス (StAdd[23..0])
Wd_en	1'b0	ユーザー・ウォッチドッグ・タイマ・イネーブル・ビット
Wd_timer[11..0]	12'b000000000000	ユーザー・ウォッチドッグ・タイマのタイムアウト値 (29 ビット・カウンタ値の最上位 12 ビット :Wd_timer[11..0], 17'b0)

表 9-17 の注:

- (1) ファクトリ・コンフィギュレーション・デザインは、アプリケーション・コンフィギュレーション・イメージにリコンフィギュレーションをトリガする前に 1'b1 に AnF ビットを設定する必要があります。
- (2) これは、デバイスが POR を終了した後、およびコンフィギュレーション中にリコンフィギュレーション・トリガ条件の後にファクトリ・イメージに戻るときのコントロール・レジスタ・ビットのデフォルト値です。

ステータス・レジスタ

ステータス・レジスタは、リコンフィギュレーション・トリガ条件を指定します。図 9-31 に、ステータス・レジスタの内容を示します。以下のリストに、各ビットを定義します。

- ビット 0—アプリケーション・コンフィギュレーション時に発生する CRC (エラー)
- ビット 1—エラー発生時の外部デバイスによる nSTATUS アサーション
- ビット 2—Stratix V デバイスのロジック・アレイがリコンフィギュレーション・サイクルをトリガしたとき (新しいアプリケーション・コンフィギュレーション・イメージをダウンロードした後)
- ビット 3—外部コンフィギュレーション・リセット (nCONFIG) アサーション
- ビット 4—ユーザー・ウォッチドッグ・タイマのタイムアウト

図 9-31 に、ステータス・レジスタの内容を指定しています。図中の数字は、5 ビット・レジスタ内のビット位置を示します。

図 9-31. リモート・システム・アップデートのステータス・レジスタ (注 1)

4	3	2	1	0
Wd	nCONFIG	Core_nCONFIG	nSTATUS	CRC

図 9-31 の注:

- (1) デバイスが POR を完了してパワーアップされた後、ステータス・レジスタの内容は 5'b00000 になります。

リモート・システム・アップグレード・ステート・マシン

電源投入後、シフト・レジスタ、コントロール・レジスタ、およびアップデート・レジスタは、表 9-16 に指定された値にリセットされます。これらの値はファクトリ・コンフィギュレーション・イメージがロードされる前の POR リセット値としても知られています。ファクトリ・コンフィギュレーション・イメージでは、ユーザー・ロジックから次のアプリケーション・コンフィギュレーション・イメージ用に AnF ビット、ページ・アドレス、およびウォッチドッグ・タイマ設定をアップデート・レジスタに書き込みます。ロジック・アレイのコンフィギュレーション・リセット (RU_nCONFIG) が Low になると、リモート・システム・アップグレード・ステート・マシンは、コントロール・レジスタをアップデート・レジスタの内容で更新し、新しいアプリケーション・コンフィギュレーション・イメージにシステム・コンフィギュレーションをトリガします。

リコンフィギュレーション中に、新しいアプリケーション・コンフィギュレーション・イメージにエラーが発生する場合、リモート・システム・アップグレード・ステート・マシンはシステムにファクトリ・コンフィギュレーション・イメージを再ロードするよう指示します。コントロールおよび更新プログラム・レジスタは POR リセット値にリセットされ、ステータス・レジスタは、エラー情報で更新されます。例えば、アプリケーション・コンフィギュレーション・イメージのコンフィギュレーション中に CRC エラーが発生する場合、ステータス・レジスタは 5'b00001 でアップデートされます。

リコンフィギュレーション中にエラーが発生しない場合、またアプリケーション・コンフィギュレーション・イメージが正常にロードされた場合、システムは、別のリコンフィギュレーション・トリガ条件が発生するまでアプリケーション・コンフィギュレーション・イメージに滞在します。これは、コア nCONFIG アサーション、外部の nCONFIG アサーション、またはウォッチドッグ・タイマのタイムアウト・エラーであるかもしれません。その場合、コントロール・レジスタとアップデート・レジスタは POR リセット値にリセットされ、ステータス・レジスタはエラー情報で更新されます。結果的に、システムはファクトリ・コンフィギュレーション・イメージをロードし続けています。ステータス・レジスタの内容に基づいて、ファクトリ・コンフィギュレーション・イメージのユーザー・ロジックは、ファクトリ・コンフィギュレーション・イメージに滞在すること、または新しいアプリケーション・コンフィギュレーション・イメージをリロードすることを決定します。



ファクトリ・コンフィギュレーション中のリード動作では、アップデート・レジスタの内容にアクセスします。この機能は、ユーザー・ロジックがページ・アドレスおよびウォッチドッグ・タイマ設定が正しく書き込まれていることを検証するために使用します。アプリケーション・コンフィギュレーションのリード動作では、コントロール・レジスタの内容にアクセスします。この情報はアプリケーション・コンフィギュレーションでユーザー・ロジックにより使用されます。

ユーザー・ウォッチドッグ・タイマ

ユーザー・ウォッチドッグ・タイマは、誤ったアプリケーション・コンフィギュレーションによってデバイスが停止したままになるのを防止します。アプリケーション・コンフィギュレーションが Stratix V デバイスに正常にロードされると、システムはタイマを使用して動作エラーを検出します。この機能は、ファクトリ・コンフィギュレーションでは自動的にディセーブルされ、アプリケーション・コンフィギュレーション・イメージにはイネーブルされます。ファクトリ・コンフィギュレーションは、生産時に格納および検証され、リモートで更新されることはないため、機能エラーが存在しないようにしてください。



ユーザー・ウォッチドッグ・タイマの機能はアプリケーション・コンフィギュレーション・イメージで自動的にイネーブルされます。この機能を使用しない場合、アプリケーション・コンフィギュレーション・イメージにリコンフィギュレーションをトリガする前に、ファクトリ・コンフィギュレーションイメージ動作中にその機能をディセーブルしてください。

ユーザー・ウォッチドッグ・タイマは、ファクトリ・コンフィギュレーションによってリモート・システム・アップグレード・コントロール・レジスタにロードされた初期値からカウント・ダウンするカウンタです。このカウンタは 29 ビット幅で、最大カウント値は 2^{29} です。ユーザー・ウォッチドッグ・タイマの値を指定するときには、最上位 12 ビットのみ指定します。タイマ設定の精度は 2^{17} サイクルです。サイクル時間は 12.5-MHz の内部オシレータ周波数に基づきます。表 9-18 に、12.5-MHz 内部オシレータの動作範囲をリストします。

表 9-18. 12.5-MHz 内部オシレータの仕様 (注 1)

最初地	標準	最大値	単位
5.3	7.9	12.5	MHz

表 9-18 の注:

(1) これらの値は暫定仕様です。

ユーザー・ウォッチドッグ・タイマは、アプリケーション・コンフィギュレーションがデバイス・ユーザー・モードに入るとカウントを開始します。このタイマは、満了になる前に `RU_nRSTIMER` をアサートして、アプリケーション・コンフィギュレーションで定期的リセットする必要があります。アプリケーション・コンフィギュレーションがカウントの満了前にユーザー・ウォッチドッグ・タイマをリロードしない場合、リモート・システム・アップグレード専用回路でタイムアウト信号が生成されます。これにより、デバイスに、ファクトリ・コンフィギュレーション・イメージをリロードし、ウォッチドッグ・タイマのタイム・アウト・エラーを反映するようにステータス・レジスタをアップデートさせます。

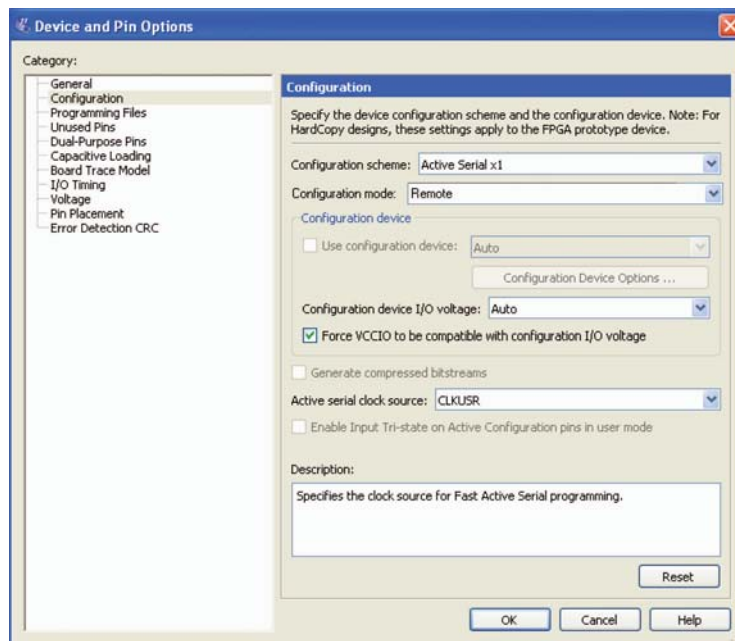
リモート・システム・アップグレードの機能をイネーブル

Stratix V デバイスのリモート・アップデートは、デザインをコンパイルする前に Quartus II ソフトウェア (Compiler Settings メニュー) でイネーブルできます。リモート・アップデート・モードでは、**auto-restart configuration after error** オプションが常にイネーブルされます。プロジェクトのコンパイラ設定でリモート・アップデートをイネーブルするには、Quartus II ソフトウェアで以下のステップを実行します。

1. Assignments メニューの **Device** をクリックします。Settings ダイアログ・ボックスが表示されます。

2. **Device and Pin Options** をクリックします。**Device and Pin Options** ダイアログ・ボックスが表示されます。
3. **Configuration** パネルをクリックします。
4. Configuration scheme リストから **Active Serial x1** (**Configuration Device** も使用可能) を選択します (図 9-32 を参照)。
5. Configuration Mode リストから **Remote** を選択します (図 9-32 を参照)。
6. **OK** をクリックします。
7. **Settings** ダイアログ・ボックスで、**OK** をクリックします。

図 9-32. コンパイラ設定メニューで Stratix V デバイスのリモート・アップデートのイネーブル



ALTREMOTE_UPDATE メガファンクション

ALTREMOTE_UPDATE メガファンクションは、メモリに類似したリモート・システム・アップグレード回路へのインタフェースを提供し、Stratix V デバイス・ロジックでのシフト・レジスタのリード/ライト・プロトコルを処理します。この実装は、デバイスで Nios II プロセッサまたはユーザー・ロジックを使用して、ファクトリ・コンフィギュレーション機能を実装するデザインに最適です。独自のロジックを作成する代わりにメガファンクション・ブロックを使用すると、デザイン時間が短縮され、より効率的なロジック合成とデバイスの実装が可能になります。

- ALTREMOTE_UPDATE メガファンクションについては、「[リモート・アップデート回路 \(ALTREMOTE_UPDATE\) メガファンクション・ユーザーガイド](#)」を参照してください。

デザイン・セキュリティ

このセクションでは、高度暗号化規格 (AES) 使用して、デザイン・セキュリティ機能と Stratix V デバイスへの実装の概要を示します。また、デザインにおけるこれらの新機能を使用できる Stratix V デバイスで利用可能なセキュリティ・モードを説明します。

Stratix V デバイスは、競争の激しい一般用および軍用環境におけるより大規模かつ条件の厳しいデザインで、その役割を果たし続けており、複製、リバース・エンジニアリング、および改ざんからデザインを保護することがますます重要になっています。Stratix V デザイン・セキュリティでは、以下の機能がサポートされます。


- 256 キーの業界標準のデザイン・セキュリティ・アルゴリズム (FIPS-197 確定) をサポートする拡張の内蔵 AES 復号化ブロック
- 揮発性および不揮発性のキー・プログラミング・サポート
- 改ざん保護ビットのセット経由の揮発性および不揮発性のキー用の保護動作モード
- 改ざん保護ビットによる JTAG 保護モードのイネーブル
- ボード・レベルのテストのサポート
- 不揮発性のキーのためのイン・ソケット・キー・プログラミングのサポート
- JTAG コンフィギュレーション方法を除く、すべてのコンフィギュレーション手法で使用可能
- 両方のリモート・システム・アップグレードおよび圧縮復元機能のサポート




デザイン・セキュリティ機能は、リモート・システム・アップグレードか復元機能と使用する場合、または使用しない場合もできます。

Stratix V のデザイン・セキュリティ機能は、デザインに以下のセキュリティ保護を提供しています。

- 複製に対するセキュリティ — セキュリティ・キーは Stratix V デバイスに安全に格納され、いかなるインタフェースを介してもこれを読み出すことはできません。さらに、Stratix V デバイスではコンフィギュレーション・ファイルのリード・バックはサポートされていないので、デザイン情報を複製することはできません。
- リバース・エンジニアリングに対するセキュリティ — Stratix V のコンフィギュレーション・ファイル・フォーマットは独自のものであり、ファイルには特定の復号化を必要とする数百万ビットが収められているので、暗号化されたコンフィギュレーション・ファイルからのリバース・エンジニアリングは非常に困難で長時間を要します。さらに、Stratix V デバイスは、上級の 28-nm プロセス技術で製造されるため、このプロセスは非常に困難になります。
- 改ざんに対するセキュリティ — これにより、JTAG インタフェースを介して改ざん試行をディセーブルします。改ざん保護ビットのセットアップを使用してこのセキュリティ機能を強化できます。改ざん保護ビットがセットされると、Stratix V は同じキーで暗号化されたコンフィギュレーション・ファイルしか受け入れません。また、JTAG インタフェースを介してプログラミングがブロックされています。これで、両方の JTAG インタフェースとコンフィギュレーション・インタフェースからデバイスの改ざん試行を防止できます。

 デザイン・セキュリティ機能と一緒に圧縮を使用する場合、コンフィギュレーション・ファイルが最初に圧縮され、次に Quartus II ソフトウェアを使用して暗号化されます。コンフィギュレーションの間、Stratix V デバイスは、最初にコンフィギュレーション・ファイルを復号化し、次にそれを復元します。

 FPP コンフィギュレーション手法で Stratix V デバイスとデザイン・セキュリティ機能を使用する場合、異なる DCLK-to-DATA [] の比が必要です。詳細は、9-9 ページの「ファースト・パッシブ・パラレル・コンフィギュレーション」を参照してください。

JTAG セキュア・モード

改ざん保護ビットをイネーブルすると、電源投入後、Stratix V デバイスは JTAG セキュア・モードにあります。JTAG セキュア・モードでは、多くの JTAG 命令がディセーブルされます。Stratix V デバイスは、必須の JTAG1149.1 および 1149.6 命令にのみを配慮することができます。これらの命令は、SAMPLE/PRELOAD、BYPASS、EXTTEST、および IDCODE と SHIFT_EDERROR_REG などのオプション命令です。

USERCODE、HIGHZ、CLAMP、PULSE_NCONFIG および CONFIG_IO など他の JTAG 命令のアクセスをイネーブルするには、JTAG セキュア・モードをイネーブルするには、UNLOCK 命令を発行する必要があります。JJTAG セキュア・モードにデバイスを戻すために LOCK 命令を発行できます。両方の LOCK と UNLOCK 命令は、ユーザー・モード中に発行することができます。

 LOCK と UNLOCK 命令に関連する JTAG バイナリ命令コードの詳細については、「[JTAG Boundary-Scan Testing in Stratix V Devices](#)」の章を参照してください。

セキュリティ・キーのタイプ

Stratix V デバイスは、揮発性キーと不揮発性キーの 2 種類のセキュリティ・キーを提供します。表 9-19 に、揮発性キーと不揮発性キーの相違点をリストします。


表 9-19. セキュリティ・キーのタイプ


キーのタイプ	キーのプログラマビリティ	キー・ストレージの電源	プログラミング方法
揮発性キー	<ul style="list-style-type: none"> ■ 再プログラム可能 ■ 消去可能 	外部バッテリー V _{CCBAT} が必要 (1)	オンボード
不揮発性キー	ワンタイム・プログラミング	外部バッテリーが不要	オンボードおよびイン・ソケット・プログラミング (2)


表 9-19 の注:

- (1) V_{CCBAT} は揮発性キー・ストレージ専用の電源で、V_{CCIO} や V_{CCPGM} など、その他のオンチップ電源とは共有されません。V_{CCBAT} はオン・チップ電源の状況に関係なく、揮発性レジスタに電源を供給し続けます。
- (2) イン・ソケット・プログラミングは、サードパーティ・ベンダーから提供されています。

不揮発および揮発性のキー・プログラミングは、リバース・エンジニアリングおよびデザインのコピーから保護します。改ざん保護ビットをセットすると、デザインも改ざんから保護されます。

 JTAG インタフェースを介してキー・プログラミングをプログラムします。また、nSTATUS ピンは、任意のキー・プログラミングを試行する前に High にリリースされていることを確認してください。

 バッテリの仕様について詳しくは、「[DC and Switching Characteristics for Stratix V Devices](#)」の章を参照してください。

 V_{CCBAT} ピン接続の推奨事項について詳しくは、「[Stratix V Device Family Pin Connection Guidelines](#)」を参照してください。

セキュリティ・モード

表 9-20 に、Stratix V デバイスで使用可能なセキュリティ・モードを示します。

表 9-20. サポートされるセキュリティ・モード

セキュリティ・モード	改ざん保護ビット設定	デバイスに暗号化されていないファイルの使用可能	デバイスに暗号化のファイルの使用可能	セキュリティ・レベル
キーなし	—	使用可能	使用不可能	—
揮発性キー	—	使用可能 (2)	使用可能	セキュリティ保護
改ざん保護ビットがセットされた揮発性キー	設定される (1)	使用不可能	使用可能	セキュリティ保護 (改ざん防止)
揮発性キー	—	使用可能 (2)	使用可能	セキュリティ保護
改ざん保護ビットがセットされた不揮発性キー	設定される (1)	使用不可能	使用可能	セキュリティ保護 (改ざん防止)

表 9-20 の注:

- (1) 改ざん保護ビットをイネーブルにすると、Stratix V デバイスにテスト・モードをディセーブルし、JTAG インタフェースを介してプログラミングをディセーブルします。このプロセスは逆にできなく、アルテラは実行された故障解析の行うことを防止します。改ざん保護ビットをイネーブルするために、アルテラ・テクニカル・サポートにお問い合わせください。
- (2) 暗号化されていないコンフィギュレーション・ビットストリームは、ボードレベルのテストにのみ使用します。

図 9-33 に、Stratix V デバイスで使用可能なセキュリティ・モードのシーケンスを示します。

図 9-33. Stratix V のセキュリティ・モード — シーケンスと制約

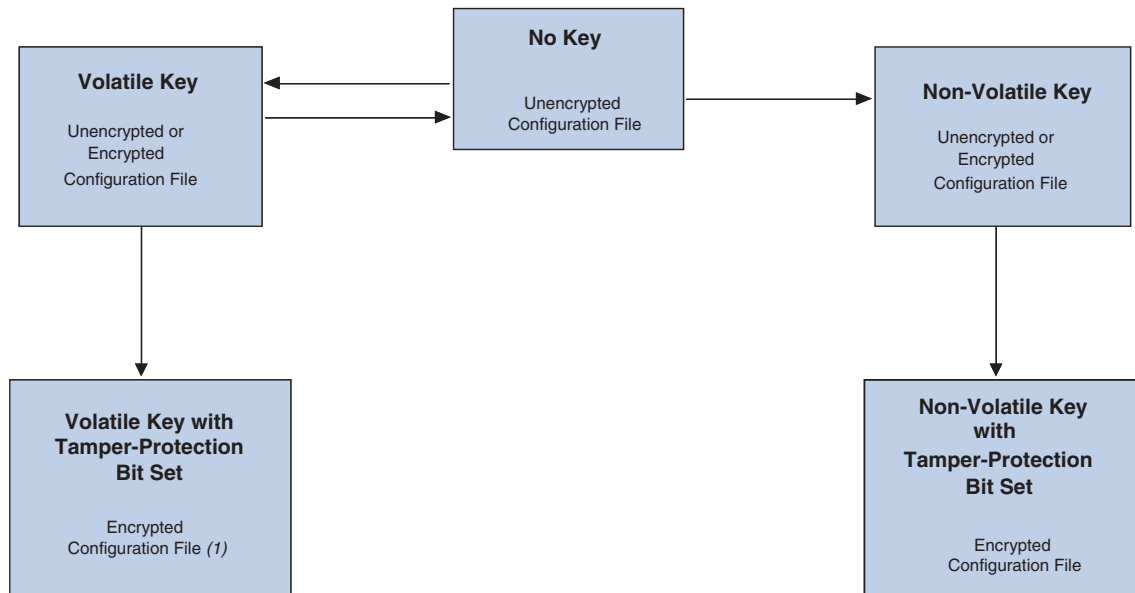


図 9-33 の注:

- (1) 揮発性キーが消去されている場合、Stratix V デバイスは、暗号化されたコンフィギュレーション・ファイルを受け入れておりません。Stratix V デバイスの揮発性キーが消去されている場合、改ざん保護ビットなしの揮発性キーを使用してキーを再プログラムする必要があります。

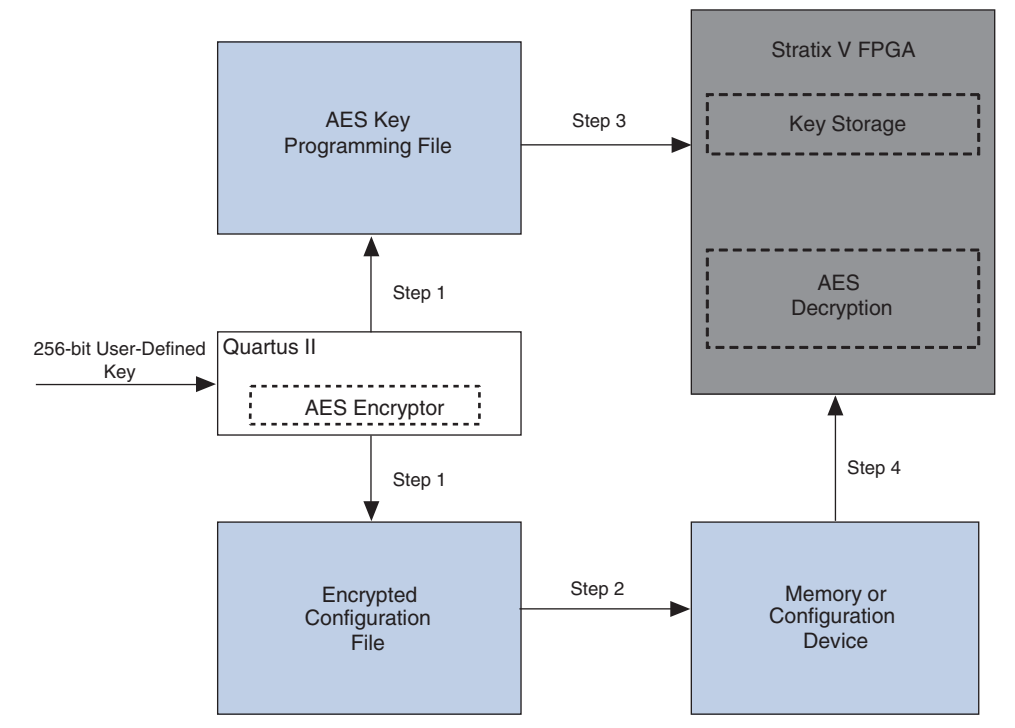
デザイン・セキュリティの実装のステップ

Stratix V デバイスは SRAM ベースのデバイスです。Stratix V デバイスは、デザイン・セキュリティを提供するために、コンフィギュレーション・ビットストリーム・デザイン・セキュリティに 256 ビットのセキュリティ・キーを必要とします。以下のステップに従って、安全なコンフィギュレーションを行うことができます。

1. Quartus II ソフトウェアは、デザイン・セキュリティのキー・プログラミング・ファイルを生成し、ユーザー定義の 256 ビット・キーを使用してコンフィギュレーション・データを暗号化します。
2. 暗号化されたコンフィギュレーション・ファイルを外部メモリ内に格納します。
3. JTAG インタフェースを介しての Stratix V デバイスに AES キー・プログラミング・ファイルをプログラムします。
4. Stratix V デバイスをコンフィギュレーションします。システムのパワーアップ時に、外部メモリ・デバイスから暗号化されたコンフィギュレーション・ファイルが Stratix V デバイスに送られます。

図 9-34 に、デザイン・セキュリティの実装ステップを示します。

図 9-34. デザイン・セキュリティの実装ステップ



改訂履歴

表 9-21 に、本資料の改訂履歴を示します。

表 9-21. 改訂履歴

日付	バージョン	変更内容
2011年5月	1.3	<ul style="list-style-type: none"> ■ 本章は 11.0 リリースのために Volume 2 に更新。 ■ 「EPCQ 256 を使用したリモート・システム・アップグレード」および「JTAG セキュア・モード」の項を追加。 ■ 表 9-5 を更新。 ■ 「コンフィギュレーション」、「コンフィギュレーション・エラー」、「EPCS および EPCQ のプログラミング」、「JTAG コンフィギュレーション」、「リモート・アップデート・モード」、および「デザイン・セキュリティ」の項を更新。 ■ テキストのマイナーな編集。
2011年1月	1.2	<ul style="list-style-type: none"> ■ 表 9-7、表 9-8、表 9-12、および表 9-14. を更新。 ■ 図 9-15 および図 9-21 を更新。 ■ 「ユーザー・ウォッチドッグ・タイマ」、「FPP コンフィギュレーションの DCLK-to-DATA[] の比」、「VCCPD ピン」、「POR 遅延の仕様」および「EPCS と EPCQ のプログラミング」の項を更新。
2010年12月	1.1	Quartus II ソフトウェア 10.1 のための本章の内容には変更がありません。
2010年7月	1.0	初版。