

この章では、Stratix® V デバイスのホット・ソケット仕様、パワー・オン・リセット (POR) 要件、および実装について説明しています。

Stratix V デバイスは、外部デバイスを使用せずに、ホット・プラグインまたはホット・スワップとしても知られるホット・ソケット（活線挿抜）およびパワー・シーケンスをサポートします。ユーザーは、動作中のシステム・バスやシステムに実装されたボードに影響を与えることなく、システムの動作中に Stratix V デバイスまたはボードをシステムに取り付けたり、取り外すことができます。

ホット・ソケット機能によって、3.0-V、2.5-V、1.8-V、1.5-V、1.35-V、1.25-V、1.20-V、および 0.85-V デバイスが混在する PCB 上で Stratix V デバイスを使用する際の複雑さが低減されます。

Stratix V のホット・ソケット機能の特長は、以下のとおりです。

- 外部コンポーネントやボードを操作せずに、ボードまたはデバイスの挿抜が可能
- 任意のパワーアップ・シーケンスのサポート
- ホット・インサート中のシステム・バスへの影響がない I/O バッファ

この章は、以下の項で構成されています。

- 「Stratix V のホット・ソケット仕様」
- 8-2 ページの「Stratix V デバイスにおけるホット・ソケット機能の実装」
- 8-3 ページの「パワー・オン・リセット回路」
- 8-5 ページの「パワー・オン・リセット仕様」

## Stratix V のホット・ソケット仕様

Stratix V デバイスは、外付け部品や特別なデザイン要件なしでホット・ソケットに対応します。Stratix V デバイスのホット・ソケット・サポートにより、以下が実現されます。

- 「Stratix V デバイスはパワー・アップ前にドライブ可能」
- 「I/O ピンはパワーアップ時にトライ・ステートを維持」
- 「動作中のシステムで Stratix V デバイスの抜き差しが可能」

### Stratix V デバイスはパワー・アップ前にドライブ可能

パワーアップまたはパワーダウン前、またはその間に、デバイスに損傷を与えることなく、Stratix V デバイスの I/O ピン、専用入力ピン、および専用クロック・ピンに信号を入力することができます。デバイスの I/O ピンへの外部入力信号は、デバイスの内部バスを通して  $V_{CCIO}$ 、 $V_{CCPD}$ 、および  $V_{CC}$  電源に供給されません。システム・レベルのデザインを簡素化するため、Stratix V デバイスの電源供給は任意の順序で Stratix V デバイスのパワーアップまたはパワーダウンをサポートします。

## I/O ピンはパワーアップ時にトライ・ステートを維持

ホット・ソケットをサポートしないデバイスは、パワーアップ前またはパワーアップ時にドライブ・アウトして、システム動作に割り込んだり、競合を引き起こす可能性があります。Stratix V デバイス・ファミリの出力バッファは、システムのパワーアップまたはパワーダウン時にオフになります。また、Stratix V デバイスは、デバイスがコンフィギュレーションされて推奨動作条件下で動作するまで I/O をドライブしません。

## 動作中のシステムで Stratix V デバイスの抜き差しが可能

デバイスの信号ピンを通じて電源が投入される時、ホット・ソケットをサポートしていないデバイスに対して、直接グラウンドに接続されるため、電源障害を引き起こす可能性があります。この不適切なパワーアップによって、ドライブするデバイスとドライブされるデバイスの両方が損傷し、カードのパワーアップが妨害される場合があります。

Stratix V デバイスは、システム・ボードの動作を中断または妨害することなく、パワー・アップ後のシステム・ボードに取り付けたり、取り外したりすることができます。

ホット・ソケット回路は  $V_{CCIO}$ 、 $V_{CCPD}$ 、および  $V_{CC}$  の電源をモニタします。これらの電源は、任意のシーケンスでパワーアップまたはパワーダウンできます。ホット・ソケット中には、I/O ピンのキャパシタンスは 15 pF 未満、クロック・ピンのキャパシタンスは 20 pF 未満です。

Stratix V デバイスのすべての電源供給のランプアップ及びランプダウンは 徹底的に 200  $\mu$ s ~ 100 ms の範囲内にします。

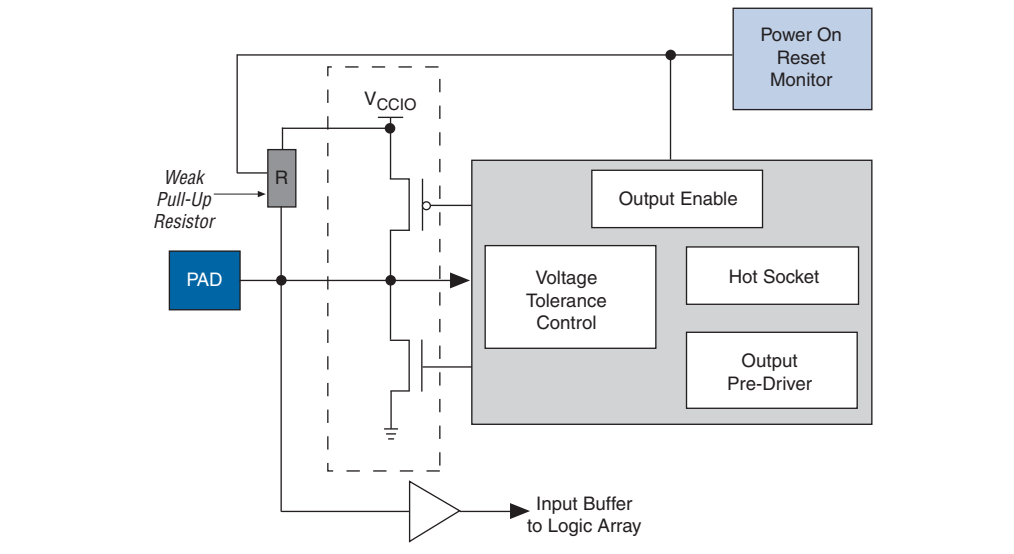
ホット・ソケットに関する一般的な問題として、ラッチ・アップの危険性があります。Stratix V デバイスではホット・ソケット時にラッチ・アップは発生しません。電氣的なサブシステムがアクティブ・システムにホット・ソケットされると、ラッチ・アップが発生する可能性があります。ホット・ソケット時に、電源からデバイスの電源プレーンとグラウンド・プレーンに給電される前に、信号ピンがアクティブ・システムによって接続されドライブされることがあります。これにより、ラッチ・アップが発生し、電源からデバイス内のグラウンドへの低インピーダンス・パスが生じる可能性があります。その結果、デバイスに大きな電流が流れ、電氣的損傷を引き起こす可能性があります。

## Stratix V デバイスにおけるホット・ソケット機能の実装


ホット・ソケット機能は、パワーアップ時またはパワーダウン時 ( $V_{CCIO}$ 、 $V_{CCPD}$ 、および  $V_{CC}$  電源) に出力バッファをオフにします。ホット・ソケット回路は、 $V_{CCIO}$ 、 $V_{CCPD}$ 、および  $V_{CC}$  電源がスレッショルド電圧より低い場合に、内部 HOTSKT 信号を生成します。ホット・ソケット回路はパワーアップ時の余分な I/O リークを防止するように設計されています。電圧が非常にゆっくり上昇する場合は、POR 信号がリリースされてコンフィギュレーションが完了した後も、電圧は依然として比較的低いままです。出力バッファがこの低い電圧では、ホット・ソケット回路によって設定された状態から反転できないため、CONF\_DONE および nSTATUS ピンは応答しません。そのため、これらのコンフィギュレーション・ピンがコンフィギュレーション中に確実に動作できるように、これらのピンではホット・ソケット回路は取り除かれています。これらのピンに期待される動作は、パワーアップおよびパワーダウン・シーケンス中にドライブ・アウトすることです。


図 8-1 に、Stratix V デバイスの I/O ピン回路を示します。

図 8-1. Stratix V デバイスのホット・ソケット回路



POR 回路は、電源 ( $V_{CC}$ 、 $V_{CCPGM}$ 、 $V_{CCPD}$ 、 $V_{CCAUX}$ 、 $V_{CCBAT}$ 、および  $V_{CCPT}$ ) の電圧レベルをモニタし、デバイスがユーザー・モードになるまで、I/O ピンをトライ・ステートにします。Stratix V 入力/出力エレメント (IOE) のウィーク・プルアップ抵抗 (R) によって、I/O ピンがフロート状態にならないようにしています。3.0 V 許容範囲コントロール回路により、 $V_{CC}$ 、 $V_{CCPT}$ 、 $V_{CCPD}$ 、および  $V_{CCIO}$  電源を供給する前に 3.0 V の I/O をドライブすることが許可し、デバイスがユーザーモードになっていない場合に I/O ピンのドライブ・アウトを防ぎます。

 アルテラはホット・ソケットの動作と I/O バッファ・デザインの参照として GND を使用します。適切な動作を保証するために、電源をつなげる前に、ボードの間の GND を接続しなければなりません。これは、ボード上の GND が他のコンポーネントを通して経路によってうっかりパワーへ引き上げられるのを防止します。プルアップされた GND は Altera® デバイスで、I/O 電圧または I/O 電流条件の仕様外を引き起こす可能性があります。

  $V_{CCAUX}$  の電源の場合は、POR は  $V_{CCAUX}$  ピンのいずれかだけをモニタします。すべての  $V_{CCAUX}$  ピンを接続する必要があります。

## パワー・オン・リセット回路

この章では、Stratix V デバイスの POR 回路についても説明します。POR 回路は、電源電圧出力が動作範囲内になるまで、デバイスをリセット状態に維持します。

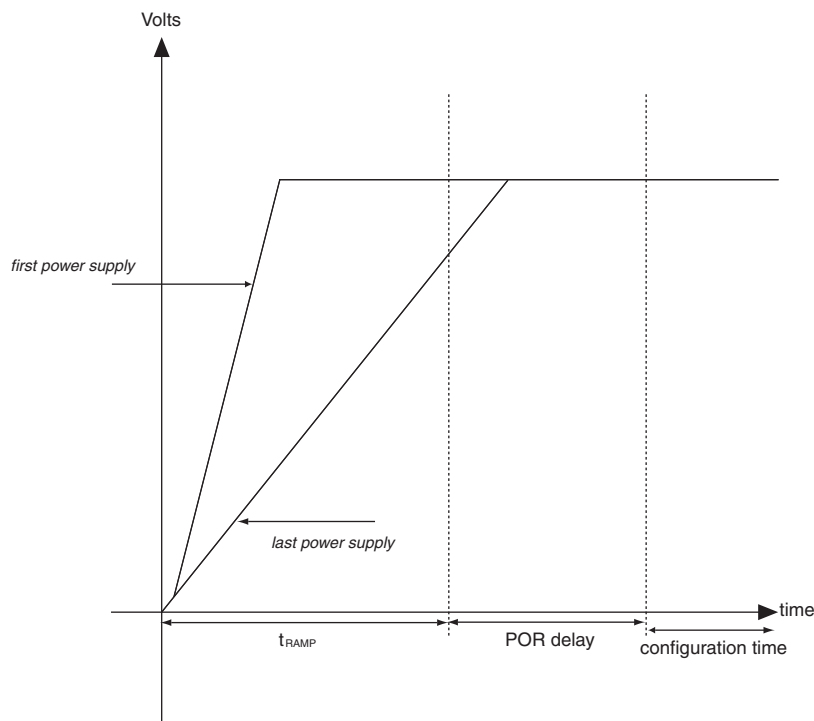
Stratix V デバイスに電源が投入されたとき、電源が最大電源ランプ時間 ( $t_{RAMP}$ ) 内に推奨動作範囲に達した場合は、POR イベントが発生します。 $t_{RAMP}$  が合わない場合、デバイス I/O ピンとプログラミング・レジスタは、デバイス・コンフィギュレーションが失敗する可能性のある時、トライ・ステート状態に維持されます。Stratix V デバイスの最大電源ランプ時間は 100 ms、最小電源ランプ時間は 200  $\mu$ s です。

Stratix V デバイスには、パワー・アップ時 POR 遅延時間を選択するための専用入力ピン (PORSEL) があります。

- PORSEL ピンが GND に接続されている場合、POR 遅延時間は 100 ms ~ 300 ms です。
- PORSEL ピンが GND に接続されている場合、POR 遅延時間は 4 ms ~ 12 ms です。
- POR の最大パルス幅は 12 ms であり、PCI Express® (PCIe) に対して、初期化するための POR トリップの後に十分な時間を残します。

図 8-2 に、 $t_{RAMP}$  および POR 遅延間の関係を示します。

図 8-2.  $t_{RAMP}$  および POR 遅延間の関係



Stratix V POR では、メイン POR をゲートする電源供給をモニタするために、モジュール化されたデザイン構造を実装しています。モニタされた各外部電源がベース POR があります。これは適切な機能に対応する電圧レベルを検出するために一般的なデザインを採用しています。

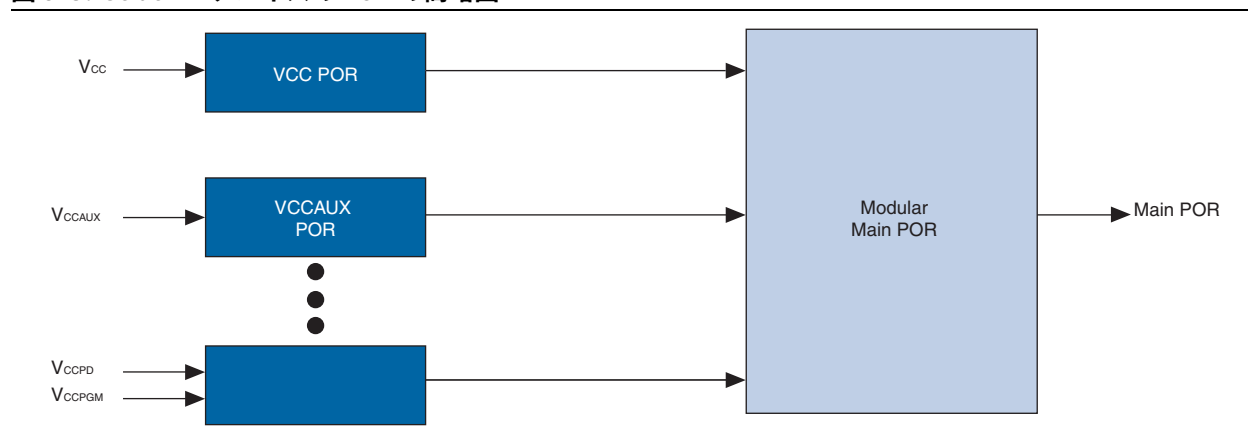
また、パワーアップ・モード中に  $V_{CCPD}$  および  $V_{CCPGM}$  の電源から給電される I/O レベル・シフタの機能性もチェックします。コントロール・ブロックは、デバイスのプログラミングを開始できるように、メイン POR は、すべての個別の POR が POR 信号をリリースするまで待ちます。また、Stratix V メイン POR も、モジュール化された構造を使用して電源供給のブラウンアウト検出を有効にして、モニタされる電源供給の数を増やすことも可能です。



コンフィギュレーション関連の専用および兼用 I/O ピンはすべて、 $V_{CCPGM}$  の電源から給電する必要があります。

図 8-3 に、Stratix V デバイスの POR の簡略図を示します。

図 8-3. Stratix V デバイスの POR の簡略図



## パワー・オン・リセット仕様

POR 回路は、表 8-1 に示す電源をモニタします。

表 8-1. POR 回路によってモニターされる電源

| 電源     | 説明                                     | 設定 (V)        |
|--------|--|---------------|
| VCCAUX | プログラマブル・パワー・テクノロジー用補助電源電圧              | 2.5           |
| VCCBAT | デザイン・セキュリティ揮発性キー・レジスタ用バッテリー・バックアップ電源電圧 | 3.0-1.2       |
| VCC    | コアおよびペリフェラル電源電圧                        | 0.85          |
| VCCPT  | プログラマブル・パワー・テクノロジー電源電圧                 | 1.5           |
| VCCPD  | I/O プリドライバ電源電圧                         | 2.5, 3.0      |
| VCCPGM | コンフィギュレーション・ピン電源電圧                     | 1.8, 2.5, 3.0 |

POR 回路は、表 8-2 に示す電源電圧をモニターしません。

表 8-2. POR 回路によってモニターされていない電源

| 電源                    | 説明                  | 設定 (V)                              |
|-----------------------|---------------------|-------------------------------------|
| V <sub>CCT_GXB</sub>  | トランスミッタ電源電圧         | 0.85, 1.0                           |
| V <sub>CCH_GXB</sub>  | トランスミッタ出力バッファ電源     | 1.5                                 |
| V <sub>CCR_GXB</sub>  | レシーバ電源電圧            | 0.85, 1.0                           |
| V <sub>CCA_GXB</sub>  | トランシーバ高電圧電源電圧       | 2.5, 3.0                            |
| V <sub>CCHIP</sub>    | トランシーバ HIP デジタル電源電圧 | 0.85                                |
| V <sub>CCIO</sub>     | I/O 電源電圧            | 1.2, 1.25, 1.35, 1.5, 1.8, 2.5, 3.0 |
| V <sub>CCA_FPLL</sub> | PLL アナログ・グローバル電源電圧  | 2.5                                 |
| V <sub>CCD_FPLL</sub> | PLL デジタル電源電圧        | 1.5                                 |

POR 仕様は、パワーアップ時に Stratix V デバイスのすべての回路が特定の既知状態になるように設計されています。

POR 信号のパルス幅は、PORSEL 入力ピンを使用してプログラムできます。PORSEL ピンが GND に接続されている場合、POR 遅延時間は 100 ms ~ 300 ms です。PORSEL ピンが High に設定されると、POR 遅延時間は 4 ~ 12 ms です。

 POR の仕様について詳しくは、[「DC and Switching Characteristics for Stratix V Devices」](#)の章を参照してください。

## 改訂履歴

表 8-3 に、本資料の改訂履歴を示します。

表 8-3. 改訂履歴

| 日付          | バージョン | 変更内容   |
|-------------|-------|--|
| 2010 年 12 月 | 1.1   | Quartus II ソフトウェア 10.1 に対して、この章の内容に変更はありません。 |
| 2010 年 7 月  | 1.0   | 初版   |