


この章では、Stratix® V デバイスの利用可能な外部メモリ・インタフェースだけでなく、外部メモリ・インタフェースをサポートするための Stratix V デバイスのシリコン機能について説明します。Stratix V デバイスは、小型のモジュールの I/O バンク構造により、システム帯域幅のレベルをサポートするために、幅広い外部メモリ・インタフェースに迅速かつ容易に適合する効率的なアーキテクチャを提供します。I/O は DDR3 と DDR2 SDRAM、QDR II+ と QDR II SRAM、および RLDRAM II などの既存および新しい外部ダブル・データ・レート (DDR) メモリ規格に対して、高性能のサポートを提供するように設計されています。

Stratix V の I/O エレメント (IOE) は、ダイナミックにキャリブレーションされた On-Chip Termination (OCT)、配線パターン・ミスマッチ補正、DDR3 SDRAM インタフェース用のリードおよびライト・レベリング、リード FIFO ブロック、および 4 ~ 36 ビット・プログラマブル DQ グループ幅などの機能で、外部メモリ・インタフェースを迅速かつ堅牢に実装するために必要な使いやすい機能を提供しています。

高性能インタフェース・メモリ・ソリューションはセルフ・キャリブレート UniPHY メガファンクションによってバックアップされ、Stratix V の I/O 構造を活用するように最適化されており、かつ Quartus® II ソフトウェア TimeQuest タイミング・アナライザは、プロセス、電圧、および温度 (PVT) のばらつきに対して信頼性のある、高い動作周波数のためのトータル・ソリューションを提供します。

この章は、以下の項で構成されています。

- 7-3 ページの「メモリ・インタフェース・ピンのサポート」
- 7-8 ページの「Stratix V 外部メモリ・インタフェースの機能」

 外部メモリ・システム性能仕様、ボード・デザイン・ガイドライン、タイミング解析、シミュレーション、およびデバッグ情報については、「[External Memory Interface Handbook](#)」を参照してください。


 Quartus II ソフトウェア・バージョン 10.0 は QDR II+ と QDR II SRAM、および RLDRAM II インタフェースに対するコントローラまたは UniPHY ファンクション・サポートがありません。

図 7-1 に、すべての Stratix V IOE 機能を使用するメモリ・インタフェース・データパスの概要を示します。

図 7-1. Stratix V デバイスの外部メモリ・インタフェース・データパスの概要 (注 1), (2)

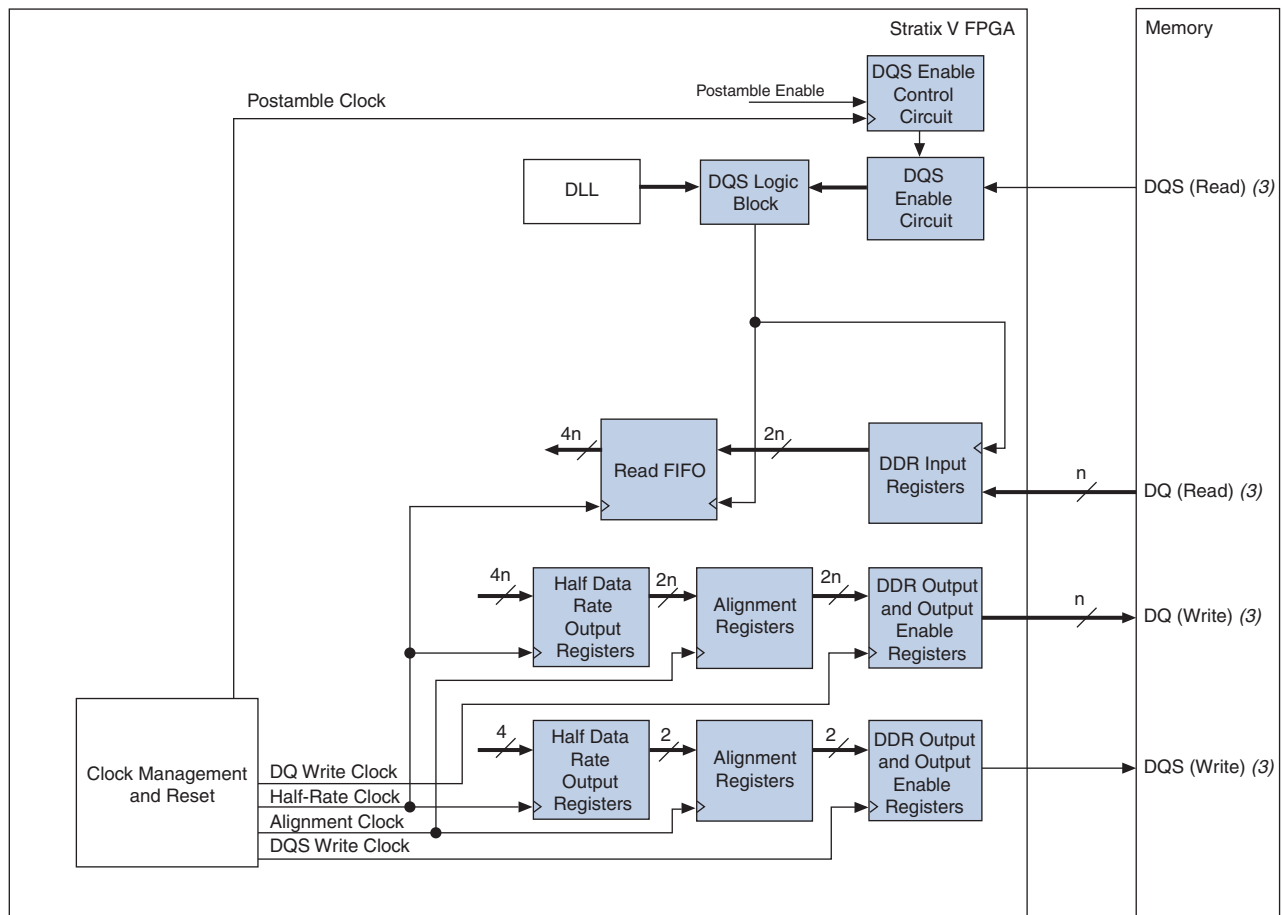


図 7-1 の注:

- (1) 各レジスタ・ブロックはバイパスできます。
- (2) 各メモリ・インタフェースのブロックは多少異なります。影付きのブロックは、Stratix V IOE の部分です。
- (3) これらの信号はメモリ規格に応じて、双方向または単方向になります。双方向のとき信号は、リードおよびライト動作の両方でアクティブになります。

メモリ・インタフェースは Stratix V デバイス機能の DLL (Delay-Locked Loop)、ダイナミック OCT コントロール、リードおよびライト・レベリング回路などを使用し、また I/O 機能の OCT、プログラマブル I/O 遅延チェーン、リード FIFO ブロック、スルー・レート調整、およびプログラマブル・ドライブ強度などを使用します。

 I/O 機能について詳しくは、「[I/O Features in Stratix V Devices](#)」の章を参照してください。

UniPHY ファンクションは、メモリ・インタフェースに関連するクロックを生成するために PLL (Phase-Locked Loop) をインスタンス化します。

Stratix V PLL について詳しくは、「*Clock Networks and PLLs in Stratix V Devices*」の章を参照してください。UniPHY メガファンクションについて詳しくは、「外部メモリ・インタフェース・ハンドブック」の「*Volume 3: Implementing Altera Memory Interface IP*」を参照してください。

メモリ・インタフェース・ピンのサポート

標準的なメモリ・インタフェースでは、データ・ピン (D、Q、または DQ)、データ・ストロブ・ピン (DQS/CQ/QK および DQSn/CQn, QK#)、アドレス・ピン、コマンド・ピン、およびクロック・ピンが必要です。一部のメモリ・インタフェースでは、データ・マスク (DM、BWSn、または NWSn) ピンを使用してライト・マスクングおよび QVLD ピンをイネーブルして、リード・データをキャプチャできる状態であることを示します。この項では、Stratix V デバイスでこれらすべてのピンをサポートする方法について説明します。

DDR3 と DDR2 SDRAM、および RLDRAM II デバイスは、CK および CK# 信号を使用して、アドレスおよびコマンド信号をキャプチャします。これらの信号はライト・データ・ストロブを模倣するために Stratix V DDR I/O (DDRIO) レジスタを使用して生成し、CK/CK# 信号と DQS 信号 (DDR3 および DDR2 SDRAM デバイスの t_{DQSS} 、 t_{DSS} 、および t_{DSH} または RLDRAM II デバイスの t_{CKDK}) 間のタイミング関係を満たします。QDR II+ および QDR II SRAM デバイスは、同じクロック (K/K#) を使用してライト・データ、アドレス、およびコマンド信号をキャプチャします。

Stratix V デバイスのメモリ・クロック・ピンは、ピン・テーブルで DIFFOUT、DIFFIO_TX、および DIFFIO_RX プリフィックス付き差動出力ピンに送られる DDRIO レジスタを使用して生成されます (図 7-2 を参照)。

メモリ・クロック・ピンおよびピン位置要件に使用するピンについて詳しくは、「外部メモリ・インタフェース・ハンドブック Volume 2」の「*Section 1: Device and Pin Planning*」を参照してください。

図 7-2. メモリ・クロック生成 (注 1)

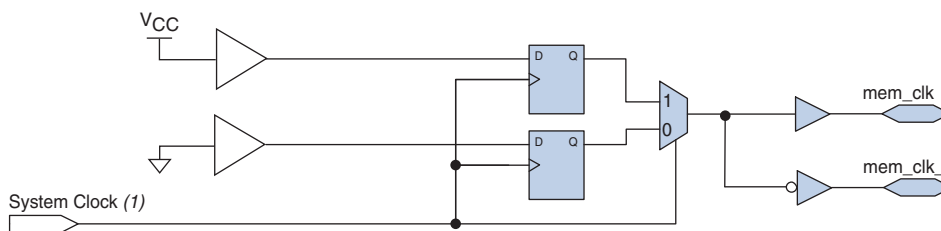




図 7-2 の注:

(1) ジッタを低減するには、メモリ・出力・クロック生成に専用クロック・ネットワークが使用されます。

Stratix V デバイスは、差動リード・データ・ストロブおよびクロック動作の差動入力バッファを提供します。また、Stratix V デバイスはコンプリメンタリ・リード・データ・ストロブおよびクロック動作の各 CQn ピンのための独立した DQS ロジック・ブロックも提供します。Stratix V ピン・テーブルでは、差動データ・ストロブ/クロックは DQS ピンと DQSn ピンとして、コンプリメンタリ CQ 信号は CQ ピンと CQn ピンとして表記されます。このピン・テーブルでは、DQS ピンと CQn ピンは別々に記載されています。各 CQn ピンは DQS ロジック・ブロックに接続され、位相シフトされた CQn 信号は DQ IOE レジスタのネガティブ・ハーフ・サイクル入力のレジスタに入ります。

 333 MHz またはそれ以上で動作する DDR2 SDRAM インタフェースに対する差動 DQS 信号方式を使用します。

DQ ピンは DDR3 と DDR2 SDRAM、および RLDRAM II コモン I/O インタフェースでは双方向信号、QDR II+、QDR II SRAM、および RLDRAM II の個別 I/O デバイスでは単方向信号にすることができます。単方向読み出しデータ信号を Stratix V DQ ピンに接続し、単方向書き込みデータ信号を読み出し DQ/DQS グループ以外の差動 DQ/DQS グループに接続します。ライト・クロックは、このライト DQ/DQS グループに関連する DQS/DQSn ピンに割り当てられる必要があります。ライト・クロックには CQ/CQn ピン・ペアを使用しないでください。

 書き込みデータ信号に DQ/DQS グループを使用することで、出力スキューが小さくなり、ライト・レベリング回路 (DDR3 SDRAM インタフェース用) へのアクセスが可能になり、バーティカル・マイグレーションを可能にします。また、これらのピンはバス上の信号間の遅延 mismatches を補正可能なデスクュー回路にもアクセスします (プログラマブル遅延チェーンを使用)。

DQS ピンおよび DQ ピンの位置は、ピン・テーブルで固定されています。メモリ・インタフェース回路は、トランシーバをサポートしていないすべての Stratix V I/O バンクで使用できます。すべてのメモリ・インタフェース・ピンは、DDR3 と DDR2 SDRAM、QDR II+、QDR II SRAM、および RLDRAM II デバイスをサポートするのに必要な I/O 規格をサポートします。

Stratix V デバイスは、 $\times 4$ 、 $\times 8/\times 9$ 、 $\times 16/\times 18$ 、または $\times 32/\times 36$ の DQ バス・モードで DQS および DQ 信号をサポートします。これらのピンの一部がメモリ・インタフェースに使用されていないときは、ユーザー I/O として使用できます。さらに、クロッキングに使用されていない任意の DQSn または CQn ピンを DQ ピンとして使用できます。

表 7-1 に、DQS および DQSn/CQn ピン・ペアを含む各 DQS/DQ バス・モードのピン・サポートを示します。

表 7-1. Stratix V の DQ/DQS バス・モードのピン数 (その 1)

モード	DQSn サポート	CQn サポート	パリティまたはデータ・マスク (オプション)	QVLD (オプション) (1)	グループごとの標準データ・ピン数	グループごとの最大データ・ピン数 (2)
$\times 4$	あり	なし	なし (3)	なし	4	5
$\times 8/\times 9$ (4)	あり	あり	あり	あり	8 または 9	11
$\times 16/\times 18$ (5)	あり	あり	あり	あり	16 または 18	23

表 7-1. Stratix V の DQ/DQS バス・モードのピン数 (その 2)

モード	DQSn サポート	CQn サポート	パリティまたはデータ・マスク (オプション)	QVLD (オプション) (1)	グループごとの標準データ・ピン数	グループごとの最大データ・ピン数 (2)
×32/×36 (6)	あり	あり	あり	あり	32 または 36	47

表 7-1 の注:

- (1) QVLD ピンは、UniPHY メガファンクションでは使用されません。
- (2) これは、シングル・エンド DQS 信号方式で DQS バス・ネットワークに接続された DQ ピン (パリティ、データ・マスク、および QVLD ピンを含む) の最大数を表します。差動またはコンプリメンタリ DQS 信号方式を使用するときは、グループあたりのデータの最大数は 1 つ少なくなります。この数は個々のデバイスで DQ/DQS グループごとに変ります。グループごとの正確な数は、ピン・テーブルで確認してください。DDR3 および DDR2 インタフェースでは、×16/×18 および ×32/×36 グループを形成するのに、使用される各 ×8/×9 グループに 1 本の DQS ピンの必要性のため、×8 より大きいインタフェースにピンの数はさらに減少します。
- (3) DQS が使用されていない場合、そしてグループに追加の信号がない場合は、DM ピンがサポートされます。
- (4) ×8/×9 グループは 2 つの 4 DQ/DQS グループを統合して作成されるため、このグループの総ピン数は 12 本になります。
- (5) ×16/×18 グループは 4 つの 4 DQ/DQS グループを統合して作成されるため、このグループの総ピン数は 24 本になります。
- (6) ×32/×36 グループは 8 つの 4 DQ/DQS グループを統合して作成されるため、このグループの総ピン数は 48 本になります。

表 7-2 に、Stratix V デバイスのサイドごとの最大 DQ/DQS グループ数を示します。

表 7-2. Stratix V デバイスの各サイドの DQ/DQS グループ数 (その 1) (注 1)

デバイス	パッケージ	サイド	×4 (2)	×8/×9	×16/×18	×32/×36
5SGXA3 5SGXA4	780 ピン FineLine BGA	レフト / ライト	0	0	0	0
		ボトム	26	13	6	1
		トップ	18	9	4	0
5SGXA3 5SGXA4	1152 ピン FineLine BGA (24 個のトランシーバ内蔵)	レフト / ライト	0	0	0	0
		ボトム	50	25	12	4
		トップ	42	21	10	3
5SGXA5 5SGXA7	1152 ピン FineLine BGA (24 個のトランシーバ内蔵)	レフト / ライト	0	0	0	0
		ボトム	50	25	12	4
		トップ	42	21	10	3
5SGSB7 5SGSB8	1152 ピン FineLine BGA	レフト	0	0	0	0
		ボトム	34	17	8	3
		ライト	16	8	4	0
		トップ	38	19	9	3
5SGXA3 5SGXA4	1152 ピン FineLine BGA (36 個のトランシーバ内蔵)	レフト / ライト	0	0	0	0
		ボトム	38	19	8	2
		トップ	36	18	8	2
5SGXA5 5SGXA7	1152 ピン FineLine BGA (36 個のトランシーバ内蔵)	レフト / ライト	0	0	0	0
		ボトム	38	19	8	2
		トップ	36	18	8	2

表 7-2. Stratix V デバイスの各サイドの DQ/DQS グループ数 (その 2) (注 1)


デバイス	パッケージ	サイド	x4 (2)	x8/x9	x16/x18	x32/x36
5SGXA3 5SGXA4	1517 ピン FineLine BGA	レフト/ ライト	0	0	0	0
		ボトム	52	26	12	4
		トップ	52	26	12	4
5SGXA5 5SGXA7	1517 ピン FineLine BGA (36 個のトランシーバ内蔵)	レフト	0	0	0	0
		ボトム	58	29	14	6
		トップ	58	29	14	6
5SGSB5 5SGSB6	1517 ピン FineLine BGA	レフト/ ライト	0	0	0	0
		ボトム	36	18	8	2
		トップ	36	18	8	2
5SGSB7 5SGSB6	1517 ピン FineLine BGA	レフト	0	0	0	0
		ボトム	46	23	10	3
		ライト	44	22	10	4
		トップ	40	20	10	4
5SGXA5 5SGXA7	1517 ピン FineLine BGA (48 個のトランシーバ内蔵)	レフト/ ライト	0	0	0	0
		ボトム	50	25	11	4
		トップ	50	25	12	5
5SGXA5 5SGXA7	1932 ピン FineLine BGA	レフト/ ライト	0	0	0	0
		ボトム	70	35	15	6
		トップ	70	35	16	6
5SGSB5 5SGSB6	1932 ピン FineLine BGA	レフト/ ライト	0	0	0	0
		ボトム	54	27	12	4
		トップ	54	27	12	4
5SGSB7 5SGSB6	1932 ピン FineLine BGA	レフト	0	0	0	0
		ボトム	62	31	15	6
		ライト	44	22	10	4
		トップ	66	33	16	6

表 7-2 の注:

- (1) デバイスが使用可能になるまで、これらの数値は暫定仕様です。
- (2) 一部の 4 グループは、RZQ ピンを使用することができます。Stratix V のキャリブレーション済み OCT 機能を使用する場合、これらのグループは使用できません。

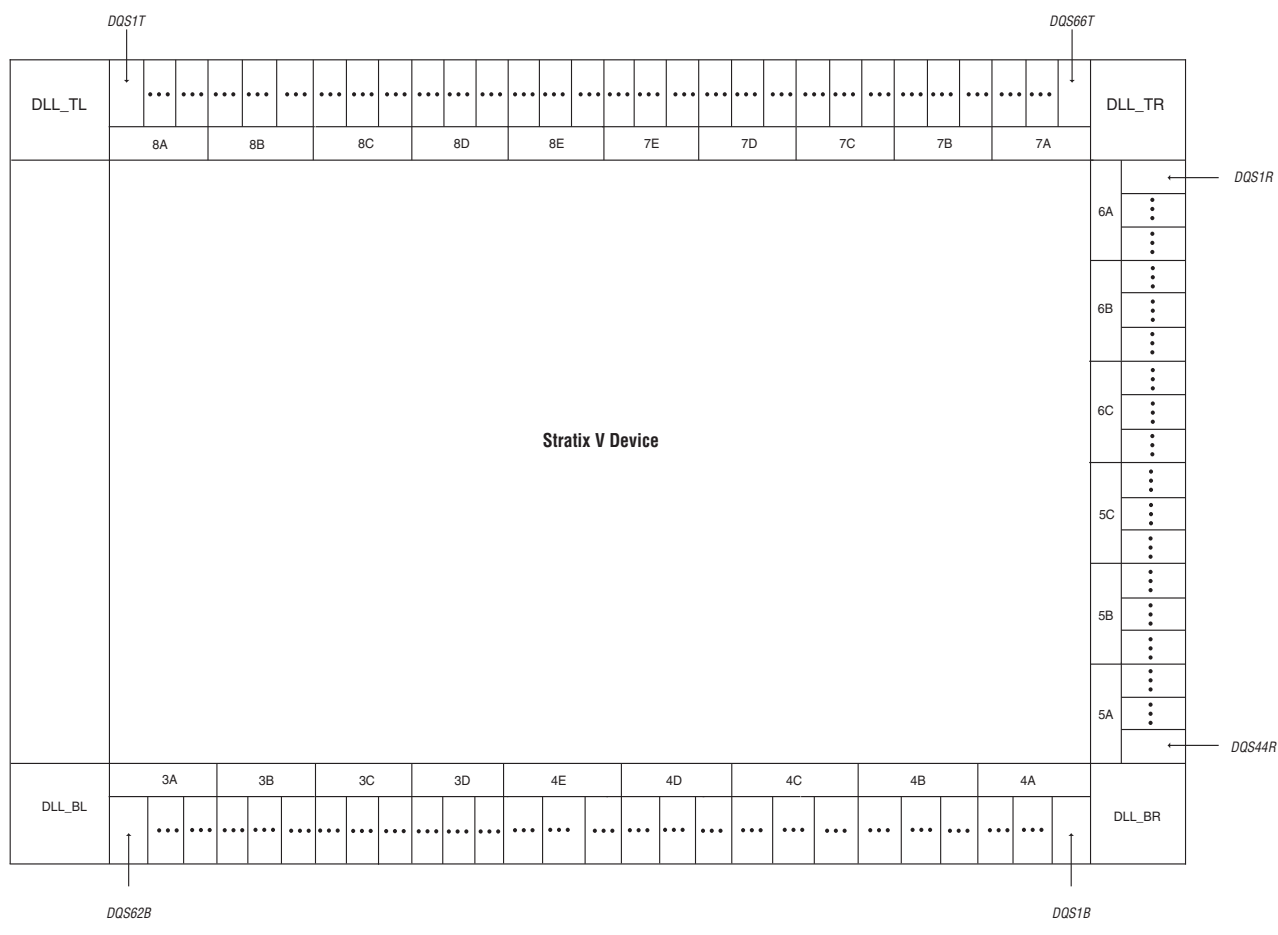
DQS ピンおよび DQSn ピンは、Stratix V ピン・テーブルでそれぞれ DQSXY、DQSnXY と表記されます。ここで、x は DQ/DQS グループ番号を、y はグループがデバイスのトップ (T)、ボトム (B)、レフト (L)、またはライト (R) のいずれに位置するかを表します。DQ/DQS ピンのナンバリングは、x4 モードに基づいています。

対応する DQ ピンは DQXY と表記されます。ここで、X はピンが属する DQS グループを、Y はそのグループがデバイスのトップ (T)、ボトム (B)、レフト (L)、ライト (R) のいずれに位置するかを表します。例えば、DQS1T はデバイスのレフト・サイドに位置する DQS ピンを示します。そのグループに属する DQ ピンは、ピン・テーブルで DQ1T として示されます。詳細は、[図 7-3](#) を参照してください。

 パリティ、DM、BWSn、NWSn、ECC、および QVLD ピンは、ピン・テーブルに DQ ピンとして示されます。

ダイの上面図ではデバイスのトップ・レフト・コーナーから反時計回りに番号が付けられます。[図 7-3](#) に、デバイスのダイの上面図で DQ/DQS グループに番号を付ける方法を示します。


図 7-3. Stratix V I/O バンクの DQS ピン



メモリ・インタフェースの DQ/DQS グループにおける RZQ ピンの使用


一部の $\times 4$ グループの DQS/DQS_n ピンは、RZQ ピンとして使用できます (ピン・テーブルに記載)。ピン・メンバの一部が OCT キャリブレーション用の RZQ ピンとして使用されている場合、4 DQ/DQS グループはメモリ・インタフェース用には使用できません。

DQS ピンとして使用できる十分な数の余分なピンが含まれているので、ピン・メンバが RZQ ピンとして使用されている $\times 4$ グループを含む、 $\times 8/\times 9$ 、 $\times 16/\times 18$ または $\times 32/\times 36$ DQ/DQS グループの使用に関する制約はありません。

 メンバが RZQ ピンに使用されている $\times 8$ 、 $\times 16/\times 18$ 、または $\times 32/\times 36$ DQ/DQS グループに対して、DQ および DQS ピンを手動で選択しなければなりません。手動ピン・アサインメントを行わずに、Quartus II ソフトウェアは DQ および DQS ピンを正しく配置できず、「no-fit」になることがあります。

Stratix V 外部メモリ・インタフェースの機能

Stratix V デバイスは、堅牢で高性能な外部メモリ・インタフェースを可能にする機能を備えています。UniPHY メガファンクションでは、これらの外部メモリ・インタフェース機能を使用し、システムに最適な物理インタフェース (PHY) の設定を支援します。この項では、DQS 位相シフト回路、DQS ロジック・ブロック、レベリング・マルチプレクサ、およびダイナミック OCT コントロール・ブロックなど、外部メモリ・インタフェースで使用される Stratix V デバイスの各機能について説明します。

 UniPHY メガファンクションおよびアルテラのメモリ・コントローラ MegaCore[®] ファンクションは、メモリ・デバイスの I/O インタフェースの半分の周波数で動作し、それにより高速メモリ・インタフェースでのタイミング管理を改善できます。Stratix V デバイスは、データをフル・レート (I/O 周波数) からハーフ・レート (コントローラ周波数)、およびその逆に変換するように、IOE でビルトイン回路を備えています。アルテラのメモリ・コントローラ MegaCore ファンクションを使用する場合、UniPHY メガファンクションがインスタンス化されます。

 UniPHY メガファンクションについて詳しくは、「外部メモリ・インタフェース・ハンドブック」の [「Volume 3: Implementing Altera Memory Interface IP」](#) を参照してください。

DQS 位相シフト回路

Stratix V 位相シフト回路は、DQS/CQ ピンおよび CQ_n ピンが FPGA への入力クロックまたはストローブとして機能しているときには、リード・トランザクション時に DQS/CQ ピンおよび CQ_n ピンへの位相シフトを提供します。DQS 位相シフト回路は、複数の DQS ピンで共有される DLL とデバイスの異なるサイドに対する DQS 位相シフトをさらに微調整する位相オフセット・モジュールで構成されています。

図 7-4 に、デバイスで DQS 位相シフト回路を DQS/CQ ピンおよび CQn ピンに接続する方法を示します。ここに、メモリ・インタフェースは、Stratix V デバイスのすべてのサイドでサポートされます。各 PLL の基準入力クロック・ピンについては、7-9 ページの「Delay-Locked Loop」を参照してください。

図 7-4. DQS および CQn ピンと DQS 位相シフト回路 (注 1)

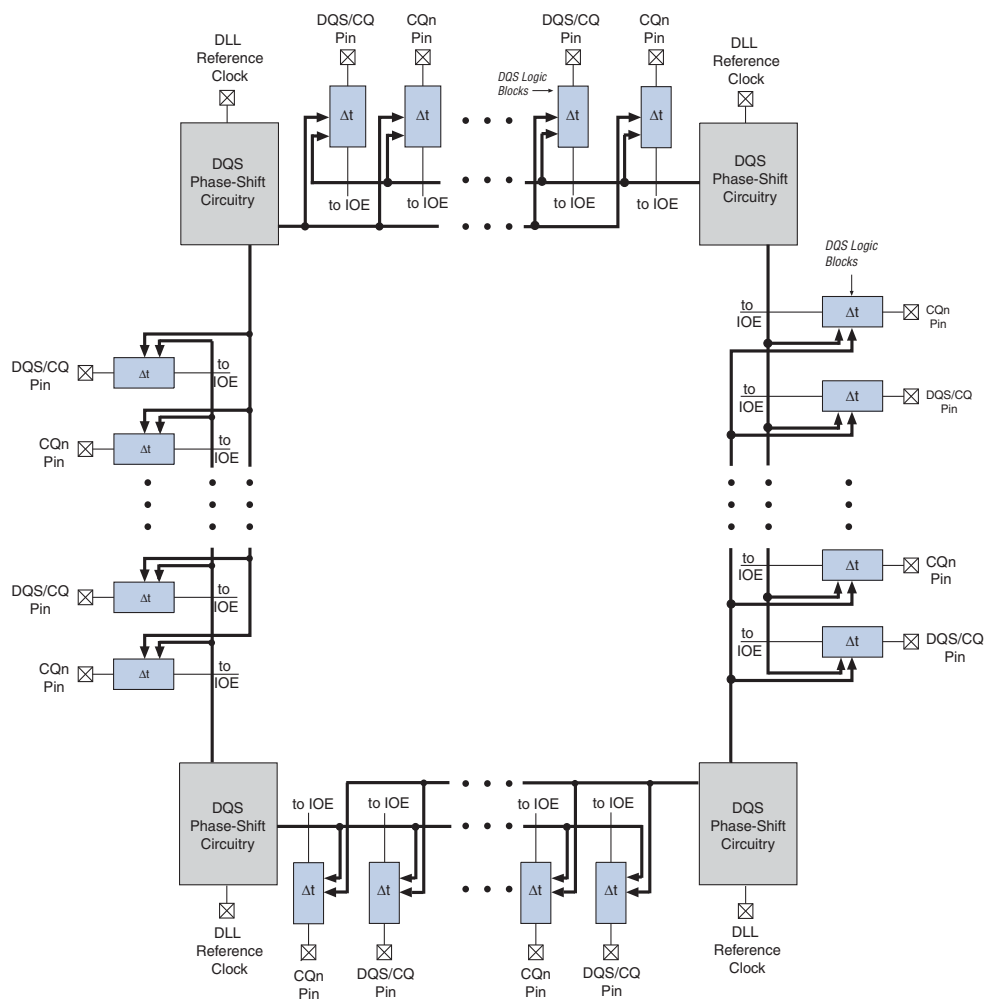


図 7-4 の注：


(1) 可能な 2 つの DLL 出力設定の 1 つに基づいて、位相シフトで各 DQS/CQ および CQn ピンをコンフィギュレーションできます。

DQS 位相シフト回路は、各 DQS/CQ または CQn ピンをコントロールする DQS ロジック・ブロックに接続されます。DQS ロジック・ブロックにより、DQS 遅延設定を各 DQS ピンまたは CQn ピンで同時に更新できます。

Delay-Locked Loop

DQS 位相シフト回路は、DLL を使用して DQS/CQ および CQn ピンに必要なクロック遅延をダイナミックにコントロールします。DQS 位相シフト回路は、周波数リファレンスを使用して各 DQS および CQn ピンの遅延チェーンに対してコントロール信号をダイナミックに生成し、それによって PVT のばらつきに対する補償を可能にしています。DQS 遅延設定は Gray コード化され、DLL が設定を更新するときのジッタを低減します。DLL が低ジッタ・モードのとき、位相シフト回路は、正しい入力クロック周


期をロックして、計算するために 2,560 クロック・サイクルを必要とします。それ以外の場合は、512 クロック・サイクルのみが必要です。データが適切にキャプチャされる保証はないため、これらのクロック・サイクル中にはデータを送信しないでください。DLL からの設定は、このロック期間が経過するまで安定しないことがあるため、この期間中にこれらの設定（レベリング遅延システムを含む）を使用する場合は、不安定になる可能性があることに注意してください。

 100 MHz 以下であっても DQS 位相シフト回路をメモリ・インタフェースに使用できません。ただし、DQS 信号は 2.5 ns 以上をシフトできません。DQS 信号が DQ 有効ウィンドウの正確に中央の位置にシフトされない場合でも、IOE は大量のタイミング・マージンが得られる低周波数アプリケーションではデータをキャプチャできるはずですが。

Stratix V デバイスは最大 4 つの DLL を備えており、デバイスの各コーナーに位置しています。これらの 4 つの DLL は、それぞれ一定の周波数で動作する最大 4 つの固有周波数をサポートします。各 DLL は位相オフセットの異なる 2 つの出力を持つため、1 個の Stratix V デバイスで 8 つの差動 DLL 位相シフト設定を持つことができます。

DLL は、デバイスがサイドに I/O バンクがある場合、デバイス内の位置から隣接する 2 つのサイドにアクセスできます。例えば、デバイスで I/O バンクが利用可能な場合、デバイスのトップ・ライトに位置する DLL_TR は、デバイスのトップ・サイド (I/O バンク 7A、7B、7C、7D、7E、8A、8B、8C、8D、および 8E) およびライト・サイド (I/O バンク 5A、5B、5C、6A、6B、および 6C) にアクセスすることができます。つまり、各 I/O バンクには 2 つの DLL からアクセス可能で、より柔軟に複数の周波数および複数のタイプのインタフェースを作成できます。DLL に隣接する 2 つのサイドでは、同じ周波数で 2 つの異なるインタフェースを持つことができます。ここで、両方のインタフェースに対して DLL は DQS 遅延設定をコントロールします。

各バンクは、隣接する DLL のいずれかまたは両方の設定を使用できます。例えば、DQS1R は位相シフトの設定を DLL_TR から、DQS2R は DLL_BR から取得できます。

 レベリング遅延チェーン使用時には、各 I/O サブバンクにおける (I/O サブバンク 5A、5B、および 5C など) 1 つのメモリ・インタフェースしか存在できません。これは、I/O サブバンクごとにレベリング遅延チェーンが 1 つしかないからです。

各 DLL のリファレンス・クロックは、PLL 出力クロックまたはクロック入力ピンから供給されます。表 7-3 ~ 表 7-6 に、Stratix V デバイスで使用可能な DLL 基準クロック入力リソースを示します。


 DLL 入力基準クロック生成専用の PLL を使用する場合、より良い性能を達成するために PLL モードを **No Compensation** に設定します。そうしなかった場合、Quartus II ソフトウェアが自動的に変更します。PLL は他の出力を使用しないため、クロック・パスを補償する必要はありません。

表 7-3. 5SGXA3 および 5SGXA4 デバイスの DLL 基準クロック入力

DLL	PLL		CLKIN		
	センター	コーナー	レフト	センター	ライト
DLL_TL	CEN_X70_Y76 CEN_X70_Y31	LR_X0_Y93 LR_X0_Y89	CLK20P CLK21P CLK22P CLK23P	CLK16P CLK17P CLK18P CLK19P	—
DLL_TR	CEN_X70_Y76 CEN_X70_Y71	LR_X152_Y93 LR_X152_Y89	—	CLK16P CLK17P CLK18P CLK19P	CLK12P CLK13P CLK14P CLK15P
DLL_BR	CEN_X0_Y7 CEN_X0_Y2	LR_X152_Y15 LR_X152_Y11	—	CLK4P CLK5P CLK6P CLK7P	CLK8P CLK9P CLK10P CLK11P
DLL_BL	CEN_X0_Y7 CEN_X0_Y2	LR_X0_Y15 LR_X0_Y11	CLK0P CLK1P CLK2P CLK3P	CLK4P CLK5P CLK6P CLK7P	—

表 7-4. 5SGXB5 および 5SGXB6 デバイスの DLL 基準クロック入力 (その 1)

DLL	PLL		CLKIN		
	センター	レフト/ライト	レフト	センター	ライト
DLL_TL	CEN_X74_Y136 CEN_X74_Y131	LR_X0_Y135 LR_X0_Y131	CLK20P CLK21P CLK22P CLK23P	CLK16P CLK17P CLK18P CLK19P	—
DLL_TR	CEN_X74_Y136 CEN_X74_Y131	LR_X163_Y135 LR_X163_Y131	—	CLK16P CLK17P CLK18P CLK19P	CLK12P CLK13P CLK14P CLK15P

表7-4. 5SGXB5 および 5SGXB6 デバイスの DLL 基準クロック入力 (その 2)

DLL	PLL		CLKIN		
	センター	レフト/ライト	レフト	センター	ライト
DLL_BR	CEN_X74_Y7 CEN_X74_Y2	LR_X163_Y25 LR_X163_Y21	—	CLK4P CLK5P CLK6P CLK7P	CLK8P CLK9P CLK10P CLK11P
DLL_BL	CEN_X74_Y7 CEN_X74_Y2	LR_X0_Y25 LR_X0_Y21	CLK0P CLK1P CLK2P CLK3P	CLK4P CLK5P CLK6P CLK7P	—

表7-5. 5SGXA5 および 5SGXA7 デバイスの DLL 基準クロック入力

DLL	PLL		CLKIN		
	センター	コーナー	レフト	センター	ライト
DLL_TL	CEN_X94_Y118 CEN_X94_Y113	LR_X0_Y135 LR_X0_Y131	CLK20P CLK21P CLK22P CLK23P	CLK16P CLK17P CLK18P CLK19P	—
DLL_TR	CEN_X94_Y118 CEN_X94_Y113	LR_X201_Y135 LR_X201_Y131	—	CLK16P CLK17P CLK18P CLK19P	CLK12P CLK13P CLK14P CLK15P
DLL_BR	CEN_X94_Y7 CEN_X94_Y2	LR_X201_Y15 LR_X201_Y11	—	CLK4P CLK5P CLK6P CLK7P	CLK8P CLK9P CLK10P CLK11P
DLL_BL	CEN_X94_Y7 CEN_X94_Y2	LR_X0_Y15 LR_X0_Y11	CLK0P CLK1P CLK2P CLK3P	CLK4P CLK5P CLK6P CLK7P	—

表 7-6. 5SGSB7 および 5SGSB8 デバイスの DLL 基準クロック入力

DLL	PLL			CLKIN		
	センター	コーナー	ライト	レフト	センター	ライト
DLL_TL	CEN_X103_Y124 CEN_X103_Y119	LR_X0_Y141 LR_X0_Y137	—	CLK20P CLK21P CLK22P CLK23P	CLK16P CLK17P CLK18P CLK19P	—
DLL_TR	CEN_X103_Y124 CEN_X103_Y119	LR_X218_Y131 LR_X218_Y127	LR_X218_Y75 LR_X218_Y71	—	CLK16P CLK17P CLK18P CLK19P	CLK12P CLK13P CLK14P CLK15P CLK24P CLK25P CLK26P CLK27P
DLL_BR	CEN_X103_Y7 CEN_X103_Y2	LR_X218_Y17 LR_X218_Y13	LR_X218_Y75 LR_X218_Y71	—	CLK4P CLK5P CLK6P CLK7P	CLK8P CLK9P CLK10P CLK11P CLK24P CLK25P CLK26P CLK27P
DLL_BL	CEN_X103_Y7 CEN_X103_Y2	LR_X0_Y15 LR_X0_Y11	—	CLK0P CLK1P CLK2P CLK3P	CLK4P CLK5P CLK6P CLK7P	—

図 7-5 に、DLL の簡略化されたブロック図を示します。入力基準クロックは、DLL に入り最大 8 の遅延エレメントで構成されるチェーンに供給されます。位相コンパレータは、遅延チェーン・ブロックの末端から出力される信号と入力基準クロックを比較します。次に、位相コンパレータは Grey コード・カウンタへの updn 信号を発行します。この信号は 7 ビットの遅延設定 (DQS 遅延設定) を増分または減分します。これによって、遅延エレメント・チェーンを通して遅延を増加 / 減少させ、入力基準クロックと遅延エレメント・チェーンから出力される信号の位相を合わせます。

図 7-5. DQS 位相シフト回路の簡略図 (注 1)

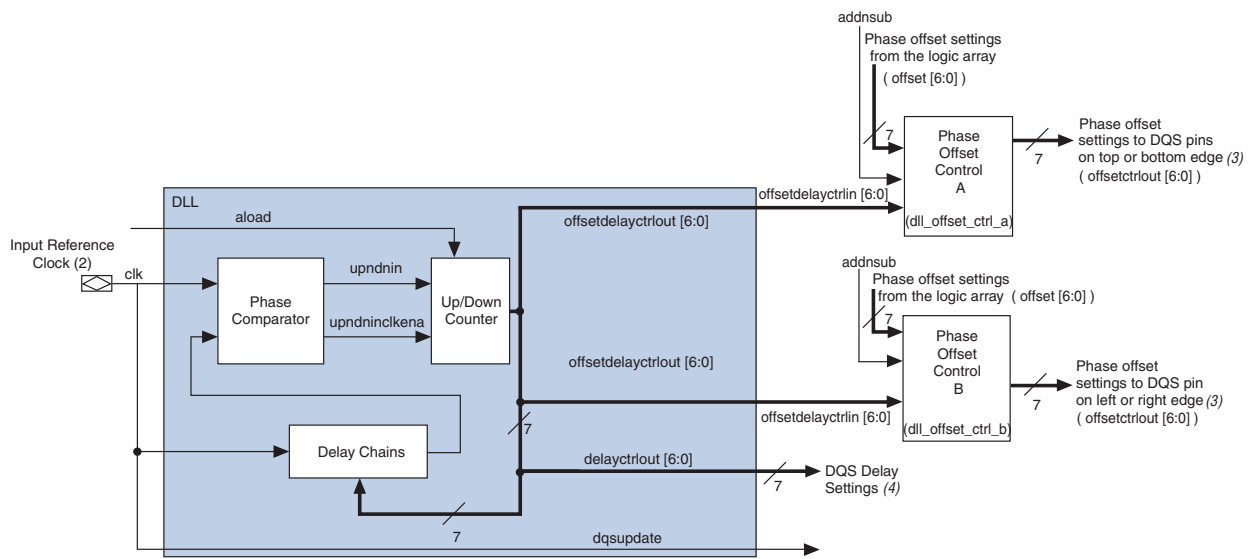



図 7-5 の注：

- (1) DQS 位相シフト回路のすべての機能は、Quartus II ソフトウェアの UniPHY メガファンクションからアクセスできます。
- (2) DQS 位相シフト回路の入力基準クロックは、PLL 出力クロックまたは入力クロック・ピンから供給できます。詳細は、表 7-3 ~ 表 7-6 を参照してください。
- (3) 位相オフセット設定は、DQS ロジック・ブロックにのみ供給可能です。
- (4) DQS 遅延設定は、ロジック・アレイ、DQS ロジック・ブロック、およびリード FIFO ブロックに供給できます。


 Quartus II アサインメントでは、位相オフセット・コントロール「A」は `DLLOFFSETCTRL_<coordinate x>_<coordinate y>_N1` として指定され、位相オフセット・コントロール「B」は `DLLOFFSETCTRL_<coordinate x>_<coordinate y>_N2` として指定されます。

ロジック・アレイまたはユーザー I/O ピンから DLL をリセットできます (2,560 または 512 クロック・サイクルの場合)。DLL がリセットされるたびに、データを正しくキャプチャできるように、DLL がロックするまで 2,560 (低ジッタ・モード) または 512 クロック・サイクル間待機しなければなりません。

DLL は、DLL 周波数モードに応じて、着信する DQS 信号を 0°、45°、90°、135°、または 180° シフトすることができます。シフトされた DQS 信号は、DQ IOE 入力レジスタ用のクロックとして使用されます。

同じ DLL に参照される DQS/CQ ピンおよび CQn ピンはすべて、異なる度数だけシフトされた入力信号位相を持つことができますが、これらはすべて 1 つの特定周波数で参照しなければなりません。例えば、DQS1T に 90° の位相シフトを、DQS2T に 45° の位相シフトを持たせ、両方を 200 MHz クロックで参照することができます。ただし、すべての位相シフトの組み合わせがサポートされているわけではありません。同じ DLL により参照される DQS ピンにある位相シフトは、すべて 45° の倍数（最大 180°）でなければなりません。

DLL から 7 ビット DQS 遅延設定は PVT によって変化し、位相シフト遅延が実装されます。

 各モードの周波数範囲については、「*DC and Switching Characteristics for Stratix V Devices*」の章を参照してください。


0° シフトの場合、DQS/CQ 信号は DLL と DQS ロジック・ブロックの両方をバイパスします。0° シフトが実装されているとき、Quartus II ソフトウェアは、DQ IOE レジスタの DQ ピンと DQS/CQ ピン間のスキューが無視できるように、DQ 入力遅延チェーンを自動的に設定します。DQS 遅延設定を DQS ロジック・ブロックおよびロジック・アレイに供給できます。

シフトされた DQS/CQ 信号は、DQS バスに送られて DQ ピンの IOE レジスタをクロックします。この信号は、IOE 再同期化レジスタを使用していない場合、ロジック・アレイに送って再同期化に使用することも可能です。シフトされた CQn 信号は、DQ IOE のネガティブ・エッジ入力レジスタにのみ送られ、QDR II+ および QDR II SRAM インタフェースにのみ使用されます。

位相オフセット・コントロール

各 DLL には 2 つの位相オフセット・モジュールがあり、独立したオフセットを持つ 2 つの個別 DQS 遅延設定（1 つはトップおよびボトム I/O バンク用、もう 1 つはレフトおよびライト I/O バンク用）を提供します。これによりデバイスの 2 つの異なるサイド間の DQS 位相シフト設定を微調整できます。独立した位相オフセット・コントロールがある場合でも、同じ DLL を使用するインタフェースの周波数は同じでなければなりません。入力信号に対して小さなシフトを生成するには位相オフセット・コントロール・モジュールを使用し、より大きな信号シフトを生成するには DQS 位相シフト回路を使用します。例えば、DLL が 45° 位相シフトの倍数しか提供しないが、インタフェースでは DQS 信号に 97.5° 位相シフトが必要な場合、DQS ロジック・ブロックの 2 つの遅延チェーンを使用して 90° 位相シフトを生成し、位相オフセット・コントロール機能を使用して 7.5° 位相シフトを実装することができます。

スタティック位相オフセットまたはダイナミック位相オフセットを使用して、追加位相シフトを実装できます。利用可能な追加位相シフトは、-128 ~ +127 の 2 の補数の Gray コードで実装されます。追加ビットは、設定に正または負値のいずれであるかを示します。設定はリニアであり、各位相オフセット設定は指定された遅延値を追加します。DQS 位相シフトは、DLL 遅延設定とユーザーが選択した位相オフセット設定の合計で、トップ設定は 128 となります。したがって、実際の物理オフセットの設定範囲は、DLL から DQS 遅延設定を引き算して 128 になります。

 この機能を使用するときは、DQS 遅延設定をモニタして、システムで加算または減算できるオフセット数を知る必要があります。DLL による DQS 遅延設定出力も Gray コード化されることに注意してください。

例えば、DLL が 30° 位相シフトを達成するために 28 の DQS 遅延設定が必要であると判断した場合は、最大 28 の位相オフセット設定を減算し、また最大 99 の位相オフセット設定を加算して、必要な最適な遅延を達成することができます。

 各ステップの値および位相オフセット設定の指定された遅延値について詳しくは、[「DC and Switching Characteristics for Stratix V Devices」](#)の章を参照してください。

スタティック位相オフセットを使用するときは、UniPHY メガファンクションに加算の場合は正数、減算の場合は負数として位相オフセット量を指定できます。また、常に DLL 位相シフトに加算、減算、または加減算されるダイナミック位相オフセットを持つこともできます。加算または減算したい場合、offset [6..0] ポートに位相オフセット量をダイナミックに入力できます。ダイナミックに加算および減算したい場合は、offset [6..0] 信号に加えて、addnsub 信号を制御します。位相オフセットが PVT 補正されません。

DQS ロジック・ブロック

各 DQS/CQ および CQn ピンは、DQS 遅延チェーン、アップデート・イネーブル回路、および DQS ポスタンプル回路で構成された独立した DQS ロジック・ブロックに接続されます (図 7-6 を参照)。

図 7-6. Stratix V の DQS ロジック・ブロック

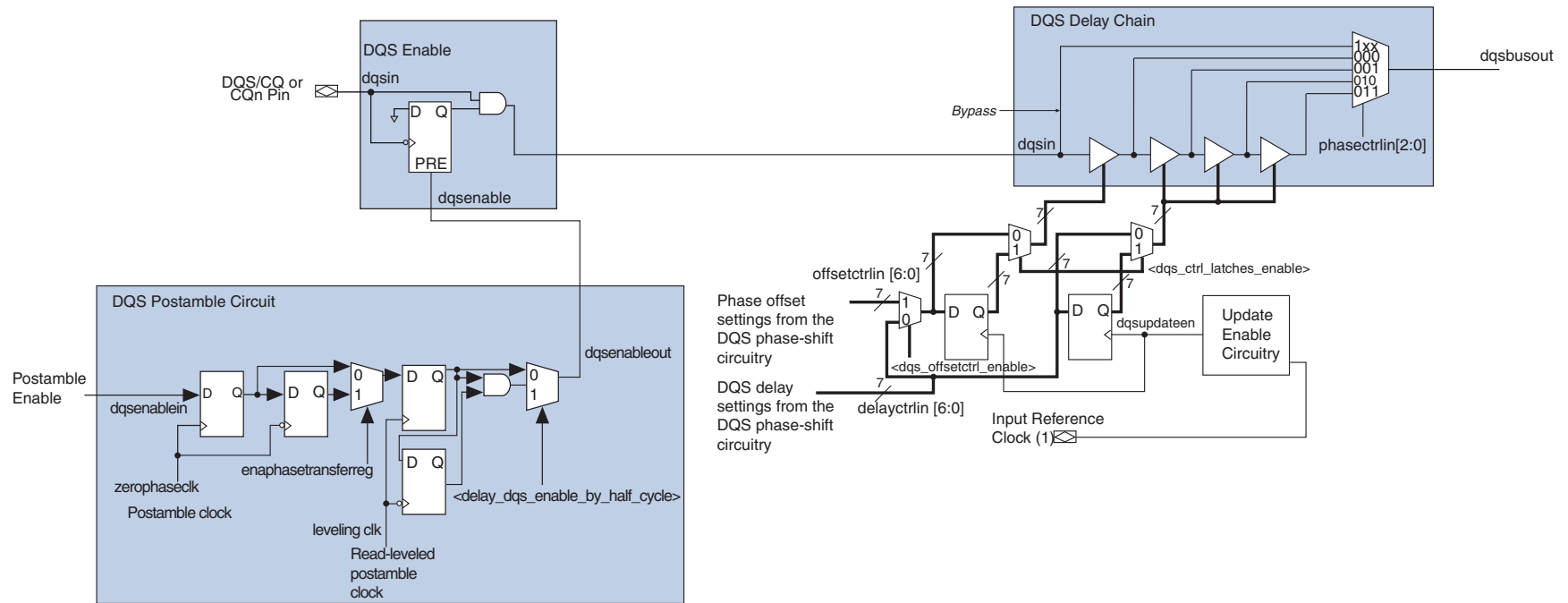


図 7-6 の注：

- (1) DQS 位相シフト回路の入力基準クロックは、PLL 出力クロックまたは入力クロック・ピンから供給できます。詳細は、7-11 ページの表 7-3 ~ 7-13 ページの表 7-6 を参照してください。
- (2) dqsenable 信号も Stratix V FPGA ファブリックから供給できます。

DQS 遅延チェーン

DQS 遅延チェーンは一連の可変遅延エレメントで構成されており、入力 DQS/CQ および CQn 信号を DQS 位相シフト回路またはロジック・アレイで指定された量だけシフトすることができます。DQS 遅延チェーンには 4 つの遅延エレメントがあり、DQS/CQ ピンに最も近い最初の遅延チェーンは DQS 遅延設定分または DQS 遅延設定と位相オフセット設定を加算した分だけシフトできます。必要な遅延チェーン数は、動作周波数を選択したときに UniPHY メガファンクションが自動的に設定するため、ユーザーには分かりません。DQS 遅延設定は、I/O バンクのいずれかのサイドにある DQS 位相シフト回路、またはロジック・アレイから供給できます。

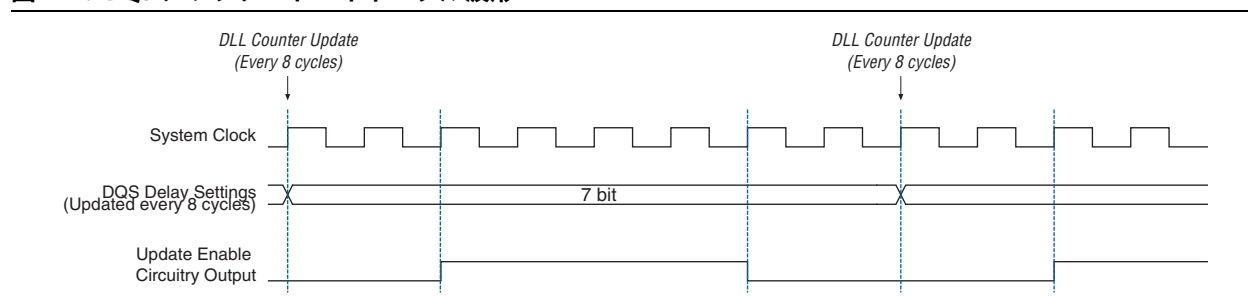
DQS ロジック・ブロックの遅延エレメントは、DLL 内の遅延エレメントと同じ特性を備えています。DLL を DQS 遅延チェーンの制御に使用しない場合、UniPHY メガファンクションで使用可能な delayctrlin[6..0] 信号を使用して、独自の Gray コードの 7 ビット設定を入力することができます。これらの設定は、DQS 遅延チェーンの 1 つ、2 つ、3 つ、または 4 つすべての遅延エレメントを制御します。UniPHY メガファンクションは、システムに必要な DQS 遅延チェーン数をダイナミックに選択することもできます。遅延量は、遅延エレメント固有の遅延と遅延ステップ数と遅延ステップ値の積との合計に等しくなります。

DQS 遅延チェーンをバイパスして 0° 位相シフトを達成することもできます。

アップデート・イネーブル回路

DQS 遅延設定と位相オフセット設定は、レジスタを通過してから DQS 遅延チェーンに入ります。レジスタは DQS 遅延設定ビットの変更がすべての遅延エレメントに到達するのに十分な時間をとるようにアップデート・イネーブル回路で制御されます。これによって遅延を同時に調整できます。アップデート・イネーブル回路は、DQS 遅延設定が次に変更される前に DQS 位相シフト回路またはコア・ロジックからすべての DQS ロジック・ブロックに伝達されるのに十分な時間となるようにレジスタをイネーブルします。この回路は、入力基準クロックまたはコアからのユーザー・クロックを使用して、アップデート・イネーブル出力を生成します。UniPHY メガファンクションは、デフォルトでこの回路を使用します。図 7-7 にアップデート・イネーブル回路出力の波形例を示します。

図 7-7. DQS アップデート・イネーブル波形



DQS ポストアンブル回路

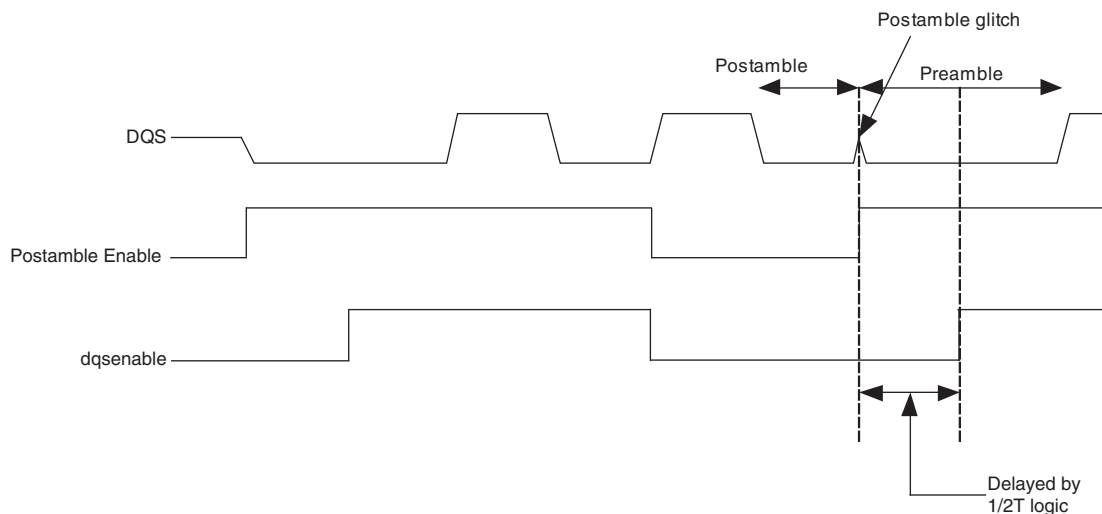
DDR3 および DDR2 SDRAM などの双方向リード・ストロブを使用する外部メモリ・インタフェースの場合、DQS 信号はハイ・インピーダンス状態に入る前、またはそれから抜ける前に Low になります。ハイ・インピーダンス状態直後の DQS が Low の状態をプリアンブルと呼び、ハイ・インピーダンス状態に戻る直前の状態をポストアンブルと呼んでいます。DDR3 および DDR2 SDRAM でのリード動作とライト動作の両方に対して、プリアンブル仕様とポストアンブル仕様があります。DQS ポストアンブル回路は、DQS はポストアンブル・ステートの間、リード動作の終了時に DQS ライン上にノイズがあるときにデータが失われないようにしています。

Stratix V デバイスは、リード動作の終了時に DQ 入力レジスタをクロックするのに使用されるシフトされた DQS 信号をグラウンドに接続できるような制御可能な専用のポストアンブル・レジスタを備えています。これによって、DQS がポストアンブル・ステートの間、リード動作時間の終了時に DQS 入力信号上のグリッチが DQ IOE レジスタに影響を与えないようにしています。

Stratix V デバイスは、専用ポストアンブル・レジスタに加え、ポストアンブル・イネーブル回路内に HDR ブロックも備えています。コントローラが I/O の周波数の半分で動作している場合、これらのレジスタを使用してください。

ポストアンブル・イネーブル回路ブロックで最初のステージのキャプチャ・レジスタとして HDR ブロックを使用するのはオプションです。HDR ブロックは、I/O クロック・ディバイダ回路の出力であるハーフ・レートで再同期化クロックで駆動されます。ポストアンブル・レジスタ出力の後に AND ゲートがあり、非連続リード・バースト上で前のリード・バーストからのポストアンブル・グリッチを回避するために使用されます。この手法により、図 7-8 に示すように、dqsenable アサーションに対しては $1/2$ クロック・サイクル・レイテンシ、dqsenable デアサーションに対しては 0 レイテンシになります。

図 7-8. 非連続リード・バースト波形でのグリッチの回避

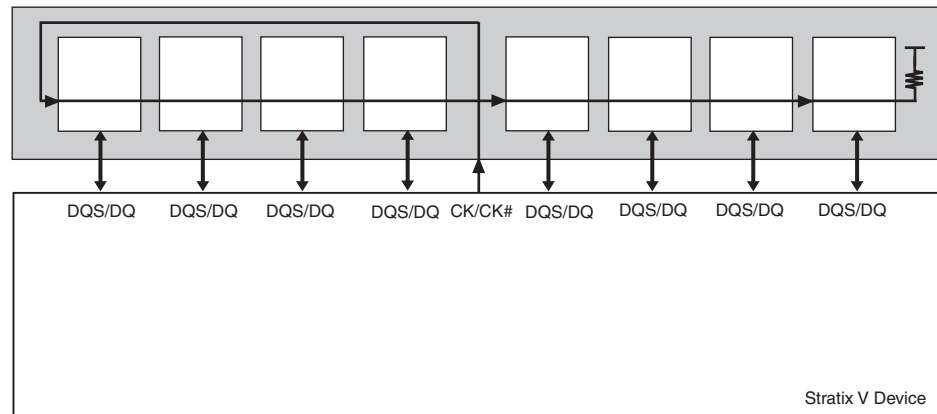


レベリング回路

DDR3 SDRAM バッファなしモジュールは、フライバイ・クロック分配トポロジーを使用してシグナル・インテグリティを向上させます。これは、CK/CK# 信号がモジュール内の各 DDR3 SDRAM デバイスに別々のタイミングで到達することを意味します。モジュールの最初の DDR3 SDRAM デバイスと最後のデバイスへの到達時間の違いは、1.6 ns になる可能性があります。

図 7-9 に、DDR3 SDRAM バッファなしモジュールのクロック・トポロジーを示します。

図 7-9. DDR3 SDRAM バッファなしモジュールのクロック・トポロジー



データおよびリード・ストロブ信号はポイント・ツー・ポイントであるため、ライト中の CK/CK# と DQS 信号のタイミング関係 (tDQSS、tDSS、および tDSH) がモジュール内の各デバイスで満たされるようにするには、特別な配慮をしてください。さらに、メモリから FPGA に戻るリード・データも同様の方法で到達時間にずれを発生させています。

Stratix V FPGA はこれら 2 つの状況に対処するレベリング回路を備えています。I/O サブ・バンクごとに 1 つのレベリング回路があります (例えば、I/O サブ・バンク 1A、1B、および各 1C は 1 つのレベリング回路)。これらの遅延チェーンは、DLL および DQS 遅延チェーンと同じ DQS 遅延設定によって PVT 補正されます。

DLL は各遅延チェーンが 45° の遅延を生成するように、8 本の遅延チェーンを使用します。生成されたクロック位相は、I/O サブ・バンクで使用可能な各 DQS ロジック・ブロックに分配されます。次に、遅延チェーンは UniPHY メガファンクションで制御されるマルチプレクサにタップ出力し、信号を供給して、x4 または x8 DQS グループで使用されるクロック位相を選択します。各グループは、リード・レベリングおよびライト・レベリング遅延チェーンからの異なるタップ出力を使用して、モジュールの各デバイスに入る異なる CK/CK# 遅延を補正することができます。

図 7-10 に、Stratix V のライト・レベリング回路を示します。

図 7-10. Stratix V のライト・レベリング遅延チェーンおよびマルチプレクサ (注 1)

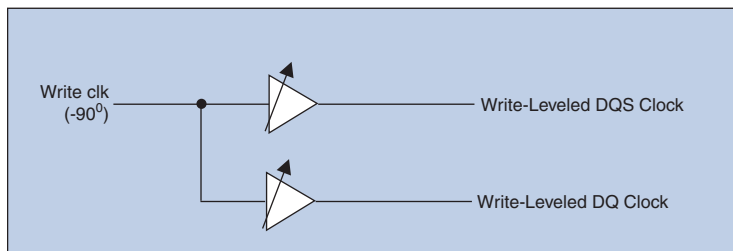



図 7-10 の注：

- (1) I/O サブ・バンクごとに、1つのレベリング遅延チェーン (例えば、I/O サブ・バンク 1A、1B、および 1C) があります。レベリング遅延チェーンを使用しているとき、各 I/O サブ・バンクに1つのメモリ・インタフェースしか存在できません。

UniPHY メガファンクションの -90° ライト・クロックは、ライト・レベリング回路に供給され、DQS および DQ 信号を生成するクロックが作成されます。初期化中、UniPHY メガファンクションは、ライト・キャリブレーション・プロセスで使用可能なすべてのクロックをスイープした後、各 DQS/DQ グループに対する DQS および DQ クロックの正しいライト・レベル・クロックを選択します。DQ クロック出力は、DQS クロック出力と比較した場合、 -90° 位相シフトになります。

 UniPHY メガファンクションは、初期化プロセス時にリードおよびライト・レベリングに対するアラインメントをダイナミックにキャリブレーションします。

 UniPHY メガファンクションについて詳しくは、「外部メモリ・インタフェース・ハンドブック」の [Volume 3: Implementing Altera Memory Interface IP](#) を参照してください。

ダイナミック On-Chip Termination コントロール

図 7-11 に、ダイナミック OCT コントロール・ブロックを示します。

図 7-11. Stratix V デバイスのダイナミック OCT コントロール・ブロック

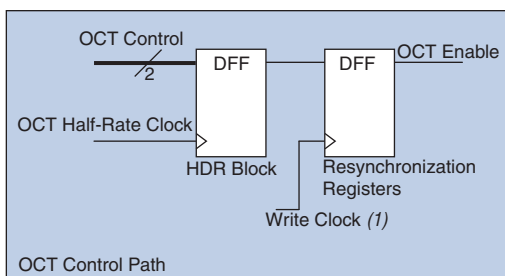



図 7-11 の注：

- (1) ライト・クロックは、PLL またはライト・レベリング遅延チェーンのいずれかから供給されます。

このブロックには、並列 On-Chip Termination (R_T OCT) をリード時にダイナミックにオンにし、ライト時にオフにするのに必要なすべてのレジスタがあります。

 ダイナミック OCT コントロールについて詳しくは、「*I/O Features in Stratix V Devices*」の章を参照してください。

I/O エLEMENTレジスタ

IOE レジスタは、ソース・シンクロナス・システムでより高速なレジスタ間転送および再同期化が可能になるように拡張されました。トップ、ボトム IOE およびライトの IOE は同じ機能を備えています。

図 7-12 に、Stratix V 入力パスで利用できるレジスタを示します。入力パスは、DDR 入力レジスタおよびリード FIFO ブロックで構成されています。入力パスの各ブロックはバイパスできます。

図 7-12. Stratix V デバイスの IOE 入力レジスタ (注 1)

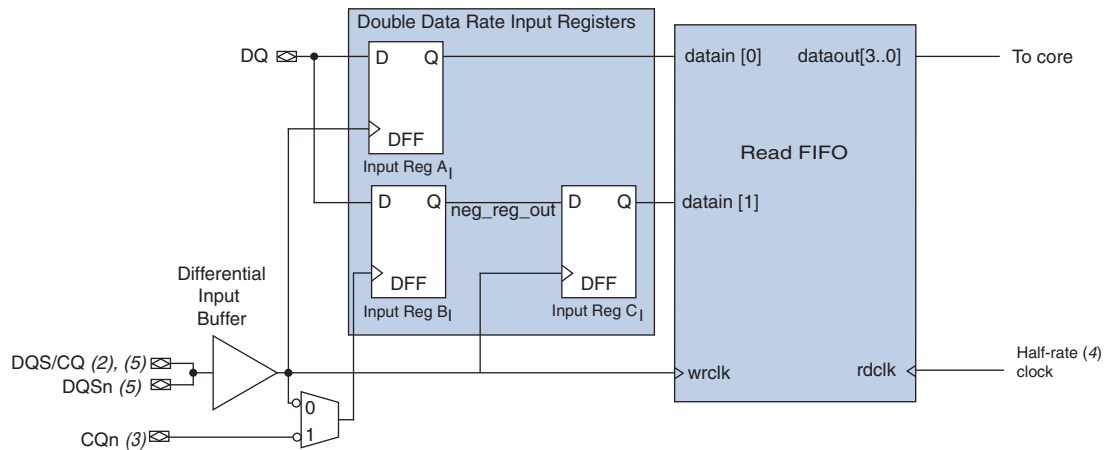


図 7-12 の注:

- (1) このパスのレジスタまたはリード FIFO ブロックをバイパスできます。
- (2) 入力クロックは、DQS ロジック・ブロックまたはグローバル・クロック・ラインから供給できます。
- (3) この入力クロックは、CQn ロジック・ブロックから供給されます。
- (4) このハーフ・レートリード・クロックはクロック・ネットワークを介して PLL から供給されます。
- (5) DQS および DQS_n 信号は DDR3 および DDR2 SDRAM インタフェースに反転させる必要があります。アルテラのメモリ・インタフェース IP を使用しているとき、DQS および DQS_n 信号は自動的に反転されます。

DDR 入力レジスタ・ブロックには 3 個のレジスタがあります。そのうち 2 個のレジスタはクロックのポジティブおよびネガティブ・エッジでデータをキャプチャし、3 個目のレジスタはキャプチャしたデータをアラインメントします。ポジティブ・エッジ・レジスタとネガティブ・エッジ・レジスタに同じクロックを使用するか、または 2 つの相補クロック（ポジティブ・エッジ・レジスタに DQS/CQ、ネガティブ・エッジ・レジスタに DQSn/CQn）を使用するかを選択できます。キャプチャしたデータをアラインメントする 3 番目のレジスタは、ポジティブ・エッジ・レジスタと同じクロックを使用します。

リード FIFO ブロックはデータ・レートをハーフ・レートに減少するだけでなく、データをシステム・クロック・ドメインに再同期化します。

リード・レバリング遅延チェーンについて詳しくは、7-20 ページの「[レバリング回路](#)」を参照してください。

図 7-13 に、Stratix V の出力および出力イネーブル・パスで使用できるレジスタを示します。このパスは、HDR ブロック、アラインメント・レジスタ、および出力 / 出力イネーブル・レジスタに分割されます。デバイスは、出力および出力イネーブル・パスの各ブロックをバイパスできます。

図 7-13. Stratix V デバイスの IOE の出力および出力イネーブル・パス・レジスタ (注1)

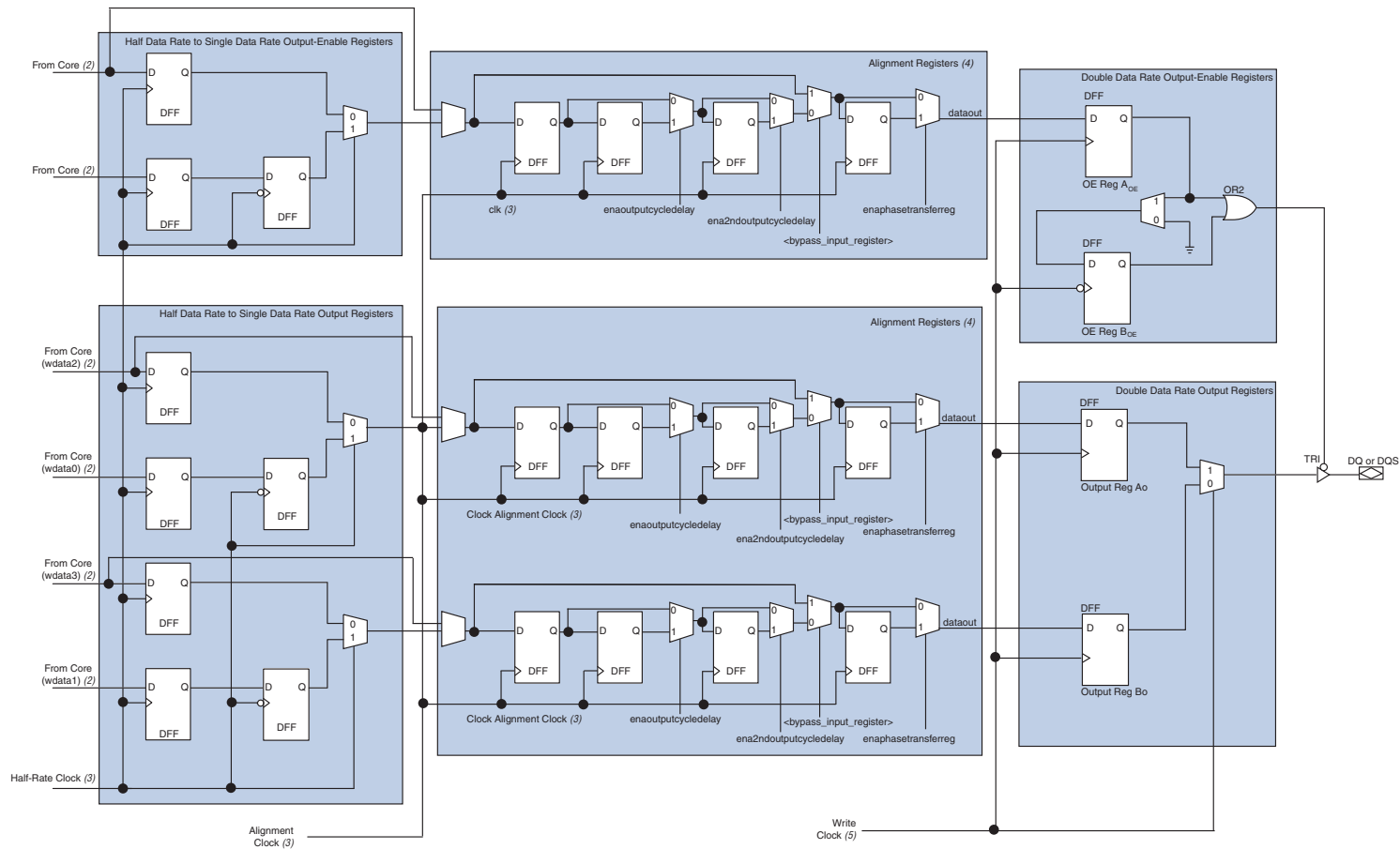


図 7-13 の注：

- (1) 出力および出力イネーブル・パスの各レジスタ・ブロックはバイパスできます。
- (2) FPGA コアから送られるデータはハーフ・レート・モードのメモリ・インタフェース・クロック周波数の半分です。
- (3) ハーフ・レート・クロックは PLL から供給されますが、アラインメント・クロックはライト・レベリング遅延チェーンから供給されます。
- (4) これらのレジスタはライト・レベリングの目的に DDR3 SDRAM インタフェースで使用されます。
- (5) ライト・クロックは、PLL またはライト・レベリング遅延チェーンのいずれかから供給できます。DQ ライト・クロックと DQS ライト・クロックの間には、90° のオフセットがあります。

出力パスは、組み合わせまたはレジスタ付きのシングル・データ・レート（SDR）出力およびハーフ・レートまたはフル・レート DDR 出力を配線するように設計されています。ハーフ・レート・データは、PLL からのハーフ・レート・クロックによりクロック駆動される HDR ブロックを使用してフル・レートに変換されます。再同期レジスタも、DDR3 SDRAM インタフェースを除いて、同じ 0° システム・クロックによってクロック駆動されます。DDR3 SDRAM インタフェースでは、レベリング・レジスタはライト・レベリング・クロックによってクロック駆動されます。

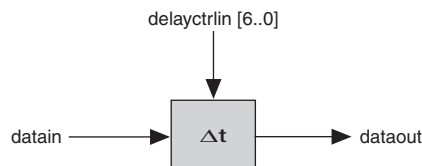
ライト・レベリング遅延チェーンについて詳しくは、7-20 ページの「レベリング回路」を参照してください。

出力イネーブル・パスの構造は、出力パスの構造に似ています。SDR アプリケーションには、組み合わせ出力またレジスタ付き出力があり、DDR アプリケーションではハーフ・レートまたはフル・レート動作を使用できます。また、出力イネーブル・パスの再同期レジスタの構造は、出力パス・レジスタの構造に似て、出力イネーブル・パスと出力パスの遅延およびレイテンシが等しくなるようにすることもできます。

遅延チェーン

Stratix V デバイスは I/O ブロックおよび DQS ロジック・ブロックに、ラン・タイムの調整可能な遅延チェーンがあります。I/O または DQS コンフィギュレーションブロック出力を通じて遅延チェーンの設定を制御できます。図 7-14 に、遅延チェーンポートを示します。

図 7-14. 遅延チェーン

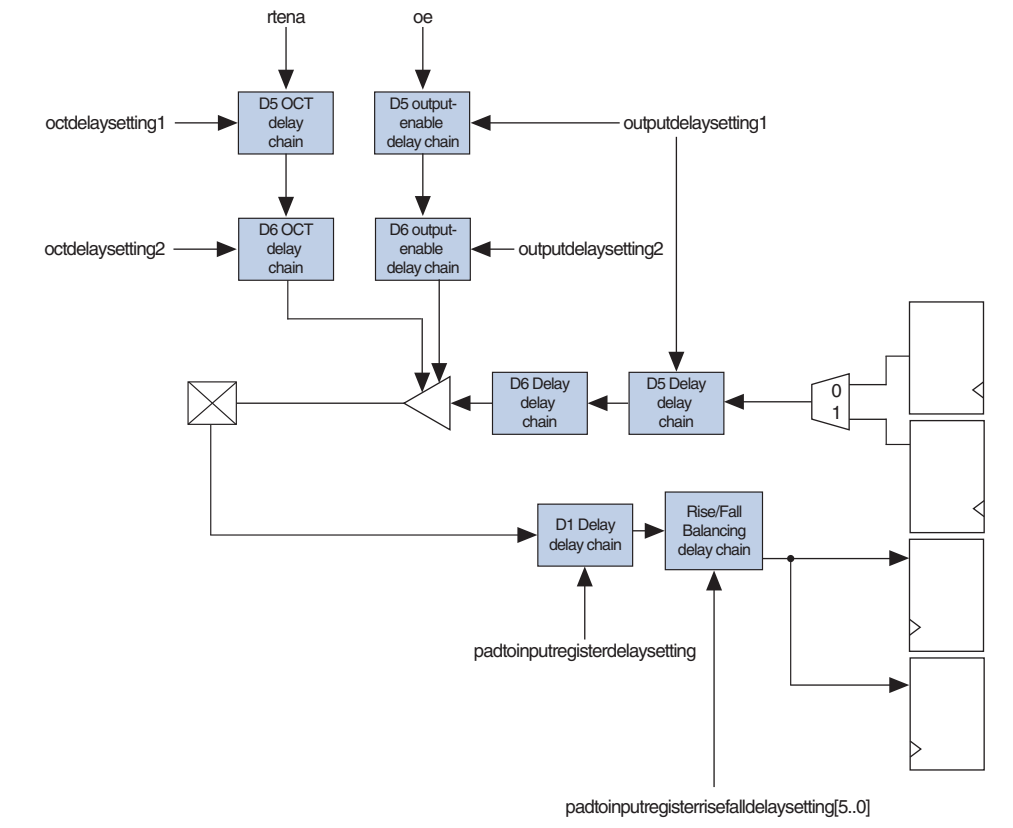


各 I/O ブロックには、以下で構成されています。

- 直列に出力レジスタと出力バッファの間に 2 つの遅延チェーン
- 入力バッファと入力レジスタの間に 2 つの遅延チェーン
- 出力イネーブルと出力バッファの間に 2 つの遅延チェーン
- R_T OCT イネーブル・コントロール・レジスタと出力バッファの間に 2 つの遅延チェーン

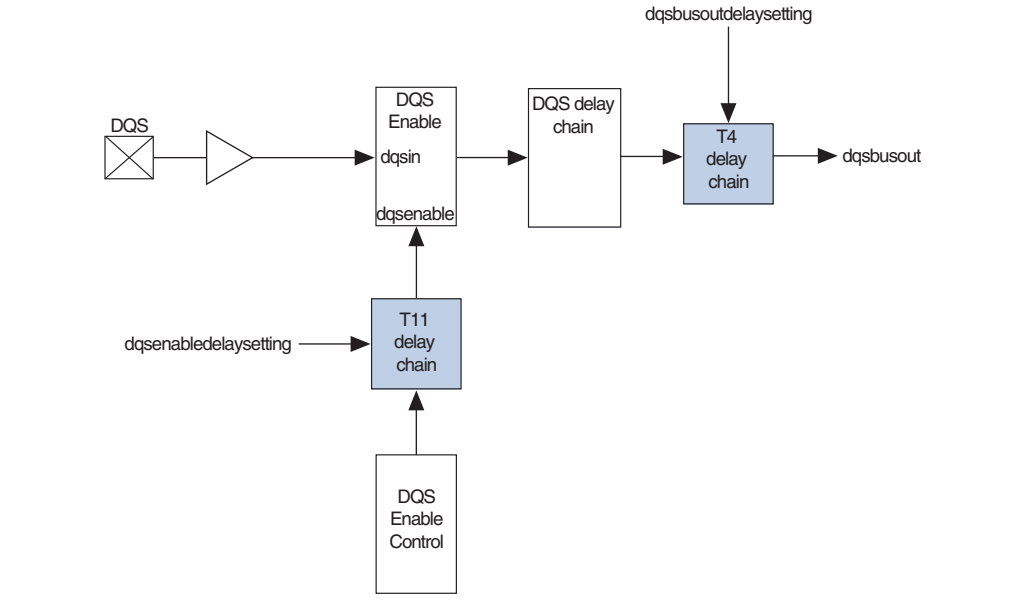
図 7-15 に I/O ブロックにおける遅延チェーンを示します。

図 7-15. I/O ブロックにおける遅延チェーン



各 DQS ロジックブロックは dqsbusout 出力の後の遅延チェーン、および dqsenable 入力の前の他の遅延チェーンで構成されます。図 7-16 に、DQS 入力パスにおける遅延チェーンを示します。

図 7-16. DQS 入力パスにおける遅延チェーン



I/O コンフィギュレーションブロックおよび DQS コンフィギュレーションブロック

I/O コンフィギュレーションブロックおよび DQS コンフィギュレーションブロックはシフト・レジスタであり、さまざまなデバイスのコンフィギュレーションビットの設定をダイナミックに変更することを使用できます。このシフト・レジスタはパワーアップ時に Low に設定されます。すべての I/O ピンは1つの I/O コンフィギュレーション・レジスタで構成されますが、すべての DQS ピンは1つの I/O コンフィギュレーション・レジスタに加えて、1つの DQS コンフィギュレーションブロックで構成されます。図 7-17 に、I/O コンフィギュレーションブロックおよび DQS コンフィギュレーションブロック回路を示します。

図 7-17. I/O コンフィギュレーションブロックおよび DQS コンフィギュレーションブロック

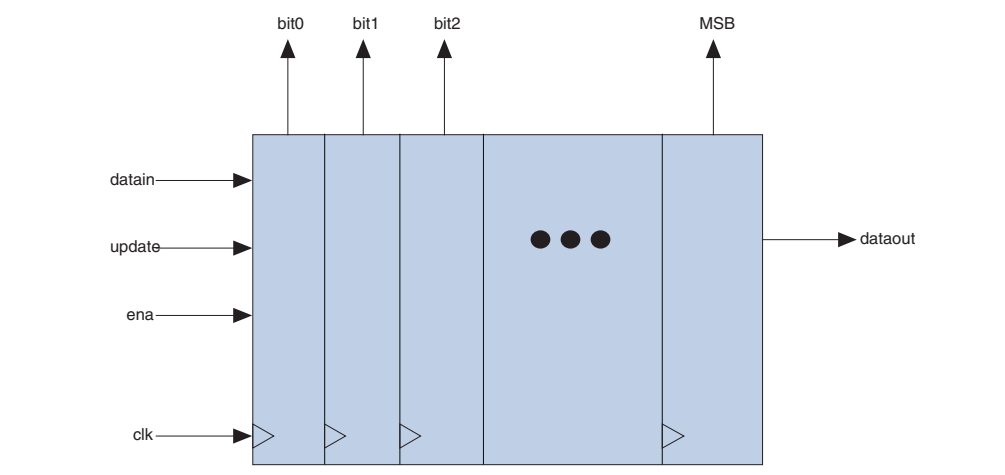


表 7-7 に、I/O コンフィギュレーション・ブロック・ビット・シーケンスをリストします。

表 7-7. I/O コンフィギュレーション・ブロック・ビット・シーケンス

ビット	名称
0..5	outputdelaysetting1 [0..5]
6..10	outputdelaysetting2 [0..4]
11..16	padtoinputregisterdelaysetting [0..5]
17..22	padtoinputregisterrisefalldelaysetting [0..5]
23..24	inputclkdelaysetting [0..1]
25..26	inputclkndelaysetting [0..1]
27	dutycycledelaymode
28..32	dutycycledelaysetting [0..4]

表 7-8 に DQS コンフィギュレーション・ブロック・ビット・シーケンスをリストします。

表 7-8. DQS コンフィギュレーション・ブロック・ビット・シーケンス

ビット	名称
0..1	addrphasesetting[0..1]
2	addrphaseinvert
3..4	dqsoutputphasesetting[0..1]
5	dqsoutputphaseinvert
6	dqsoutputzerophaseinvert
7..8	dqoutputphasesetting[0..1]
9	dqoutputphaseinvert
10	dqoutputzerophaseinvert
11..12	resyncinputphasesetting[0..1]
13	resyncinputphaseinvert
14	resyncinputzerophaseinvert
15..16	dqs2xoutputphasesetting[0..1]
17	dqs2xoutputphaseinvert
18..19	ck2xoutputphasesetting[0..1]
20	ck2xoutputphaseinvert
21..22	dq2xoutputphasesetting[0..1]
23	dq2xoutputphaseinvert
24..25	postamblephasesetting[0..1]
26	postamblephaseinvert
27	postamblezerophaseinvert
28..33	dqsbusoutdelaysetting[0..5]
34..36	dqsinputphasesetting[0..2]
37	dividerphasesetting
38	enaocycleddelaysetting
39	enainputcycledelaysetting
40	enaoutputcycledelaysetting
41..43	dqsenabledelaysetting[0..2]
44..47	octdelaysetting1[0..3]
48..50	octdelaysetting2[0..2]
51	enadataoutbypass
52	enadqsenablephasetransferreg
53	enaocphasetransferreg
54	enaoutputphasetransferreg
55	enainputphasetransferreg

改訂履歴

表 7-9 に、本資料の改訂履歴を示します。

表 7-9. 改訂履歴

日付	バージョン	変更内容
2010 年 12 月	1.1	Quartus II ソフトウェア 10.1 に対して、この章の内容に変更はありません。
2010 年 7 月	1.0	初版。