

この章ではシングル・エンド I/O に対する高速差動 I/O インタフェースおよびダイナミック・フェーズ・アライメント (DPA) の大きな利点、および Stratix® V FPGA で達成可能な全体システム帯域幅のそれぞれの貢献について説明します。この章では、Stratix V デバイスのすべての参照が Stratix V GX および GS デバイスに適用されます。

以降の項では、Stratix V デバイスの高速差動 I/O インタフェースおよび DPA について詳細に説明します。

- 6-3 ページの「I/O バンクの位置」
- 6-4 ページの「LVDS チャネル」
- 6-6 ページの「LVDS SERDES」
- 6-7 ページの「差動トランスミッタ」
- 6-11 ページの「差動レシーバ」
- 6-22 ページの「Use External PLL オプションがイネーブルされている LVDS インタフェース」
- 6-22 ページの「フラクショナル PLL および Stratix V クロッキング」
- 6-23 ページの「ソース・シンクロナスのタイミング見積もり」
- 6-30 ページの「差動ピン配置ガイドライン」

概要

すべての Stratix V GX および GS デバイスは最大 1.434 Gbps データ・レートの高速 LVDS インタフェースをサポートするビルトイン・シリアライザ/デシリアライザ (SERDES) 回路を備えています。(SERDES) 回路は、RapidIO™、XSBI、シリアル・ペリフェラル・インタフェース (SPI) などのソース・シンクロナス通信プロトコル、および SGMII やギガビット・イーサネット (GbE) などの非同期プロトコルをサポートするようにコンフィギュレーション可能です。

Stratix V デバイス・ファミリは、高速差動 I/O サポートのための以下の専用回路を備えています。

- 差動 I/O バッファ
- トランスミッタ・シリアライザ
- レシーバ・デシリアライザ
- データ・リアラインメント
- DPA
- シンクロナイザ (FIFO バッファ)
- PLL (Phase-Locked Loop)



高速差動インタフェース向けに、Stratix V デバイス・ファミリーは以下の差動 I/O 規格をサポートしています。

- LVDS
- Mini-LVDS
- RSDS (Reduced Swing Differential Signaling)

Stratix V デバイスはユビキタス I/O をサポートします。ロウおよびカラム I/O は同様の機能をサポートします。図 6-1 に Stratix V デバイス・ファミリーに対する I/O バンク・サポートを示します。

図 6-1. Stratix V デバイス・ファミリーの I/O バンク・サポート (注 1), (2), (3))

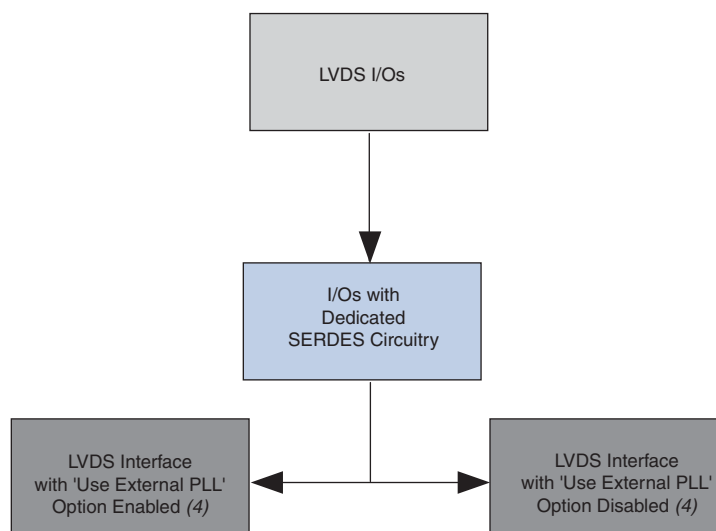


図 6-1 の注:

- (1) すべての I/O バンクは、抵抗ネットワークのない専用 LVDS を使用した LVDS、RSDS、と mini-LVDS I/O 規格をサポートします。
- (2) すべての I/O バンクは、3 つの抵抗 (RSDS_E_3R および mini-LVDS_E_3R) ネットワークを備えた、2 つのシングル・エンド出力バッファを使用した RSDS および mini-LVDS I/O 規格をサポートします。
- (3) 100-Ω 差動入力終端 (R_D OCT) は、すべての I/O バンクでサポートされています。
- (4) ALTLVDS Use External PLL オプションは将来の Quartus II ソフトウェアのリリースで利用できるようになります。

ALTLVDS トランスミッタおよびレシーバは、フラクショナル PLL からのさまざまなクロックおよびロード・イネーブル信号を必要とします。Quartus® II ソフトウェアは、PLL 設定を自動的にコンフィギュレーションします。このソフトウェアは選択された入力基準クロックおよびデータ・レートに基づき、さまざまなクロックやロード・イネーブル信号を生成する役割も持っています。

I/O バンクの位置

Stratix V デバイスは最大 26 個の I/O バンクを含めることができます。高速差動 I/O をサポートする専用回路は、5SGXA3、5SGXA4、5SGXA5、5SGXA7、5SGXB5、および 5SGXB6 デバイスのトップおよびボトム・バンクに配置されています。図 6-2 および図 6-3 に、Stratix V デバイスの上位レベル SERDES/DPA の位置を示します。5SGSB7 および 5SGSB8 デバイスの場合、専用回路はデバイスのトップ、ボトム、およびレフトに位置しています。

図 6-2. 5SGXA3、5SGXA4、5SGXA5、5SGXA7、5SGXB5 および 5SGXB6 デバイスの DPA の位置を使用した高速差動 I/O

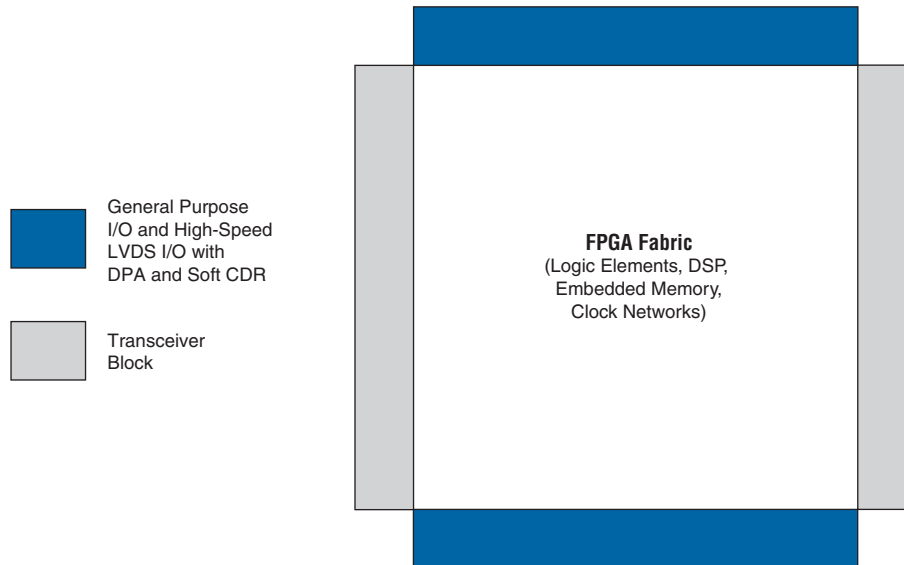
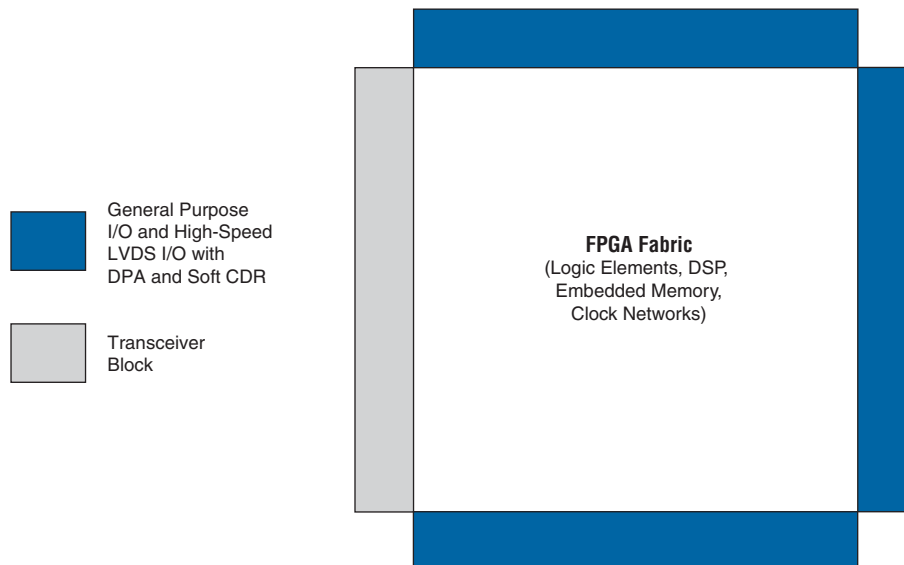



図 6-3. 5SGSB7 および 5SGSB8 デバイスの DPA の位置を使用した高速差動 I/O



LVDS チャネル

Stratix V デバイス・ファミリーは、すべての I/O バンクで LVDS をサポートしています。ロウ I/O バンクおよびカラム I/O バンク両方は R_D OCT を備えた真の LVDS 入力バッファおよび真の LVDS 出力バッファをサポートします。あるいは、LVDS、mini-LVDS、および RSDS 規格をサポートするために、LVDS ピンを外部抵抗ネットワークを備えた 2 つのシングル・エンド出力バッファを使用するエミュレートされた LVDS 出力バッファとしてコンフィギュレーションできます。Stratix V デバイスは、LVDS のシングル・エンド I/O 基準クロック・サポートを提供します。

Stratix V GS および GX デバイスは専用 SERDES および DPA 回路をサポートします。サポートされる I/O バンクについては、[図 6-2](#) および [図 6-3](#) を参照してください。

 エミュレートされる差動出力バッファはトライステート機能をサポートします。

[表 6-1](#) に、Stratix V デバイスでサポートされる LVDS I/O の最大数をリストします。2 つの組み合わせは最大カウントを超えない限り、LVDS I/O は真の LVDS バッファまたはエミュレートされた LVDS バッファとしてデザインできます。

表 6-1. Stratix V GX および GS デバイスでサポートされている LVDS チャネル (注 1), (2) — 暫定仕様

デバイス	5SGXA3				5SGXA4				5SGXA5				5SGXA7				5SGXB5				5SGXB6				5SGSB7				5SGSB8													
I/O バンク・ サイド	トップ		ボトム		トップ		ボトム		トップ		ボトム		トップ		ボトム		トップ		ボトム		トップ		ボトム		ライト		トップ		ボトム		ライト											
クロック領域 (3)	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム	ト ッ プ	ボ ト ム												
真の LVDS 入 力バッファ、 RX	4 2	3 9	4 2	3 9	4 2	3 9	4 2	3 9	5 4	5 1	5 4	5 1	5 4	5 1	5 4	5 1	5 4	5 1	4 2	3 9	4 2	3 9	4 2	3 9	4 2	3 9	5 1	5 1	5 1	5 1	3 3	3 3	5 1	5 1	5 1	5 1	3 3	3 3				
真の LVDS 出 力バッファ、 TX	4 2	3 9	4 2	3 9	4 2	3 9	4 2	3 9	5 4	5 1	5 4	5 1	5 4	5 1	5 4	5 1	5 4	5 1	4 2	3 9	4 2	3 9	4 2	3 9	4 2	3 9	5 1	5 1	5 1	5 1	3 3	3 3	5 1	5 1	5 1	5 1	3 3	3 3				
エミュレート された LVDS 出力バッ ファ、eTX	8 4	7 8	8 4	7 8	8 4	7 8	8 4	7 8	1 0 8	1 0 2	1 0 8	1 0 2	1 0 8	1 0 2	1 0 8	1 0 2	1 0 8	1 0 2	8 4	7 8	8 4	7 8	8 4	7 8	8 4	7 8	8 4	7 8	8 4	7 8	1 0 2	1 0 2	1 0 2	1 0 2	6 6	6 6	1 0 2	1 0 2	1 0 2	1 0 2	6 6	6 6

表 6-1 の注:

- (1) LVDS チャネル数には専用クロック入力ピンは含まれていません。
- (2) LVDS レシーバ (RX) およびトランスミッタ (TX) チャネル数は暫定仕様です。
- (3) クロック領域について詳しくは、6-22 ページの「フラクショナル PLL および Stratix V クロックキング」を参照してください。

LVDS SERDES

図 6-4 に、LVDS SERDES 回路のトランスミッタおよびレシーバのブロック図を示します。この図ではトランスミッタおよびレシーバのデータ・パスのインタフェース信号を示します。詳細は、6-7 ページの「差動トランスミッタ」 および 6-11 ページの「差動レシーバ」を参照してください。

図 6-4. LVDS SERDES (注 1), (2), (3))

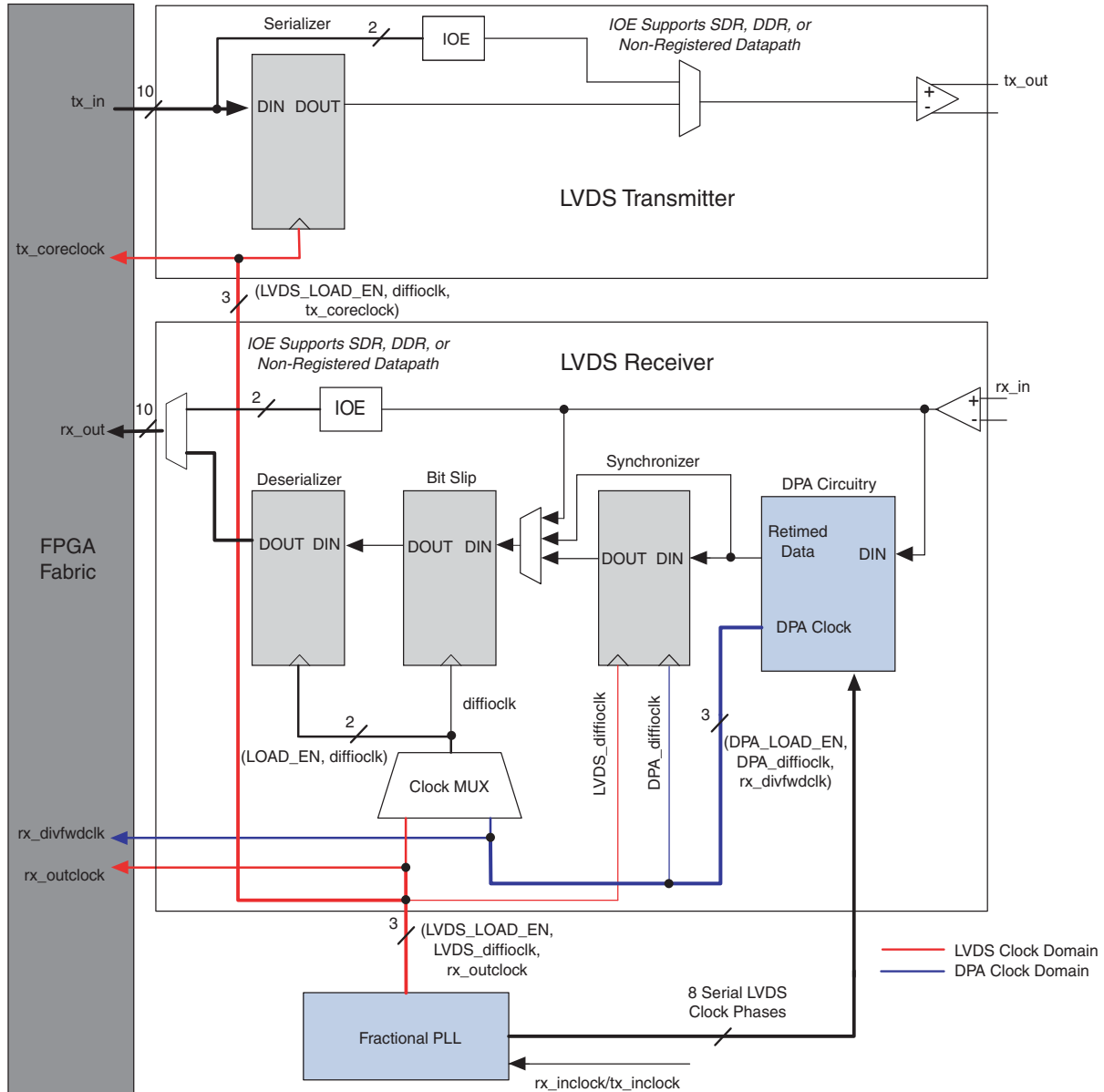



図 6-4 の注:

- (1) この図ではトランスミッタとレシーバ間の共有 PLL を示します。トランスミッタおよびレシーバで同じ PLL を共有していない場合、2つのフラクショナル PLL が必要です。
- (2) シングル・データ・レート (SDR) およびダブル・データ・レート (DDR) モードでは、データ幅はそれぞれ 1 ビットと 2 ビットです。
- (3) tx_in および rx_out ポートには、最大 10 ビットのデータ幅があります。

 ALTLVDS を使用して LVDS トランスミッタおよびレシーバ・ポート・リストと設定について詳しくは、「[ALTLVDS Megafunction User Guide](#)」を参照してください。

差動トランスミッタ

Stratix V トランスミッタは、LVDS 信号方式をサポートする専用回路を内蔵しています。専用回路は差動バッファ、シリアライザ、およびフラクショナル PLL で構成され、トランスミッタとレシーバ間で共有できます。差動バッファは、LVDS、mini-LVDS、および RSDS 信号レベルをドライブできます。シリアライザは、最大 10 ビット幅の平行ル・データを FPGA ファブリックから取得し、それをロード・レジスタにクロックし、データを差動バッファに送信する前にフラクショナル PLL にクロックされたシフト・レジスタを使用してシリアル化します。平行ルの MSB が最初に送信されます。

 差動トランスミッタでエミュレートされた LVDS I/O 規格を使用するとき、SERDES 回路はハード SERDES ではなくロジック・セルに実装する必要があります。


ロードおよびシフト・レジスタは、フラクショナル PLL で生成されるロード・イネーブル (LVDS_LOAD_EN) 信号および diffioclk (シリアル・データ・レートで動作するクロック) 信号でクロックされます。シリアライゼーション・ファクタは、Quartus II ソフトウェアを使用して、スタティックに x3、x4、x5、x6、x7、x8、x9、または x10 に設定できます。ロード・イネーブル信号は、シリアライゼーション・ファクタの設定から派生します。 6-5 に、Stratix V トランスミッタのブロック図を示します。

図 6-5. Stratix V トランスミッタ (注 1), (2)

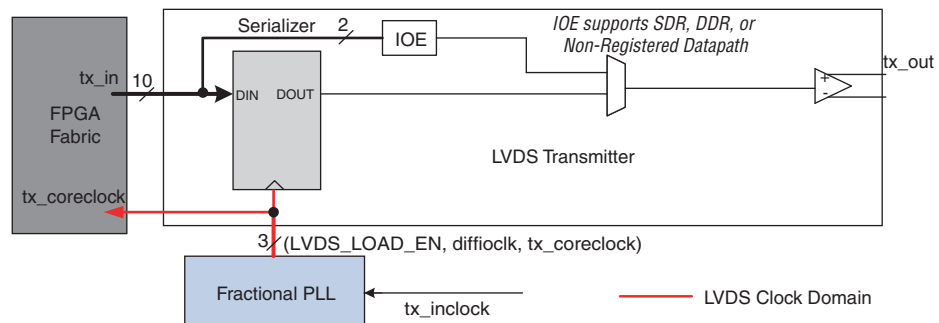


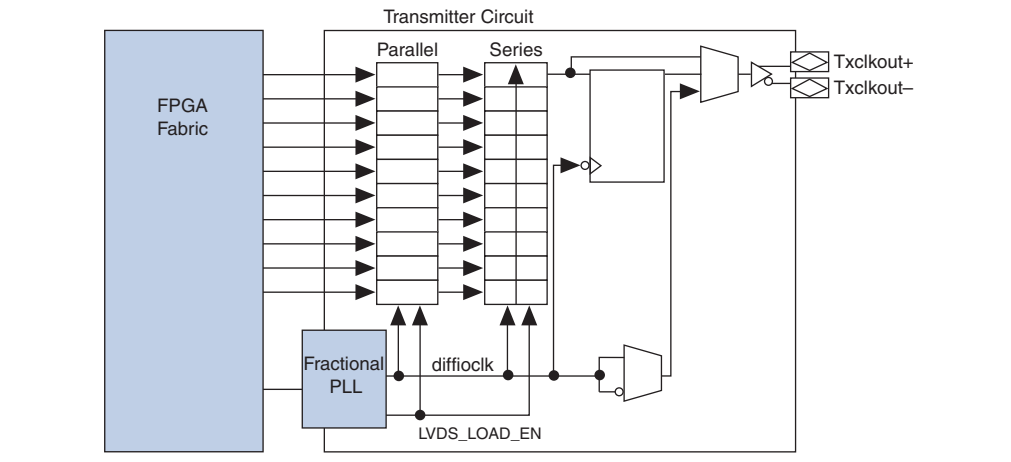
図 6-5 の注:

- (1) SDR および DDR モードでは、データ幅はそれぞれ 1 ビットと 2 ビットです。
- (2) tx_in ポートには、最大 10 ビットのデータ幅があります。

Stratix V トランスミッタ・データ・チャネルは、ソース同期トランスミッタ・クロック出力を生成するようにコンフィギュレーションできます。この柔軟性により、出力クロックをデータ出力の近くに配置して、ボード・レイアウトを簡略化し、クロックとデータ間のアラインメントを低減することができます。アプリケーションごとに、特定のクロック・データ・アラインメントまたはデータ・レート・クロック・レート・ファクタが必要になる場合があります。トランスミッタは、717 MHz の最大周波数と同じレートでクロック信号を出力できます。出力クロックは、シリアライゼーション・ファクタによって 1、2、4、6、8、または 10 で分周することも可能です。データに対するクロックの位相は、0° または 180° (エッジまたは中央揃え) に設定

できます。フラクショナル PLL は、さらに 45° の増分でその他の位相シフトの追加サポートを提供します。これらの設定は、Quartus II MegaWizard™ Plug-In Manager でスタティックに行われます。図 6-6 に、クロック出力モードでの Stratix V トランスミッタを示します。クロック出力モードでは、LVDS チャンネルはクロック出力チャンネルとして使用できます。

図 6-6. クロック出力モードの Stratix V トランスミッタ



シリアライザは、DDR (×2) および SDR (×1) の動作をサポートする際にはバイパスされ、それぞれ 2 および 1 のシリアライゼーション・ファクタを実現できます。I/O エlement (IOE) には、それぞれが DDR または SDR モードで動作可能な 2 個のデータ出力レジスタがあります。図 6-7 に、シリアライザ・バイパス・パスを示します。

図 6-7. デシリアライザのバイパス (注 1), (2), (3))

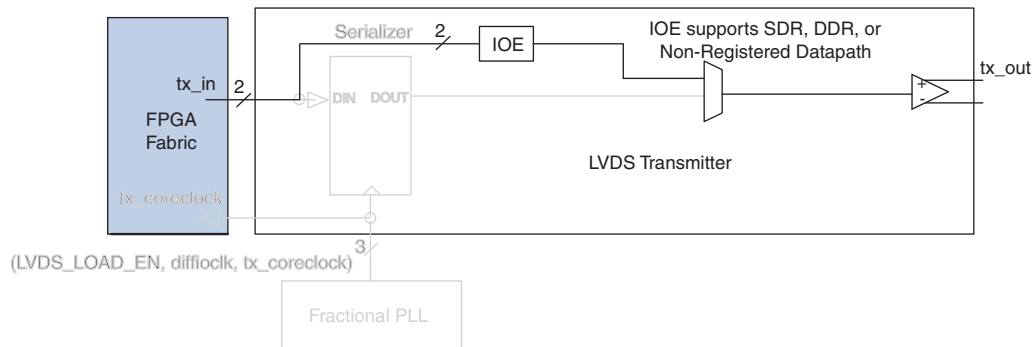


図 6-7 の注:

- (1) すべてのディセーブルされたブロックと信号はグレー表示されています。
- (2) DDR モードでは、tx_inclk は IOE レジスタをクロックします。SDR モードでは、データは IOE を直接に通過されます。
- (3) SDR および DDR モードでは、IOE ヘデータ幅はそれぞれ 1 および 2 ビットです。

プログラマブル差動出力電圧 (V_{OD}) およびプログラマブル・プリエンファシス

Stratix V LVDS トランスミッタはプログラム可能なプリエンファシスおよびプログラム可能な V_{OD} をサポートします。プリエンファシスは、出力信号の高周波成分の振幅を大きくして、伝送線路における周波数依存減衰を補償するのに役立ちます。図 6-8 に、差動 LVDS 出力を示します。

図 6-8. 差動 V_{OD}

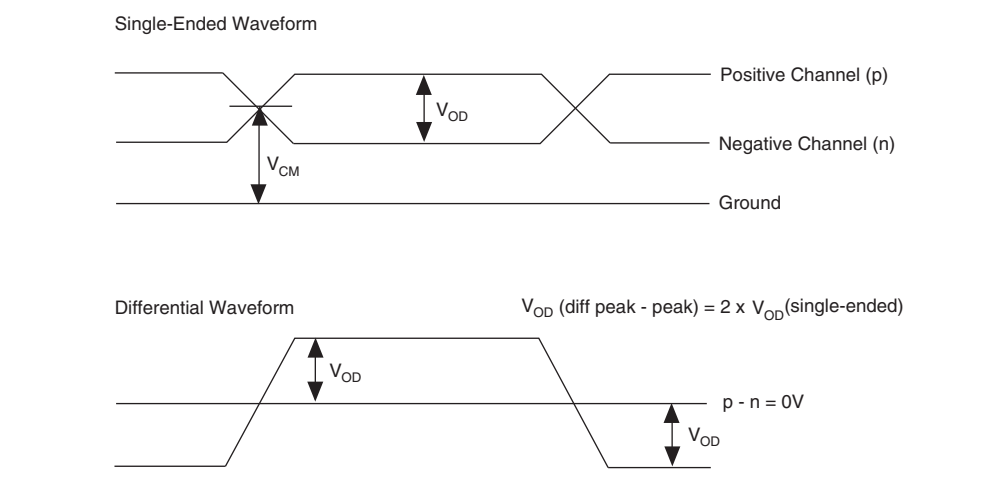


図 6-9 に、プリエンファシスを適用したときの LVDS 出力を示します。

図 6-9. プログラマブル・プリエンファシス (注 1)

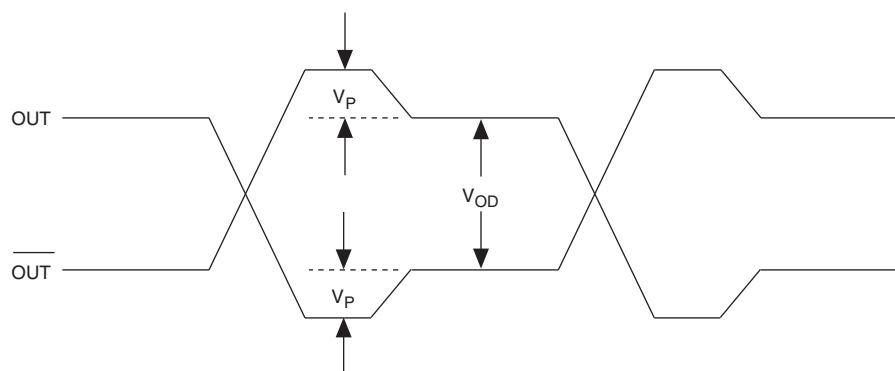


図 6-9 の注:

(1) V_P —プリエンファシスからの電圧ブースト。 V_{OD} —差動出力電圧 (ピーク・トゥ・ピーク)。

プリエンファシスは高速伝送にとって重要な機能です。プリエンファシスを使用しない場合、出力電流は V_{OD} 設定およびドライバの出力インピーダンスにより制限されます。高周波数では、スルー・レートが次のエッジの前にフル V_{OD} に達するほど高速ではないため、パターンに依存するジッタが発生します。

プリエンファシスを適用した場合、スイッチング中に出力電流が瞬時に増幅され、出力スルー・レートが増大します。この余分な電流によるオーバーシュートは、信号の反射で発生するオーバーシュートとは異なり、スイッチング中にのみ発生し、リングングは生じません。必要なプリエンファシスの量は、伝送線路内の高周波成分の増幅に依存します。Quartus II ソフトウェアには、4 つのプログラマブル・プリエンファシスの設定があります (disabled(0) と enabled(1))。デフォルト設定は enabled です。

V_{OD} は Low (0)、Medium low (1)、Medium high (2)、および High (3) の 4 つ設定でプログラム可能です。

プログラム可能な V_{OD}

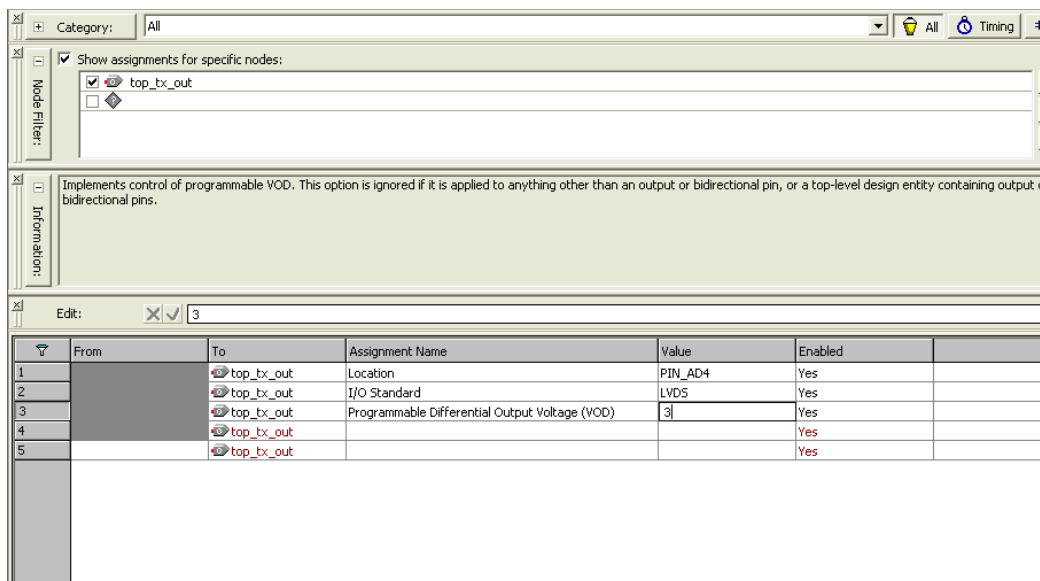
V_{OD} 設定は Assignment Editor からスタティックに割り当てることができます。表 6-2 に Quartus II ソフトウェアの Assignment Editor のプログラム可能な V_{OD} のアサインメント名およびその可能な値をリストします。

表 6-2. Quartus II ソフトウェアの Assignment Editor

フィールド	アサインメント
To	tx_out
Assignment name	Programmable Differential Output Voltage (V_{OD})
Allowed values	0, 1, 2, 3

図 6-10 に Quartus II ソフトウェアの Assignment Editor からの送信データ出力に対するプログラム可能な V_{OD} のアサインメントを示します。

図 6-10. Quartus II ソフトウェアの Assignment Editor— プログラム可能な V_{OD}



プログラマブル・プリエンファシス

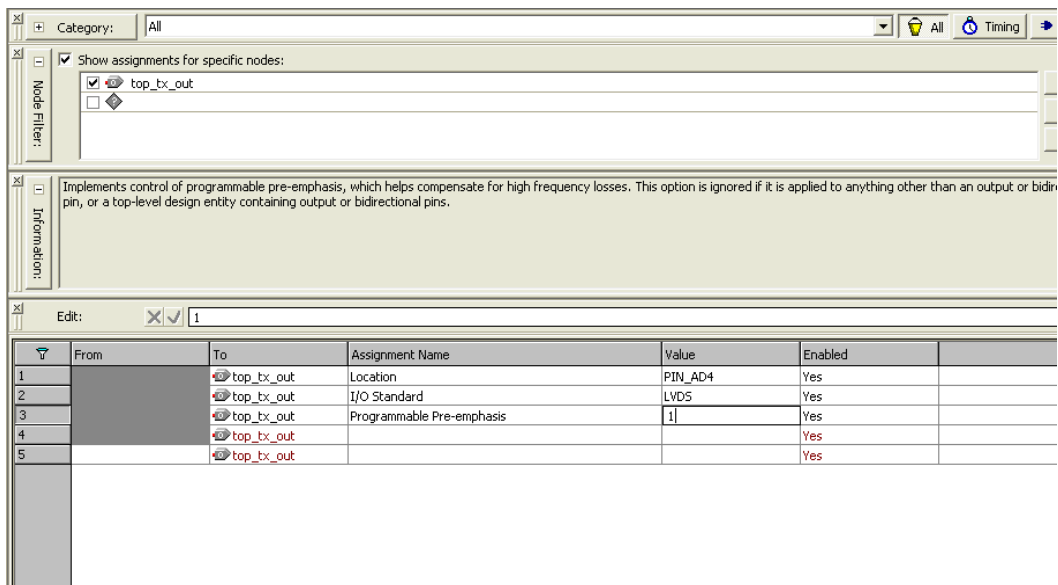
各 LVDS 出力チャンネルには、Assignment Editor からのプリエンファシスに対して 4 つの異なる設定を使用できます。表 6-3 に Quartus II ソフトウェアの Assignment Editor でのアサインメント名およびプログラマブル・プリエンファシスの可能な値をリストします。

表 6-3. Quartus II ソフトウェアの Assignment Editor

フィールド	アサインメント
To	tx_out
Assignment name	Programmable Pre-emphasis
Allowed values	0 (disable) および 1 (enable)

図 6-11 に Quartus II ソフトウェアの Assignment Editor からの送信データ入力ポートに対するプログラマブル・プリエンファシスのアサインメントを示します。

図 6-11. Quartus II ソフトウェアの Assignment Editor – プログラマブル・プリエンファシス



差動レシーバ


Stratix V デバイスは、ロウ I/O で高速差動信号を受信するための専用回路を備えています。図 6-12 に Stratix V レシーバのハードウェア・ブロックを示します。レシーバは、トランスミッタとレシーバ間で共有できる差動バッファと PLL、DPA ブロック、シンクロナイザ、データ・リアライメント・ブロック、およびデシリアライザを備えています。差動バッファは、Quartus II ソフトウェアの Assignment Editor でステータックに設定することで、LVDS、mini-LVDS、および RSDS 信号レベルを受信します。

フラクショナル PLL は外部クロック入力を受信し、同じクロックの異なる位相を生成します。DPA ブロックは、フラクショナル PLL からのクロックのいずれかを選択し、各チャンネルの受信データを揃えます。シンクロナイザ回路は、DPA クロックとデータ・リアライメント・ブロック間の位相差を補正する 1 ビット幅 x 6 ビット深度の FIFO バッファです。必要に応じて、ユーザー・コントロール・データ・リアライメント回路はシリアル・ビット・ストリームに 1 ビットのレイテンシを挿入し、ワード境界をアライメントします。デシリアライザはシフト・レジスタとパラレル・ロード・レジスタを内蔵し、最大 10 ビットを内部ロジックに送信します。

Stratix V デバイス・ファミリーは 3 つの異なるレシーバブロックをサポートします。

- 6-18 ページの「非 DPA モード」
- 6-19 ページの「DPA モード」
- 6-20 ページの「ソフト CDR モード」

トランスミッタとレシーバ LVDS チャンネルを接続するフィジカル・メディアではシリアル・データおよびソース・シンクロナス・クロック間のスキューが生じる可能性があります。レシーバで見られるデータおよびクロック信号のジッタによって各 LVDS チャンネルとクロック間の瞬間的なスキューは異なります。3 つの異なるモード（非 DPA、DPA、およびソフト CDR）はソース・シンクロナス・クロック（非 DPA、DPA） / 基準クロック（ソフト CDR） およびシリアル・データ間のスキューを克服するには、異なるオプションを提供します。

 非 DPA モードにのみ手動によるスキュー調整が必要です。

非 DPA モードでは、スキューを補償するのにソース・シンクロナス・クロックおよび受信したシリアル・データ間の最適な位相をスタティックに選択できます。DPA モードでは、ソース・シンクロナス・クロックおよび受信したシリアル・データ間のスキューを補償するために DPA 回路は最適な位相を自動的に選択します。ソフト CDR モードはチップ間の同期と非同期アプリケーション、および SGMII プロトコルのボード間への短いアプリケーションに対する機会を提供します。

図 6-12. レシーバのブロック図 (注 1), (2)

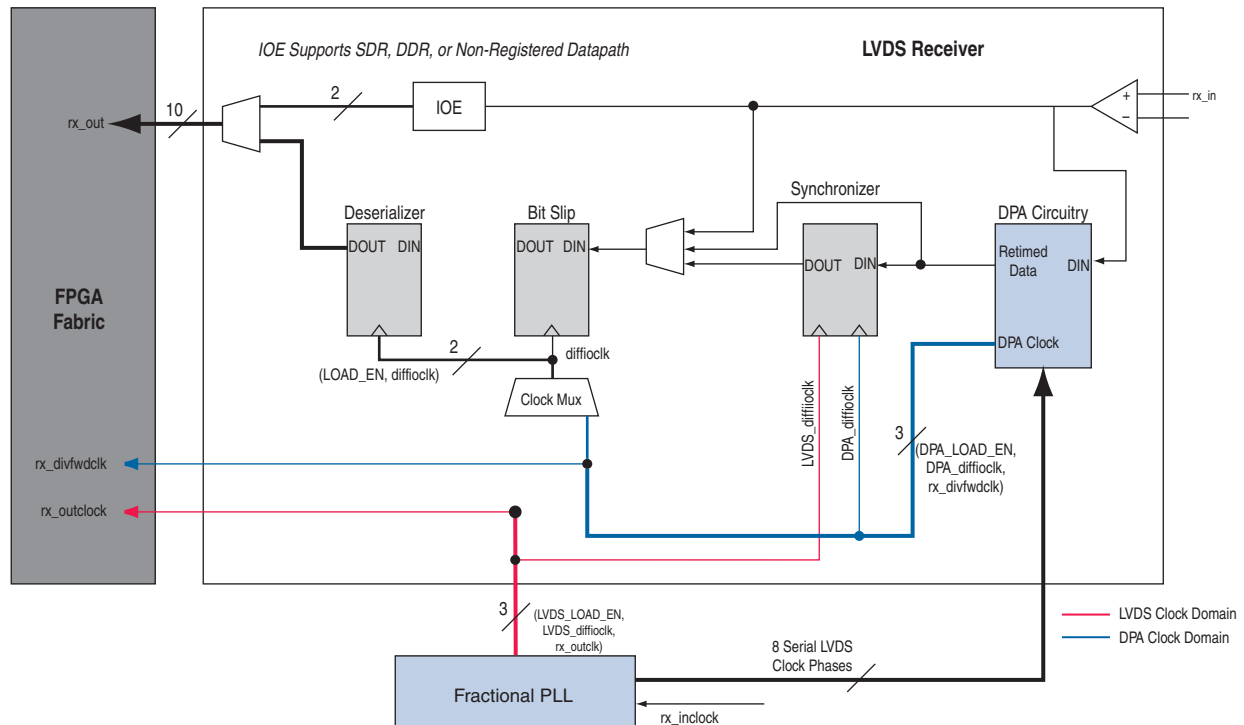


図 6-12 の注:

- (1) SDR および DDR モードでは、IOE からのデータ幅はそれぞれ 1 および 2 ビットです。
- (2) rx_out ポートは最大 10 ビットのデータ幅があります。

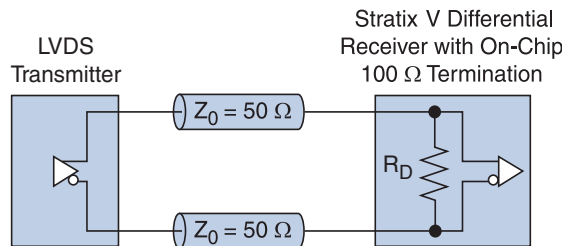
差動 I/O 終端

Stratix V デバイスは、LVDS 規格用の各差動レシーバ・チャネルの 100-Ω の差動 On-Chip Termination (チップ内終端) オプションを提供します。On-Chip Termination により、外部終端抵抗を追加する必要がないため、ボード・スペースが削減されます。Quartus II ソフトウェアの Assignment Editor で、On-Chip Termination をイネーブルできます。

差動 On-Chip Termination は、すべての I/O ピンおよび専用クロック入力ピンでサポートされています。

図 6-13 に、デバイスの On-Chip Termination を示します。

図 6-13. オンチップ差動 I/O 終端



レシーバのハードウェア・ブロック

差動レシーバは以下のハードウェア・ブロックで構成されています。

- 6-14 ページの「DPA ブロック」
- 6-15 ページの「シンクロナイザ」
- 6-15 ページの「データ・リアライメン・ブロック (ビット・スリップ)」
- 6-17 ページの「デシリアライザ」

DPA ブロック

DPA ブロックは差動入力バッファから高速シリアル・データを取り込み、フラクショナル PLL から 8 つの位相クロックの 1 つを選択して、データをサンプリングします。DPA はシリアル・データの位相に最も近い位相を選択します。受信データと選択された位相の間の最大位相オフセットは $1/8UI$ であり、これは DPA の最大量子化誤差です。クロックの 8 つの位相は均等に分割され、 45° の分解能を提供します。

図 6-14 に DPA クロックと受信シリアル・データ間の可能な位相関係を示します。

図 6-14. DPA クロック位相とシリアル・データ・タイミングの関係 (注 1)

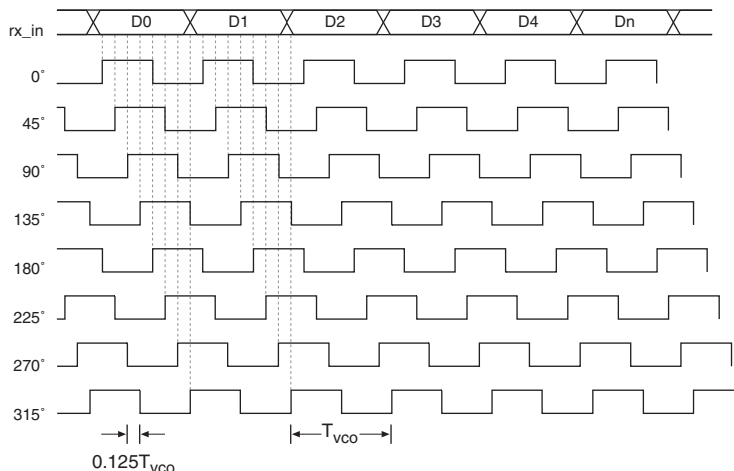



図 6-14 の注：

- (1) T_{VCO} は PLL シリアル・クロックの周期として定義されます。

DPA ブロックは着信シリアル・データの位相を継続的にモニタし、必要に応じて新しいクロック位相を選択します。オプションの `RX_DPLL_HOLD` ポートをアサートすることによって、DPA が新しいクロック位相を選択するのを防止することができます。この機能は各チャンネルで利用できます。

DPA 回路は、8 つの位相から最適な位相にクロックするために、固定トレーニング・パターンを必要としません。リセットまたは電源投入後、DPA 回路は最適な位相にクロックするために受信データに遷移が必要です。オプションの出力ポートの `RX_DPA_LOCKED` は電源投入またはリセット後に初期の DPA ロック状態を最適な位相に示すために使用可能です。DPA が 8 つのクロック位相から新しい位相を選択し、受信データをサンプリングする場合、この信号がディアサートされません。DPA ロック喪失状態を決定するには、`rx_dpa_locked` 信号を使用しないでください。CRC (Cyclic Redundancy Check) または DIP-4 (Diagonal Interleaved Parity) などのデータ・チェックを使用してデータの正当性を確認します。


DPA 回路をリセットするために、独立したリセット・ポート `RX_RESET` を使用できます。DPA 回路はリセット後に再トレーニングする必要があります。

 DPA ブロックは非 DPA モードではバイパスされます。

シンクロナイザ

シンクロナイザは、DPA ブロックによって選択された最適なクロックである `DPA_diffioclk` とフラクショナル PLL から発生される `LVDS_diffioclk` 間の位相差を補正する 1 ビット幅と 6 ビット深度の FIFO バッファです。シンクロナイザは位相差を補正するのみで、データとレシーバの入力基準クロック間の周波数差は補正できません。

オプションのポート `RX_FIFO_RESET` は内部ロジックで使用でき、シンクロナイザをリセットします。シンクロナイザは、DPA が受信データを最初にロックすると自動的にリセットします。アルテラは、データ・チェックが破壊された受信データを示すときに、`RX_FIFO_RESET` を使用してシンクロナイザをリセットすることを推奨しています。

 非 DPA モードおよびソフト CDR モードではシンクロナイザ回路はバイパスされます。

データ・リアライメン・ブロック (ビット・スリップ)

送信データのスキューとリンクで追加されるスキューによって、受信シリアル・データ・ストリームにチャンネル間スキューが発生します。DPA がイネーブルされた場合、受信データが各チャンネル上の異なるクロック位相でキャプチャされます。これにより、チャンネル間で受信データのミスアライメントが生じます。このチャンネル間スキューを補正し、各チャンネル上で正しい受信ワード境界を確立するために、各レシーバ・チャンネルはビット・レイテンシをシリアル・ストリームに挿入してデータを再アライメントする専用のデータ・リアライメント回路を備えています。

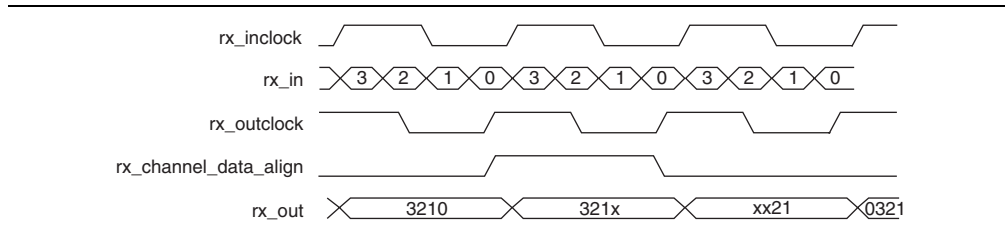
オプションの `RX_CHANNEL_DATA_ALIGN` ポートは、内部ロジックから個別に制御される各レシーバのビット挿入を制御します。データは `RX_CHANNEL_DATA_ALIGN` の立ち上がりエッジで 1 ビット・スリップします。`RX_CHANNEL_DATA_ALIGN` 信号の要件は、次のものが含まれます。

- 最小パルス幅は、ロジック・アレイの平行・クロックの 1 周期です。
- パルス間の最小 Low 時間は、平行・クロックの 1 周期です。
- これはエッジ・トリガの信号です。

- 有効なデータは、RX_CHANNEL_DATA_ALIGN の立ち上がりエッジから 2 パラレル・クロック・サイクル後に利用可能になります。

図 6-15 に、デシリアライゼーション・ファクタを 4 に設定した状態での、1 ビット・スリップ・パルス後のレシーバ出力 (RX_OUT) を示します。

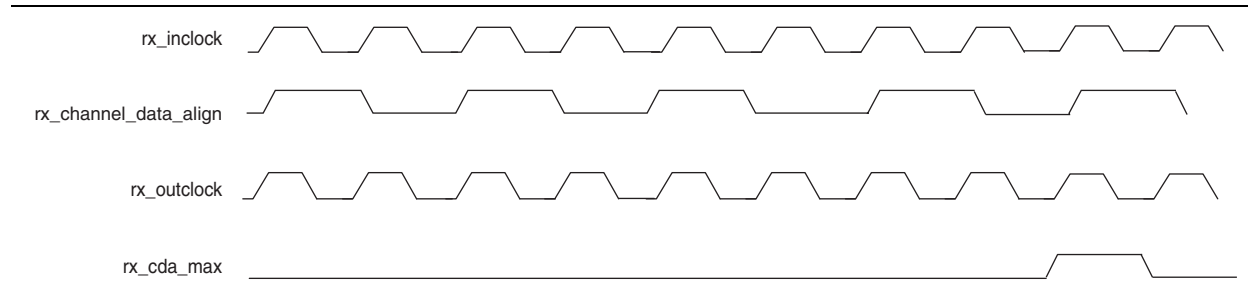
図 6-15. データ・リアラインメント・タイミング



データ・リアラインメント回路は、ロールオーバーが発生する前に最大 11 ビット時間を挿入することができます。プログラマブル・ビットのロールオーバー・ポイントは、デシリアライゼーション・ファクタに関係なく、1 ~ 11 ビット時間にすることができます。プログラマブル・ビットのロールオーバー・ポイントは、デシリアライゼーション・ファクタと等しいかそれよりも高くなければなりません。これで、ワード・アラインメント回路ではフル・ワードを通してスリップできる十分な深さが実現できます。MegaWizard Plug-In Manager を使用して、ビット・ロールオーバー・ポイントの値を設定できます。プリセット・ロールオーバー・ポイントに達したことを示すために、各チャネルから FPGA ファブリックにオプションのステータス・ポート RX_CDA_MAX が提供されます。

図 6-16 にロールオーバーが発生する前に 4 ビット時間のプリセット値を示します。ロールオーバーが発生したことを示すために、rx_cda_max 信号は 1 つの rx_outclock サイクルの間パルスします。

図 6-16. レシーバ・データ・リアラインメント・ロールオーバー



デシリアライザ

デシリアライゼーション・ファクタは、Quartus II ソフトウェアを使用して、スタティックに $\times 3$ 、 $\times 4$ 、 $\times 5$ 、 $\times 6$ 、 $\times 7$ 、 $\times 8$ 、 $\times 9$ 、または $\times 10$ に設定できます。図 6-17 に示すように、DDR ($\times 2$) または SDR ($\times 1$) の動作をサポートするために、Quartus II MegaWizard Plug-In Manager で Stratix V デシリアライザをバイパスすることができます。DPA およびデータ・リアライメント回路は、デシリアライザがバイパスされている場合は使用できません。IOE は、DDR または SDR モードで動作可能な 2 個のデータ入力レジスタを内蔵しています。

図 6-17. Stratix V デシリアライザのバイパス (注 1), (2), (3))

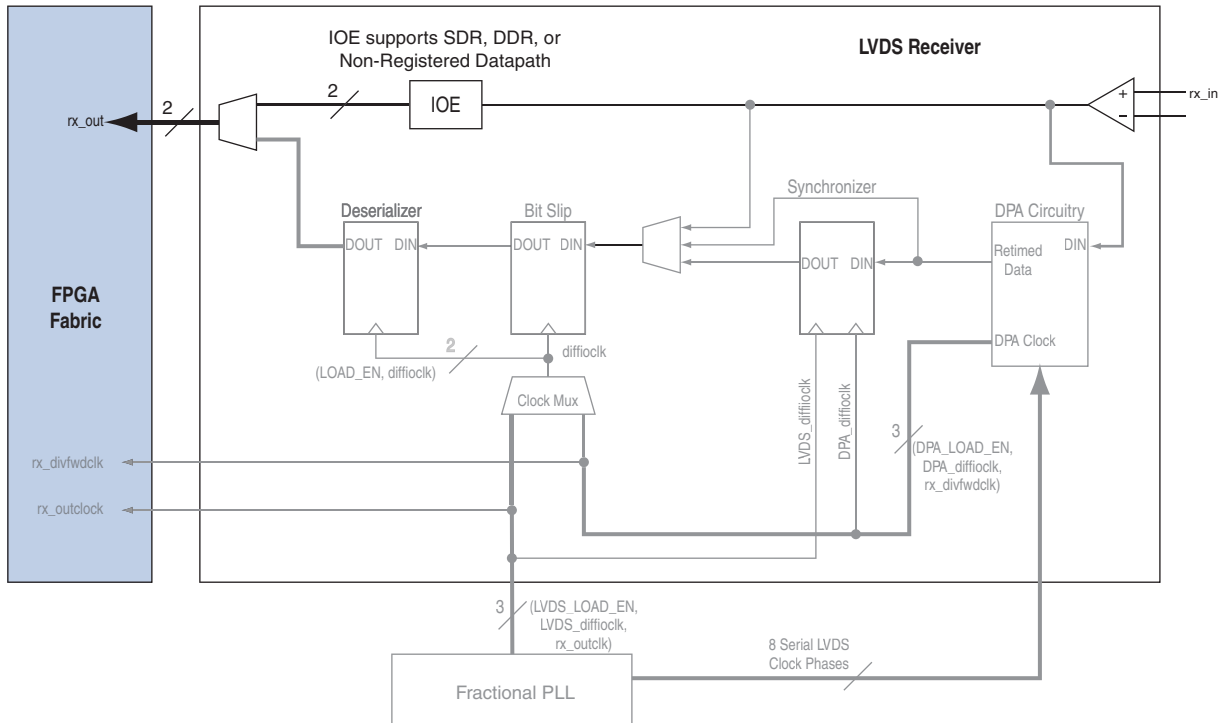


図 6-17 の注:

- (1) すべてのディセーブルされたブロックと信号はグレー表示されています。
- (2) DDR モードでは、 $rx_inclock$ は IOE レジスタをクロックします。SDR モードでは、データは IOE を直接に通過されます。
- (3) SDR および DDR モードでは、IOE からのデータ幅はそれぞれ 1 および 2 ビットです。

レシーバ・データ・パス・モード

Stratix V デバイス・ファミリは 3 つのレシーバ・データ・パス・モードをサポートします (非 DPA モード、DPA モード、およびソフト CDR モード)。

非 DPA モード

図 6-18 に非 DPA データパスのブロック図を示します。非 DPA モードでは、DPA ブロックとシンクロナイザ・ブロックはディセーブルされます。入力シリアル・データは左側および右側の PLL によって生成されるシリアル LVDS_diffioclk クロックの立ち上がりエッジまたは立ち下がりエッジで登録されます。ALTLDVS MegaWizard Plug-in Manager を使用して、立ち上がり / 立ち下がりエッジオプションを選択することができます。データ・リアライメントブロックおよびデシリアライズブロックの両方は左側および右側の PLL で生成される LVDS_diffioclk クロックによってクロックされます。

図 6-18. 非 DPA モードのレシーバ・データ・パス (注 1), (2), (3))

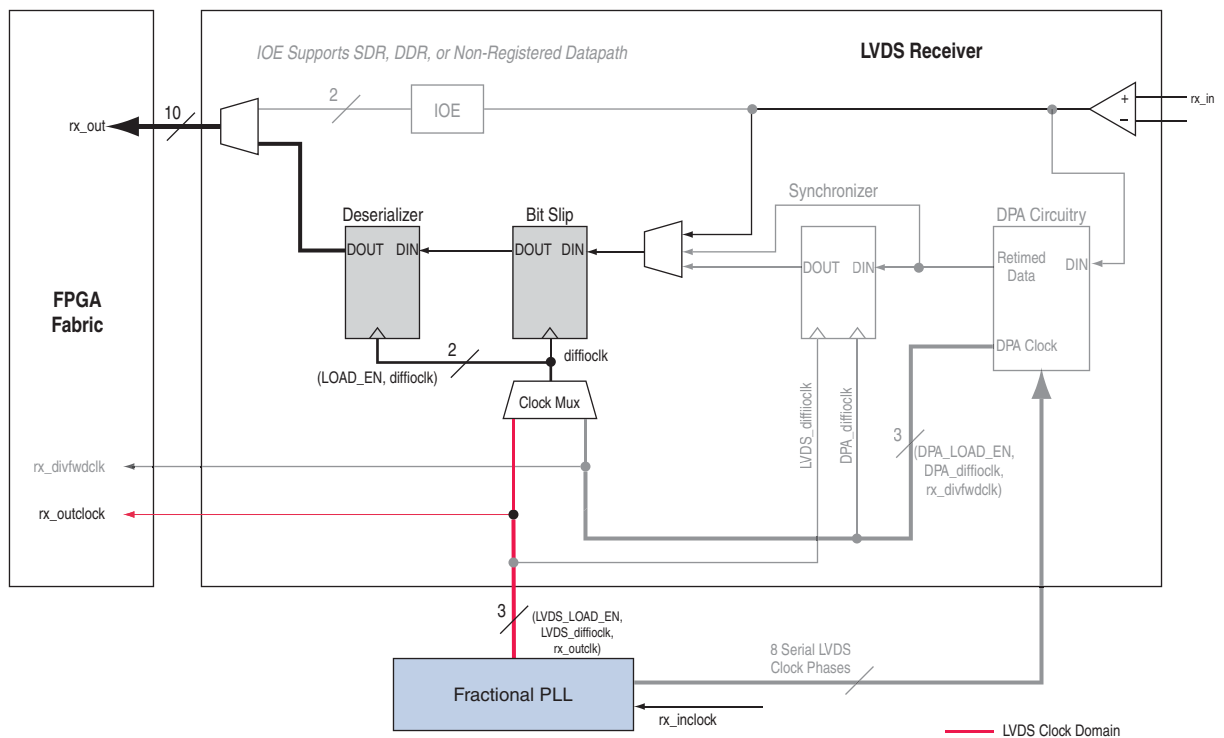


図 6-18 の注：

- (1) すべてのディセーブルされたブロックと信号はグレー表示されています。
- (2) SDR および DDR モードでは、IOE からのデータ幅はそれぞれ 1 および 2 ビットです。
- (3) rx_out ポートには、最大 10 ビットのデータ幅があります。

DPA モード

図 6-19 に DPA モード・データパスを示し、6-14 ページの「レシーバのハードウェア・ブロック」に記述されたすべてのハードウェア・ブロックはアクティブです。DPA ブロックはフラクショナル PLL によって送信された 8 つの高速クロックから最良のクロック (DPA_diffioclk) を選択します。シリアル DPA_diffioclk クロックはシンクロナイザへのシリアル・データの書き込みに使用されます。シリアル LVDS_diffioclk クロックはシンクロナイザへのシリアル・データの読み出しに使用されます。同じ LVDS_diffioclk クロックはデータ・リアライメント・ブロックおよびデシリアライザ・ブロックに使用されます。

図 6-19. DPA モードのレシーバ・データパス (注 1), (2), (3))

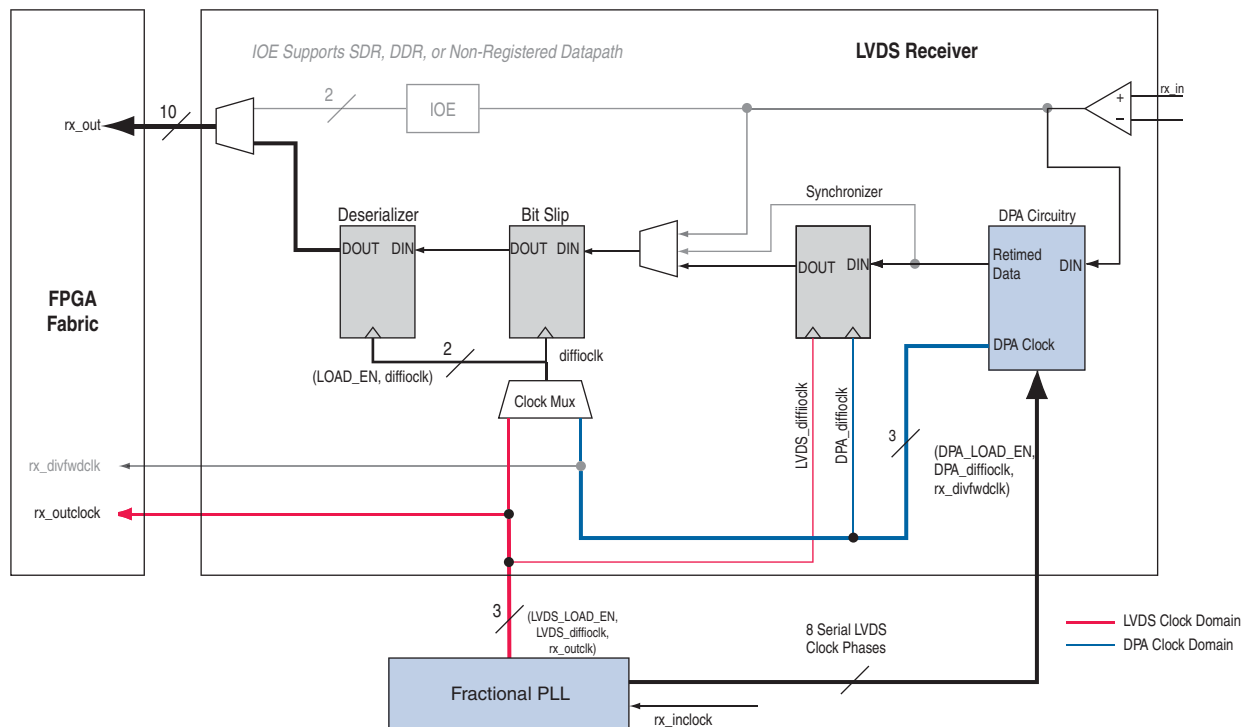


図 6-19 の注:

- (1) すべてのディセーブルされたブロックと信号はグレー表示されています。
- (2) SDR および DDR モードでは、IOE からのデータ幅はそれぞれ 1 および 2 ビットです。
- (3) rx_out ポートには、最大 10 ビットのデータ幅があります。

ソフト CDR モード

Stratix V LVDS チャンネルは、ソフト CDR モードを提供して GbE および SGMII プロトコルをサポートします。に、ソフト CDR モードデータパスを示します。図 6-20 に、ソフト CDR モードデータパスを示します。

図 6-20. ソフト CDR モードのレシーバ・データパス (注 1), (2), (3))

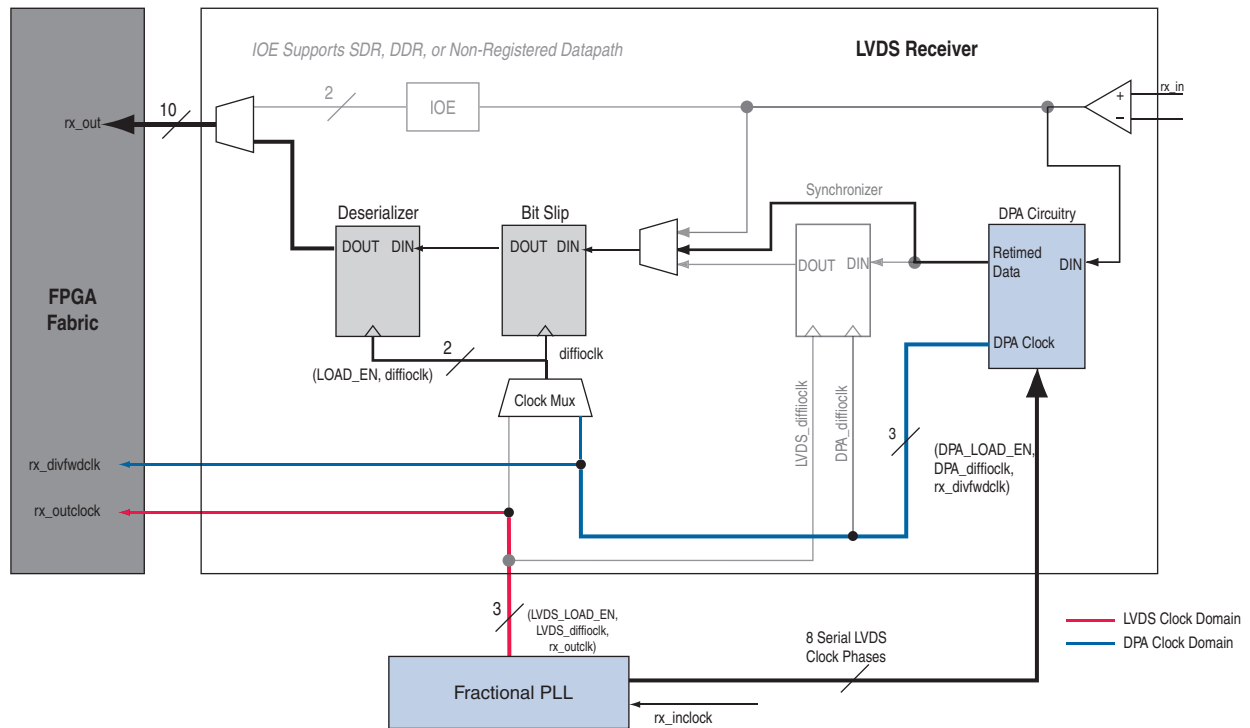



図 6-20 の注:

- (1) すべてのディセーブルされたブロックと信号はグレー表示されています。
- (2) SDR および DDR モードでは、IOE からのデータ幅はそれぞれ 1 および 2 ビットです。
- (3) rx_out ポートには、最大 10 ビットのデータ幅があります。

ソフト CDR モードでは、シンクロナイザブロックは非アクティブです。DPA 回路が最適な DPA クロック位相を選択して、データをサンプリングします。ビット・スリップ操作とデシリアライゼーションに選択された DPA クロックを使用します。また、DPA ブロックは選択された DPA クロックが rx_divfwdclk と呼ばれるデシリアライゼーション・ファクタで分周され、デシリアライズされたデータとともに FPGA ファブリックに転送されます。このクロック信号は、ペリフェラル・クロック (PCLK) ネットワーク上に出力されます。ソフト CDR モードを使用するとき、基準クロックと受信データ間の parts per million (PPM) 差を追跡するために、DPA は PLL から新しい位相タップを継続的に選択するので、rx_dpa_lock がアサートされた後に rx_reset ポートをアサートしてはいけません。

 PCLK ネットワークについて詳しくは、『Clock Networks and PLLs in Stratix V Devices』の章を参照してください。

ソフト CDR モードですべての LVDS チャンネルを使用でき、そして Stratix V デバイス・ファミリに PCLK ネットワークを使用して FPGA ファブリックをドライブできます。DPA は、アップストリーム・トランスミッタとローカル・レシーバの入力基準クロック間の PPM の差を追跡するために、継続的に位相を変更するので、`rx_dpa_locked` 信号がソフト CDR モードで無効になります。左側と右側の PLL で生成されるパラレルクロック `rx_outclock` も FPGA ファブリックに転送されます。

LVDS のダイレクト・ループバック・モード

Stratix V デバイス・ファミリは同じ LVDS モジュール内のみ、LVDS ドライバのダイレクト・ループバック・モードおよびレシーバのペアをサポートしています。図 6-21 に、同一のモジュールから I/O ペアの真の LVDS 入力および出力バッファを示しています。LVDS のダイレクト・ループバック・モードは、真の LVDS 入力バッファから真の LVDS 出力バッファに受信 LVDS データをチェックすることによって、LVDS ドライバおよびレシーバのペアを検証することができます。

図 6-21. LVDS のダイレクト・ループバック・パス (注 1)

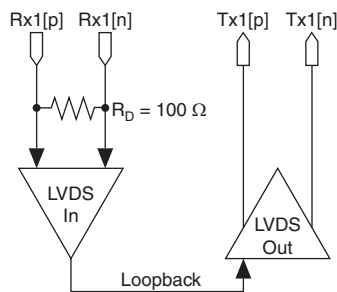



図 6-21 の注：

(1) R_D 値は、特性評価後に決定されます。


Quartus II ソフトウェアはアサインメント・エディタの LVDS ダイレクト・ループバック・モードの 2 つのオプション設定があります。それは **On** および **Off** です。

 このオプションはトウルネー・ディファレンシャル I/O 規格しか使用できません。

 このオプションは、すでにデザインで使用されている LVDS 出力ペアに適用することができます。LVDS のダイレクト・ループバック・モードのオプションは **On** にすることによって、同じ I/O モジュールのトウルネー・ディファレンシャル入力バッファからの信号とコアからの接続を無効にします。LVDS ドライバレシーバペアを確認した後で、このオプションをディセーブルにすることができます。LVDS のダイレクト・ループバック・モードのオプションを **Off** にして、デザインを再コンパイルします。

Use External PLL オプションがイネーブルされている LVDS インタフェース

ALTLVDS MegaWizard Plug-In Manager は **Use External PLL** オプションで LVDS インタフェースを実装するためのオプションを提供します。このオプションをイネーブルすると、異なるデータ・レート、ダイナミック位相シフト、およびその他の設定をサポートするために、PLL をダイナミックにリコンフィギュレーションすることにより、PLL 設定をコントロールできます。様々なクロックおよびロード・イネーブル信号を生成するように、ALTPLL メガファンクションをインスタンス化する必要があります。

 ALTLVDS **Use External PLL** オプションは将来の Quartus II ソフトウェアのリリースで利用できるようになります。

フラクショナル PLL および Stratix V クロッキング

Stratix V デバイス・ファミリはデバイスの各サイドでフラクショナル PLL をサポートします。図 6-22 および 図 6-23 に、高速差動 I/O レシーバおよびトランスミッタ・チャネルは、パラレル・クロック (rx_outclock および tx_outclock) および高速クロック (diffioclck) を生成するためのサポートされるフラクショナル PLL の位置を示します。


 フラクショナル PLL について詳しくは、[「Clock Network and PLLs in Stratix V Devices」](#) の章を参照してください。

図 6-22. 5SGXA3、5SGXA4、5SGXA5、5SGXA7、5SGXB5 および 5SGXB6 デバイスの DPA の位置を使用した高速差動 I/O のフラクショナル PLL の位置

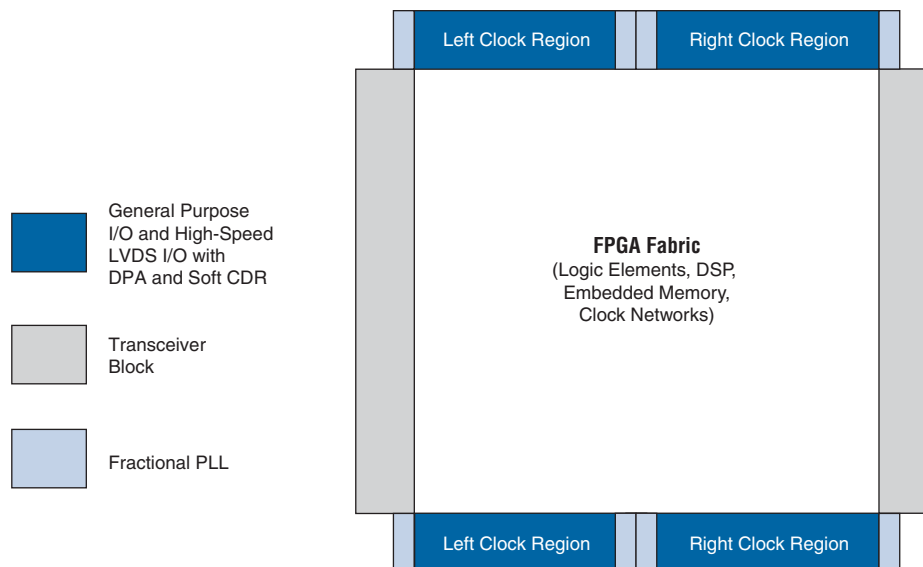
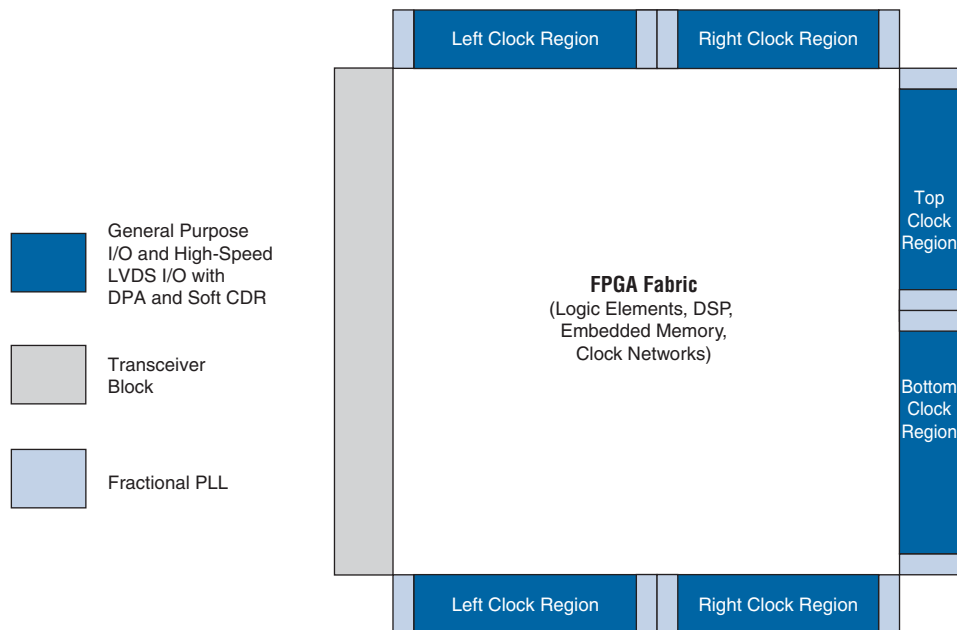



図 6-23. 5SGSB7 および 5SGSB8 デバイスの DPA の位置を使用した高速差動 I/O のフラクショナル PLL の位置



LVDS レシーバおよびドライバのチャンネルはフラクショナル PLL のコーナーおよびセンターでドライブできます。クロック・ツリー・ネットワークは異なる I/O 領域のためにクロスオーバーすることはできません。例えば、フラクショナル PLL が左上 I/O バンクで LVDS レシーバおよびドライバのチャンネルのいずれかをドライブしているとき、左上隅フラクショナル PLL は右上 I/O バンクでの LVDS レシーバおよびドライバのチャンネルをドライブしてクロスオーバーすることはできません。

 フラクショナル PLL クロッキング制約については、6-30 ページの「差動ピン配置ガイドライン」を参照してください。

ソース・シンクロナスのタイミング見積もり

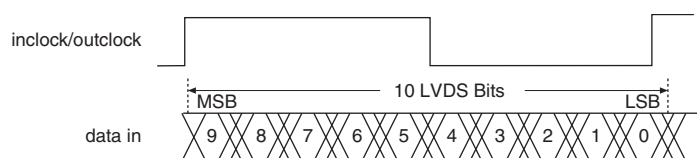
この項では、Stratix V デバイス・ファミリでのソース同期信号方式のタイミング見積り、波形、および仕様について説明します。LVDS I/O 規格は高速データ送信を可能にします。この高速のデータ送信レートは、システム全体の性能向上をもたらします。高速システム性能を活用するには、これらの高速信号のタイミング解析方法を理解することが重要です。差動ブロックのタイミング解析は、従来の同期タイミング解析とは異なります。

ソース同期タイミング解析は、クロック出力時間およびセットアップ時間に的を絞るのではなく、データとクロック信号間のスキューに基づいています。高速差動データ伝送には IC ベンダが提供するタイミング・パラメータを使用する必要があり、またボード・スキュー、ケーブル・スキュー、およびクロック・ジッタに強い影響を受けます。この項では、ソース同期差動データ方向タイミング・パラメータ、Stratix V デバイス・ファミリのタイミング制約の定義、およびこれらのタイミング・パラメータによるデザインの最大性能の決定方法を定義します。

差動データ方向

外部クロックと受信データの間には一定の関係があります。1 Gbps および 10 のシリアライゼーション・ファクタの動作では、外部クロックを 10 通倍します。フェーズ・アラインメントを PLL で各データ・ビットのサンプリング・ウィンドウと一致するよう設定できます。データは通倍されたクロックの立ち上がりエッジでサンプリングされます。図 6-24 に、x10 モードのデータ・ビット方向を示します。

図 6-24. Quartus II ソフトウェアにおけるビット方向



差動 I/O のビット位置

高周波でのデータ伝送を成功させるにはデータの同期化が必要です。図 6-25 に、チャンネル動作のデータ・ビット方向を示します。これらの図は以下をベースとしています。

- シリアライゼーション・ファクタはクロック通倍係数と同等
- エッジ・アラインメントはフェーズ・アラインメントに選択
- ハード SERDES に実装

その他のシリアル変換係数は、Quartus II ソフトウェア・ツールを使用してワード内のビット位置を検索します。デシリアライゼーション後のビット位置は、表 6-4 に表記されています。

図 6-25. 1 本の差動チャンネルのビット・オーダおよびワード境界 (注 1)

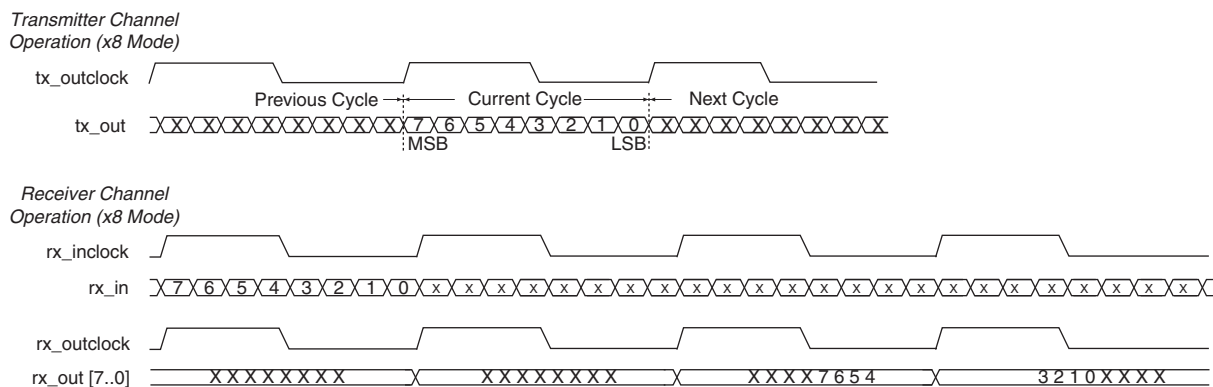


図 6-25 の注:

- (1) これらは波形の機能のみを示しており、タイミング情報を示すことを意図したものではありません。

表 6-4 に、18 個の差動チャンネルの差動ビットの命名規則を示します。最上位ビット (MSB) および最下位ビット (LSB) の位置は、システムで使用されるチャンネル数が増えると増加します。


表 6-4. 差動ビットの命名

レシーバ・チャンネル・データ 番号	内部 8 ビット・パラレル・データ	
	MSB の位置	LSB の位置
1	7	0
2	15	8
3	23	16
4	31	24
5	39	32
6	47	40
7	55	48
8	63	56
9	71	64
10	79	72
11	87	80
12	95	88
13	103	96
14	111	104
15	119	112
16	127	120
17	135	128
18	143	136

トランスミッタ・チャンネル間スキュー

トランスミッタ・チャンネル間スキュートランスミッタ・チャンネル間スキュー (TCCS) は、ソース同期差動インタフェースでの Stratix V トランスミッタに基づく重要なパラメータです。このパラメータはレシーバ・スキュー・マージンの計算に使用されます。詳細は、6-26 ページの「非 DPA モードのレシーバ・スキュー・マージン」を参照してください。

t_{CO} の精度やクロック・スキューなどを含む最速および最低速出力の遷移間の TCCS の差です。LVDS トランスミッタに対して、TimeQuest タイミング・アナライザは、シリアル出力ポートの TCCS の値を示す TCCS レポートを提供します。

 TimeQuest タイミング・アナライザの下の Quartus II のコンパイル・レポートで TCCS レポート (report_TCCS)、または「*DC and Switching Characteristics for Stratix V Devices*」の章から TCCS の値を取得できます。

非 DPA モードのレシーバ・スキュー・マージン

温度、媒体（ケーブル、コネクタ、または PCB）、および装荷などのシステム環境における変化により、レシーバのセットアップとホールド時間に影響しますが、内部スキューの変化はレシーバのサンプリング機能に影響します。

LVDS レシーバの異なるモードは異なる仕様を使用し、正しく受信したシリアル・データをサンプリングする機能について決定するのに役に立ちます。DPA モードでは、レシーバ入カスキュー・マージン (RSKM) の代わりに、DPA ジッタ許容値を使用しなければなりません。

非 DPA モードでは、レシーバのデータ・パスにおける高速ソース同期差動信号に TCCS、RSKM、およびサンプリング・ウィンドウ (SW) 仕様が使用されます。RSKM、TCCS、および SW 間の関係は式 6-1 に示す RSKM の式で表すことができます。

式 6-1. RSKM

$$RSKM = \frac{TUI - SW - TCCS}{2}$$

式に使用される規則：

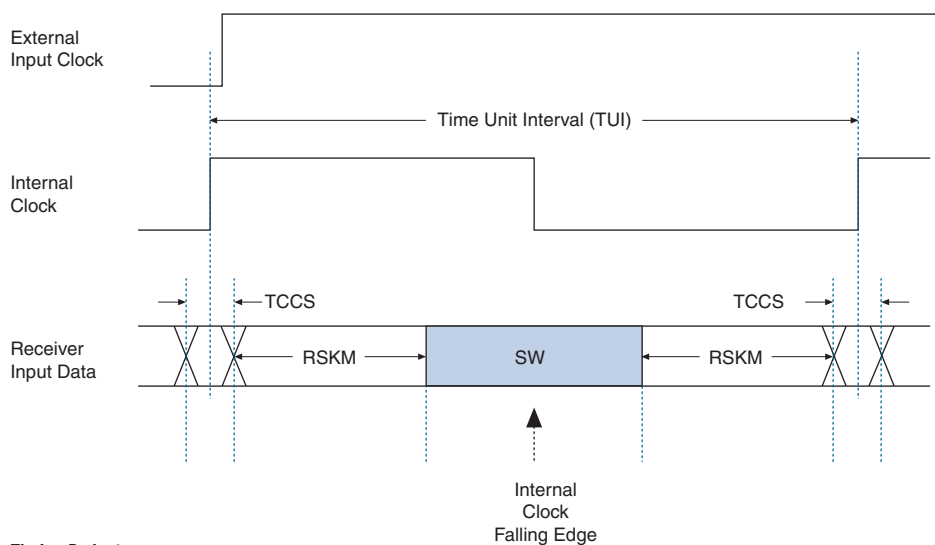
- RSKM — レシーバのクロック入力およびデータ入力サンプリング・ウィンドウ間のタイミング・マージン。
- TUI (Timing Unit Interval) — シリアル・データの期間。
- SW — データが LVDS レシーバで正しくサンプリングされることを確認するために、入力データが安定している期間です。SW はデバイス・プロパティであり、デバイスのスピード・グレードによって異なります。
- TCCS — 同じ PLL でドライブされるチャンネル全域に、 t_{CO} のばらつきやクロック・スキューなど、最速および最低速出力エッジ間のタイミングの差。TCCS の測定では、クロックが考慮されます。

図 6-26 に、RSKM、TCCS、およびレシーバの SW 間の関係を示します。

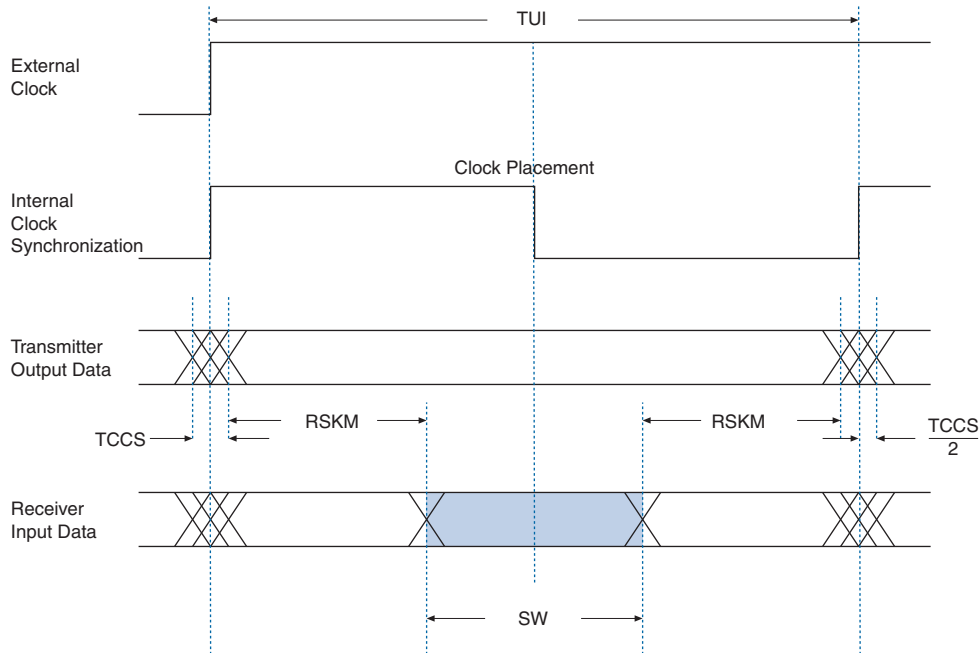
特定のデータ・レートとデバイスがある LVDS レシーバでデータを正しくサンプリングできるかどうかを決定するために RSKM の値を計算しなければなりません。正の RSKM 値は LVDS レシーバがデータを正しくサンプルできますが、負の RSKM 値はそうすることができないを示します。

図 6-26. 非 DPA モード場合の差動高速タイミング図およびタイミングの制約


Timing Diagram



Timing Budget



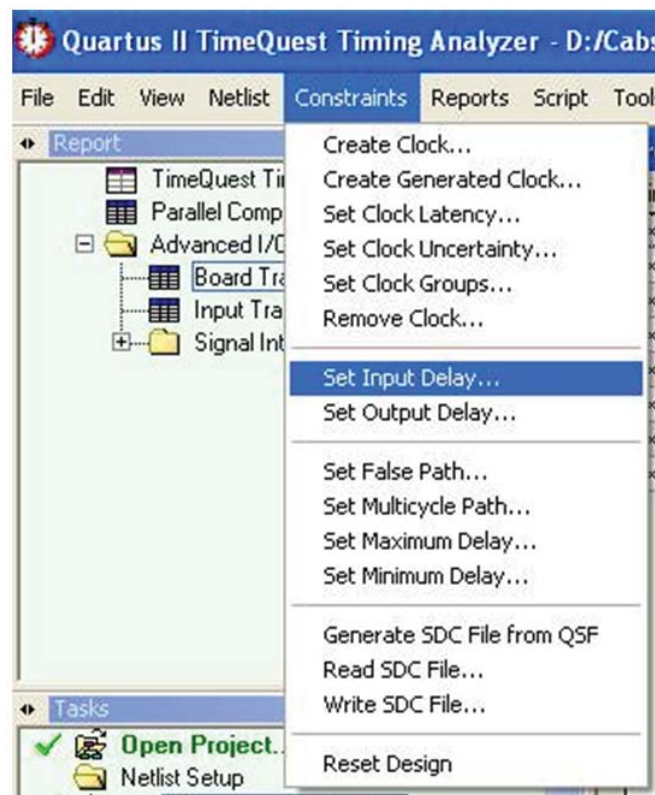
LVDS レシーバでは、非 DPA モードに対する Quartus II ソフトウェアは SW、TUI、および RSKM 値を示すレポートを提供します。TimeQuest タイミング・アナライザの report_RSKM コマンドを実行して、RSKM レポートを生成することができます。RSKM レポートは、TimeQuest タイミング・アナライザの項の Quartus II コンパイル・レポートにあります。

 RSKM 値を得るには、TimeQuest アナライザの Constraints メニューを利用して適切な入力遅延を LVDS レシーバに割り当てます。

入力遅延の割り当てるには、以下のステップに従います。

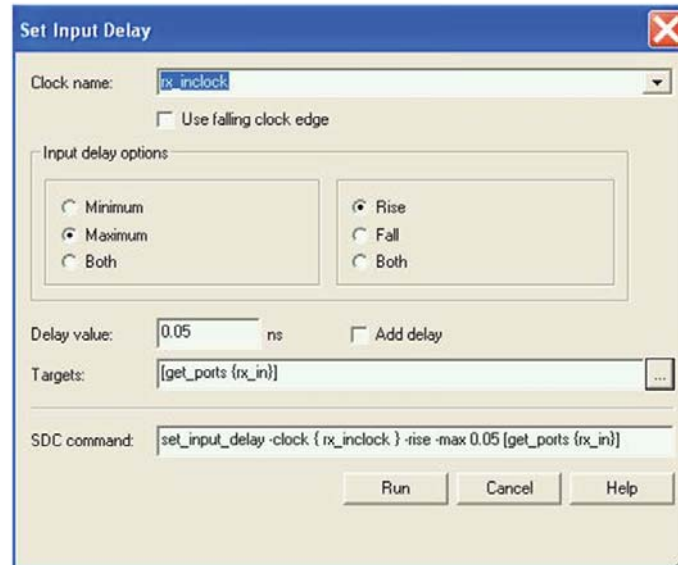
1. Quartus II TimeQuest タイミング・アナライザの GUI は制約の設定およびデザインの解析に多数のオプションを備えます。図 6-27 に Constraints メニューの様々なコマンドを示します。入力遅延の設定には **Set Input Delay** オプションを選択しなければなりません。

図 6-27. TimeQuest タイミング・アナライザにおける Constraint メニューの選択



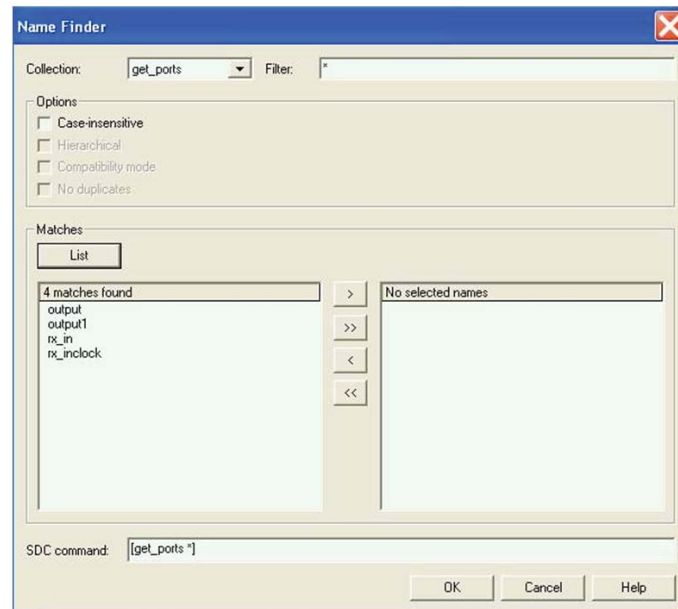
2. 図 6-28 に **Set Input Delay** オプションに対するパラメータ設定を示します。クロック名は LVDS レシーバに供給されるソース・シンクロナス・クロックに参照する必要があります。プルダウン・メニューを使用して目的のクロックを選択します。

図 6-28. TimeQuest タイミング・アナライザを通して入力遅延時間アサインメント




3. **Targets** オプションの右側にある **Browse** ボタンをクリックしてください。**Name Finder** ウィンドウにおける **List** オプションを使用して、すべての可能なポートのリストを表示できます (図 6-29 を参照)。


図 6-29. セット入力遅延オプションにおける Name Finder ウィンドウ



4. 設定される入力遅延に応じて、リストから LVDS レシーバ・シリアル入力ポートを選択します。**OK** をクリックします。

5. **Set Input Delay** ウィンドウでは、**Input Delay Options** の項および **Delay value** で適切な値を設定します。
6. TimeQuest タイミング・アナライザで **Run** をクリックして、これらの値を組み込むようにします。
7. 以下のステップに従って、すべての LVDS レシーバ入力ポートに適切な遅延を割り当てます。**Input Delay** をすでに割り当てて、その入力ポートにより多くの遅延を加える必要がある場合、**Set Input Delay** ウィンドウでの **Add Delay** オプションを使用します。

 TimeQuest タイミング・アナライザで設定される入力遅延がない場合、レシーバのチャンネル間スキュー (RCCS) がゼロにデフォルトされます。set_input_delay コマンドを使用して、Synopsys Design Constraint ファイル (.sdc) に入力遅延を直接設定できます。

 .sdc コマンドと TimeQuest タイミング・アナライザについて詳しくは、「Quartus II Development Software Handbook Volume 3」の「*Quartus II TimeQuest Timing Analyzer*」の章を参照してください。

例 6-1 に、RSKM の計算を示します。

例 6-1. RSKM

データ・レート: 1 Gbps、ボード・チャンネル間スキュー = 200 ps

Stratix V デバイスに対して、

TCCS = 100 ps (特性評価待ち)


SW = 300 ps (特性評価待ち)

TUI = 1000 ps

Total RCCS = TCCS + ボード・チャンネル間スキュー = 100 ps + 200 ps
= 300 ps


RSKM = (TUI - SW - RCCS)/2
= (1000 ps - 300 ps - 300 ps)/2
= 200 ps


Because the RSKM > 0 ps, receiver non-DPA mode must work correctly.

 6-31 ページの「DPA がイネーブルされた差動チャンネルおよび DPA がディセーブルされた差動チャンネルのガイドライン」で説明したステップに従って、RSKM を計算できます。

差動ピン配置ガイドライン

適切な高速動作を確実に実行させるために、差動ピン配置ガイドラインが提供されています。Quartus II コンパイラは、これらのガイドラインに準拠しているかどうか自動的にチェックし、準拠していない場合はエラー・メッセージを表示します。DPA の使用は高速差動チャンネルの配置に何らかの制約を加えるため、この項は DPA の使用時および非使用時におけるピン配置のガイドラインに分割されています。

 DPA がイネーブルされた差動チャンネルは DPA モードまたはソフト CDR モードを示し; DPA がディセーブルされたチャンネルは DPA なしのモードを示します。

 以下の項の情報は暫定仕様です。

DPA がイネーブルされた差動チャンネルおよび DPA がディセーブルされた差動チャンネルのガイドライン

Stratix V デバイス・ファミリは、すべての I/O バンクに差動レシーバおよびトランスミッタを搭載しています。各レシーバは、クロックの位相を関連するチャンネルのデータ位相にアラインメントするための専用 DPA 回路を備えています。差動バンクで DPA がイネーブルされたチャンネルが使用された場合、以下の項のガイドラインに準拠する必要があります。

DPA がイネーブルされたチャンネル、DPA がディセーブルされたチャンネル、およびシングル・エンド I/O

バンクで DPA チャンネルがイネーブルされているとき、両方のシングル・エンド I/O および差動 I/O が許可されます。

ダブル・データ・レート I/O (DDIO) 出力ピンは SERDES 差動チャンネルと同じパッド・グループ番号を持つ I/O モジュール内に配置できますが、ハーフ・レート DDIO またはシングル・データ・レート (SDR) 出力ピンはレシーバ SERDES 差動チャンネルと同じパッド・グループ番号を持つ I/O モジュール内に配置できません。入力レジスタは FPGA ファブリック・ロジック内に実装する必要があります。

改訂履歴

表 6-5 に、本資料の改訂履歴を示します。

表 6-5. 改訂履歴

日付	バージョン	変更内容
2010 年 12 月	1.1	Quartus II ソフトウェア 10.1 に関する本章の内容の変化がありません。
2010 年 7 月	1.0	初版。

