

この章では、Stratix® V デバイスは既存および新たに登場する I/O 規格および要件への準拠を可能にする I/O 機能を提供する方法について説明します。このデバイスの機能により、ボード・デザインのインタフェース・コストを削減し、開発の柔軟性を向上させることができます。


Stratix V I/O は、使いやすさと迅速なシステム統合を実現すると同時に、内部ロジックの能力を最大化し、システム・レベルの性能を達成するのに必要な広帯域幅を提供することに重点を置いて設計されています。

Stratix V デバイス・ファミリの I/O 機能は前世代の FPGA が利用可能な I/O 帯域幅を遥かに超えています。パーティカル・マイグレーションが可能な共通バンク構造を持つ独立したモジュール・ベースの I/O バンクにより、高速 I/O の効率と柔軟性が高まります。

ダイナミック終端機能を備えたパッケージとダイの機能強化、および出力コントロールは、クラス最高のシグナル・インテグリティを提供します。Stratix V デバイスは、以下の機能を含めて、デバイス間的高速データ転送を支援する I/O 機能を提供します。

- 最大 1020 の汎用 I/O (GPIO) および 255 の全二重 LVDS チャンネル
- すべての I/O バンクの真の LVDS チャンネルは SGMII、SPI-4.2、および XSBI アプリケーションをサポート
- ハード・ダイナミック・フェーズ・アラインメント (DPA) およびシリアライザ/デシリアライザ (SERDES) は DPA を使用したデバイスのすべてのサイドの I/O バンクをサポート
- 非電圧リファレンス形式および電圧リファレンス形式のシングル・エンド I/O 規格
- すべての I/O バンクにわたって、LVDS、RSDS、mini-LVDS、HSTL、SSTL、および HSUL の I/O 規格
- ダブル・データ・レート (DDR)、シングル・データ・レート (SDR)、および ハーフ・データ・レート入力と出力のオプション
- ロウ I/O およびカラム I/O バンク両方のユビキタス I/O サポート
- 高性能なメモリ・インタフェースのデスクュー、リードおよびライト・レベリング、およびクロック・ドメイン・クロス機能
- プログラマブル出力ドライブ強度
- プログラマブル・スルー・レート
- プログラム可能な入力および出力遅延
- プログラマブル・バス・ホールドの回路
- プログラマブル・プルアップ抵抗
- オープン・ドレイン出力

- キャリブレーション付きまたはキャリブレーションなし直列 On-Chip Termination (チップ内終端) (R_S) のダイナミックな On-Chip Termination (OCT) およびキャリブレーション付きのチップ内直列 (R_T) 終端
- キャリブレーションなしの差動 (R_D) OCT
- プログラマブル・プリエンファシス
- プログラマブル差動出力電圧 (V_{OD})

 特に記述のない限り、次の情報は、Stratix V デバイスに適用されます。

I/O 規格のサポート

Stratix V デバイスは、I/O 規格を幅広くサポートしています。表 5-1 に、Stratix V デバイスの I/O 規格とサポートされる一般的なアプリケーションを示します。これらのデバイスは、3.0 V、2.5 V、1.8 V、1.5 V、1.35、1.25、および 1.2 V の V_{CCIO} 電圧レベルをサポートします。

表 5 1. I/O 規格およびアプリケーション (その 1)

I/O 規格	一般的なアプリケーション
3.3-V LVTTTL/LVCMOS (1), (2)	汎用
2.5-V LVCMOS	汎用
1.8-V LVCMOS	汎用
1.5-V LVCMOS	汎用
1.2-V LVCMOS	汎用
SSTL-2 Class I and II	DDR SDRAM
SSTL-18 Class I and II	DDR2 SDRAM
SSTL-15 Class I and II	DDR3 SDRAM
SSTL-15	DDR3 SDRAM
SSTL-135	DDR3L SDRAM
SSTL-125	DDR3U SDRAM
SSTL-12	RLDRAM III
HSTL-18 Class I and II	QDR II/RLDRAM II
HSTL-15 Class I and II	QDR II/QDR II+/RLDRAM II
HSTL-12 Class I and II	汎用
HSUL-12	LPDDR2 SDRAM
Differential SSTL-2 Class I and II	DDR SDRAM
Differential SSTL-18 Class I and II	DDR2 SDRAM
Differential SSTL-15 Class I and II	DDR3 SDRAM
Differential HSTL-18 Class I and II	クロック・インタフェース
Differential HSTL-15 Class I and II	クロック・インタフェース
Differential HSTL-12 Class I and II	クロック・インタフェース
Differential SSTL-15	DDR3 SDRAM
Differential SSTL-135	DDR3L SDRAM
Differential SSTL-125	DDR3U SDRAM

表 5 1. I/O 規格およびアプリケーション (その 2)

I/O 規格	一般的なアプリケーション
Differential SSTL-12	RLDRAM III
Differential HSUL-12	LPDDR2 SDRAM
LVDS	高速通信
RSDS	フラット・パネル・ディスプレイ
mini-LVDS	フラット・パネル・ディスプレイ
LVPECL	ビデオ・グラフィックおよびクロック分配

表 5-1 の注:

- (1) 3.3-V LVTTTL/LVCMOS I/O 規格は、3.0 V の V_{CCIO} でサポートされます。
- (2) この I/O 規格は、Stratix V GX および GS でのみサポートされます。

I/O 規格および電圧レベル

表 5-2 に、サポートされている I/O 規格と、入力および出力の V_{CCIO} 、 V_{CCPD} 、 V_{REF} およびボード V_{TT} の標準値を示します。

表 5 2. Stratix V I/O 規格および電圧レベル (注 1) (その 1)

I/O 規格	規格サポート	V_{CCIO} (V)		V_{CCPD} (V) (ブリドドライバ電圧)	V_{REF} (V) (入力 Ref 電圧)	V_{TT} (V) (ボード終端電圧)
		入力動作	出力動作			
3.3-V LVTTTL (2)	JESD8-B	3.0/2.5	3.0	3.0	—	—
3.3-V LVCMOS (2)	JESD8-B	3.0/2.5	3.0	3.0	—	—
2.5-V LVCMOS	JESD8-5	3.0/2.5	2.5	2.5	—	—
1.8-V LVCMOS	JESD8-7	1.8/1.5	1.8	2.5	—	—
1.5-V LVCMOS	JESD8-11	1.8/1.5	1.5	2.5	—	—
1.2-V LVCMOS	JESD8-12	1.2	1.2	2.5	—	—
SSTL-2 Class I	JESD8-9B	(3)	2.5	2.5	1.25	1.25
SSTL-2 Class II	JESD8-9B	(3)	2.5	2.5	1.25	1.25
SSTL-18 Class I	JESD8-15	(3)	1.8	2.5	0.90	0.90
SSTL-18 Class II	JESD8-15	(3)	1.8	2.5	0.90	0.90
SSTL-15 Class I	—	(3)	1.5	2.5	0.75	0.75
SSTL-15 Class II	—	(3)	1.5	2.5	0.75	0.75
SSTL-15	JESD79-3D	(3)	1.5	2.5	0.75	(5)
SSTL-135	—	(3)	1.35	2.5	0.675	(4)
SSTL-125	—	(3)	1.25	2.5	0.625	(4)
SSTL-12	—	(3)	1.2	2.5	0.6	(4)
HSTL-18 Class I	JESD8-6	(3)	1.8	2.5	0.90	0.90
HSTL-18 Class II	JESD8-6	(3)	1.8	2.5	0.90	0.90
HSTL-15 Class I	JESD8-6	(3)	1.5	2.5	0.75	0.75
HSTL-15 Class II	JESD8-6	(3)	1.5	2.5	0.75	0.75
HSTL-12 Class I	JESD8-16A	(3)	1.2	2.5	0.6	0.6
HSTL-12 Class II	JESD8-16A	(3)	1.2	2.5	0.6	0.6

表 5.2. Stratix V I/O 規格および電圧レベル (注 1) (その 2)

I/O 規格	規格サポート	V _{CCIO} (V)		V _{CCPD} (V) (ブリドレイバ電圧)	V _{REF} (V) (入力 Ref 電圧)	V _{TT} (V) (ボード終端電圧)
		入力動作	出力動作			
HSUL-12	—	(3)	1.2	2.5	0.6	(4)
Differential SSTL-2 Class I	JESD8-9B	(3)	2.5	2.5	—	1.25
Differential SSTL-2 Class II	JESD8-9B	(3)	2.5	2.5	—	1.25
Differential SSTL-18 Class I	JESD8-15	(3)	1.8	2.5	—	0.90
Differential SSTL-18 Class II	JESD8-15	(3)	1.8	2.5	—	0.90
Differential SSTL-15 Class I	—	(3)	1.5	2.5	—	0.75
Differential SSTL-15 Class II	—	(3)	1.5	2.5	—	0.75
Differential HSTL-18 Class I	JESD8-6	(3)	1.8	2.5	—	0.90
Differential HSTL-18 Class II	JESD8-6	(3)	1.8	2.5	—	0.90
Differential HSTL-15 Class I	JESD8-6	(3)	1.5	2.5	—	0.75
Differential HSTL-15 Class II	JESD8-6	(3)	1.5	2.5	—	0.75
Differential HSTL-12 Class I	JESD8-16A	(3)	1.2	2.5	—	0.60
Differential HSTL-12 Class II	JESD8-16A	(3)	1.2	2.5	—	0.60
Differential SSTL-15	JESD79-3D	(3)	1.5	2.5	—	(5)
Differential SSTL-135	—	(3)	1.35	2.5	—	(5)
Differential SSTL-125	—	(3)	1.25	2.5	—	(5)
Differential SSTL-12	—	(3)	1.2	2.5	—	(5)
Differential HSUL-12	—	(3)	1.2	2.5	—	(5)
LVDS (6), (7)	ANSI/TIA/EIA-644	(3)	2.5	2.5	—	—
RSDS (6), (6), (7)	—	(3)	2.5	2.5	—	—
mini-LVDS (6), (6), (7)	—	(3)	2.5	2.5	—	—
LVPECL	—	(5)	—	2.5	—	—

表 5-2 の注:

- (1) V_{CCPD} は、2.5 V または 3.0 V のいずれかです。V_{CCIO} = 3.0 V のとき、V_{CCPD} = 3.0 V です。そして、V_{CCIO} は 2.5 V 以下のとき、V_{CCPD} = 2.5 V です。
- (2) Stratix V デバイスでサポートされている 3.3-V LVTTTL/LVCMOS I/O 規格について詳しくは、5-8 ページの「3.3 V I/O のインタフェース」を参照してください。
- (3) シングル・エンド HSTL/SSTL/HSUL、differential SSTL/HSTL/HSUL、および LVDS 入力バッファは、V_{CCPD} で駆動します。Differential HSTL、SSTL、および HSUL 出力は、真の差動出力ではありません。これらは 2 つのシングル・エンド出力を 2 番目の出力が反転されるようにプログラムして使用します。Differential HSTL、SSTL、および HSUL 入力、R_D サポート付きの LVDS 差動入力バッファを使用します。
- (4) 通常、この I/O 規格にはボード終端が不要です。
- (5) LVPECL I/O 規格はクロック入力動作でサポートされます。差動クロック入力は V_{CCPD} から電源が供給されます。
- (6) すべての I/O バンクは、抵抗ネットワークのない真の LVDS 出力バッファを使用した LVDS、RSDS、および mini-LVDS I/O 規格をサポートします。また、すべての I/O バンクは、3 つの抵抗 (LVDS_E_3R、RSDS_E_3R、および mini-LVDS_E_3R) ネットワークを備えた、2 つのシングル・エンド出力バッファを使用したエミュレートされる LVDS、RSDS、および mini-LVDS I/O 規格をサポートします。
- (7) トライステート機能をサポートするエミュレートされた差動出力規格は LVDS_E_3R、RSDS_E_3R、および mini-LVDS_E_3R で構成されています。

I/O バンク

図 5-1 に示す通り、Stratix V デバイスは最大 26 個の I/O バンクを内蔵しています。Stratix V GX および GS タイプのすべての I/O バンクは、差動 I/O 規格をサポートする真の差動入力および出力バッファと専用回路を内蔵しています。

Stratix V デバイスの各 I/O バンクは、高性能外部メモリ・インタフェースをサポートします。I/O ピンはペアで編成されており、差動規格をサポートします。各 I/O ピン・ペアは差動入力バッファと差動出力バッファの両方をサポート可能です。

図 5 1. Stratix V GX および GS デバイスの I/O バンク - 暫定仕様 (注 1)

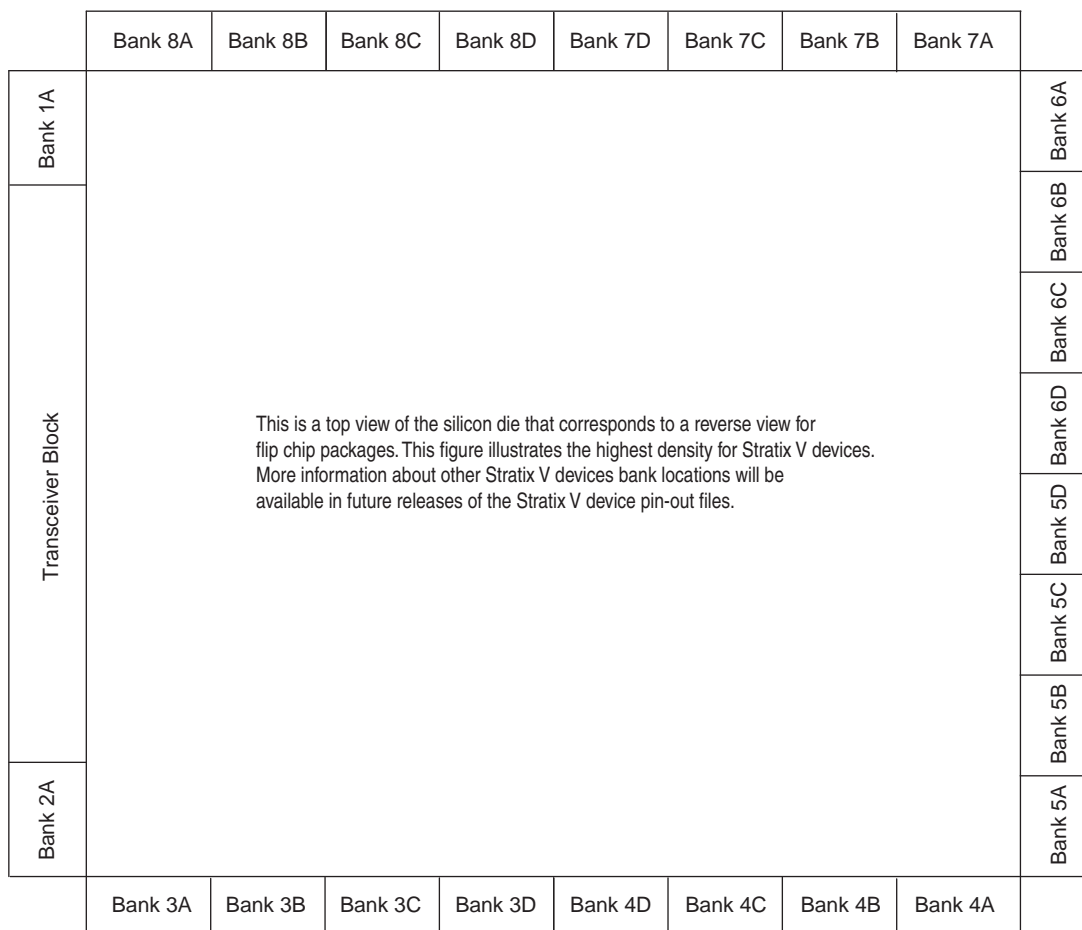


図 5-1 の注：

- (1) この図は、I/O バンクの命名スキームを表示するデバイスのいずれかの側のトランシーバとの Stratix V デバイスの単一のタイプを表します。いくつかの Stratix V のタイプは、デバイスの左右両側にトランシーバが含まれています。

表 5-3 に、すべての Stratix V GX と GS のデバイス・パッケージの GPIO、LVDS、およびトランシーバ・チャンネル数を示しています。

表 5.3. Stratix V GX と GS デバイスの GPIO、LVDS、およびトランシーバ・チャンネル数 (注 1), (2)

機能	GPIO、LVDS、およびトランシーバ・チャンネル							
	Stratix V GX						Stratix V GS	
	5SGXA3	5SGXA4	5SGXA5	5SGXA7	5SGXB5	5SGXB6	5SGSB7	5SGSB8
HF29-F780	270, 67, 24	270, 67, 24	—	—	—	—	—	—
HF35-F1152	560, 140, 24	560, 140, 24	560, 140, 24	560, 140, 24	—	—	—	—
IF35-F1152	—	—	—	—	—	—	523, 130, 27	523, 130, 27
KF35-F1152	444, 111, 36	444, 111, 36	444, 111, 36	444, 111, 36	—	—	—	—
KF40-F1517	624, 156, 36	624, 156, 36	707, 176, 36	707, 176, 36	—	—	—	—
RF40-F1517	—	—	—	—	439, 109, 66	439, 109, 66	—	—
IF40-F1517	—	—	—	—	—	—	781, 195, 27	781, 195, 27
KF40-F1517	—	—	—	—	—	—	—	—
NF40-F1517	—	—	597, 149, 48	597, 149, 48	—	—	—	—
NF45-F1932	—	—	840, 210, 48	840, 210, 48	—	—	—	—
RF45-F1932	—	—	—	—	648, 162, 66	648, 162, 66	—	—
IF45-F1932	—	—	—	—	—	—	1020, 255, 27	1020, 255, 27

表 5-3 の注:

- (1) LVDS およびトランシーバ数は、全二重チャンネルです。各全二重チャンネルは、ハード SERDES 付き 1 個のトランスミッタ (TX) のペアと 1 個のレシーバ (RX) のペアがあります。
- (2) 各パッケージのロウは同じロウにあるすべてのデバイスのパーティカル・ピン・マイグレーション (一般的な回路ボードのフットプリント) を提供しています。

モジュラー I/O バンク

Stratix V デバイスの I/O ピンは、モジュラー I/O バンクと呼ぶグループで編成されます。Stratix V I/O バンク数は、デバイス集積度に応じて 16 ~ 26 バンクになります。

I/O 構造

Stratix V デバイスの IOE は、1 個の双方向 I/O バッファおよび I/O レジスタで構成されており、完全なエンベデッド双方向 SDR または DDR 転送をサポートします。IOE は、Stratix V デバイス周辺の I/O ブロック内に配置されています。

I/O レジスタは、ピンからコアへのデータを処理するための入力パス、コアからピンへのデータを処理するための出力パス、および出力バッファの OE 信号を処理するための出力イネーブル (OE) パスで構成されます。これらのレジスタにより、高速なソース同期レジスタ間転送および再同期が可能です。入力パスは、DDR 入力レジスタ、アラインメントおよび同期レジスタ、および HDR (ハーフ・データ・レート・ブロック) で構成されています。入力パスの各ブロックはバイパスできます。入力パスは、プロセス、電圧、および温度 (PVT) の変動にわたって入力レジスタ・クロック遅延を調整してスキューの遅延を使用しています。

出力パスおよび OE パスは、出力または OE レジスタ、アラインメント・レジスタ、およびハーフ・データ・レート・ブロックに分割されます。出力および OE パスの各ブロックはバイパスできます。

図 5-2 に、Stratix V の IOE 構造を示します。

図 5 2. Stratix V デバイスの IOE 構造 (注 1), (2)

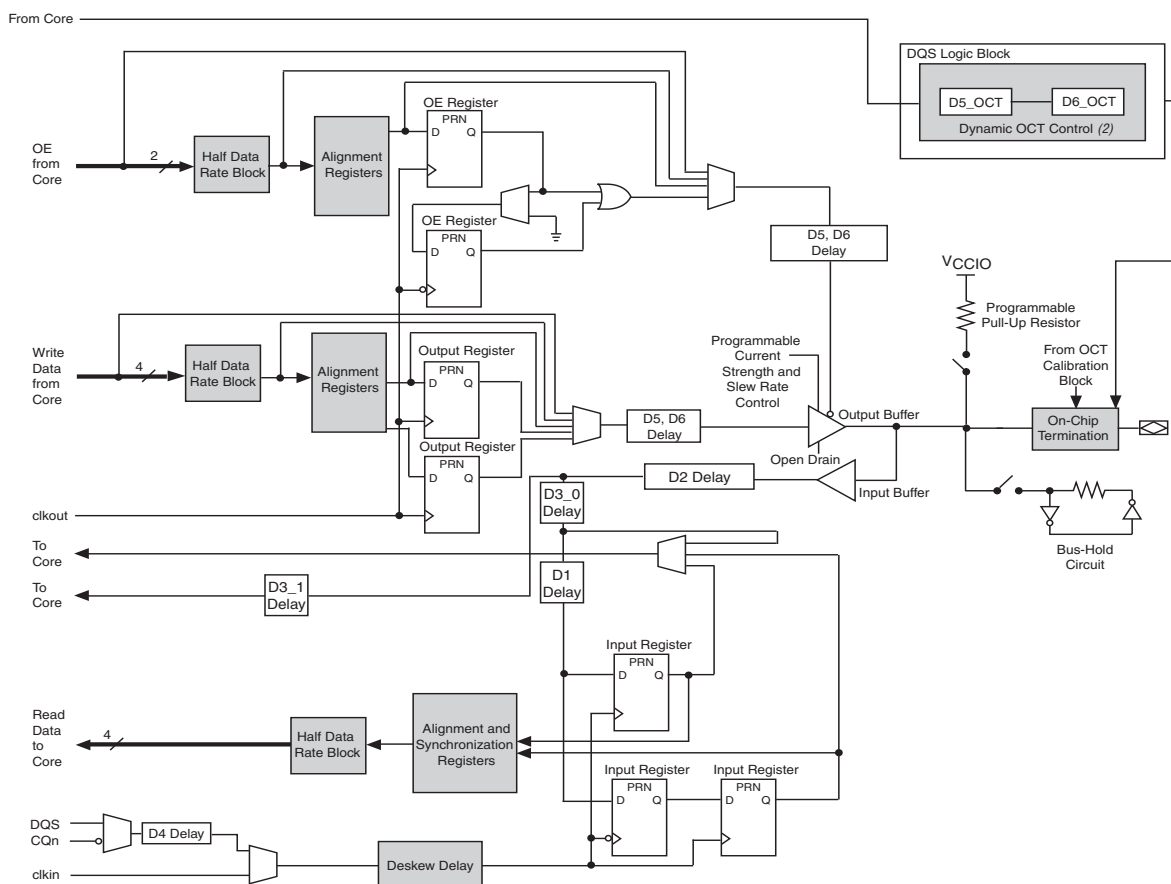


図 5-2 の注：

- (1) D3_0 および D3_1 遅延には、Quartus II ソフトウェアに同じ使用可能な設定があります。
- (2) 1 つのダイナミック OCT コントロールは DQ/DQS グループ単位で使用可能です。

3.3 V I/O のインタフェース

Stratix V I/O バッファは 3.3-V I/O 規格をサポートします。Stratix V I/O バッファはシステム内のトランスミッタまたはレシーバとして使用できます。Stratix V の V_{CCIO} 電圧は 3.0 V で動作されるとき、出力 High 電圧 (V_{OH})、出力 Low 電圧 (V_{OL})、入力 High 電圧 (V_{IH})、および入力 Low 電圧 (V_{IL}) のレベルは、わずかなマージンで EIA/JEDEC 規格 JESD8-B で定義される 3.3-V I/O 規格に適合します。

デバイスの信頼性と適切な動作を実現するには、Stratix V デバイスを使用して 3.3 V I/O システムとインタフェースするときに、Stratix V デバイスの絶対最大定格に違反しないことが重要です。アルテラでは、オーバershoot 電圧およびアンダershoot 電圧は仕様範囲内にあることを確認するように、IBIS または SPICE シミュレーションを実行することを推奨しています。

Stratix V デバイスをトランスミッタとして使用する場合は、I/O ピンでのオーバershoot およびアンダershoot を制限するように低速スルー・レートおよび直列終端を利用できます。レシーバで大きな電圧変動を引き起こす伝送線路の影響は、ドライバと伝送線路間のインピーダンス・ミスマッチに関連しています。ドライバのインピーダンスを伝送線路の特性インピーダンスにマッチングさせることによって、オーバershoot 電圧を大幅に低下させることができます。ドライバの近くに配置されている直列終端抵抗を使用して、総ドライバ・インピーダンスを伝送線路インピーダンスとマッチングさせることができます。Stratix V デバイスは、すべての I/O バンクで LVTTTL および LVCMOS I/O 規格の R_S OCT をサポートしています。

Stratix V デバイスをレシーバとして使用する場合は、オーバershoot 電圧を制限するように、クランプ・ダイオード (オフチップ) を利用できます。

3.3 V I/O 規格は、3.0 V のバンク電源電圧 (V_{CCIO}) および 3.0 V の V_{CCPD} 電圧でサポートされます。この方法により、クランプ・ダイオード (オフチップ) がイネーブルされている場合、ダイオードはオーバershoot 電圧を DC および AC 入力電圧仕様の範囲内で十分にクランプすることができます。クランプされた電圧は、電源電圧 (V_{CCIO}) とダイオード順方向電圧の合計値として表すことができます。

外部メモリ・インタフェース

Stratix V デバイスは、各 IOE 内の I/O レジスタに加えて、外部メモリ・インタフェースにインタフェースするために、すべての I/O バンクに専用レジスタおよび位相シフト回路も内蔵しています。Stratix V デバイスは、**SSTL-12**、**SSTL-15**、**SSTL-125**、**SSTL-135**、および **HSUL-12** などの新しい I/O 規格をサポートします。

DPA サポート付き高速差動 I/O

Stratix V デバイスは、高速差動 I/O サポートのための以下の専用回路を備えています。

- 差動 I/O バッファ
- トランスミッタ・シリアライザ
- レシーバ・デシリアライザ
- データ・リアラインメント
- DPA
- シンクロナイザ (FIFO バッファ)
- PLL (Phase-Locked Loop)

電流強度

Stratix V デバイスの各 I/O ピンの出力バッファは、特定の I/O 規格に適合させるためのプログラマブル電流強度コントロール機能が内蔵されています。プログラマブル電流強度を使用して、長い伝送線路またはレガシー・バックプレーンに起因する高い信号減衰の影響を緩和できます。LVTTTL、LVCMOS、SSTL、および HSTL I/O 規格には、ユーザーがコントロール可能な複数レベルのドライブ強度があります。表 5-4 に、Stratix V デバイスのプログラマブル電流強度設定をリストします。

表 5.4. プログラマブル電流強度設定

I/O 規格	I_{OH} / I_{OL} 電流値設定	単位
3.3-V LVTTTL (1)	16, 12, 8, 4	mA
3.3-V LVCMOS (1)	16, 12, 8, 4	mA
2.5-V LVCMOS	16, 12, 8, 4	mA
1.8-V LVCMOS	12, 10, 8, 6, 4, 2	mA
1.5-V LVCMOS	12, 10, 8, 6, 4, 2	mA
1.2-V LVCMOS	8, 6, 4, 2	mA
SSTL-2 Class I	12, 10, 8	mA
SSTL-2 Class II	16	mA
SSTL-18 Class I	12, 10, 8, 6, 4	mA
SSTL-18 Class II	16	mA
SSTL-15 Class I	12, 10, 8, 6, 4	mA
SSTL-15 Class II	16	mA
HSTL-18 Class I	12, 10, 8, 6, 4	mA
HSTL-18 Class II	16	mA
HSTL-15 Class I	12, 10, 8, 6, 4	mA
HSTL-15 Class II	16	mA
HSTL-12 Class I	12, 10, 8, 6, 4	mA
HSTL-12 Class II	16	mA
SSTL-12	40, 60, 240 (2), (3)	W
SSTL-15	34, 40, 25, 50 (2), (3)	W
SSTL-125	34, 40 (2), (3)	W
SSTL-135	34, 40 (2), (3)	W
HSUL-12	34, 40, 48, 60, 80 (2), (3)	W

表 5-4 の注：

- (1) 3.3-V LVTTTL および 3.3-V LVCMOS I/O 規格は 3.0 V の V_{CCIO} および V_{CCPD} でサポートされます。
- (2) 電流の強さは、ドライバのインピーダンス値 (Ω) で表されます。キャリブレーション付き R_S OCT のみがサポートされます。
- (3) シリコン特性評価待ちです。



アルテラでは、特定のアプリケーションに対する正しいドライブ強度設定を決定するために、IBIS または SPICE シミュレーションを実行することを推奨しています。

スルー・レート・コントロール

Stratix V デバイスのレギュラー・ピンおよびデュアル・ファンクション I/O ピンの出力バッファは、各出力を低ノイズまたは高速性能に設定可能なプログラマブル出力スルー・レート・コントロール機能を内蔵しています。高速スルー・レートを指定した場合は、高性能システムに対応した高速転送が行われます。低速スルー・レートを指定した場合、システム・ノイズの低減には役立ちますが、立ち上がりおよび立ち下がりエッジに一定の遅延が追加されます。各 I/O ピンは個別にスルー・レート・コントロール機能を備えているため、ユーザーはピン単位でスルー・レートを指定することができます。



R_S OCT を使用するときには、プログラマブル・スルー・レート機能を使用することはできません。

Quartus® II ソフトウェアでは、2つのプログラマブル・スルーレート・コントロール(0、1、および2)設定が可能です。ここで、0は低速スルー・レート、1は高速スルー・レートです。より高速なスルー・レートを使用して、メモリ・インタフェース・アプリケーションで得られるタイミング・マージン、または出力ピンに高い容量性負荷がある場合のタイミング・マージンを改善することができます。




アルテラでは、特定のアプリケーションに対する正しいスルー・レート設定を決定するために、IBIS または SPICE シミュレーションを実行することを推奨しています。

I/O 遅延

次の項では、プログラマブル IOE 遅れおよびプログラマブル出力バッファ遅延について説明します。


プログラマブル IOE 遅延


Stratix V デバイスの IOE には、5-7 ページの  5-2 に示すプログラマブルな遅延機能が含まれており、アクティブにしてゼロ・ホールド・タイム、最小セットアップ・タイム、クロック - 出力時間の延長を行うことができます。各ピンは、ピンから入力レジスタまでの異なる入力遅延値、または出力レジスタから出力ピンまでの遅延値を持つことができ、バスが同じ遅延でデバイスの入力または出力を行うことができます。この機能によってバスにおける信号間の不確実性が小さくなるため、リードおよびライト・タイム・マージンを確保するのに役立ちます。



プログラマブル IOE 遅延の仕様について詳しくは、「*DC and Switching Characteristics for Stratix V Devices*」の章を参照してください。

プログラマブル出力バッファ遅延

Stratix V デバイスは、5-7 ページの  5-2 に示すシングル・エンド出力バッファ内に構築された遅延チェーンをサポートします。遅延チェーンは出力バッファの立ち上がりエッジおよび立ち下がりエッジ遅延を独立して制御し、意図的にチャンネル間スキューを導入することによって、出力バッファのデューティ・サイクルの調整、チャンネル間スキューの補正、同時スイッチング出力 (SSO) ノイズの低減を達成でき、高速メモリ・インタフェースのタイミング・マージンを改善します。Stratix V デバイスは、デフォルト設定の「No Delay」で、4レベルの出力バッファ遅延設定をサポートします。

 プログラマブル出力バッファ遅延の仕様について詳しくは、「*DC and Switching Characteristics for Stratix V Devices*」の章を参照してください。

オープン・ドレイン出力

Stratix V デバイスは、各 I/O ピンに対しオプションでオープン・ドレイン出力 (オープン・コレクタと同等) を提供します。オープン・ドレインとしてコンフィギュレーションした場合、出力のロジック値は High-Z または 0 のいずれかです。一般に、ロジック High を供給するには外部プルアップ抵抗が必要です。

バス・ホールド

Stratix V デバイスの各 I/O ピンは、オプションのバス・ホールド機能を備えています。バス・ホールド回路は、I/O ピンの信号を最後にドライブされた状態にウィーク状態で保持します。バス・ホールド機能は、次の入力信号が現れるまで最後にドライブされた状態にピンを保持するため、バスがトライ・ステートになったとき、信号レベルを保持するための外部プルアップまたはプルダウン抵抗が不要になります。

バス・ホールド回路は、ノイズによって高周波数スイッチングが予定外に発生しそうな場合、ドライブされていないピンを入力スレッシュOLD電圧から離します。この機能は、ユーザーが各 I/O ピンに対して個別に選択できます。バス・ホールド出力のドライブは V_{CCIO} を超えることがなく、信号のオーバードライブを防ぎます。バス・ホールド機能がイネーブルの場合、プログラマブル・プルアップ・オプションは使用できません。I/O ピンが差動信号用にコンフィギュレーションされているときは、バス・ホールド機能をディセーブルにしてください。

バス・ホールド回路は、約 7 k Ω の公称抵抗値 (R_{BH}) を持つ抵抗を使用して、信号レベルを最後にドライブされた状態に固定します。

バス・ホールド回路は、コンフィギュレーション完了後にのみアクティブになります。ユーザー・モードに移行すると、バス・ホールド回路はコンフィギュレーションの終了時にピンに与えられた値をキャプチャします。

プログラマブル・プルアップ抵抗

Stratix V デバイスの各 I/O ピンは、ユーザー・モードで使用されるプログラマブル・プルアップ抵抗をオプションで提供します。この機能を 1 つの I/O ピンに対してイネーブルにすると、プルアップ抵抗 (通常 25 k Ω) は、 V_{CCIO} レベルに I/O をウィーク状態で保持します。

プログラマブル・プルアップ抵抗は、ユーザー I/O ピンでのみサポートされており、専用コンフィギュレーション・ピン、JTAG ピン、または専用クロック・ピンではサポートされていません。プログラマブル・プルアップ・がイネーブルの場合、バス・ホールド機能は使用できません。

プリアンファシス

Stratix V LVDS トランスミッタは伝送線路の周波数依存減衰の補正をサポートされます。Quartus II ソフトウェアには、2 つのプログラマブル・プリアンファシス・コントロールの設定があります。0 がディセーブルされて、1 がイネーブルされます。

差動出力電圧

LVDS トランスミッタはプログラマブル V_{OD} をサポートします。プログラマブル V_{OD} 設定で、トレース長と消費電力を最適化するように出力アイの高さを調整できます。より小さい V_{OD} 振幅は消費電力を低減しますが、より高い V_{OD} 振幅はレシーバ端における電圧マージンを向上させます。Quartus II ソフトウェアでは、4 つのプログラマブル V_{OD} コントロール (0、1、2、および 3) が可能です。ここで、 V_{OD} は Low (0)、Medium low (1 ; デフォルト)、Medium high (2)、および High (3) です。

MultiVolt I/O インタフェース

Stratix V アーキテクチャは、MultiVolt I/O インタフェース機能をサポートしており、すべてのパッケージの Stratix V デバイスは電源電圧の異なるシステムとインタフェースすることができます。

V_{CCIO} ピンは要求される出力のレベルに応じて、1.2-V、1.25-V、1.35-V、1.5-V、1.8-V、2.5-V、または 3.0-V のいずれかの電源に接続することができます。出力レベルは電源と同じ電圧のシステムと互換性があります。例えば、 V_{CCIO} ピンを 1.5 V の電源に接続した場合、出力レベルは 1.5 V のシステムと互換性を持つようになります。

Stratix V の V_{CCPD} 電源ピンは、2.5 V または 3.0 V の電源に接続されている必要があります。これらの電源ピンは、出力バッファにプリドライバ電源を供給するために使用され、出力ピンの性能を強化します。表 5-5 に、Stratix V の MultiVolt I/O サポートを示します。

表 5-5. Stratix V の MultiVolt I/O サポート (注 1)

V_{CCIO} (V) (3)	入力信号 (V)								出力信号 (V)							
	1.2	1.25	1.35	1.5	1.8	2.5	3.0	3.3	1.2	1.25	1.35	1.5	1.8	2.5	3.0	3.3
1.2	✓	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—
1.25	—	✓	—	—	—	—	—	—	—	✓	—	—	—	—	—	—
1.35	—	—	✓	—	—	—	—	—	—	—	✓	—	—	—	—	—
1.5	—	—	—	✓	✓	—	—	—	—	—	—	✓	—	—	—	—
1.8	—	—	—	✓	✓	—	—	—	—	—	—	—	✓	—	—	—
2.5	—	—	—	—	—	✓	✓	(2)	(2)	—	—	—	—	✓	—	—
3.0	—	—	—	—	—	✓	✓	(2)	(2)	—	—	—	—	—	✓	✓

表 5-5 の注:

- ピン電流はデフォルト値よりもわずかに高くなる場合があります。駆動デバイスの V_{OL} 最大電圧および V_{OH} 最低電圧が、適用される Stratix V の V_{IL} 最大電圧仕様および V_{IH} 最小電圧仕様に違反していないことを検証する必要があります。
- アルテラでは、入力信号が 3.0 V か 3.3 V のとき、I/O ピンの上に外部のクランプ・ダイオードを使用することができます。
- Stratix V デバイスの各 I/O バンクには、専用の V_{CCIO} ピンがあり、1.2、1.25、1.35、1.5、1.8、または 3.0 V のいずれか 1 つの V_{CCIO} のみサポートします。 V_{CCIO} は 3.0 V のとき、LVDS I/O 規格はサポートされていません。 V_{CCIO} は 1.2、1.25、1.35、1.5、1.8、または 2.5 V のとき、LVDS の入力動作はサポートされています。 V_{CCIO} は 2.5 V のときのみ、LVDS 出力動作はサポートされます。

OCT のサポートおよび I/O 終端方法

Stratix V デバイスは、I/O インピーダンス・マッチングおよび終端機能を可能にするダイナミック R_S および R_T OCT を備えています。OCT は、信号品質の維持、ボード・スペースの節約、外部コンポーネント・コストの低減を実現します。

Stratix V デバイスは、以下の OCT 方法をサポートしています。

- キャリブレーション付きまたはなしの R_S
- キャリブレーション付き R_T
- シングル・エンド I/O 規格のダイナミック R_S
- シングル・エンド I/O 規格のダイナミック R_T
- 差動 LVDS I/O 規格の R_D

Stratix V デバイスはすべての I/O バンクの OCT をサポートします。同じ V_{CCIO} 電源電圧を使用する場合、差動 I/O 規格に対して、同じ I/O バンクで R_S および R_T OCT を使用できます。I/O バンクの各 I/O は、 R_S OCT、プログラマブル電流強度、または R_T OCT をサポートするために、独立してコンフィギュレーションすることができます。



同じ I/O バッファに対して、 R_S OCT とプログラマブル電流強度の両方をコンフィギュレーションすることはできません。

Stratix V OCT キャリブレーション・プロセスは、直列および並列キャリブレーション終端に対して、特定の I/O バンクにおけるすべてのキャリブレーション・ブロックで使用可能な RZQ ピンを使用します。RZQ ピンは、配置されている I/O バンクと同じ V_{CCIO} 電源を共有します。これは兼用 I/O ピンであり、キャリブレーション回路を使用しない場合、GPIO として機能します。OCT キャリブレーションに使用する場合、RZQ ピンは外部 100- Ω または 240- Ω リファレンス抵抗を通して GND に接続されます。

すべての I/O ピンは双方向ピンのキャリブレーションされた R_S OCT、 R_T OCT、およびダイナミック OCT をサポートします。ダイナミック R_T OCT は、受信モードの双方向ピンでイネーブルされて、送信モードでディセーブルされます。

次の接続は、リファレンス抵抗を介して RZQ ピンを接続する必要があります。

- RZQ ピンは、34、40、48、60、および 80- Ω の R_S OCT の外部 240- Ω 抵抗を介して、GND に接続され
- RZQ ピンは、20、30、40、60、および 120- Ω の R_T OCT の外部 240- Ω 抵抗を介して、GND に接続され
- RZQ ピンは、25- Ω および 50- Ω の R_S OCT の外部 100- Ω 抵抗を介して、GND に接続され
- RZQ ピンは、50- Ω の R_T OCT の外部 100- Ω 抵抗を介して、GND に接続され

キャリブレーションなしの R_S OCT


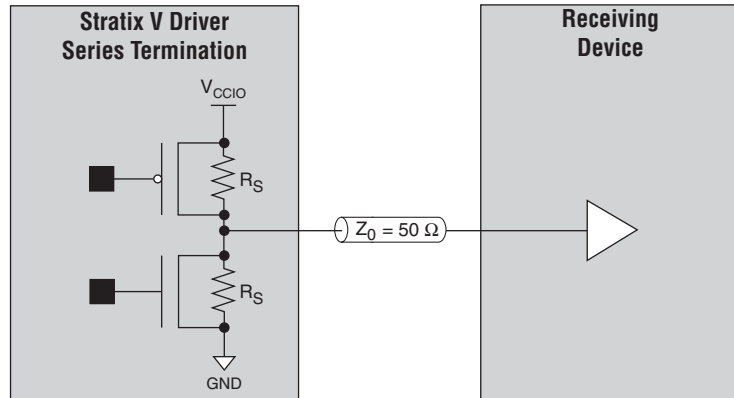
Stratix V デバイスは、I/O ドライバに伝送ラインのインピーダンスと厳密にマッチングする制御された出力インピーダンスを提供するために、ドライバ・インピーダンス・マッチングをサポートしています。その結果、反射を大幅に低減できます。Stratix V デバイスは、シングル・エンド I/O 規格の R_S OCT をサポートします ( 5-3 を参照)。

図 5-3 に示す R_S は、出力トランジスタの固有インピーダンスです。標準的な R_S の値は、 $25\ \Omega$ と $50\ \Omega$ です。マッチング・インピーダンスが選択されると、電流強度は選択不能になります。

図 5.3. キャリブレーションなしの R_S OCT



SSTL Class I I/O 規格の OCT を使用するには、 $50\text{-}\Omega$ R_S OCT 設定を選択する必要があります。したがって、 $50\text{-}\Omega$ の伝送ラインと一致するように、外部 $25\text{-}\Omega$ R_S を削除します。SSTL Class II I/O 規格に対して、 $50\text{-}\Omega$ 伝送ラインと近端の V_{TT} への $50\text{-}\Omega$ プルアップ抵抗を整合させるために $25\text{-}\Omega$ R_S OCT 設定を選択する必要があります。

キャリブレーション付き R_T OCT

Stratix V デバイスは、キャリブレーション付き R_S OCT をすべてのバンクでサポートします。 R_S OCT キャリブレーション回路は、I/O バッファの合計インピーダンスと RZQ ピンに接続された外部 $240\text{-}\Omega$ または $100\text{-}\Omega$ のリファレンス抵抗を比較し、それらがマッチングするまでダイナミックにトランジスタをイネーブまたはディセーブルします。

図 5-4 に示す R_S は、出力トランジスタの固有インピーダンスです。キャリブレーションは、デバイス・コンフィギュレーションの最後に実行されます。キャリブレーション回路は、正しいインピーダンスを見つけるとパワーダウンし、ドライバ特性の変更を停止します。

図 5.4. キャリブレーション付き R_S OCT

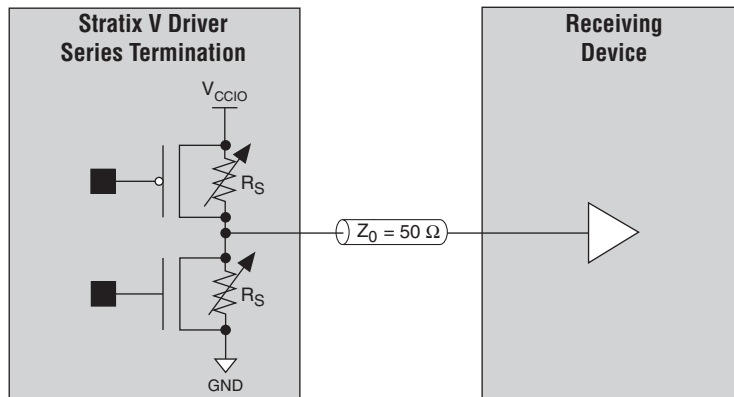


表 5-6 に、異なる I/O 規格で I/O のキャリブレーション付き / なし OCT の入力および出力終端を示します。

表 5.6. キャリブレーション付きおよびキャリブレーションなしの OCT を使用した選択可能な I/O 規格 (その 1)

I/O 規格	出力終端		入力終端	V_{REF} (V)	V_{CCIO} (V)
	キャリブレーションされていない R_s OCT 設定、 $R_s(\Omega)$	キャリブレーションされた R_s OCT 設定、 $R_s(\Omega)$ (1)	R_T OCT 設定、 $R_T(\Omega)$		
3.3V LVTTTL/LVCMOS	25/50	25/50	—	—	3
2.5-V LVCMOS	25/50	25/50	—	—	2.5
1.8-V LVCMOS	25/50	25/50	—	—	1.8
1.2-V LVCMOS	25/50	25/50	—	—	1.2
SSTL-2 Class I	50	50	50	1.25	2.5
SSTL-2 Class II	25	25	50	1.25	2.5
SSTL-18 Class I	50	50	50	0.9	1.8
SSTL-18 Class II	25	25	50	0.9	1.8
SSTL15 Class I	50	50	50	0.75	2.5
SSTL15 Class II	25	25	50	0.75	2.5
HSTL 1.8 Class I	50	50	50	0.9	1.8
HSTL 1.8 Class II	25	25	50	0.9	1.8
HSTL 1.5 Class I	50	50	50	0.75	1.5
HSTL 1.5 Class II	25	25	50	0.75	1.5
HSTL 1.2 Class I	50	50	50	0.6	1.2
HSTL 1.2 Class II	25	25	50	0.6	1.2
SSTL15	—	25, 34, 40, 50 (2)	20, 30, 40, 60, 120 (2)	0.75	1.5
SSTL135	—	34, 40 (2)	20, 30, 40, 60, 120 (2)	0.675	1.35
SSTL125	—	34, 40 (2)	20, 30, 40, 60, 120 (2)	0.625	1.25
SSTL12	—	40, 60, 240 (2)	60, 120 (2)	0.6	1.2
HSUL 1.2	—	34, 40, 48, 60, 80 (2)	(2)	0.6	1.2
Differential SSTL-2 Class I	50	50	50	1.25	2.5
Differential SSTL-2 Class II	25	25	50	1.25	2.5
Differential SSTL-18 Class I	50	50	50	0.9	1.8
Differential SSTL-18 Class II	25	25	50	0.9	1.8
Differential SSTL15 Class I	50	50	50	0.75	2.5
Differential SSTL15 Class II	25	25	50	0.75	2.5
Differential HSTL 1.8 Class I	50	50	50	0.9	1.8
Differential HSTL 1.8 Class II	25	25	50	0.9	1.8
Differential HSTL 1.5 Class I	50	50	50	0.75	1.5

表 5.6. キャリブレーション付きおよびキャリブレーションなしの OCT を使用した選択可能な I/O 規格 (その 2)

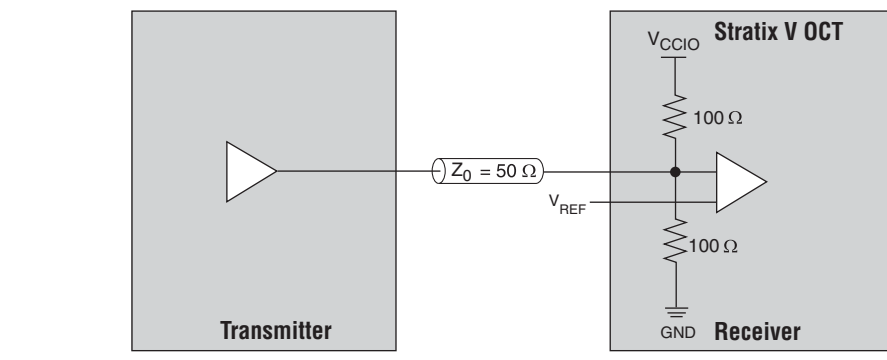
I/O 規格	出力終端		入力終端	V_{REF} (V)	V_{CCIO} (V)
	キャリブレーションされていない R_S OCT 設定、 $R_S(\Omega)$	キャリブレーションされた R_S OCT 設定、 $R_S(\Omega)$ (1)	R_T OCT 設定、 $R_T(\Omega)$		
Differential HSTL 1.5 Class II	25	25	50	0.75	1.5
Differential HSTL 1.2 Class I	50	50	50	0.6	1.2
Differential HSTL 1.2 Class II	25	25	50	0.6	1.2
Differential SSTL15	—	25, 34, 40, 50 (2)	20, 30, 40, 60, 120 (2)	—	1.5
Differential SSTL135	—	34, 40 (2)	20, 30, 40, 60, 120 (2)	—	1.35
Differential SSTL125	—	34, 40 (2)	20, 30, 40, 60, 120 (2)	—	1.25
Differential SSTL12	—	40, 60, 240 (2)	60, 120 (2)	—	1.2
Differential HSUL 1.2	—	34, 40, 48, 60, 80 (2)	(2)	—	1.2

表 5-6 の注:

- (1) 25- および 50- Ω ドライバ・インピーダンスが 100 Ω のリファレンス抵抗に接続される RZQ ピンとキャリブレーションされて、GND に接続されます。
- (2) キャリブレーションされた R_S および R_T OCT の最終的な値はシリコン特性評価待ちです。

キャリブレーション付き R_T OCT

Stratix V デバイスは、キャリブレーション付き R_T OCT をすべてのバンクでサポートします。キャリブレーション付き R_T OCT は、入力コンフィギュレーションまたは双方向ピン・コンフィギュレーションでのみサポートされます。出力ピン・コンフィギュレーションは、キャリブレーション付き R_T OCT はサポートしません。図 5-5 に、キャリブレーション付き R_T OCT を示します。 R_T OCT が使用されているとき、バンクの V_{CCIO} は R_T OCT がイネーブルされる I/O 規格に合わせないとけません。

図 5.5. キャリブレーション付き R_T OCT

R_T OCT キャリブレーション回路は、I/O バッファの合計インピーダンスと RZQ ピンに接続された外部 $100\text{-}\Omega$ または $240\text{-}\Omega$ の抵抗を比較し、それらがマッチングするまで動的にトランジスタをイネーブルまたはディセーブルします。キャリブレーションは、デバイス・コンフィギュレーションの最後に実行されます。キャリブレーション回路は、正しいインピーダンスを見つけるとパワーダウンし、ドライバ特性の変更を停止します。

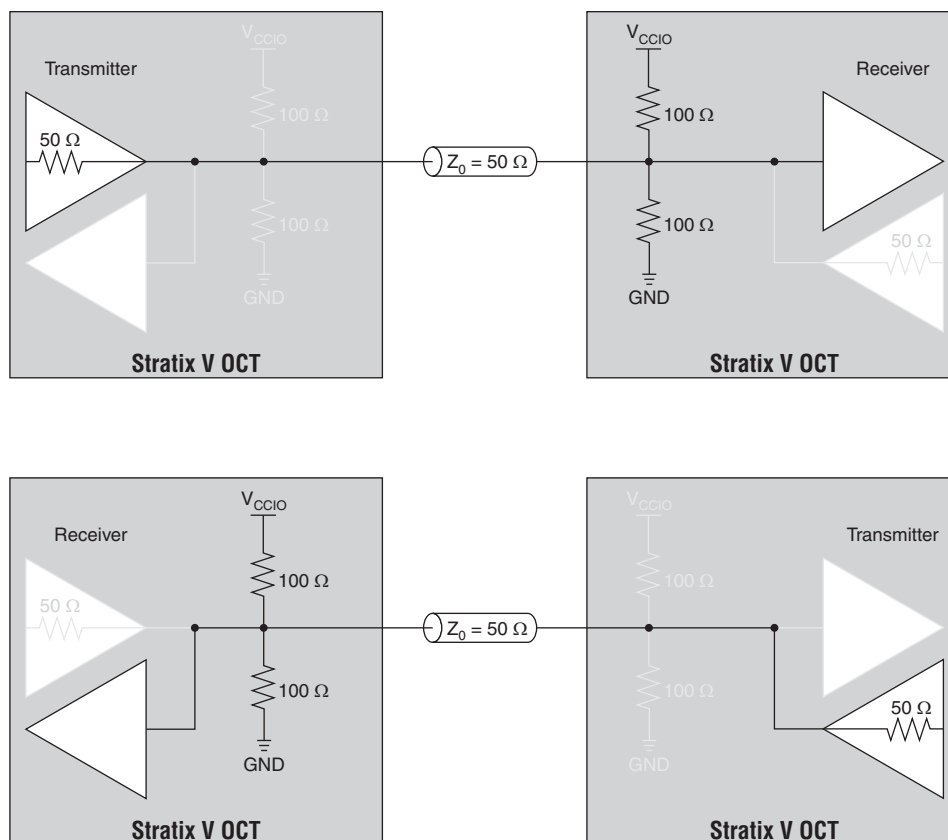
ダイナミック OCT

Stratix V デバイスはすべての I/O バンクにおける双方向のダイナミック R_S および R_T OCT をサポートします。図 5-6 に、Stratix V デバイスでサポートされる終端方法を示します。ダイナミック R_T OCT は、双方向 I/O がレシーバとして動作するときのみイネーブルされ、ドライバとして動作するときはディセーブルされます。同様に、ダイナミック R_S OCT は、双方向 I/O がドライバとして動作するときのみイネーブルされ、レシーバとして動作するときはディセーブルされます。データの方向に応じてシグナル・インテグリティが最適化されるので、この機能は任意の高性能双方向パスを終端するのに役立ちます。

アルテラは、ダイナミック OCT 方法で DDR3 メモリ・インタフェースの新しい I/O 規格を使用することを推奨します。これらの I/O 規格が使用される外部終端抵抗の数を減らすことによって、ボード・スペースを節約します。

デバイス終端は外部ではなく内部にあるので、ダイナミック OCT を使用するとパワーを節約することができます。終端は入力動作のときだけスイッチ・オンできるので、スタティック消費電力が少なくなります。

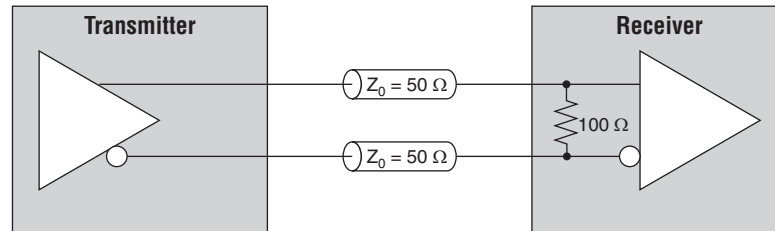
図 5.6. Stratix V デバイスのダイナミック R_T OCT



LVDS 入力の R_D OCT

Stratix V デバイスは、図 5-7 に示すとおり、 $100\ \Omega$ の公称抵抗値を持つ差動 LVDS 入力バッファに対する OCT をサポートします。すべての I/O バンクは R_D OCT をサポートします。 V_{CCIO} および V_{CCPD} の両方が $2.5\ V$ に設定されるとき、 R_D OCT を使用できます。

図 5.7. 差動入力 OCT

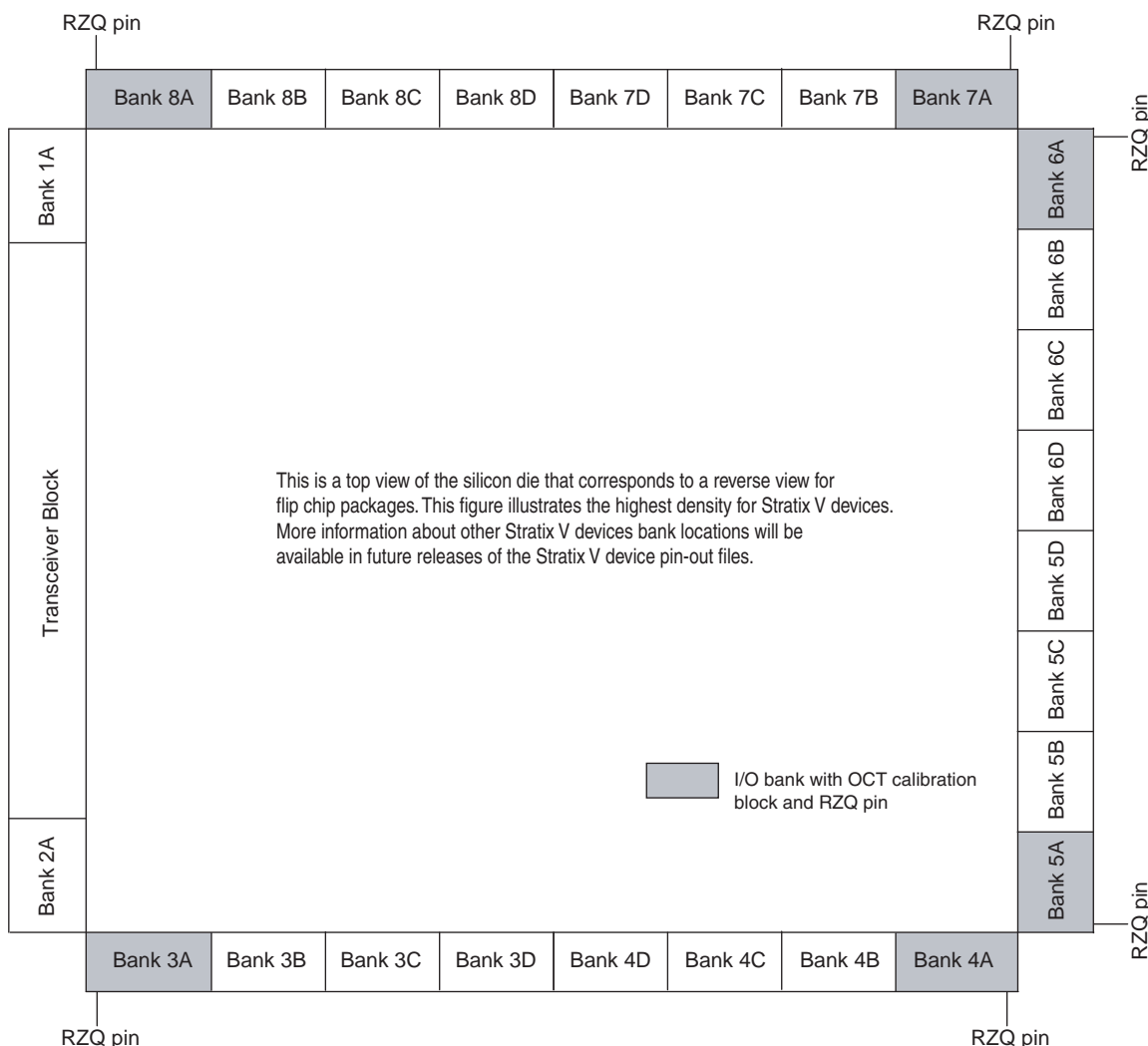


OCT キャリブレーション

Stratix V デバイスは、専用コンフィギュレーションピンを除いて、すべての I/O ピンでキャリブレーションされた R_S および R_T をサポートします。デバイス集積度に応じて、利用可能な 4 ~ 8 の OCT キャリブレーション・ブロックのいずれかを使用してキャリブレーションすることができます。各キャリブレーションブロックは、1 つ RZQ ピンが含まれています。

図 5-8 に、RZQ ピンと OCT キャリブレーション・ブロック付き I/O バンクの位置を示します。

図 5.8. RZQ ピンと OCT キャリブレーション・ブロック付き I/O バンクの位置 - 暫定仕様



複数の I/O バンクでの OCT キャリブレーション・ブロックの共有

OCT キャリブレーション・ブロックと、そのブロックを持つ I/O バンクの V_{CCIO} は同じです。OCT キャリブレーションは、利用可能な OCT キャリブレーション・ブロック数を上限とする異なる V_{CCIO} 電圧規格を持つすべての I/O バンクでサポートされます。I/O バンクをコンフィギュレーションして、同じ V_{CCIO} を持つ任意の OCT キャリブレーション・ブロックからのキャリブレーション済みコードを受信することができます。同じ V_{CCIO} を持つすべての I/O バンクは、そのバンクが専用の OCT キャリブレーション・ブロックを持っている場合でも、1つの OCT キャリブレーション・ブロックを共有できます。

例えば、図 5-9 に同じ V_{CCIO} 電圧を持つ I/O バンクのグループを示します。I/O バンク・グループが同じ V_{CCIO} 電圧を持つ場合は、1 つの OCT キャリブレーション・ブロックを使用して、周辺部に配置された I/O バンクのグループをキャリブレーションできます。3B、4C、6C、および 7B にはバンク 7A と同じ V_{CCIO} があり、バンク 7A に配置されている OCT キャリブレーション・ブロック (CB7) を持つ 4 つすべての I/O バンク (3B、4C、6C、および 7B) をキャリブレーションできます。これは R_S OCT キャリブレーション・コードを、バンク 7A に配置されている OCT キャリブレーション・ブロックから周辺部に配置されている I/O バンクに、シリアルにシフト・アウトして達成することができます。


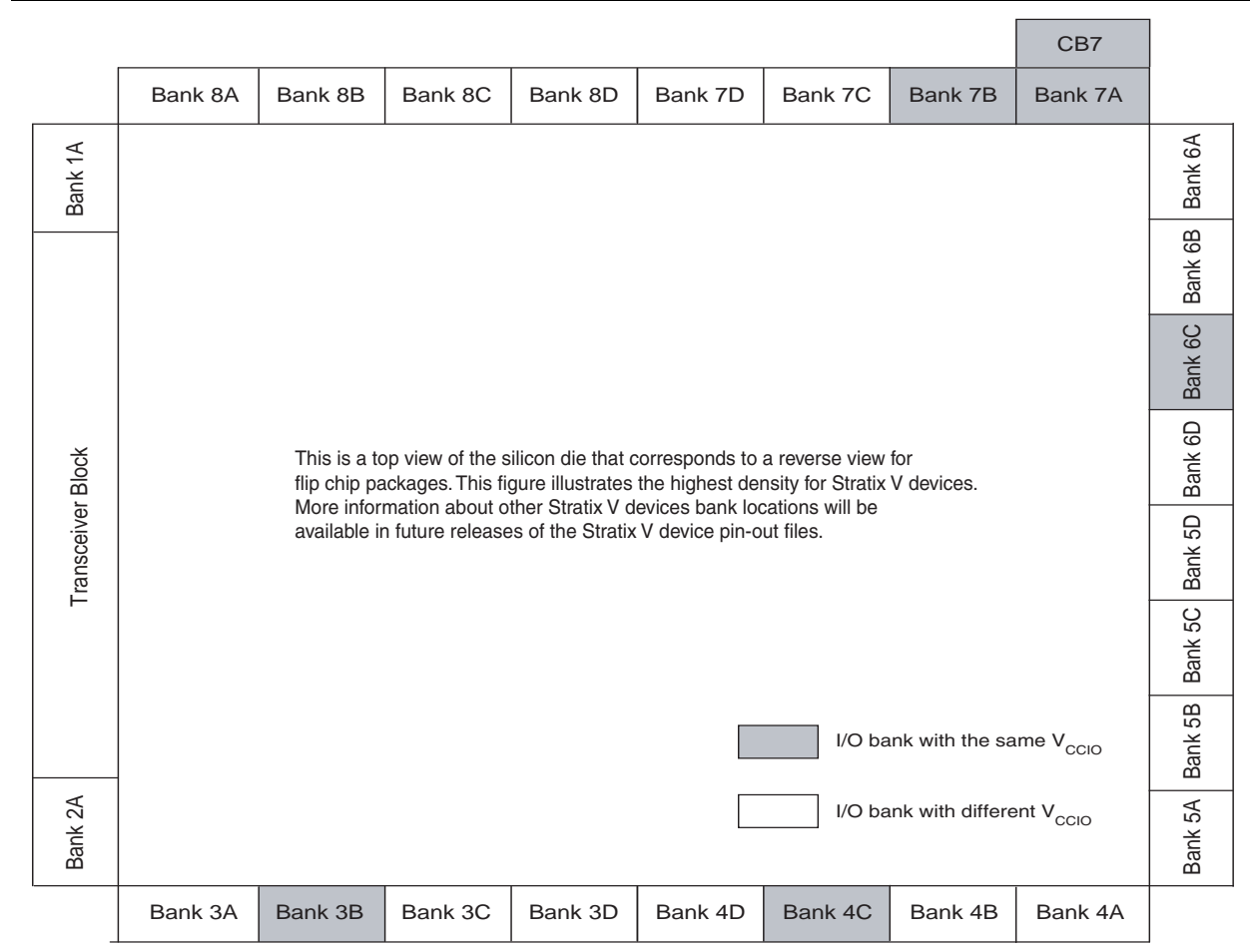
 キャリブレーション・ブロックが含まれていない I/O バンクはキャリブレーション・ブロックが含まれている I/O バンクとキャリブレーション・ブロックを共有します。

図 5-9 はシリコン・ダイの上面図で、フリップチップ・パッケージの裏面図に相当します。この表はトランシーバ・キャリブレーション・ブロックを示しません。

図 5.9. 1 つの OCT キャリブレーション・ブロックを持つ複数 I/O バンクの共有例 - 暫定仕様



OCT キャリブレーションの動作モード

OCT キャリブレーションはパワーアップ・モードまたはユーザー・モードのいずれかで発振します。

パワーアップ・モード

パワーアップ・モードには、OCT キャリブレーションはパワーアップ時に自動的に実行されます。キャリブレーション・コードはユーザー・モードに遷移する前に、選択された I/O バッファにシフトされます。

ユーザー・モード

ユーザー・モードには、OCTUSRCLK、ENAOCT、nCLRUSR および ENASER 信号は各 OCT キャリブレーション・ブロックから任意の I/O にキャリブレーション・コードをキャリブレートしてシリアルに遷移するすのに使用されます。

表 5-7 に、ユーザー制御キャリブレーション・ブロックの信号名とそれらの説明を示します。

表 5 7. ユーザー・コントロールの OCT キャリブレーション・ブロックのポート

信号名	説明
OCTUSRCLK	OCT ブロックのクロック。
ENAOCT	イネーブル OCT キャリブレーション (ユーザー IP によって生成されました)。
ENASER [7..0]	ENAOCT=0 のときに各信号は、対応する OCT キャリブレーション・ブロックに OCT シリアライザをイネーブルします。 ENAOCT=1 のときに各信号は、対応する OCT キャリブレーション・ブロックに OCT キャリブレーションをイネーブルします。
S2PENA_<bank#>	I/O 単位でのシリアル・パラレルのロード・イネーブル。
nCLRUSR	クリア・ユーザー。

図 5-10 に、ユーザー信号のフローを示します。ENAOCT が 1 のとき、すべての OCT キャリブレーション・ブロックはキャリブレーション・モードにあります。ENAOCT が 0 のとき、すべての OCT キャリブレーション・ブロックはシリアル・データ転送モードにあります。OCTUSRCLK のクロック周波数は 20 MHz またはその以下でなければなりません。


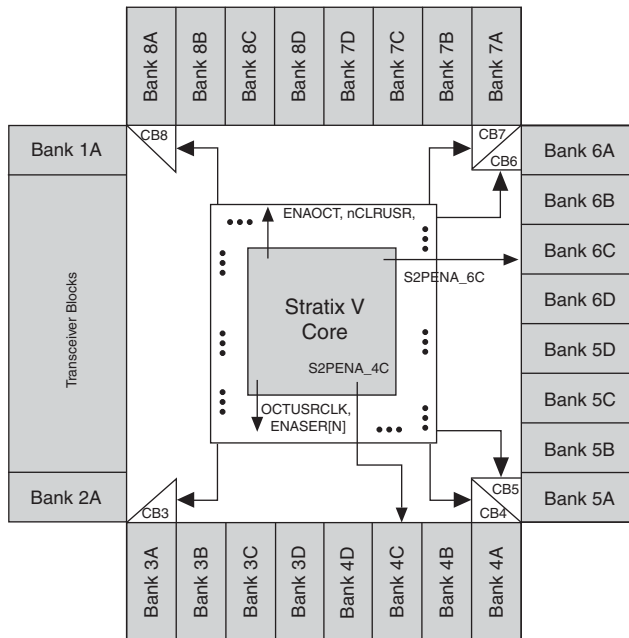
 すべてのユーザー信号は OCTUSRCLK 信号の立ち上がりエッジに生成しなければなりません。

図 5 10. ユーザー・モード・キャリブレーション用の信号



OCT キャリブレーション

図 5-11 に、ユーザー・モードの信号タイミングの波形を示します。OCT ブロック [N] (N はキャリブレーション・ブロック数) をキャリブレートするのに、 $ENASER[N]$ をアサートする前に $ENAOCR$ は 1 サイクルを先にアサートしなければなりません。また、 $ENASER[N]$ をアサートされる前に、 $nCLRUSR$ は一つの $OCTUSRCLK$ サイクルに「Low」に設定します。 R_S OCT および R_T OCT キャリブレーションを実行するには、1000 $OCTUSRCLK$ サイクルのための $ENASER[N]$ 信号をアサートします。最後の $ENASER$ がデアサートされた 1 クロック・サイクル後に、 $ENAOCR$ をデアサートすることができます。

シリアル・データ転送

キャリブレーションが完成されたら、32 ビット OCT キャリブレーション・コード (16 ビット R_S OCT コードおよび 16 ビット R_T OCT) は各 OCT キャリブレーション・ブロックから対応する I/O パッファにシリアルにシフトされます。一度に 1 つだけ $ENASER[N]$ 信号をアサートすることによって任意の時点で一つの OCT キャリブレーション・ブロックはコードを送信することができます。 $ENAOCR$ がデアサートされた後、任意の $ENASER[N]$ 信号をイネーブルしてシリアル転送を開始するのに少なくとも

も 1 OCTUSRCLK サイクルを待つ必要があります。32 ビット・コードを OCT キャリブレーション・ブロックからシフトできるように、ENASER [N] は厳密に 32 OCTUSRCLK サイクルをアサートしなければなりません。2 つの連続アサートされた ENASER 信号の間には少なくとも 1 つの OCTUSRCLK サイクルのギャップが必要です (図 5-11 を参照)。

図 5-11. 1 つの OCT ブロック用の OCT ユーザー・モードの信号タイミングの波形

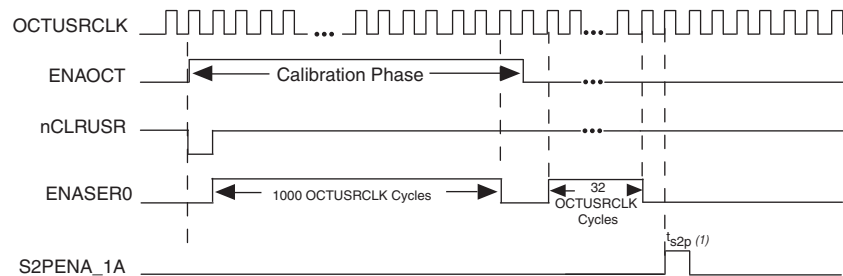


図 5-11 の注：

(1) $t_{s2p} \geq 25 \text{ ns}$.

キャリブレートされたコードが各 I/O バンクへシリアルにシフトされたら、I/O バッファで使用される前に、そのキャリブレートされたコードはシリアル形式からパラレル形式に変換しなければなりません。図 5-11 に、各 I/O バンクはキャリブレーション・コードをどの時点でも更新するためにアサートできる S2PENA 信号を示します。同じ OCT キャリブレーション・ブロックからコードを受け取ったすべての I/O バンクは同時に、または異なる時に S2PENA をアサートさせることができますが、別の OCT キャリブレーション・ブロックはキャリブレートされ、コードをシリアルにシフトされても S2PENA をアサートさせることができます。ENASER が少なくとも 25 ns でディアサートされた後に、S2PENA 信号は 1 OCTUSRCLK サイクルにアサートされます。それらの S2PENA がパラレル・コード転送にアサートされるとき、I/O は送信またはデータ受信として使用することはできません。

複数の OCT キャリブレーション・ブロックの使用例

図 5-12 には R_S と R_T のキャリブレーションを行っている 2 つの OCT キャリブレーション・ブロックの信号タイミング波形を示します。キャリブレーション・ブロックは、異なるタイミングで ENASER 信号をアサートすることにより、異なる時間でキャリブレートし始めます。ENAOCT はどんなキャリブレーションの進行中でもアサートされたままでなければなりません。ENASER [N] 信号をアサートする前に、nCLRUSR は 1 サイクルの OCTUSRCLK に対して「Low」に設定しなければなりません。図 5-12 に、nCLRUSR は OCT キャリブレーション・ブロック 0 を初期化するのに 2 回目に 0 に設定されても、キャリブレーションが実行中であるので、OCT キャリブレーション・ブロック 1 には影響を与えないことを示します。

図 5 12. 2 つの OCT ブロック用の OCT ユーザー・モード信号タイミング波形

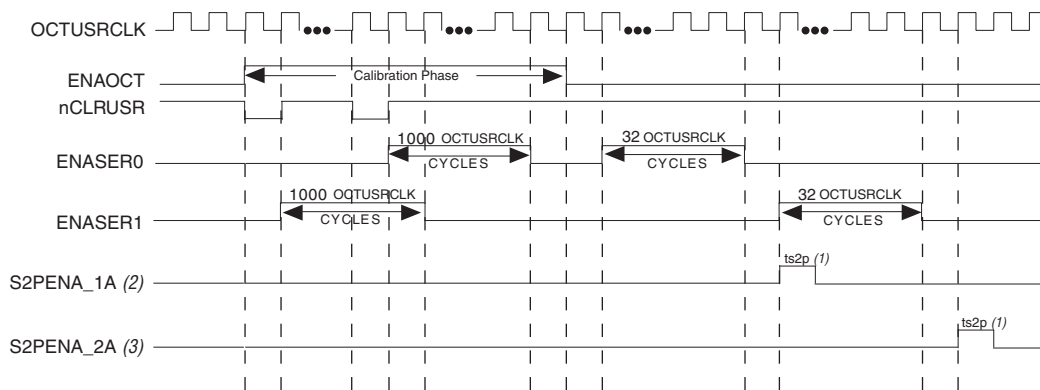


図 5-12 の注:

- (1) $t_{s2p} \geq 25 \text{ ns}$
- (2) S2PENA_1A はキャリブレーション・ブロック 0 に対してバンク 1A にアサートされます。
- (3) S2PENA_2A はキャリブレーション・ブロック 1 に対してバンク 2A にアサートされます。

I/O 規格の終端方法

以下のセクションは Stratix V デバイスで使用される I/O 規格の異なった終端方法について説明します。

シングル・エンド I/O 規格の終端

電圧リファレンス形式の I/O 規格では、入力リファレンス電圧 (V_{REF}) と終端電圧 (V_{TT}) の両方が必要です。受信デバイスのリファレンス電圧は、送信デバイスの終端電圧に追従します。

通常、SSTL-15、SSTL-135、SSTL-125、SSTL-12、および HSUL-12 などのサポートされる I/O 規格は、外部ボード終端を必要としません。アルテラは、使用される外部終端抵抗の数を減らすことによって、ボード・スペースとコストを節約するため、これらの I/O 規格とダイナミック OCT を使用することを推奨しています。

図 5-13 に、Stratix V デバイスで SSTL I/O 終端の詳細を示します。

図 5 13. SSTL I/O 規格の終端 (注 1)

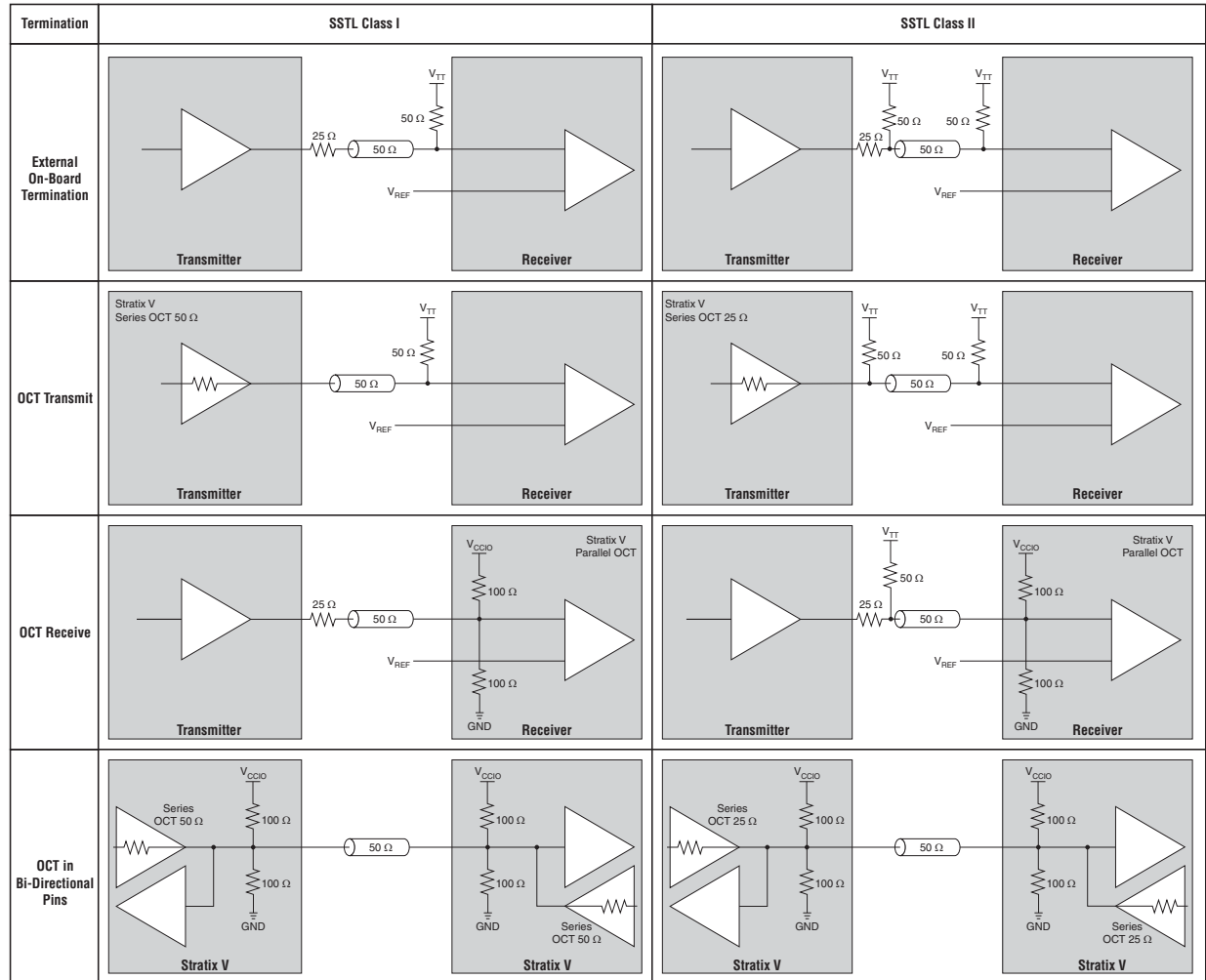


図 5-13 の注：

- (1) これは SSTL-12、SSTL-15、SSTL-125、および SSTL-135 の I/O 規格に適用できません。

図 5-14 に、Stratix V デバイスで HSTL I/O 終端の詳細を示します。

図 5 14. HSTL I/O 規格の終端 (注 1)

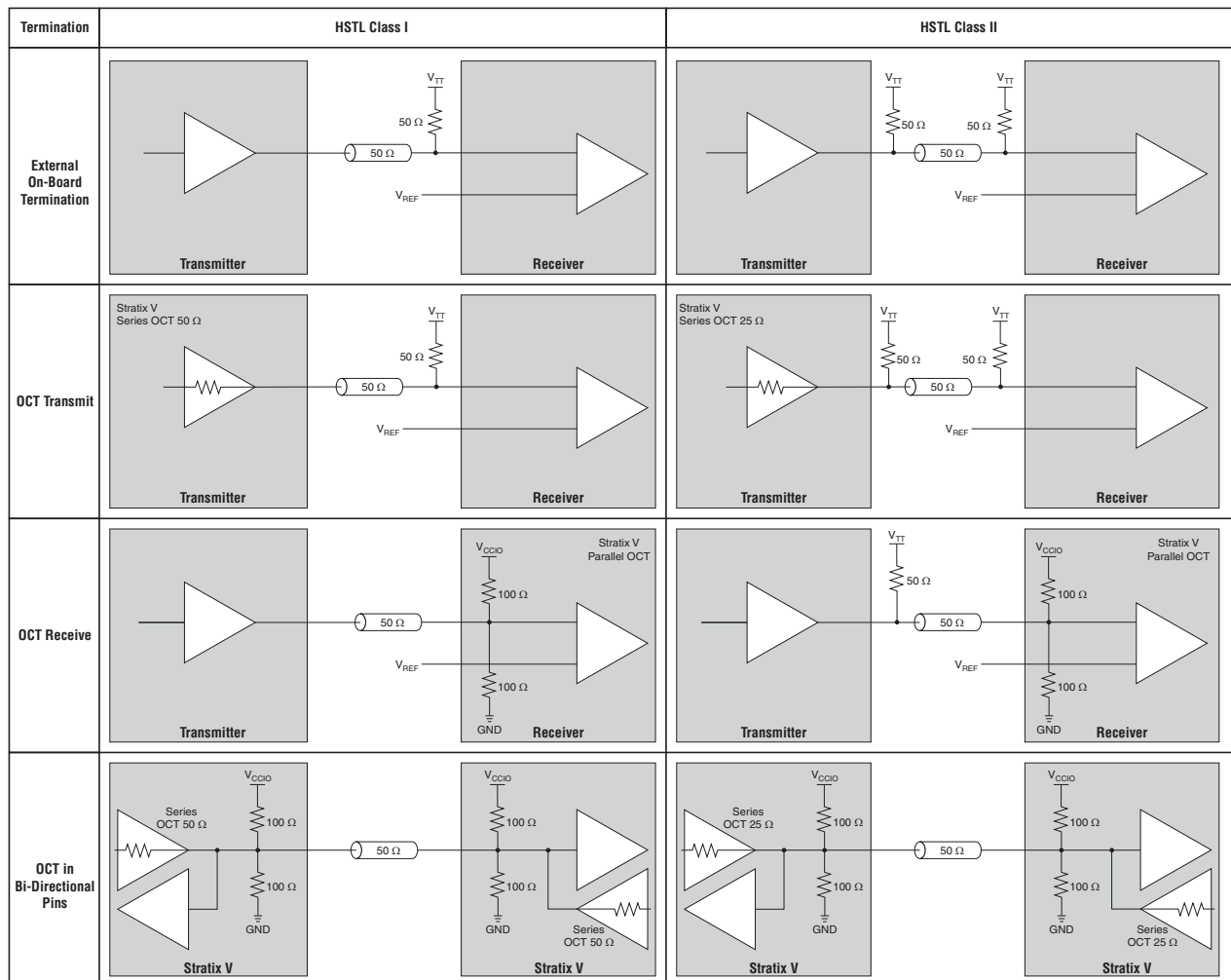


図 5-14 の注:

(1) これは、HSUL-12 I/O 規格に適用できません。

R_S および R_T OCT を同時に使用することはできません。詳細は、5-17 ページの「ダイナミック OCT」を参照してください。

差動 I/O 規格の終端

Stratix V デバイスは、differential SSTL-18 と SSTL-2、differential HSTL-18、HSTL-15、HSTL-12、LVDS、LVPECL、RSDS、および mini-LVDS I/O 規格をサポートします。

図 5-15 ~ 図 5-21 には、Stratix V デバイスでの様々な差動 I/O 終端の詳細を示します。

通常、differential SSTL-12、differential SSTL-15、differential SSTL-125、differential SSTL-135、および differential HSUL-12 などのサポートされる I/O 規格は、外部ボード終端を必要としません。アルテラは、使用される外部終端抵抗の数を減らすことによって、ボード・スペースとコストを節約するため、これらの I/O 規格とダイナミック OCT を使用することを推奨しています。


 **Differential HSTL、SSTL、および HSUL I/O 規格の出力は、真の差動出力ではありません。これらは 2 つのシングル・エンド出力を 2 番目の出力が反転されるようにプログラムして使用します。**

図 5.15. 差動 SSTL I/O 規格の終端 (注 1)

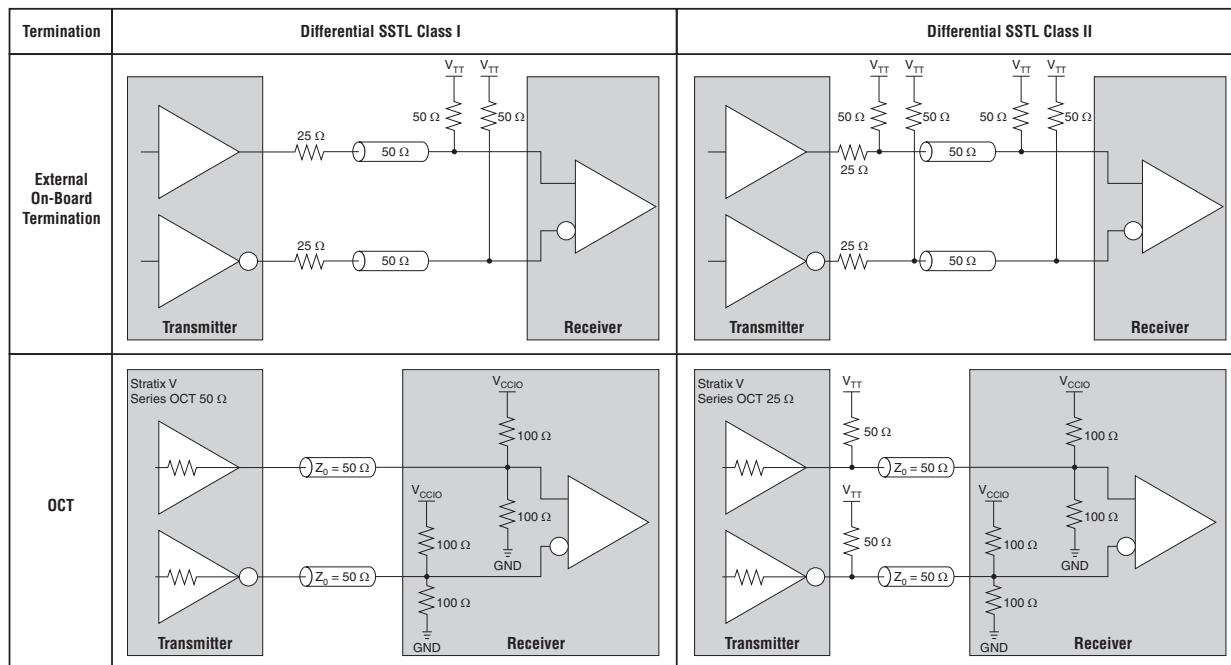


図 5-15 の注：

- (1) これは、**differential SSTL-12、differential SSTL-15、differential SSTL-125、differential SSTL-135、および differential HSUL-12** の I/O 規格に適用できません。

図 5 16. 差動 HSTL I/O 規格の終端 (注 1)

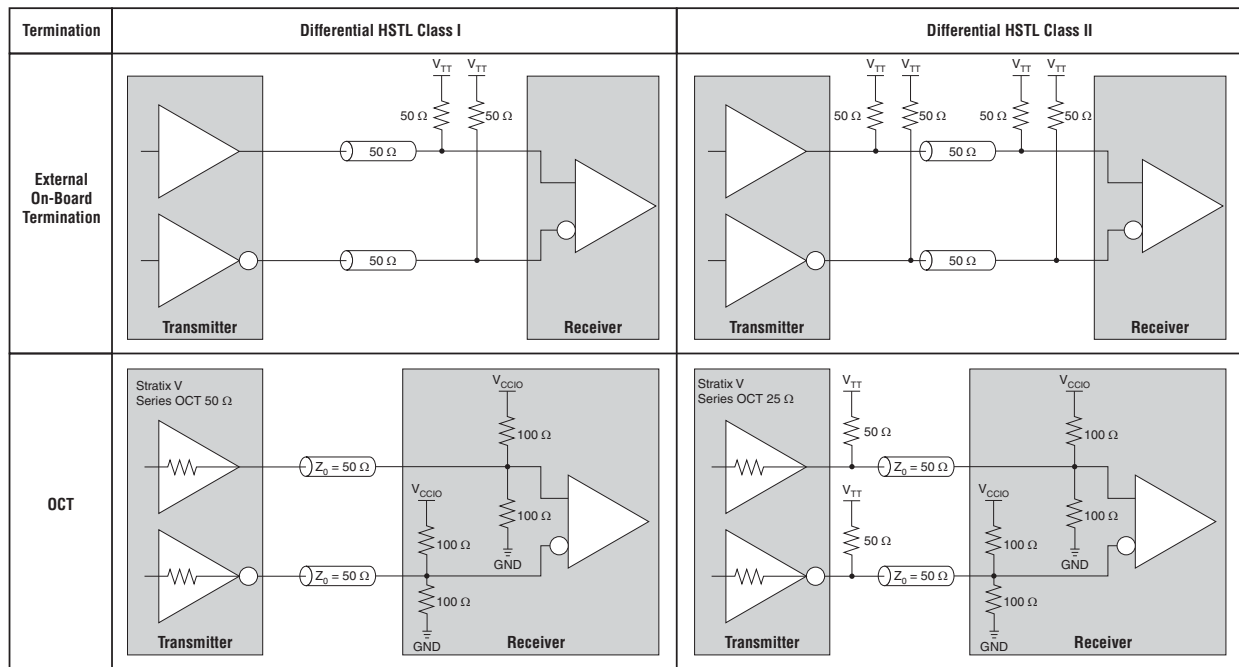


図 5-16 の注:

(1) これは、**differential HSUL-12** I/O 規格に適用できません。

LVDS

Stratix V デバイスでは、**LVDS** I/O 規格は 2.5 V の V_{CCIO} レベルを要求します。**LVDS** 入力バッファは、2.5 V の V_{CCPD} を要求します。**LVDS** レシーバは、入力バッファの 2 つの信号間で 100 Ω の終端抵抗を要求します。Stratix V デバイスは V_{CCIO} および V_{CCPD} が 2.5 V に設定されるとき、 R_D OCT を使用してオプションの 100 Ω 差動終端抵抗を提供します。

図 5-17 に、LVDS I/O 規格の終端を示します。オンチップ差動抵抗は、すべての I/O バンクで使用できます。

図 5 17. LVDS I/O 規格の終端 (注 1)

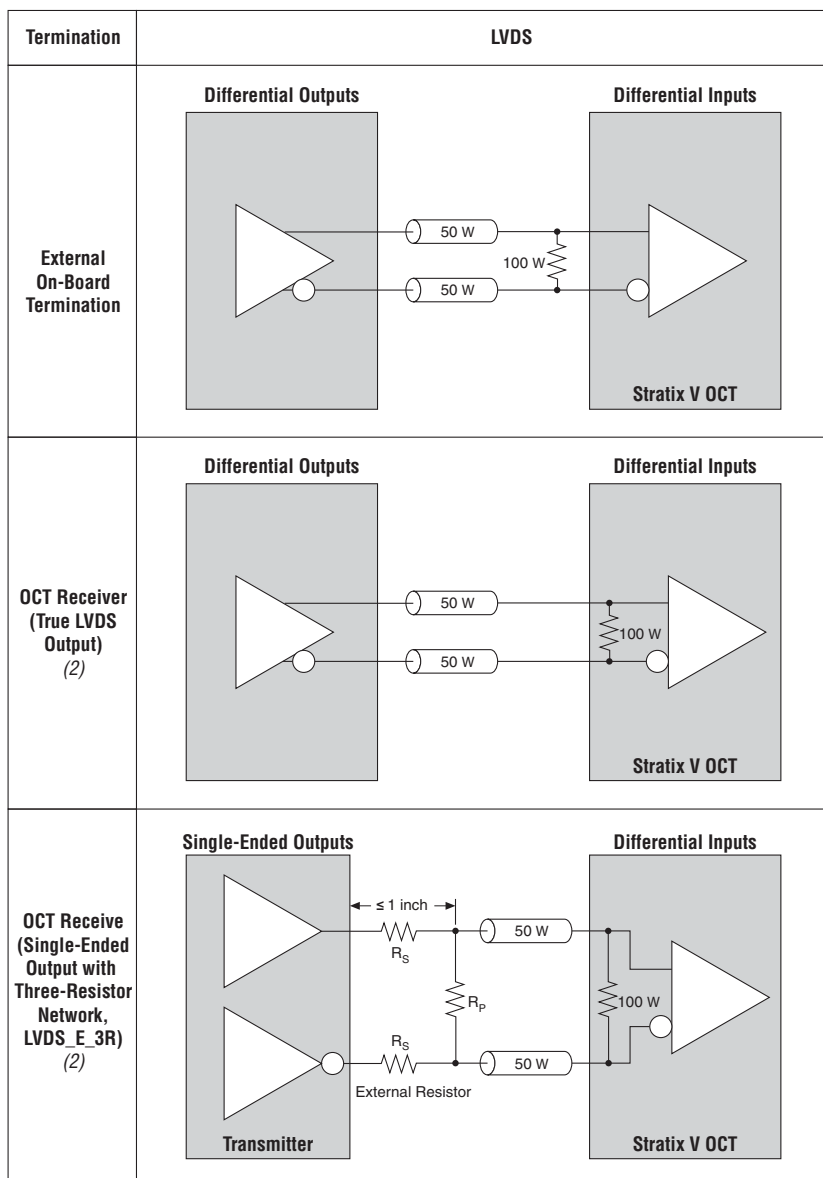


図 5-17 の注：

- (1) 3本の抵抗ネットワーク付きエミュレートされる LVDS_E_3R 出力に対して、 R_S 値と R_P 値は、デバイス特性評価後に決定されます。
- (2) すべての I/O バンクは真の LVDS 出力バッファおよびエミュレートされる LVDS_E_3R の I/O 規格をサポートします。エミュレートされた LVDS 出力バッファは2つのシングル・エンド出力バッファでコンフィギュレーションされて、トライ・ステートにすることができます。

差動 LVPECL

Stratix V デバイスでは、LVPECL I/O 規格はすべての I/O バンクの入力クロック・ピンでサポートされます。LVPECL 出力動作は、Stratix V デバイスではサポートされていません。LVDS の入力バッファは、LVPECL 入力動作をサポートするために使用されます。出力バッファの LVPECL コモン・モード電圧が LVPECL 入力コモン・モード電圧と一致しなかった場合、AC 結合が必要です。図 5-18 に AC 結合終端方法を示します。レシーバ端で使用される 50 Ω 抵抗は、デバイスの外部になります。

図 5 18. LVPECL AC 結合終端 (注 1)

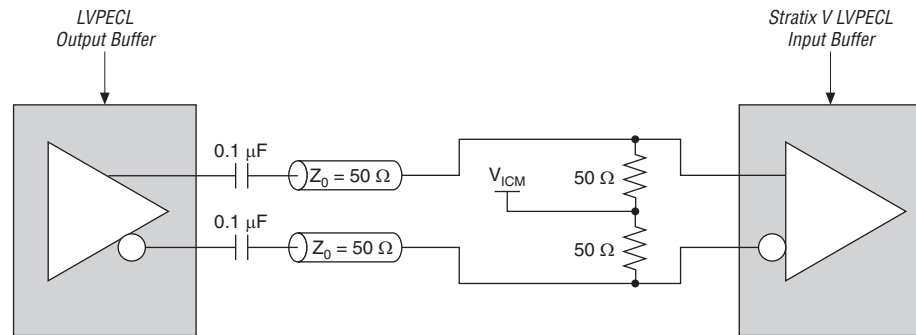


図 5-18 の注:

- (1) LVPECL AC/DC 結合終端は、アルテラの FPGA トランスミッタが使用されている場合にのみ適用されません。

DC 結合 LVPECL は、LVPECL 出力コモン・モード電圧が、Stratix V LVPECL 入力バッファ仕様の範囲内にある場合にサポートされます (図 5-19 を参照)。

図 5 19. LVPECL DC 結合終端 (注 1)

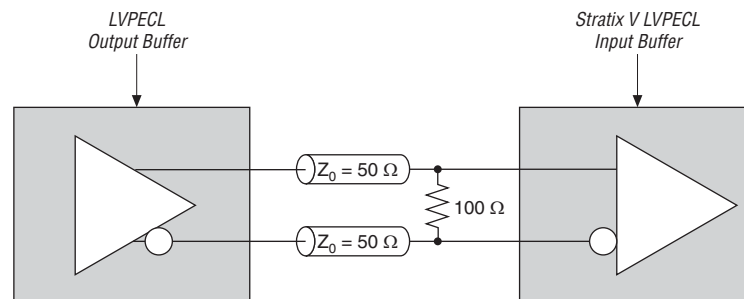


図 5-19 の注:

- (1) LVPECL AC/DC 結合終端は、アルテラの FPGA トランスミッタが使用されている場合にのみ適用されません。

RSDS

Stratix V デバイスは、すべての I/O 出バンクで LVDS 出力バッファ・タイプを使用し、最大 360 Mbps のデータ・レートの RSDS 出力規格をサポートします。エミュレートされた RSDS 出力バッファは、3 本の外部抵抗ネットワークで 2 つのシングル・エンド出力バッファを使用して、トライ・ステートにすることができます。

図 5-20 に示す通り、これらはすべての I/O バンクで使用できます。

図 5 20. エミュレートされる RSDS I/O 規格の終端 (注 1)

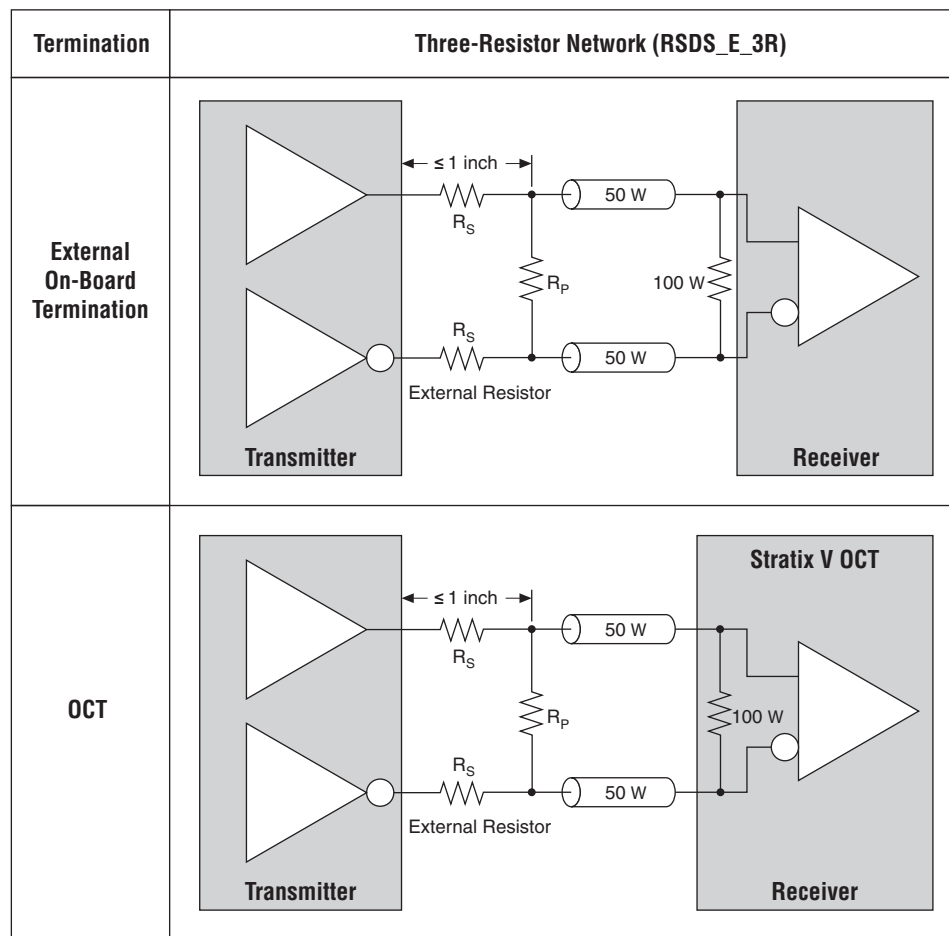



図 5-20 の注：

(1) R_S 値と R_P 値は、デバイス特性評価後に決定されます。

出力電圧振幅を減衰させて **RSDS** 仕様に適合させるには、1 本の抵抗ネットワークが必要です。3 本の抵抗ネットワークの値を変更して、消費電力を低減したり、ノイズ・マージンを改善することができます。選択する抵抗値は、式 5-1 の式を満たさなければなりません。

式 5 1.

$$\frac{R_s \times \frac{R_p}{2}}{R_s + \frac{R_p}{2}} = 50\Omega$$

 カスタム抵抗値が **RSDS** I/O 規格の要件を満たすことを確認するために、IBIS または SPICE のモデルを使用した追加シミュレーションを実行する必要があります。

 **RSDS** I/O 規格について詳しくは、National Semiconductor のウェブサイト (www.national.com) の「*RSDS Specification*」を参照してください。

Mini-LVDS

Stratix V デバイスは、すべての I/O バンクで LVDS 出力バッファ・タイプを使用して、最大 400 Mbps のデータ・レートでの mini-LVDS 出力規格をサポートします。エミュレートされた mini-LVDS 出力バッファは、3 本の外部抵抗ネットワークで 2 つのシングル・エンド出力バッファを使用して、トライ・ステートにすることができます。図 5-21 に示す通り、これらはすべての I/O バンクで使用できます。

図 5 21. エミュレートされる mini-LVDS I/O 規格の終端 (注 1)

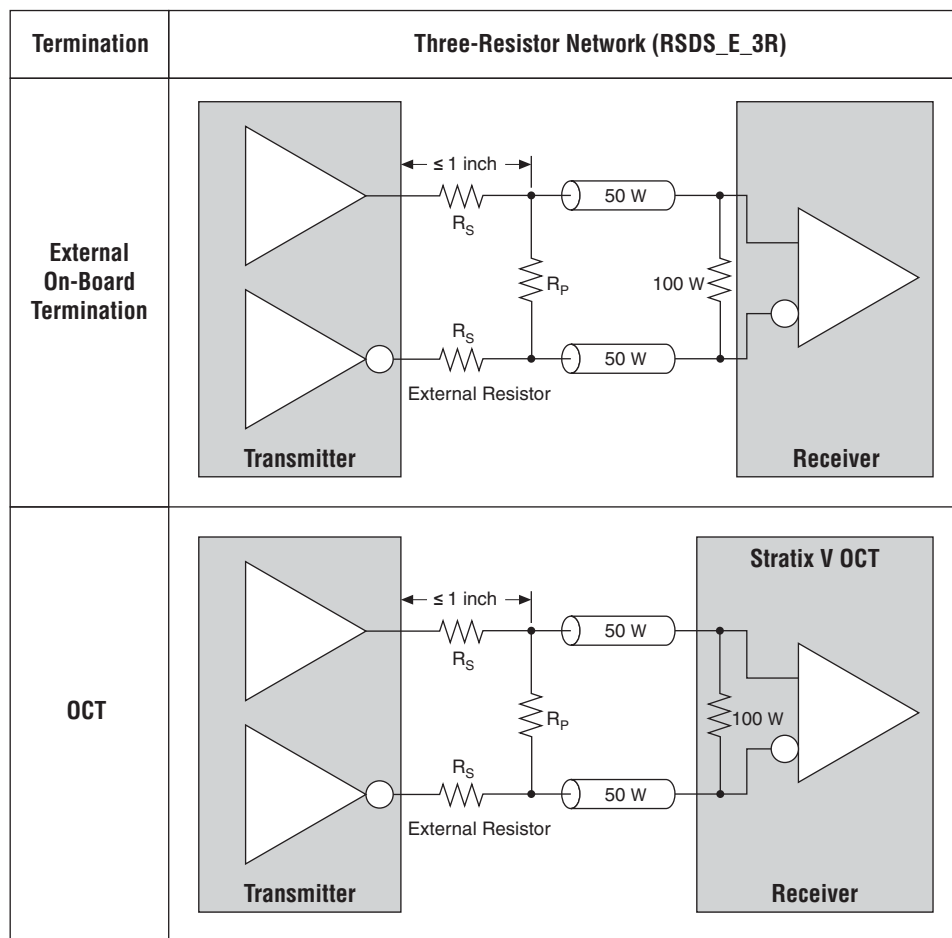


図 5-21 の注：

(1) R_S 値と R_P 値は、デバイス特性評価後に決定されます。

LVDS 出力電圧振幅を減衰させて mini-LVDS 仕様に適合させるには、1 つの抵抗ネットワークが必要です。3 本の抵抗ネットワークの値を変更して、消費電力を低減したり、ノイズ・マージンを改善することができます。選択する抵抗値は、5-32 ページの式 5-1 の式を満たさなければなりません。



カスタム抵抗 R_S および R_P 値が mini-LVDS 要件を満たすことを確認するために、IBIS または SPICE のモデルを使用したシミュレーションを実行する必要があります。

LVDS ダイレクト・ループバックのモード

LVDS ダイレクト・ループバックのモードは、同じパッド・グループ番号を持っている I/O モジュールの真の LVDS ドライバとレシーバのペアで使用できます。図 5-22 に、I/O モジュール 1 (RX1 と TX1) および I/O モジュール 2 (RX2 と TX2) の LVDS ダイレクト・ループバック・モードのデータパス例を示します。データは、真の LVDS 入力バッファを介してレシーバ・ピンから供給されて、真の LVDS 出力バッファにループします。送信および受信したデータをチェックすることで、RX と TX バッファを確認するための LVDS ダイレクト・ループバック・モードを使用することができます。


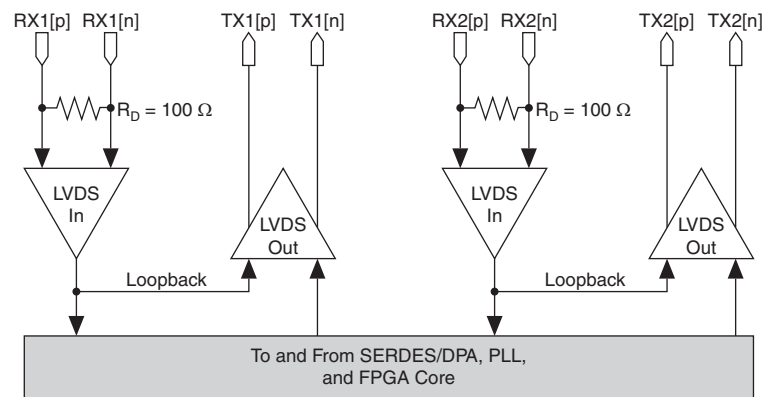
 LVDS ダイレクト・ループバック・モードは、異なる I/O モジュール (例えば、RX1 と TX2) からの LVDS ドライバとレシーバのペアではサポートされません。

図 5 22. LVDS ダイレクト・ループバック・パス



ループバック・モードを使用するには、既存のデザインをリセットして、再コンパイルする必要があります。Quartus II ソフトウェアは、指定された I/O 規格とピンの方向は、ダイレクト・ループバック・モードの要件を満たしていない場合、エラーを生成します。

すでに使用された LVDS 出力のペアでは、同じ I/O モジュールの真の差動入力バッファからの信号とデバイス・コアからの接続を無効にするために、LVDS のダイレクト・ループバック・モードを適用することができます。完成したデザインの真の LVDS 入力信号を観察するには、このモードを使用します。

デザインの検討事項

Stratix V デバイスは、高性能および高速システム・デザインに対応する多様な I/O 機能を備えていますが、その他にも、これらのデザインを成功させるために注意すべき検討事項がいくつかあります。

I/O バンクの制約

各 I/O バンクは複数の I/O 規格を同時にサポートできます。以下の項では、Stratix V デバイスで非電圧リファレンス形式および電圧リファレンス形式の I/O 規格を混在させるためのガイドラインを示します。

非電圧リファレンス形式の規格

Stratix V デバイスの各 I/O バンクには、専用の V_{CCIO} ピンがあり、1.2、1.25、1.35、1.5、1.8、2.5、または 3.0 V のいずれか 1 つの V_{CCIO} のみをサポートします。I/O バンクは、5-3 ページの表 5-2 に示すように、 V_{CCIO} および V_{CCPD} 要件を満たした場合、異なる差動 I/O 規格が割り当てられたいかなる数の入力信号でも同時にサポートできます。

出力信号の場合、1 つの I/O バンクは V_{CCIO} と同じ電圧でドライブする非電圧リファレンス形式の出力信号をサポートします。1 つの I/O バンクは 1 つの V_{CCIO} の値しか取ることができないため、非電圧リファレンス信号に対してはその 1 つの値のみドライブ・アウトできます。例えば、 V_{CCIO} 設定が 2.5 V の I/O バンクは、2.5 V の標準入力と出力、および 3.0 V の LVCMOS 入力 (3.0-V LVCMOS 出力または双方向ピン以外) をサポートします。

電圧リファレンス形式の規格

電圧リファレンス形式の I/O 規格に対応するために、Stratix V デバイスの各 I/O バンクは、共通の V_{REF} バスに電源を供給する複数の V_{REF} ピンをサポートします。使用可能な V_{REF} ピンの数は、デバイスの集積度が大きくなるほど増加します。これらのピンは V_{REF} ピンとして使用されていない場合に、GPIO ピンとして使用することができないので、 V_{CCIO} または GND に接続しなければなりません。ただし、各バンクが任意の時点で持つことができるのは、1 つの V_{CCIO} 電圧レベルと 1 つの V_{REF} 電圧レベルだけです。

シングル・エンド規格または差動規格に対応する I/O バンクは、すべての電圧リファレンス形式の規格が同じ V_{REF} 設定を使用している限り、電圧リファレンス形式の規格をサポートできます。

性能上の理由により、電圧リファレンス形式の入力規格は、電源として独自の V_{CCPD} レベルを使用します。この機能により、2.5-V または以下の V_{CCIO} を持つ I/O バンクに電圧リファレンス形式の入力信号を置くことができます。例えば、 V_{CCIO} が 2.5 V の I/O バンクには、HSTL-15 入力ピンしか配置できません。しかし、 R_T OCT がイネーブされている電圧リファレンス入力は、入力規格の電圧を合わせるために I/O バンクの V_{CCIO} が必要です。 R_T OCT は V_{CCIO} が 2.5 V のとき、HSTL-15 I/O 規格に対してサポートされません。

電圧リファレンス形式の双方向信号および出力信号は、I/O バンクの V_{CCIO} 電圧と同じでなければなりません。例えば、 V_{CCIO} が 2.5 V の I/O バンクには、SSTL-2 出力ピンしか配置できません。

電圧リファレンス形式の規格と非電圧リファレンス形式の規格の混在

I/O バンクはルール・セットを個別に適用することによって、電圧リファレンス形式と非電圧リファレンス形式のピンの両方をサポートできます。例えば、I/O バンクは 1.8 V の V_{CCIO} および 0.9 V の V_{REF} で、SSTL-18 入力と 1.8 V 入力および出力をサポートできます。同様に、I/O バンクは 1.5 V 規格、1.8 V 入力 (出力は非適用) および 1.5 V の V_{CCIO} および 0.75 V の V_{REF} で、HSTL および HSTL-15 I/O 規格をサポートできます。

V_{CCPD} の制約

1つの V_{CCPD} ピンは、I/O バンクの特定のグループで共有されています。同じ I/O 番号を持つ I/O バンク（例えば、7A、7B、7C、および 7D）は、同じ V_{CCPD} ピンを共有するグループを形成します。これは、I/O バンクの 3A、3B、3C、および 3D を除いて、すべての I/O バンクにあてはまります。バンク 3A および 3B は 1つの V_{CCPD} ピンのグループを形成しますが、バンク 3C および 3D は専用の V_{CCPD} ピンのある異なるグループを形成します。

1つの I/O バンクは 3.0-V_{CCPD} を使用する場合、同じグループ内の他の I/O バンクも 3.0 V の V_{CCPD} を使用する必要があります。



3.3 V-LVTTL/LVCMOS I/O 規格の出力または双方向ピンを使用している場合、配置アサインメントを使用して手動でこの制約に準拠する必要があります。

改訂履歴

表 5-8 に、本資料の改訂履歴を示します。

表 5.8. 改訂履歴

日付	バージョン	変更内容
2011年1月	1.2	表 5-2 を更新。
2010年12月	1.1	Quartus II ソフトウェア 10.1 に対して、この章の内容に変更はありません。
2010年7月	1.0	初版。