

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SV51005-1.2

この章では、Stratix[®] V デバイスの階層的なクロック・ネットワークおよび最先端の機能を備えた PLL (Phase-Locked Loop) について説明します。また、PLL カウンタ、クロック周波数および位相シフトのリアルタイム・リコンフィギュレーションについても説明しています。リコンフィギュレーション機能により、PLL 出力周波数をスイープし、出力クロック位相シフトをダイナミックに調整することが可能です。Quartus[®] II ソフトウェアにより、PLL およびその機能を外部デバイスなしで使用できます。

この章は、以下の項で構成されています。

- 4-1 ページの「Stratix V デバイスのクロック・ネットワーク」
- 4-17 ページの「Stratix V PLL」

Stratix V デバイスのクロック・ネットワーク

Stratix V デバイスで使用可能なグローバル・クロック・ネットワーク (GCLK)、リジョナル・クロック・ネットワーク (RCLK)、およびペリフェリ・クロック・ネットワーク (PCLK) は、階層クロック構造に編成されます。クロック・ネットワークは、Stratix V デバイス内で最大 417 の固有クロック・ドメイン (16 GCLK + 92 RCLK + 309 PCLK) を提供し、デバイスのエリアあたり最大 122 の固有 GCLK、RCLK、PCLK クロック・ソース (16 GCLK + 23 RCLK + 83 PCLK) が可能です。

表 4-1 に、Stratix V デバイスで利用できるクロックリソースを示します。

表 4-1. Stratix V デバイスのクロック・リソース — 暫定値

クロック・リソース	利用可能なリソース数	クロック・リソースのソース
クロック入力ピン	48 シングル・エンド (24 差動) (1) または 56 シングル・エンド (28 差動) (2)	CLK[0..23]p ピンおよび CLK[0..23]n ピン (1) CLK[0..27]p ピンおよび CLK[0..27]n ピン (2)
GCLK ネットワーク	16	CLK[0..27]p ピン、CLK[0..27]n ピン、PLL クロック出力、およびロジック・アレイ
RCLK ネットワーク	92	CLK[0..27]p ピン、CLK[0..27]n ピン、PLL クロック出力、およびロジック・アレイ
PCLK ネットワーク	228、282、306、および 309 (3)	DPA クロック出力、PLD トランシーバ・インタフェース・クロック、I/O ピン、およびロジック・アレイ
エリアあたりの GCLK および RCLK	39	16 GCLK + 23 RCLK

© 2011 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.




表 4-1. Stratix V デバイスのクロック・リソース — 暫定値

クロック・リソース	利用可能なリソース数	クロック・リソースのソース
デバイスあたりの GCLK および RCLK	108	16 GCLK + 92 RCLK

表 4-1 の注：

- (1) これは、5SGSD6、5SGSD8T 以外のすべての Stratix V デバイスに適用されます。
- (2) これは、5SGSD6 および 5SGSD8 デバイスにのみ適用されます。
- (3) 5SGXA3 および 5SGXA4 デバイスには 228 の PCLK があります。5SGXB5 および 5SGXB6 デバイスには 282 の PCLK があります。306 PCLKs in 5SGXA5 および 5SGXA7 デバイスには 306 の PCLK があります。5SGSD6 および 5SGSD8 デバイスには 309 の PCLK があります。

Stratix V デバイスは、GCLK ネットワークまたは RCLK ネットワークのいずれかをドライブ可能な、最大 56 本の専用シングルエンド・クロック・ピン、または 28 本の専用差動クロック・ピン (CLK[0..27]p と CLK[0..27]n) を備えています。9 ページの表 4-2 および 10 ページの表 4-3 に、それぞれ GCLK ネットワークおよび RCLK ネットワークへのクロック入力ピンの接続を示します。

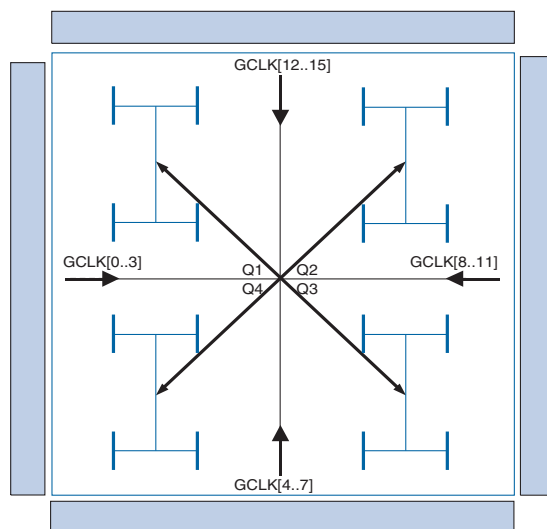
 クロック入力ピンを接続する方法について詳しくは、「[Stratix V Device Family Pin Connection Guidelines](#)」を参照してください。

グローバル・クロック・ネットワーク (GCLK)

Stratix V デバイスは、デバイス全体を通じてドライブ可能な最大 16 の GCLK を提供し、これらのクロックはアダプティブ・ロジック・モジュール (ALM)、デジタル信号処理 (DSP) ブロック、エンベデッド・メモリ・ブロック、PLL などの機能ブロックに対する低スキュー・クロック・ソースとして機能します。Stratix V デバイスの I/O エレメント (IOE) と内部ロジックは、GCLK をドライブして、内部で生成されるグローバル・クロック、および同期クリアまたは非同期クリアやクロック・イネーブルなど、その他の高ファンアウト・コントロール信号を生成することもできます。

図 4-1 に、Stratix V デバイスの GCLK ネットワークを示します。

図 4-1. GCLK ネットワーク

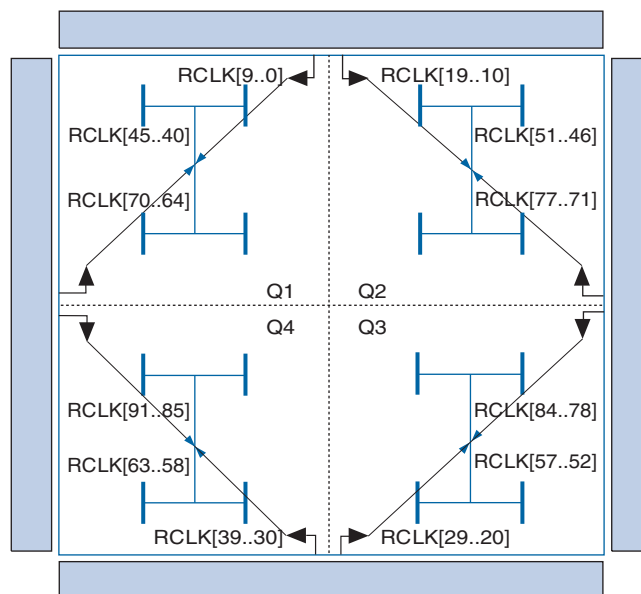


リージョナル・クロック・ネットワーク (RCLK)

RCLK はそれ自身がドライブするエリアにのみ属します。RCLK ネットワークは、デバイスの 1 つのエリア内に含まれるロジックに対して、最小のクロック遅延とスキューを実現します。Stratix V デバイスの特定のエリア内の I/O エレメントと内部ロジックは、RCLK をドライブして、内部で生成されるリージョナル・クロック、および同期クリアまたは非同期クリアやクロック・イネーブルなど、その他の高ファンアウト・コントロール信号を生成することもできます。

図 4-2 に、Stratix V デバイスの RCLK ネットワークを示します。

図 4-2. RCLK ネットワーク



ペリフェラル・クロック・ネットワーク (PCLK)

図 4-3 ~ 5 ページの図 4-6 に示す PCLK ネットワークは、Stratix IV デバイスの周辺からドライブされる個々のクロック・ネットワークの集合です。PCLK は配線方向によって、上または下から始まる「垂直 PCLK」、および左または右から始まる「水平 PCLK」に分類されています。DPA ブロック、PLD トランシーバ・インタフェース・クロック、I/O ピン、および内部ロジックからのクロック出力により、PCLK ネットワークをドライブできます。

PCLK は、GCLK および RCLK ネットワークと比べるとスキューが高いです。PCLK は汎用配線に使用して、Stratix V デバイスの内外に信号をドライブできます。

PCLK ネットワークの適正なクロック・ソースは、DPA ブロック、PLD トランシーバ・インタフェース・クロック、水平方向の I/O ピン、および内部ロジックからのクロック出力です。

図 4-3. PCLK ネットワーク —5SGXA3 および 5SGXA4 デバイス

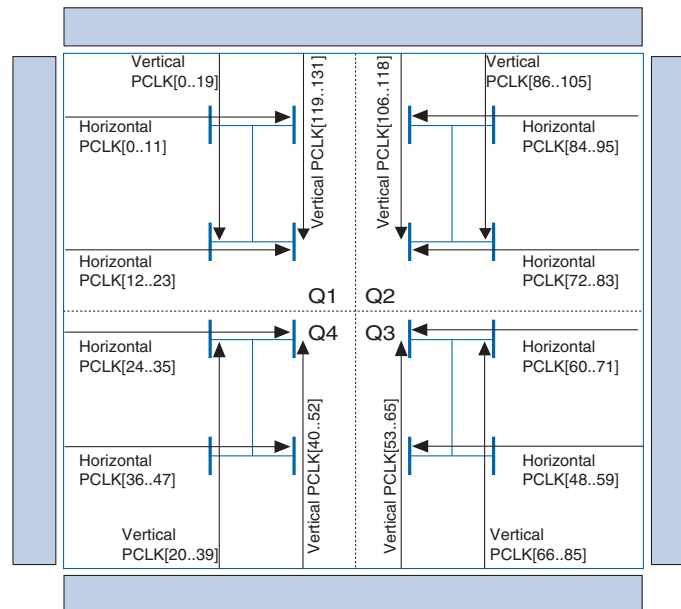


図 4-4. PCLK ネットワーク —5SGXB5 および 5SGXB6 デバイス

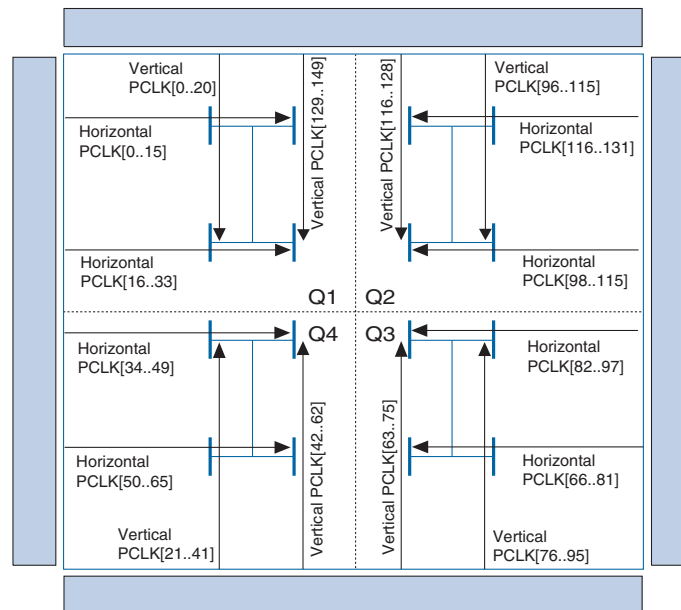


図 4-5. PCLK ネットワーク —5SGXA5 および 5SGXA7 デバイス

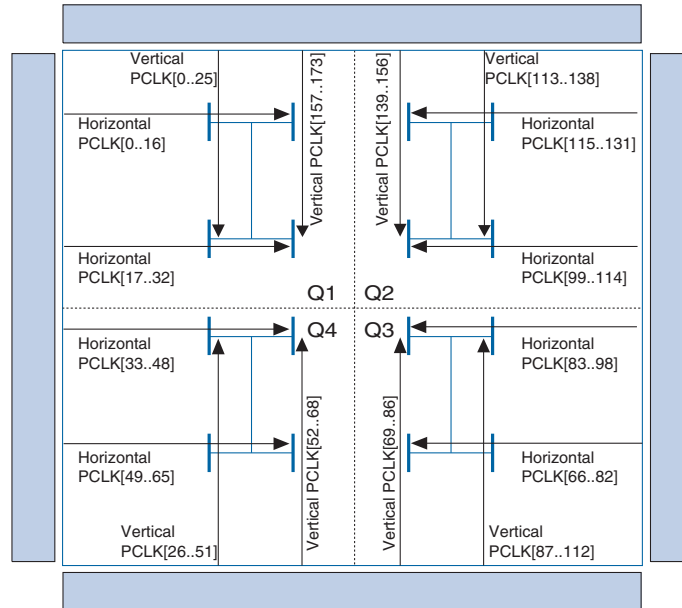
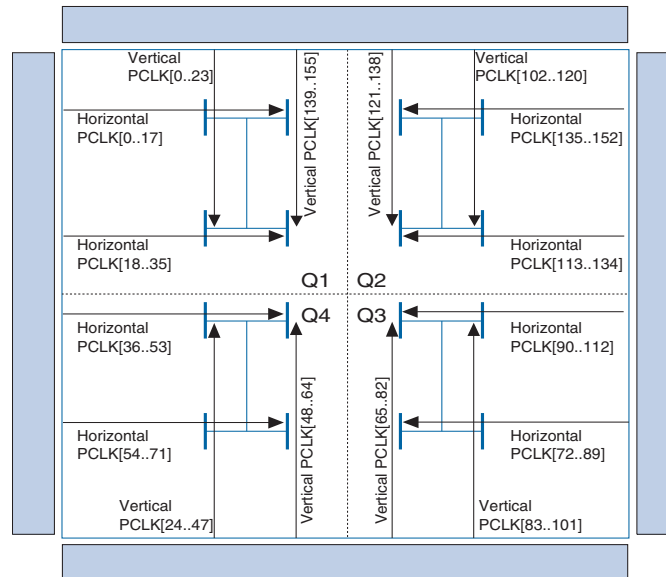


図 4-6. PCLK ネットワーク —5SGSD6 および 5SGSD8 デバイス



エリアあたりのクロック・ソース

各スパイン・クロックは、33 個のセクション・クロック (SCLK) ネットワークを備えており、ロジック・アレイ・ブロック (LAB) ロウあたりに 6 個のロウ・クロック、9 個のカラム I/O クロック、および 2 個のコア・リファレンス・クロックをドライブできます。SCLK は、デバイスのコア機能ブロック、PLL、および I/O インタフェースのクロック・リソースです。図 4-7 に、各スパイン・クロックで GCLK、RCLK、PCLK または PLL フィードバック・クロック・ネットワークによってドライブされる SCLK を示します。


 スパイン・クロックは、GCLK、RCLK、および PCLK ネットワーク間の各クロックが各 LAB ロウのクロック配線に接続する前のもう 1 層の配線です。スパイン・クロックを設定する必要はありません。Quartus II ソフトウェアは、GCLK、RCLK、および PCLK ネットワークによってスパイン・クロックを自動的に配線します。

図 4-7. スパイン・クロックあたりの階層クロック・ネットワーク (注 1)

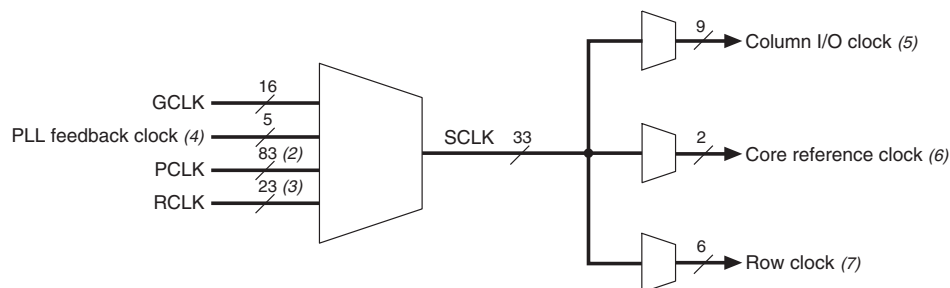


図 4-7 の注：

- (1) GCLK、RCLK、PCLK、および PLL フィードバック・クロックは、SCLK への配線を共用します。Quartus II ソフトウェアでのデザイン・フィッティングを確実に成功させるために、クロック・リソースの総数は各領域の SCLK 限界を超えてはいけません。
- (2) 最大規模のデバイスでは、各スパイン・クロックの SCLK をドライブできる PCLK は最大 83 本までです。
- (3) 最大規模のデバイスでは、各スパイン・クロックの SCLK をドライブできる RCLK は最大 23 本までです。
- (4) PLL フィードバック・クロックは、SCLK をドライブする PLL からのクロックです。
- (5) カラム I/O クロックは、カラム I/O コア・レジスタおよび I/O インタフェースをドライブするクロックです。
- (6) コア・リファレンス・クロックは、PLL 基準クロックとして PLL に供給されるクロックです。
- (7) ロウ・クロックは、コア・ロウの LAB、メモリ・ブロック、およびロウ I/O インタフェースのクロック・ソースです。

クロック領域

Stratix V デバイスは、以下の 3 種類のクロック領域を備えています。

- 4-7 ページの「デバイス全体のクロック領域」
- 4-7 ページの「リージョナル・クロック領域」
- 4-7 ページの「デュアル・リージョナル・クロック領域」

デバイス全体のクロック領域

デバイス全体のクロック領域を形成するために、ソース（必ずしもクロック信号でなくてもよい）はデバイス全体に配線可能なグローバル・クロック・ネットワークをドライブします。このクロック領域は、他のクロック領域に比べて遅延が最大になります。デバイス内のすべてのデスティネーションに信号を配信することができます。グローバル・リセット信号とクリア信号の配線、またはデバイス全体のクロックの配線に適したオプションです。

リージョナル・クロック領域

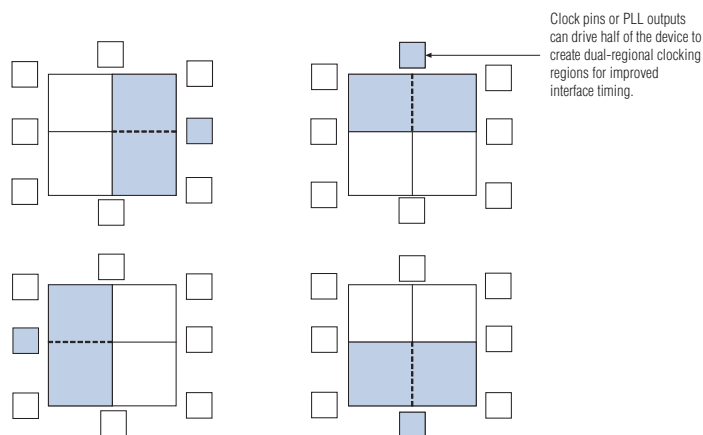
リージョナル・クロック領域を形成するために、ソースはデバイスのエリアのみドライブします。このクロック領域では、デバイスの 1 つのエリア内でのスキューが最低になるため、デバイスの 1 つのエリア内にすべてのデスティネーションがある場合に適しています。

デュアル・リージョナル・クロック領域

デュアル・リージョナル・クロック領域を形成するために、1 つのソース（クロック・ピンまたは PLL 出力）が 2 つ（各エリアから 1 つずつ）の RCLK ネットワークをドライブして、デュアル・リージョナル・クロックを生成します。この技術により、デバイスの 2 つエリアにまたがるデスティネーションが、同じ低スキュー・クロックを利用できます。この信号をサイド全体に配線した場合の遅延は、RCLK 領域での配線の場合とほぼ同じになります。内部ロジックはデュアル・リージョナル・クロック・ネットワークもドライブできます。コーナー PLL 出力は 1 つのエリアにのみ配置されるため、デュアル・リージョナル・クロック・ネットワークは生成できません。

図 4-8 に、デュアル・リージョナル・クロック領域を示します。

図 4-8. Stratix V デバイスのデュアル・リージョナル・クロック領域



クロック・ネットワーク・ソース

Stratix V デバイスでは、クロック入力ピン、PLL 出力、高速シリアル・インタフェース (HSSI) 出力、DPA 出力、および内部ロジックが GCLK ネットワークおよび RCLK ネットワークをドライブできます。専用クロック・ピン、GCLK ネットワークおよび RCLK ネットワーク間の接続については、表 4-2 および 10 ページの表 4-3 を参照してください。

専用クロック入力ピン

CLK ピンは、差動クロックまたはシングル・エンド・クロックのいずれかです。Stratix V デバイスは、最大 28 までの差動クロック入力または最大 56 までのシングル・エンド・クロック入力をサポートします。また専用クロック入力ピン CLK [27..0] は、非同期クリア、プリセット、および GCLK や RCLK を経由するプロトコル信号用のクロック・イネーブルなど、ファンアウトの大きいコントロール信号に使用することもできます。

内部ロジック

LAB 配線およびロウ・クロックを通じて各 GCLK、RCLK および水平方向の PCLK ネットワークをドライブすることで、内部ロジックが高ファンアウト・低スキューの信号をドライブできるようにします。



内部で生成された GCLK、RCLK、または水平方向 PCLK は Stratix V PLL をドライブできません。PLL への入力クロックは、専用のクロック入力ピン、またはピン /PLL から供給される GCLK または RCLK のみを使用する必要があります。

DPA 出力

各 DPA は、コアへの 1 本の PCLK を生成します。

HSSI 出力

3 つの HSSI 出力ごとに、コアへの 6 本の PCLK のグループを生成します。



DPA 出力および HSSI 出力について詳しくは、『[High-Speed Differential I/O Interfaces with DPA in Stratix V Devices](#)』を参照してください。

PLL クロック出力

Stratix V PLL クロック出力は、GCLK ネットワークおよび RCLK ネットワークの両方をドライブできます。

GCLK ネットワークおよび RCLK ネットワークへのクロック入力ピン接続

表 4-2 に、専用クロック入力ピンと GCLK の接続を示します。

表 4-2. クロック入力ピンと GCLK ネットワークの接続性 — 暫定値

クロック・リソース	CLK (p/n ピン)																												
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	
GCLK0	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓	—	—	—	—
GCLK1	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓	—	—	—	—
GCLK2	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓	—	—	—	—
GCLK3	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓	—	—	—	—
GCLK4	—	—	—	—	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
GCLK5	—	—	—	—	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
GCLK6	—	—	—	—	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
GCLK7	—	—	—	—	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
GCLK8	—	—	—	—	—	—	—	—	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓
GCLK9	—	—	—	—	—	—	—	—	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓
GCLK10	—	—	—	—	—	—	—	—	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓
GCLK11	—	—	—	—	—	—	—	—	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓
GCLK12	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—
GCLK13	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—
GCLK14	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—
GCLK15	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	✓	✓	✓	—	—	—	—	—	—	—	—	—

表 4-2 の注：

(1) この機能は、5SGSD6 および 5SGSD8 デバイスにのみ適用されます。

表 4-3 に、Stratix V デバイスの専用クロック入力ピンと RCLK の接続性を示します。1つのクロック入力ピンは、2つの隣接する RCLK ネットワークをドライブし、デュアル・リージョナル・クロック・ネットワークを生成できます。

表 4-3. クロック入力ピンと RCLK ネットワークの接続性 (1 / 3)— 暫定値

クロック・リソース	CLK (p/n ピン)																											
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27
RCLK [58, 59, 60, 61, 62, 63, 64, 68, 85, 89]	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [58, 59, 60, 61, 62, 63, 65, 69, 86, 90]	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [58, 59, 60, 61, 62, 63, 66, 70, 87, 91]	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [58, 59, 60, 61, 62, 63, 67, 88]	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [20, 24, 28, 30, 34, 38]	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [21, 25, 29, 31, 35, 39]	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [22, 26, 32, 36]	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [23, 27, 33, 37]	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [52, 53, 54, 55, 56, 57, 71, 75, 78, 82]	—	—	—	—	—	—	—	—	✓ (1)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [52, 53, 54, 55, 56, 57, 72, 76, 79, 83]	—	—	—	—	—	—	—	—	—	✓ (1)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [52, 53, 54, 55, 56, 57, 73, 77, 80, 84]	—	—	—	—	—	—	—	—	—	—	✓ (1)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 4-3. クロック入力ピンと RCLK ネットワークの接続性 (2 / 3)— 暫定値

クロック・リソース	CLK (p/n ピン)																												
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	
RCLK [52, 53, 54, 55, 56, 57, 74, 81]	—	—	—	—	—	—	—	—	—	—	—	✓ (1)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [46, 47, 48, 49, 50, 51, 71, 75, 78, 82]	—	—	—	—	—	—	—	—	—	—	—	—	✓ (1)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [46, 47, 48, 49, 50, 51, 72, 76, 79, 83]	—	—	—	—	—	—	—	—	—	—	—	—	—	✓ (1)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [46, 47, 48, 49, 50, 51, 73, 77, 80, 84]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓ (1)	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [46, 47, 48, 49, 50, 51, 74, 81]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓ (1)	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [0, 4, 8, 10, 14, 18]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
RCLK [1, 5, 9, 11, 15, 19]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
RCLK [2, 6, 12, 16]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—
RCLK [3, 7, 13, 17]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—
RCLK [40, 41, 42, 43, 44, 45, 64, 68, 85, 89]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—
RCLK [40, 41, 42, 43, 44, 45, 65, 69, 86, 90]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—
RCLK [40, 41, 42, 43, 44, 45, 66, 70, 87, 91]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—
RCLK [40, 41, 42, 43, 44, 45, 67, 88]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—

表 4-3. クロック入力ピンと RCLK ネットワークの接続性 (3 / 3)— 暫定値

クロック・リソース	CLK (p/n ピン)																												
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	
RCLK [71, 75, 78, 82]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓ (2)	—	—	—
RCLK [72, 76, 79, 83]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓ (2)	—	—
RCLK [73, 77, 80, 84]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓ (2)	—
RCLK [74, 81]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓ (2)

表 4-3 の注：

- (1) 5SGSD6 および 5SGSD8 デバイス以外のすべての Stratix V デバイスに適用されます。
 (2) 5SGSD6 および 5SGSD8T デバイスにのみ適用されます。

クロック出力接続

- Stratix V PLL の GCLK と RCLK ネットワークへの接続性については、「[PLL Connectivity to GCLK and RCLK Networks for Stratix V Devices](#)」を参照してください。

クロック・コントロール・ブロック

GCLK、RCLK、および PCLK ネットワークごとに、専用のクロック・コントロール・ブロックがあります。コントロール・ブロックは、以下の機能をサポートしています。

- クロック・ソースの選択（ダイナミック選択はグローバル・クロックにのみ対応）
- グローバル・クロックのマルチプレキシング
- クロックのパワーダウン（スタティックまたはダイナミックなクロック・イネーブル/ディセーブルは GCLK と RCLK にのみ対応）

図 4-9、図 4-10、および図 4-11 に、それぞれ GCLK、RCLK、および PCLK コントロール・ブロックを示します。

GCLK 選択ブロックのクロック・ソースは、スタティックまたはダイナミックに選択できます。Quartus II ソフトウェアの設定を使用して、クロック・ソースをスタティックに選択したり、マルチプレクサ選択入力をドライブする内部ロジックを使用して、クロック・ソースをダイナミックに選択することができます。クロック・ソースをダイナミックに選択する場合、2つの PLL 出力（C0 または C1 など）を選択するか、クロック・ピンまたは PLL 出力の組み合わせを選択します。

図 4-9. Stratix V デバイスの GCLK コントロール・ブロック Stratix V

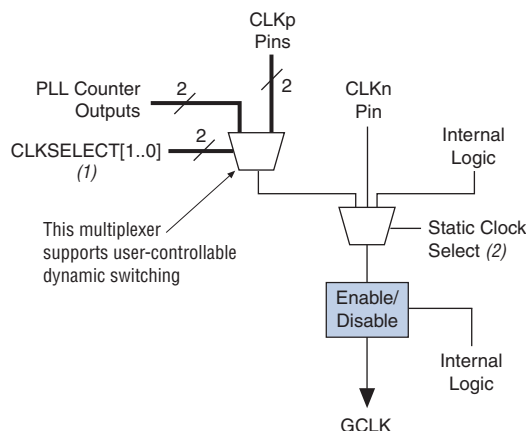



図 4-9 の注：

- (1) デバイスがユーザー・モードにある場合、内部ロジックによってクロック選択信号をダイナミックに制御することができます。
- (2) デバイスがユーザー・モードにある場合、これらのクロック選択信号は、コンフィギュレーション・ファイル (SRAM オブジェクト・ファイル [.sof] またはプログラマ・オブジェクト・ファイル [.pof]) を通じてのみ設定できます。これらのファイルはダイナミックにコントロールできません。

GCLK および RCLK ネットワーク・マルチプレクサ用の入力クロック・ソースと clkena 信号は、Quartus II ソフトウェアで ALTCLKCTRL メガファンクションを使用して設定できます。

 **ALTCLKCTRL** メガファンクションを使用してクロック・ソース（ダイナミック）選択を実装する場合、クロック・ピンからの入力がマルチプレクサの `inclk[0..1]` ポートに供給され、PLL 出力は `inclk[2..3]` ポートに供給されます。これらの入力の選択には、`CLKSELECT[1..0]` 信号を使用できます。

 詳細については、[「Clock Control Block \(ALTCLKCTRL\) Megafunction User Guide」](#) を参照してください。

入力クロック・ピン、PLL カウンタ出力、およびクロック・コントロール・ブロック入力間のマッピングは、以下のとおりです。

- `inclk[0]` および `inclk[1]`—Stratix V デバイスの同じサイドの 4 本の専用クロック・ピンのいずれかによって駆動できます。
- `inclk[2]`—Stratix V デバイスの同じサイドの 2 個のセンター PLL から PLL カウンタ C0 および C2 によって駆動できます。
- `inclk[3]`—Stratix V デバイスの同じサイドの 2 個のセンター PLL から PLL カウンタ C1 および C3 によって駆動できます。


 コーナー PLL からのクロック出力は、コントロール・ブロックを介してダイナミックに選択することはできません。

図 4-10. RCLK コントロール・ブロック

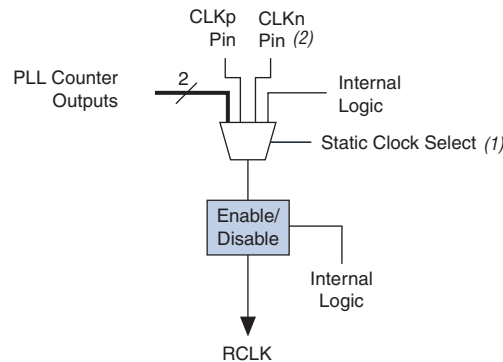


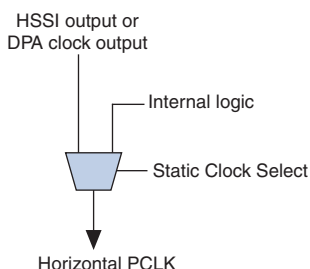
図 4-10 の注：

- (1) デバイスがユーザー・モードにある場合、これらのクロック選択信号は、コンフィギュレーション・ファイル（.sof または .pof）を通じてのみ設定できます。これらのファイルはダイナミックにコントロールできません。
- (2) シングル・エンド PLL クロック入力として使用される場合、`CLKn` ピンは専用のクロック入力ではありません。

RCLK 選択ブロックのクロック・ソース選択は、QuartusII ソフトウェアで生成されるコンフィギュレーション・ファイル（.sof または .pof）のコンフィギュレーション・ビット設定を使用して、スタティックにのみコントロールできます。

HSSI 出力または内部ロジックのいずれかを使用して HSSI 水平方向 PCLK コントロール・ブロックをドライブすることができます。また、DPA クロック出力または内部ロジックを使用して DPA 水平方向 PCLK をドライブすることもできます。DPA 出力のみがコアへの垂直方向 PCLK を生成できます。

図 4-11. 水平方向の PCLK コントロール・ブロック



Stratix V デバイスの GCLK と RCLK クロック・ネットワークは、スタティック手法とダイナミック手法の両方でパワーダウンできます。クロック・ネットワークがパワーダウンされると、クロック・ネットワークから信号が供給されるすべてのロジックがオフ状態になり、デバイスの全体的な消費電力が減少します。未使用の GCLK、RCLK および PCLK ネットワークは、QuartusII ソフトウェアで生成されるコンフィギュレーション・ファイル (.sof または .pof) のコンフィギュレーション・ビット設定を通じて、自動的にパワーダウンされます。ダイナミック・クロック・イネーブルまたはディセーブル機能により、内部ロジックを通じて、デュアル・リージョナル・クロック領域を含む GCLK および RCLK ネットワーク上で、同期してパワーアップ/ダウンをコントロールすることができます。図 4-9 および図 4-10 に示すように、この機能は PLL から独立しており、クロック・ネットワークに直接適用されます。

また、ALTCLKCTRL メガファンクションを使用して、専用の外部クロック出力ピンをイネーブルまたはディセーブルすることもできます。図 4-12 に外部 PLL 出力クロック・コントロール・ブロックを示します。

図 4-12. Stratix V デバイスの外部 PLL 出力クロック・コントロール・ブロック

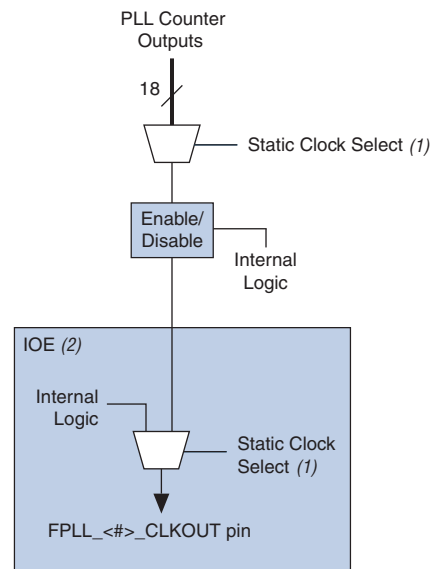


図 4-12 の注：

- (1) デバイスがユーザー・モードにある場合、これらのクロック選択信号は、コンフィギュレーション・ファイル (.sof または .pof) を通じてのみ設定できます。これらのファイルは動的にコントロールできません。
- (2) クロック・コントロール・ブロックは、FPLL_<#>_CLKOUT ピンの IOE 内のマルチプレクサに信号を供給します。FPLL_<#>_CLKOUT ピンは兼用ピンです。したがって、このマルチプレクサは内部信号またはクロック・コントロール・ブロックの出力のいずれかを選択します。

クロック・イネーブル信号

図 4-13 に、に、クロック・コントロール・ブロックのクロック・イネーブル/ディセーブル回路が Stratix V デバイスにどのように実装されるかを示します。

図 4-13. clkena の実装

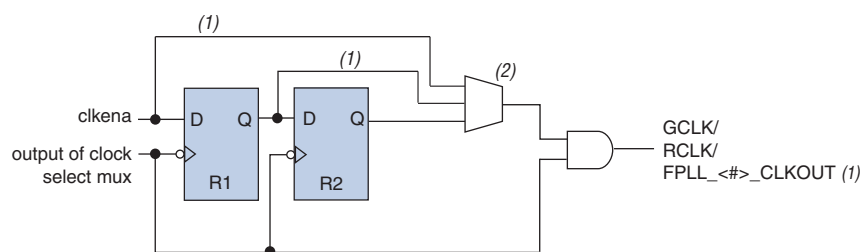


図 4-13 の注：

- (1) R1 と R2 パイパス・パスは、PLL 外部クロック出力には使用できません。
- (2) 選択ラインは、コンフィギュレーション・ファイル (.sof または .pof) のビット設定によってステータックにコントロールされます。

Stratix V デバイスでは、clkena 信号は PLL 出力カウンタ・レベルではなく、クロック・ネットワーク・レベルでサポートされます。これにより、PLL が使用されていないときでもクロックをゲート・オフできます。また clkena 信号を使用して、PLL から専用の外部クロックをコントロールすることも可能です。図 4-14 に、クロック出力イネーブルの波形例を示します。clkena は、クロック出力の立ち下がりエッジに同期されます。

Stratix V デバイスは、GCLK/RCLK ネットワークの非同期イネーブル/ディセーブルを補助する、追加のメタステーブル対策レジスタも備えています。Quartus II ソフトウェアでこのレジスタをバイパスするように設定できます。

図 4-14. clkena 信号 (注 1)

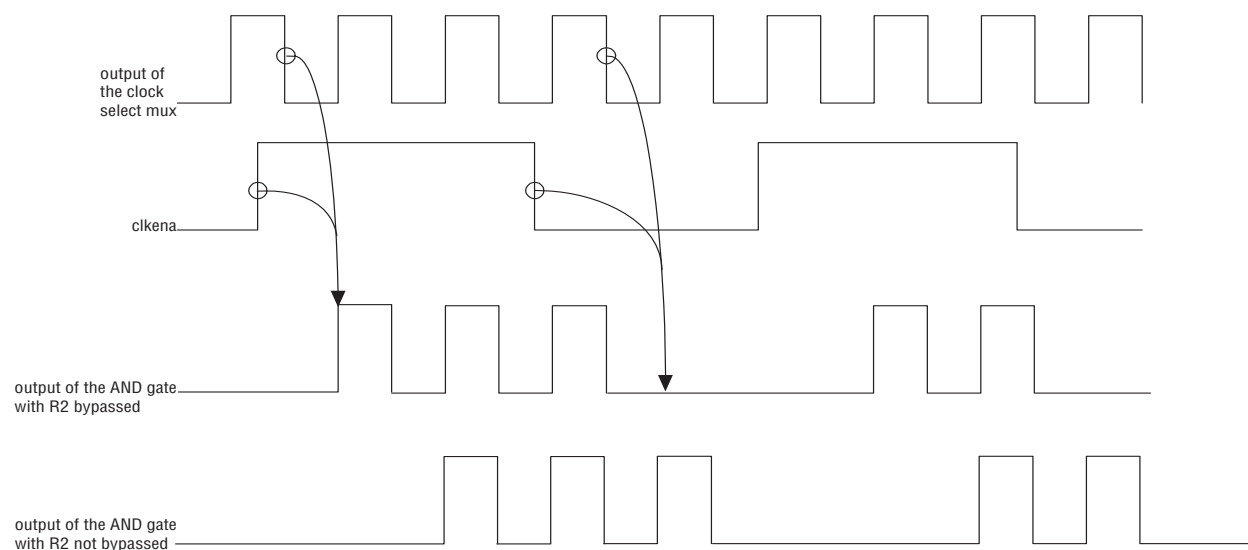


図 4-14 の注：

- (1) clkena 信号を使用して、GCLK および RCLK ネットワーク、または FPLL_<#>_CLKOUT ピンをイネーブルまたはディセーブルすることができます。

ループ関連のカウンタは影響を受けないため、PLL は clkena 信号に関係なくロック状態を保持できます。この機能は、低消費電力またはスリープ・モードを必要とするアプリケーションに便利です。clkena 信号は、システムが再同期化中の周波数オーバーシュートを許容できない場合には、クロック出力をディセーブルすることもできます。

Stratix V PLL

Stratix V デバイスは、デバイス・クロック管理、外部システム・クロック管理、および高速 I/O インタフェースのための強力なクロック管理および合成機能を提供する前世代の PLL に加えて、フラクショナル PLL (fPLL) を備えています。各 fPLL には、標準的な M/N (M と N が整数) 通倍シンセシスまたは高度なフラクショナル周波数シンセシスをサポートする 18 個の出力カウンタがあります。

高集積の Stratix V デバイスでは、最大 28 個の fPLL を提供しています。すべての Stratix V fPLL は同じコア・アナログ構造を持っており、同じ機能をサポートしています。

表 4-4 に、Stratix V デバイスの PLL の機能を示します。

表 4-4. Stratix V デバイスの PLL 機能 — 暫定値

機能	Stratix V
整数 PLL	使用可
フラクショナル PLL	使用可
C 出力カウンタの数	18
M、N、C カウンタのサイズ	1 ~ 512
専用外部クロック出力	4 つのシングル・エンド または 2 つのシングル・エンド + 1 つの差動
クロック入力ピン	4 つのシングル・エンド または 4 つの差動
外部フィードバック入力ピン	シングル・エンドまたは差動
スペクトラム拡散入力クロック・トラッキング	使用可 (1)
ソース・シンクロナス補償	使用可
直接補償	使用可
通常の補償	使用可
ゼロ遅延バッファ (ZDB) 補償	使用可
外部フィードバック補償	使用可
LVDS 補償	使用可
VCO 出力が DPA クロックをドライブ	使用可
位相シフト分解能	78.125 ps (2)
プログラマブル・デューティ・サイクル	使用可

表 4-4 の注：

- (1) 発生する入力クロック・ジッタは、入力ジッタ許容差仕様の範囲内です。
- (2) 最小位相シフトは、動作制御発振器 (VCO : Voltage-Controlled Oscillator) の期間を 8 で除算して求められます。位相の増分については、Stratix V デバイスはすべての出力周波数を最小 45° の増分でシフトできます。周波数および分周パラメータによっては、より細かな微調整も可能です。

図 4-15 ~ 22 ページの図 4-18 に、fPLL の物理的位置を示します。

Stratix V PLL の名称は、デバイスのフロア・プラン上の位置に従って付けられています。デバイス中央の PLL には、CEN_X<#>_Y<#> の名前が付けられ、デバイスのコーナーの PLL には、COR_X<#>_Y<#> の名前が付けられ、そしてデバイスの左側と右側の PLL には LR_X<#>_Y<#> の名前が付けられます。

図 4-15 に、5SGXA3 および 5SGXA4 デバイスの PLL の位置を示します。

図 4-15. 5SGXA3 および 5SGXA4 デバイスの PLL の位置 (注 1)

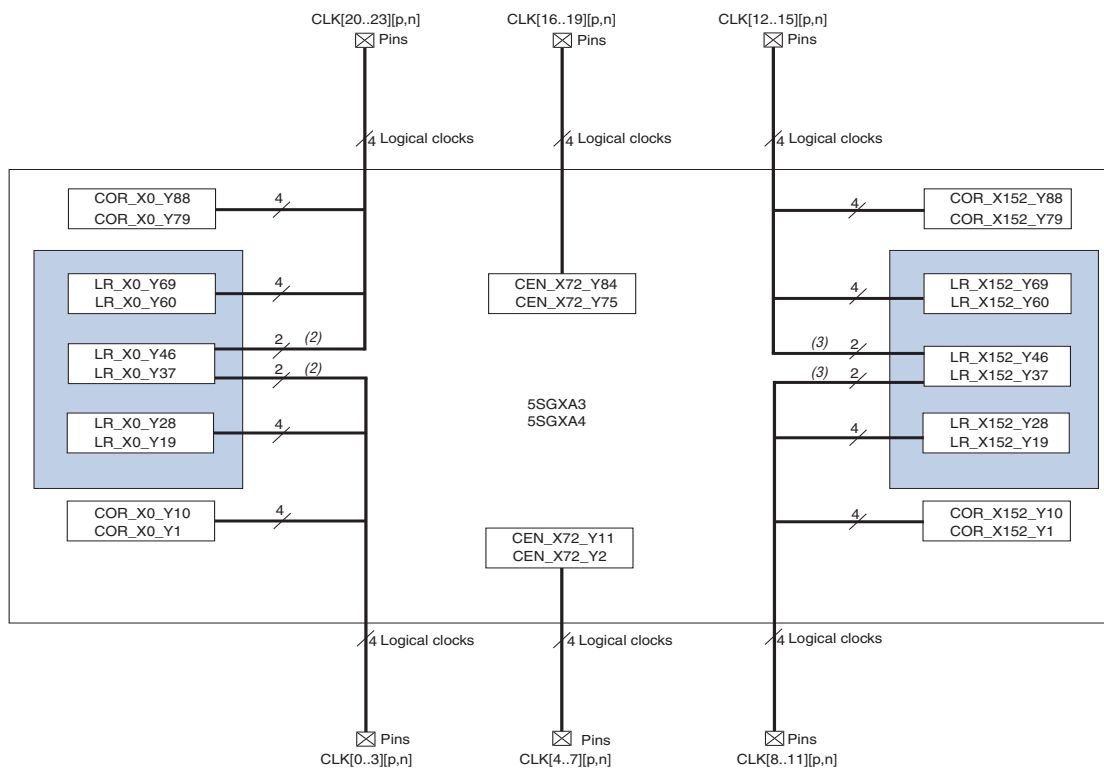


図 4-15 の注：

- (1) 各インデックスはデバイス内の 1 つの fPLL を表します。fPLL の物理的位置は、Quartus II ソフトウェア Chip Planner 内の位置に相当します。
- (2) CLK0、CLK1、CLK20、および CLK21 クロック・ピンは、fPLL の LR_X0_Y37 および LR_X0_Y46 にクロックを供給します。
- (3) CLK8、CLK9、CLK12、および CLK13 クロック・ピンは、fPLL の LR_X152_Y37 および LR_X152_Y46 にクロックを供給します。

図 4-16 に、5SGXB5 および 5SGXB6 デバイスの PLL の位置を示します。

図 4-16. 5SGXB5 および 5SGXB6 デバイスの PLL の位置 (注 1)

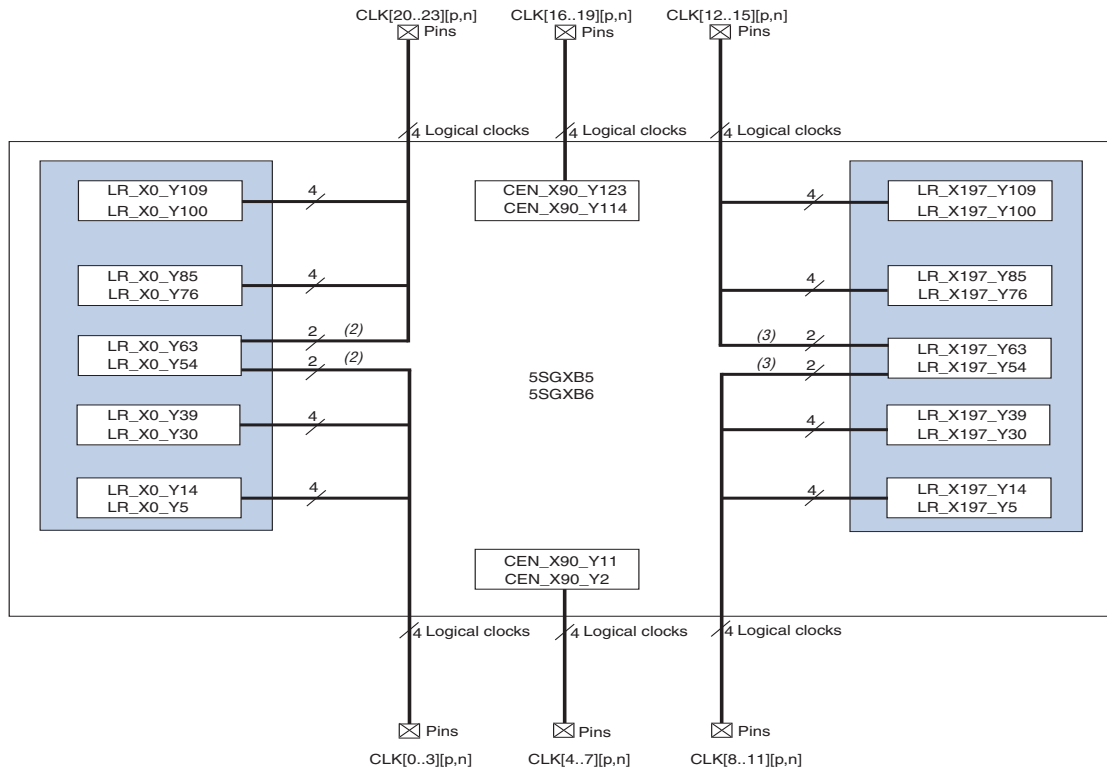


図 4-16 の注：

- (1) 各インデックスはデバイス内の 1 つの fPLL を表します。fPLL の物理的位置は、Quartus II ソフトウェア Chip Planner 内の位置に相当します。
- (2) CLK0、CLK1、CLK20、および CLK21 クロック・ピンは、fPLL の LR_X0_Y54 および PLL LR_X0_Y63 にクロックを供給します。
- (3) CLK8、CLK9、CLK12、および CLK13 クロック・ピンは、fPLL の LR_X197_Y54 および LR_X197_Y63 にクロックを供給します。

図 4-17 に、5SGXA5 および 5SGXA7 デバイスの PLL の位置を示します。

図 4-17. 5SGXA5 および 5SGXA7 デバイスの PLL の位置 (注 1)

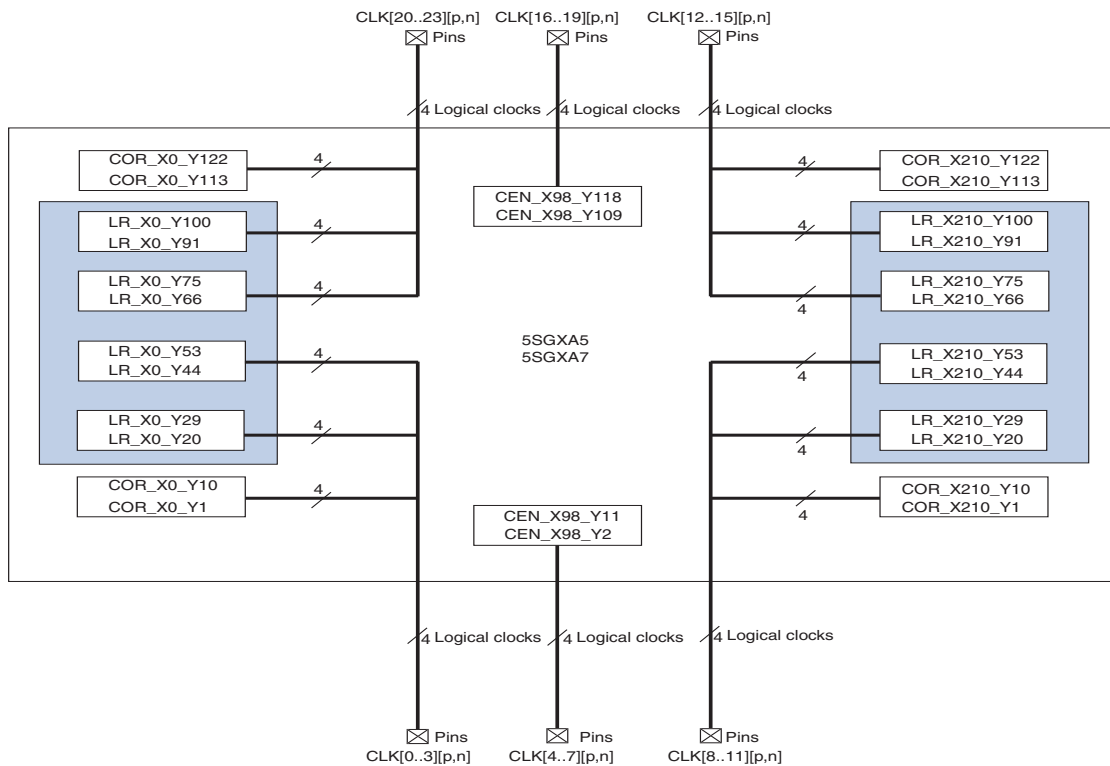


図 4-17 の注 :

- (1) 各インデックスはデバイス内の 1 つの fPLL を表します。fPLL の物理的位置は、Quartus II ソフトウェア Chip Planner 内の位置に相当します。

図 4-18 に、5SGSD6 デバイスおよび 5SGSD8 デバイスの PLL の位置を示します。

図 4-18. 5SGSD6 および 5SGSD8 デバイスの PLL 位置 (注 1)

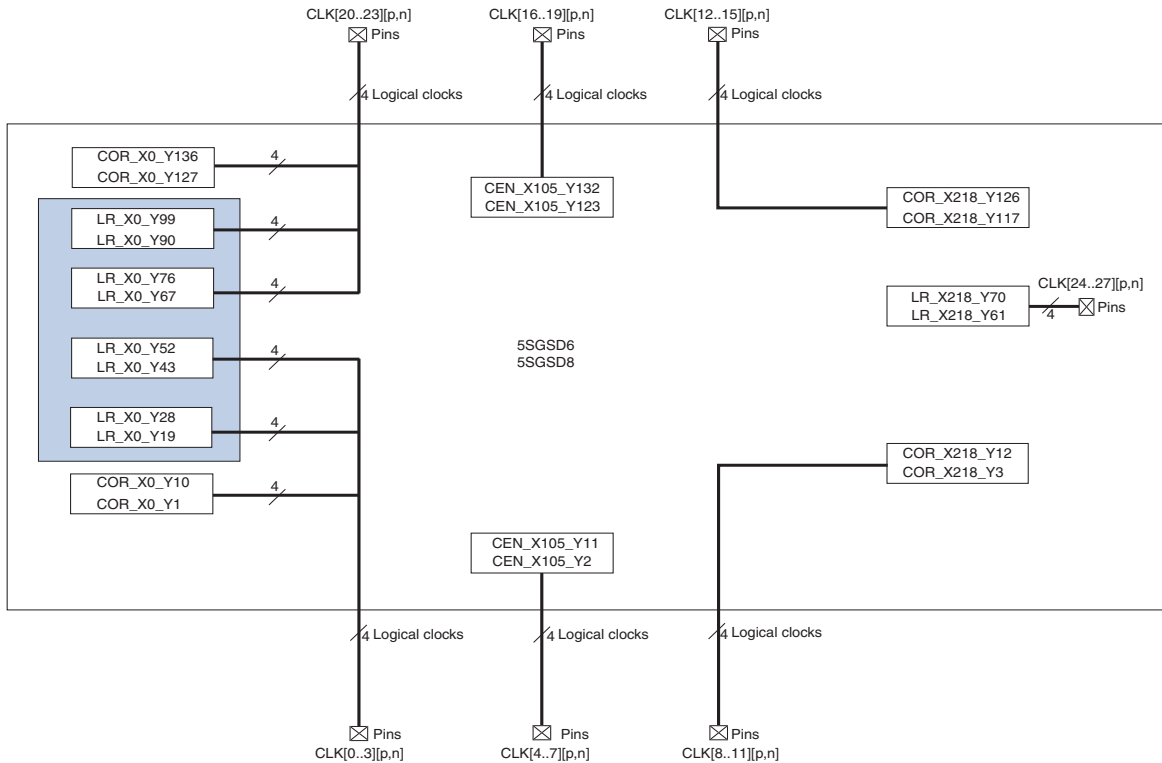


図 4-18 の注：

- (1) 各インデックスはデバイス内の 1 つの fPLL を表します。fPLL の物理的位置は、Quartus II ソフトウェア Chip Planner 内の位置に相当します。

フラクショナル PLL (fPLL) のアーキテクチャ

図 4-19 に、Stratix V fPLL の上位レベルのブロック図を示します。

図 4-19. fPLL の上位レベルのブロック図

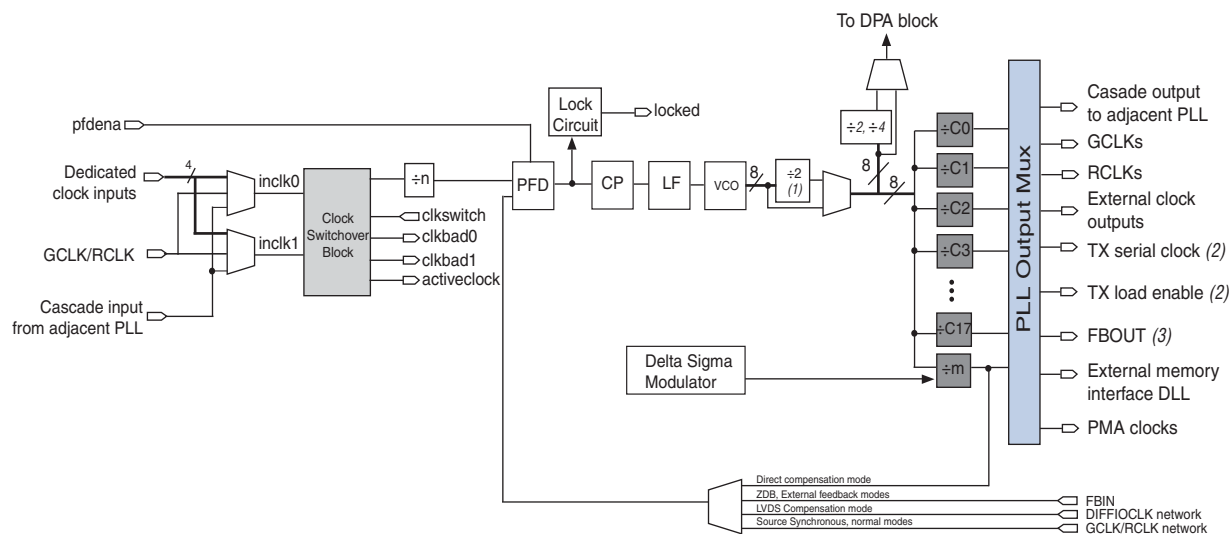


図 4-19 の注：

- (1) これは VCO ポストスケール・カウンタ K です。
- (2) C0、C2、C15、および C17 のみが TX シリアル・クロックをドライブできます。C1、C3、C14、および C16 のみが TX ロード・イネーブルをドライブできます。
- (3) FBOUT ポートには、Stratix V PLL の M カウンタから信号が供給されます。

フラクショナル PLL (fPLL) の使用

fPLL を整数モードまたはエンハンスド・フラクショナル・モードのいずれかにコンフィギュレーションできます。1つの fPLL は、最大 18 個の出力カウンタおよびすべての外部クロック出力を使用できます。18 個の出力カウンタは、隣接する 2 つの fPLL によって共有されます。

fPLL は単一の基準クロック・ソースから複数のクロック周波数を合成できるため、ボード上に必要なオシレータ数、および FPGA で使用されるクロック・ピン数を低減することができます。また、fPLL は、クロック・ネットワーク遅延の補償、ゼロ遅延バッファ (ZDB)、およびトランシーバへの送信クロックの供給に使用できます。

PLL の外部クロック I/O ピン

2 つの隣接するコーナー PLL およびセンター fPLL は 4 本の兼用クロック I/O ピンを共有し、以下の組み合わせのいずれかを構成します。

- 4 つのシングル・エンド・クロック出力
- 2 つのシングル・エンド出力および 1 つの差動クロック出力
- ZDB サポートのための、4 つのシングル・エンド・クロック出力および I/O フィードバック入力内の 2 つのシングル・エンド・フィードバック入力

- シングル・エンド外部フィードバック (EFB) サポートのための、I/O ドライバフィードバック内の 4 つのシングル・エンド・クロック出力および 2 つのシングル・エンド・フィードバック入力
- 差動 EFB サポートのための、1 つの差動クロック出力および 1 つの差動フィードバック入力 (隣接する 2 つの fPLL は、一度に 1 つだけが差動 EFB をサポートできます。もう 1 つの fPLL は汎用クロッキングに使用できます。)


 5SGSD6 および 5SGSD8 デバイスのライト fPLL を除いて、Stratix V デバイスのすべてのレフト/ライト fPLL は外部クロック出力をサポートしません。

図 4-20 に、Stratix V デバイスの PLL と関連付けられた兼用クロック I/O ピンを示します。

図 4-20. Stratix V デバイスの PLL と関連付けられた兼用クロック I/O ピン

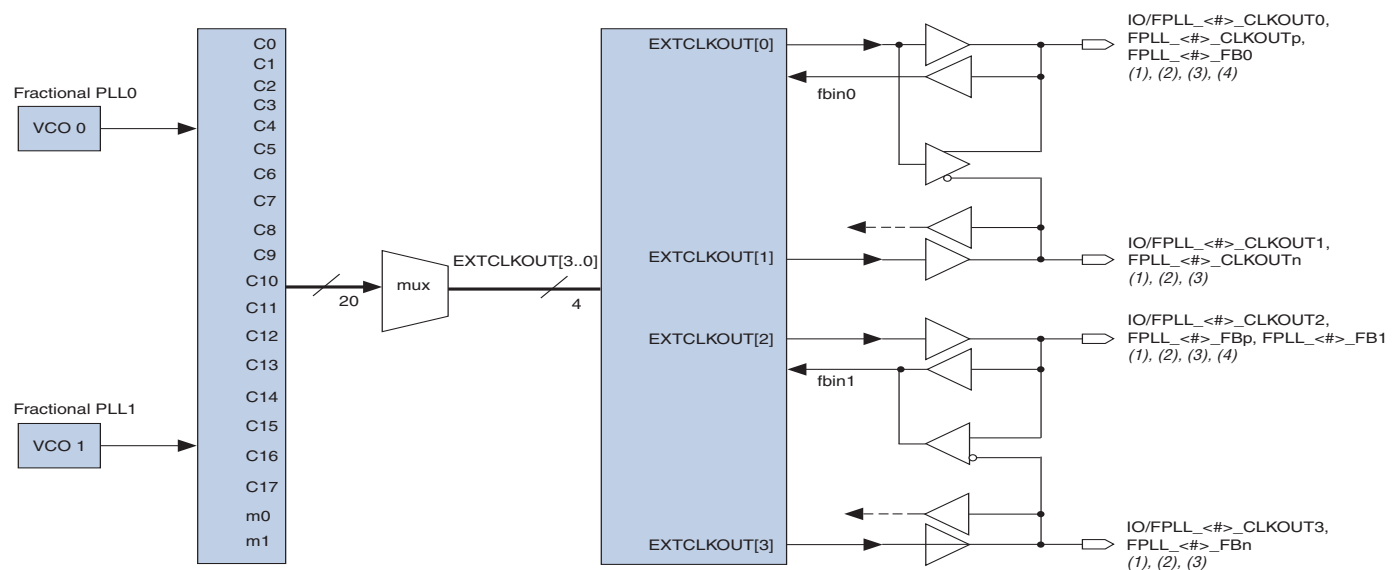



図 4-20 の注：

- (1) これらのクロック出力ピンは、C[17..0] または m カウンタのいずれかによって供給できます。外部クロック出力として使用されていない場合、これらのクロック出力ピンを通常のユーザー I/O ピンとして使用することができます。
- (2) FPLL_<#>_CLKOUT0、FPLL_<#>_CLKOUT1、FPLL_<#>_CLKOUT2、および FPLL_<#>_CLKOUT3 はシングル・エンド・クロック出力ピンです。
- (3) FPLL_<#>_CLKOUTp および FPLL_<#>_CLKOUTn は差動出力ピンであり、FPLL_<#>_FBp および FPLL_<#>_FBn は差動フィードバック EFB をサポートするための差動フィードバック入力ピンです。
- (4) FPLL_<#>_FB0 および FPLL_<#>_FB1 ピンはシングル・エンド・フィードバック入力ピンです。
- (5) これらの外部クロック・イネーブル信号は、ALTCLKCTRL メガファンクションを使用する場合に限り使用できます。

図 4-20 に示すように、任意の PLL 出力カウンタ (C[17..0]) または M カウンタが専用外部クロック出力に信号を供給できます。したがって、1 つのカウンタまたは周波数で、ある PLL から得られるすべての出力ピンをドライブすることができます。

シングル・エンド出力ペアの各ピンは、同位相または逆位相にすることができます。Quartus II ソフトウェアは、デザインの NOT ゲートを IOE に配置して、ペアのうち 1 本のピンに対して 180° の位相を実装します。クロック出力ピンのペアは、LVDS、LVPECL、差動高速トランシーバ・ロジック (HSTL)、差動 SSTL はもとより、標準出力ピンと同じ I/O 規格もサポートします。

 PLL クロック入力および出力ピンでサポートされる I/O 規格については、[「I/O Features in Stratix V Devices」](#) の章を参照してください。

また、Stratix V PLL は、GCLK または RCLK ネットワークを介してどの通常の I/O ピンにもドライブ・アウトできます。外部 PLL クロック機能が不要な場合は、外部クロック出力ピンをユーザー I/O ピンとして使用することもできます。

PLL コントロール信号

PLL の演算および再同期を観察および制御する場合は、pfdena、areset、および locked 信号を使用できます。

pfdena


pfdena 信号は、シャット・ダウンまでにシステムが現在の設定を格納する時間が与えられるように、最後にロックされた周波数を維持するために使用します。pfdena 信号は、プログラマブル・ゲートで PFD 出力をコントロールします。PFD をディセーブルすると、VCO は最後に設定された値のコントロール電圧および周波数で動作し、長期的なドリフトを起こして周波数が低くなります。PLL のロックが解除されたり、入力クロックがディセーブルされても、PLL は継続して動作します。pfdena の制御には、独自のコントロール信号か、クロック・スイッチオーバー回路から得られるコントロール信号 (activeclock、clkbad[0]、または clkbad[1]) を使用できます。

areset

areset 信号は、各 PLL に対するリセットまたは再同期化入力です。これらの入力信号をドライブできるのは、デバイスの入力ピンまたは内部ロジックです。areset が High にドライブされると、PLL カウンタがリセットされ、PLL 出力がクリアされて、PLL のロックが解除されます。VCO は標準設定に戻されます。areset が再び Low にドライブされると、PLL が再ロックして、入りに再同期されます。


PLL がロックを喪失するたびに、areset 信号をアサートして、PLL の入力クロックと出力クロック間での正しい位相関係を保証する必要があります。Quartus II MegaWizard™ Plug-In Manager を使用すると、ロック損失状態で自動的にリセットする (セルフ・リセット) ように PLL を設定できます。以下の条件のいずれかが true の場合は、areset 信号を含めなければなりません。

- PLL リコンフィギュレーションまたはクロック・スイッチオーバーがデザインで利用可能になっている。
- ロック状態喪失後に、PLL 入力クロックと出力クロック間の位相関係を維持する必要がある。

 PLL への入力クロックがトグルしていなかったり、または電源投入後に不安定な場合、入力クロックが安定し、仕様範囲内に収まった後、areset 信号をアサートします。


locked

PLL の locked 信号出力は、PLL が基準クロックをロックし、PLL クロック出力は MegaWizard Plug-In Manager で設定された、必要な位相および周波数で動作していることを示しています。ロック検出回路は、フィードバック・クロックが位相と周波数の両方で基準クロックにロックした場合に、信号をコア・ロジックに供給します。

 アルテラでは、デザインに areset 信号と locked 信号を使用して、PLL のステータスをコントロールおよび観察することを推奨しています。

クロック・フィードバック・モード

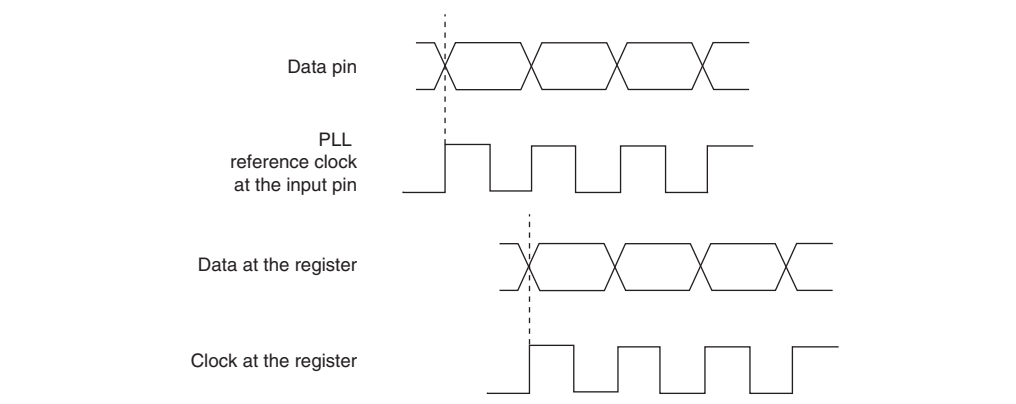
Stratix V の PLL は、最大 6 種類のクロック・フィードバック・モードをサポートします。各モードでは、クロックの通倍と分周、位相シフト、プログラマブル・デューティ・サイクルを実行できます。

 Stratix V の PLL は、最大 6 種類のクロック・フィードバック・モードをサポートします。各モードでは、クロックの通倍と分周、位相シフト、プログラマブル・デューティ・サイクルを実行できます。入力および出力遅延が PLL で完全に補正されるのは、特定の PLL に対応する専用クロック入力ピンをクロック・ソースとして使用する場合に限られます。RCLK または GCLK ネットワークを使用して PLL をドライブする場合、あるいは PLL が PLL と関連付けられない専用クロック・ピンによってドライブされる場合には、QuartusII ソフトウェアでは入力 / 出力遅延が完全に補償されない可能性があります。例えば、PLL がゼロ遅延バッファ・モードでコンフィギュレーションされ、PLL 入力に関連付けられた専用クロック入力ピンでドライブされる場合を考えてみましょう。このコンフィギュレーションでは、完全に補償されたクロック・パスにより、クロック入力と PLL からの出力クロックの 1 つとの間の遅延がゼロになります。ただし、PLL 入力为非専用入力によって (GCLK ネットワークを経由して) 供給される場合、出力クロックが入力クロックと完全にアラインメントされないことがあります。専用クロック・ピンに対応する PLL にマッピングするには、19 ページの図 4-15 ~ 22 ページの図 4-18 を参照してください。

ソース・シンクロナス・モード

データとクロックが入力ピンに同時に到着する場合、どの IOE 入力レジスタのクロック・ポートとデータ・ポートでも同じ位相関係が維持されます。図 4-21 に、このモードでのクロックとデータの波形例を示します。アルテラでは、ソース・シンクロナス・データ転送に対してソース・シンクロナス・モードを使用することが推奨されています。同じ I/O 規格を使用している限り、IOE のデータ信号とクロック信号には同様のバッファ遅延が発生します。

図 4-21. ソース・シンクロナス・モードにおけるクロックおよびデータ間の位相関係



ソース・シンクロナス・モードは、使用されるクロック・ネットワークの遅延と、以下の 2 つのパスにおける遅延の差を補正します。

- データ・ピンから IOE レジスタ入力

■ クロック入力ピンから PLL PFD 入力

Stratix V PLL はソース・シンクロナス補償モードを使用するように設定されたときには、データ・バスなど複数のパッドー入力レジスタ・バスを補償することができます。Quartus II ソフトウェアのアサインメント・エディタの「PLL Compensation」アサインメントを使用して、どの入力ピンを PLL 補償ターゲットとして使用するかを選択します。入力レジスタがソース・シンクロナス補償 PLL の同じ出力によってクロックされる場合は、データ・バス全体を含めることができます。クロック遅延を適切に補償するには、すべての入力ピンがデバイスの同じサイドになければなりません。PLL は、補償付きバスのすべての入力ピンの中で最長のパッドーレジスタ間遅延を持つ入力ピンに対して補償を行います。

「PLL Compensation」アサインメントを割り当てない場合、Quartus II ソフトウェアは PLL の補償された出力によってドライブされるすべてのピンを補償ターゲットとして自動的に選択します。

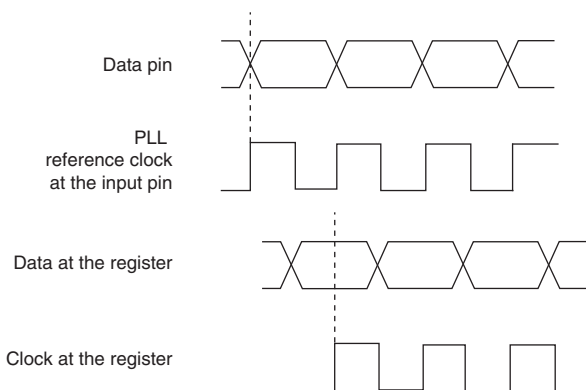
LVDS 補正のソース・シンクロナス・モード

ソース・シンクロナス・モードの目的は、内部リアライザ/デシリアライザ (SERDES) キャプチャ・レジスタのピンから見たのと同じデータおよびクロックのタイミング関係を維持することです。ただし、クロックは反転します (180° 位相シフト)。したがって、このモードは LVDS クロック・ネットワークの遅延と、以下の 2 つのパスの間における遅延差を補正するのに理想的です。

- データ・ピンから SERDES キャプチャ・レジスタ
- クロック入力ピンから SERDES キャプチャ・レジスタ。さらに、出力カウンタは 180° の位相シフトを提供する必要があります。

図 4-22 に、LVDS モードでのクロックとデータの波形例を示します。

図 4-22. LVDS モードにおけるクロックおよびデータ間の位相関係



直接補償モード

直接補償モードでは、PLL はクロック・ネットワークに対する補償を行いません。このモードでは、PFD へのクロック・フィードバックが通過する回路が減るため、ジッタ性能が向上します。PLL の内部クロック出力と外部クロック出力はいずれも、PLL クロック入力を基準にして位相シフトされます。図 4-23 に、直接補償モードでの PLL クロックの位相関係の波形例を示します。

図 4-23. 直接補償モードにおける PLL クロック間の位相関係

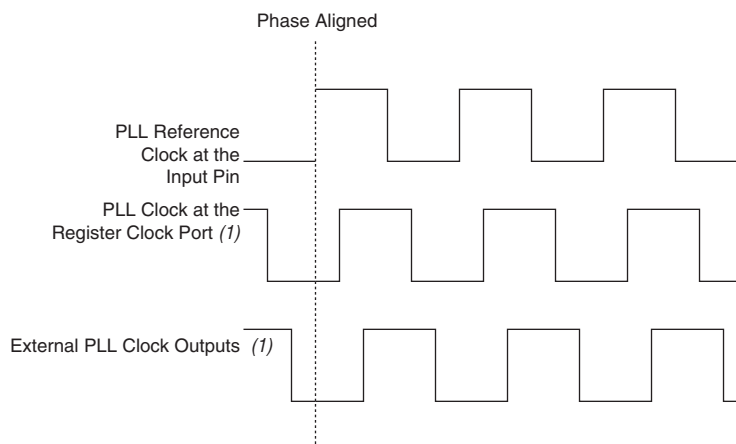


図 4-23 の注：

(1) PLL クロック出力は、ルーチン遅延に応じて PLL 入力クロックよりも遅れます。

ノーマル・モード

ノーマル・モードの内部クロックは、入力クロック・ピンに位相アラインメントされます。外部クロック出力ピンは、このモードで接続された場合は、クロック入力ピンに相対した位相遅延を生じます。Quartus II ソフトウェアのタイミング・アナライザは、この 2 本のピンに生じる位相差をレポートします。ノーマル・モードでは、GCLK または RCLK ネットワークによって生じる遅延が完全に補正されます。図 4-24 に、ノーマル・モードでの PLL クロックの位相関係の波形例を示します。

図 4-24. ノーマル・モードにおける PLL クロック間の位相関係

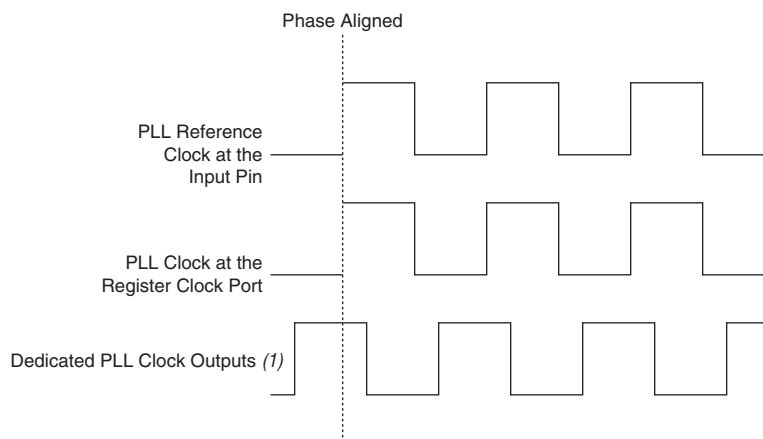



図 4-24 の注：

(1) 外部クロック出力は、PLL 内部クロック信号よりも早くなるか、または遅くなることがあります。

ゼロ遅延バッファ・モード

ゼロ遅延バッファ (ZDB) モードでは、デバイス全体でのゼロ遅延のために、外部クロック出力ピンはクロック入力ピンと位相調整されます。このモードを使用する場合は、入力ピンと出力ピンでのクロック・アラインメントを保証するには、入力クロックと出力クロックに同じ I/O 規格を使用しなければなりません。Stratix V デバイスでは、ZDB モードがセンター PLL およびコーナー PLL でのみサポートされます。

シングル・エンド I/O 規格と共に、Stratix V PLL を ZDB モードで使用して、クロック入力ピン (CLK) と外部クロック出力 (CLKOUT) ピンを確実に位相調整するには、デザインの双方向 I/O ピンをインスタンス化して、PLL の FBOUT ポートと FBIN ポートを接続するフィードバック・パスとして使用する必要があります。PLL はこの双方向 I/O ピンを使用して、PLL のクロック出力ポートから外部クロック出力ピンまでの出力遅延を模倣し、これを補正します。

 デザイン内でインスタンス化する双方向 I/O ピンには、常にシングル・エンド I/O 規格を割り当てる必要があります。


 ZDB モードを使用する場合、信号反射を防止するために、双方向 I/O ピンにボード・トレースを置かないでください。

図 4-25 に、Stratix V PLL の ZDB モードを示します。ZDB モードを使用する場合、PLL クロック入力ピンまたは出力ピンに差動 I/O 規格を使用することはできません。

図 4-25. Stratix V PLL の ZDB モード (注 1)

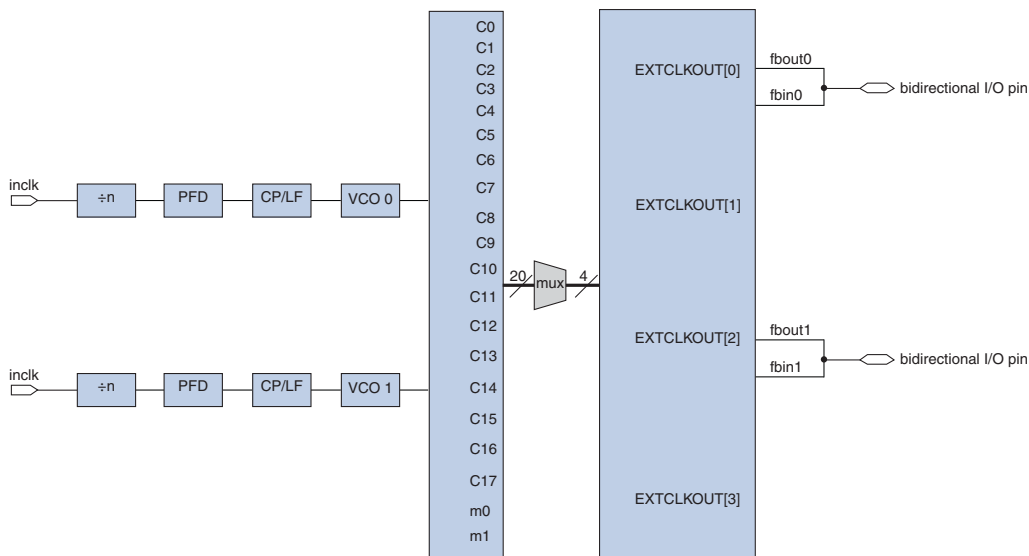


図 4-25 の注：

(1) ZDB モードは、最大 4 つのシングル・エンド・クロック出力をサポートします。詳細については、24 ページの図 4-20 を参照してください。

図 4-26 に、ZDB モードでの PLL クロックの位相関係の波形例を示します。

図 4-26. ZDB モードにおける PLL クロック間の位相関係

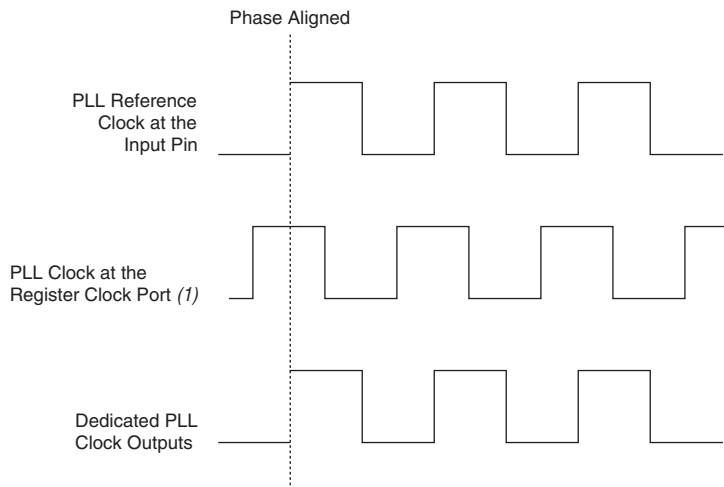


図 4-26 の注：

(1) 内部 PLL クロック出力は、PLL クロック出力よりも早くなるか、または遅くなることがあります。

外部フィードバック・モード

図 4-27 に示すように、外部フィードバック (EFB) モードでは、外部フィードバック入力ピン (fb_{in}) は、クロック入力ピンと位相調整されます。これらのクロックと整合させることで、デバイス間のクロック遅延とスキューを強制的に減らすことができます。Stratix V デバイスでは、EFB モードがセンター PLL およびコーナー PLL でのみサポートされます。

EFB では、M カウンタの出力 (FBOUT) が、PLL の fb_{in} 入力にフィードバックされ (ボード上でトレースを実行)、フィードバック・ループの一部になります。また、兼用の外部クロック出力の 1 つを fb_{in} 入力ピンとして EFB モードで使用します。

EFB を使用する場合、入力クロック、フィードバック入力、および出力クロックに同じ I/O 規格を使用する必要があります。左/右 PLL は、シングル・エンド I/O 規格を使用する場合にのみ EFB モードをサポートします。

図 4-27 に、EFB モードの PLL クロック間の位相関係の波形例を示します。

図 4-27. 外部フィードバック・モードにおける PLL クロック間の位相関係

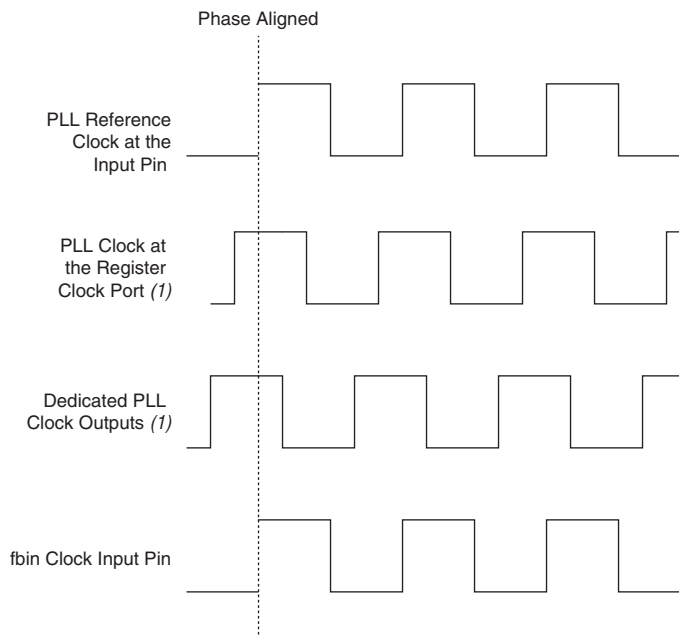


図 4-27 の注：

(1) PLL クロック出力は、fbin クロック入力よりも早くなるか、または遅くなる場合があります。

図 4-28 に、Stratix V における EFB モードの実装を示します。

図 4-28. Stratix V デバイスにおける EFB モード (注 1)

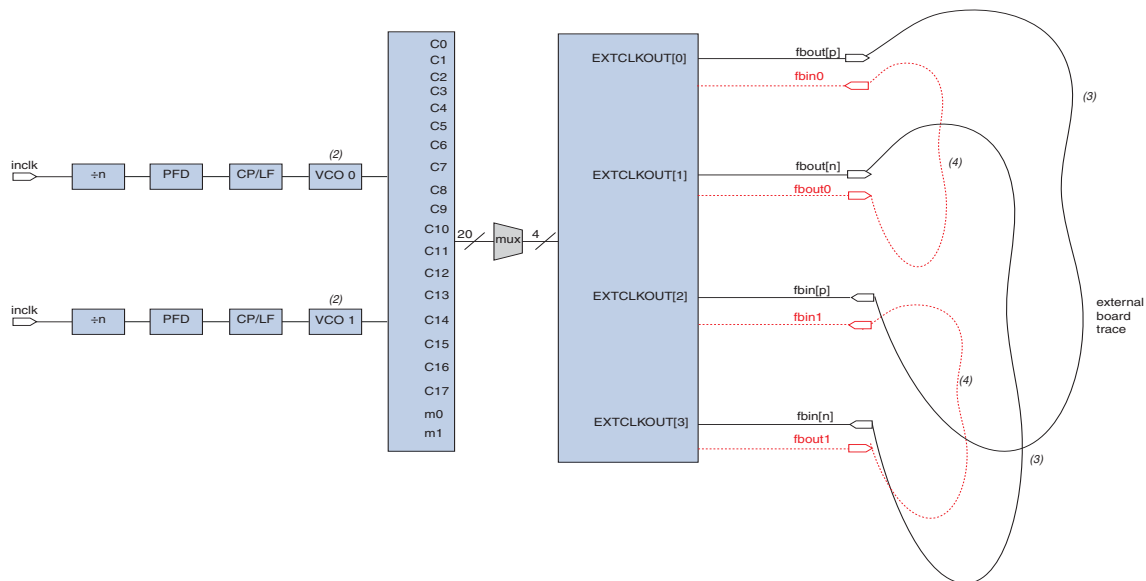


図 4-28 の注：

- (1) EFB モードは、2つのシングル・エンド入力または1つの差動フィードバック入力をサポートします。詳細については、24ページの図 4-20 を参照してください。
- (2) 2つの VCO は、一度に1つしか差動 EFB モードをサポートできません。もう1つの VCO は汎用クロッキングに使用できます。
- (3) 外部ボード接続のための1つの差動クロック出力、および差動 EFB サポートのための1つの差動フィードバック入力。
- (4) 外部ボード接続のための2つのシングル・エンド・クロック出力、およびシングル・エンド EFB サポートのための2つのシングル・エンド・フィードバック入力。

クロックの逡倍と分周

Stratix V の各 PLL は、 M/N (N^* ポストスケール・カウンタ) スケーリング係数を使用して、PLL 出力ポートのクロック合成を行います。入力クロックは、プリ・スケール係数 n によって分周され、 m フィードバック係数で逡倍されます。コントロール・ループは、 $f_{in}(M/N)$ になるように VCO をドライブします。各出力ポートには、高周波数 VCO を分周する専用のポストスケール・カウンタがあります。周波数の異なる PLL 出力が複数ある場合、VCO は周波数規格に適合する出力周波数の最小公倍数に設定されます。例えば、1つの PLL から要求される出力周波数が 33 MHz と 66 MHz の場合、Quartus II ソフトウェアは VCO を 660 MHz に設定します (VCO 範囲内での 33 MHz と 66 MHz の最小公倍数)。その後、ポストスケール・カウンタは各出力ポートの VCO 周波数を分周します。

PLL ごとに1つのプリ・スケール・カウンタ、 N 、および1つの逡倍カウンタ、 M があり、 M と N は両方とも範囲は 1 ~ 512 です。 N カウンタの目的は、周波数分周の計算に限定されるため、このカウンタはデューティ・サイクル・コントロールを行いません。これらのポストスケール・カウンタの範囲は、50% デューティ・サイクル設定で 1 ~ 512 です。各カウンタの High と Low カウント値の範囲は、1 ~ 256 です。デザインに選択された High および Low のカウント値の合計により、特定のカウンタの分周値が選択されます。

Quartus II ソフトウェアは、アルテラの PLL メガファンクションに入力される入力周波数、逡倍値、および分周値に従って、適切なスケーリング係数を自動的に選択します。

プログラマブル・デューティ・サイクル

プログラマブル・デューティ・サイクルにより、PLL は可変デューティ・サイクルのクロック出力を生成できます。この機能は PLL ポストスケール・カウンタでサポートされます。デューティ・サイクルの設定は、ポストスケール・カウンタに対して Low および High の時間カウントを設定することによって行われます。

Quartus II ソフトウェアは、周波数入力と所要の逡倍または分周レートによってデューティ・サイクルを選択します。ポストスケール・カウンタ値により、デューティ・サイクルの精度が決まります。精度は 50% をポストスケール・カウンタ値で除算した値で定義されます。例えば、CO カウンタが 10 の場合、5% ~ 90% の範囲でデューティ・サイクルを選択する場合、5% のステップが可能です。

PLL が外部フィードバック・モードの場合、fb_{in} ピンをドライブするカウンタのデューティ・サイクルに 50% を設定する必要があります。プログラマブル・デューティ・サイクルをプログラマブル位相シフトと組み合わせることで、オーバーラップのない正確なクロックを生成できます。

改訂履歴

表 4-5 に、本資料の改訂履歴を示します。

表 4-5. 改訂履歴

日付	バージョン	変更内容
2011 年 5 月	1.2	<ul style="list-style-type: none">■ 11.0 リリースにより、この章を Volume 2 に移動■ 表 4-1 を更新■ 図 4-3、図 4-4、図 4-5、図 4-6、図 4-15、図 4-17、図 4-18、図 4-20、図 4-25、および 図 4-28 を更新■ 「ゼロ遅延バッファ・モード」および「外部フィードバック・モード」の項を更新■ 「PLL クロック出力」の項を追加
2010 年 12 月	1.1	10.1 リリース。内容の変更はなし
2010 年 7 月	1.0	初版

