

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SV51004-1.1

この章では、Stratix® V デバイス内のデジタル信号処理 (DSP) ブロックを高性能 DSP (Digital Signal Processing) アプリケーションに対して最適化する方法について説明します。高性能 DSP アプリケーションでは、高精度を求める傾向がますます強くなっています。この要求は次のようなアプリケーションで見られます。

- 高い解像度とマルチアンテナ・アーキテクチャをサポートする必要があるレーダー・システム
- ワイヤレス基地局の多重入力・多重出力 (MIMO) 処理用チャネル・カード
- 超高精度フィルタリングを要する医療およびテスト用アプリケーション
- 高速フーリエ変換 (FFT) ファンクション

可変精度 DSP ブロックは、特定のアプリケーションに合わせて複数の動作モードの 1 つを実装するようにコンフィギュレーションできます。ビルトインのプリアダー、係数バンク、乗算器、加算器/減算器は、これらのファンクションを実装するのに必要な外部ロジック量を少なくして、DSP アプリケーションでのリソース利用を効率化し、消費電力を低減し、性能とデータ・スループットを改善します。

Stratix V 可変精度 DSP ブロックは下位互換性を維持しています。そのため、高精細ビデオ処理、デジタル・アップ/デジタル・ダウン変換、マルチ・レート・フィルタリングなどの既存の 18 ビット DSP アプリケーションを効率的にサポートできます。

この章は、以下の項で構成されています。

- 3-1 ページの「可変精度 DSP ブロックの概要」
- 3-3 ページの「動作モードの概要」
- 3-4 ページの「可変精度 DSP ブロックのリソースの説明」
- 3-8 ページの「動作モードの説明」
- 3-23 ページの「ソフトウェア・サポート」

## 可変精度 DSP ブロックの概要

Stratix V デバイスの各可変精度 DSP ブロックは、1 LAB ロウの高さを使用します。Stratix V 可変精度 DSP ののアーキテクチャ上の重要な機能として、次のものがあります。

- 高性能、消費電力最適化され、完全レジスタ化された乗算演算
- 9 ビット、18 ビット、または 27 ビット・ワード長をネイティブ・サポート
- FFT に対して 18 × 25 複素数乗算を効率的にサポート
- 浮動小数点演算フォーマットを効率的にサポート
- 乗算結果を効率的に結合するビルトイン加算、減算、64 ビット累算ユニット
- フィルタリング・アプリケーション用のタップ・ディレイ・ラインを形成するために 18 ビットおよび 27 ビット入力バスをカスケード接続する

© 2011 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at [www.altera.com/common/legal.html](http://www.altera.com/common/legal.html). Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



- 出力結果を外部ロジックのサポートなしで、隣接するブロックに入力可能なカスケード接続 64 ビット出力バス
- 対称フィルタで 18 ビット・モードおよび 27 ビット・モードをサポートするハード・プリアダー
- フィルタの実装に使用される内部係数レジスタ・バンク
- 分散された出力加算器付きの 18 ビットまたは 27 ビットのシストリック有限インパルス応答 (FIR) フィルタを効率的にサポート

表 3-1 に、Stratix V デバイスの乗算器数を示します。

表 3-1. Stratix V デバイスの乗算器数

ファミリ	デバイス	可変精度 DSP ブロック	独立した入力および出力乗算演算子					加算モードの 18 × 18 乗算器	36 ビット入力に 加算する 18 × 18 乗算器
			9 × 9 乗算器	16 × 16 乗算器	32 ビット解像度度の 18 × 18 乗算器	27 × 27 乗算器	36 × 18 乗算器		
Stratix V GX	5SGXA3	188	564	376	376	188	188	376	188
	5SGXA4	188	564	376	376	188	188	376	188
	5SGXA5	256	768	512	512	256	256	512	256
	5SGXA7	256	768	512	512	256	256	512	256
	5SGXB5	306	918	612	612	306	306	612	306
	5SGXB6	306	918	612	612	306	306	612	306
Stratix V GS	5SGSB7	1,620	4,860	3,240	3,240	1,620	1,620	3,240	1,620
	5SGSB8	1,755	5,265	3,510	3,510	1,755	1,755	3,510	1,755

## 動作モードの概要

表 3-2 に、Stratix V 可変精度 DSP ブロックでサポートされる動作モードの要約を示します。

表 3-2. Stratix V デバイスの可変精度 DSP ブロックの動作モード

可変精度 DSP ブロックのリソース	動作モード	サポートされるインスタンス数	プリアダーのサポート	係数のサポート	入力カスケードのサポート	チェーンアウトのサポート
1 つの可変精度 DSP ブロック	独立 9 × 9 乗算	3	No	No	No	No
	独立 16 × 16 乗算	2	Yes	Yes	Yes	No
	独立 18 × 18 部分乗算 (32 ビット)	2	Yes	Yes	Yes	No
	独立 18 × 18 乗算	1	Yes	Yes	Yes	No
	独立 27 × 27 乗算	1	Yes	Yes	Yes	Yes
	独立 36 × 18 乗算	1	No	No	No	No
	2 個の 18 × 18 乗算加算器	1	Yes	Yes	Yes	Yes
	2 個の 16 × 16 乗算加算器	1	Yes	Yes	Yes	Yes
	Sum of 2 Square (2 つの平方数の和)	1	Yes (1)	No	Yes	Yes
	36 ビット入力に加算する 18 × 18 乗算器	1	No	No	No	Yes
2 つの可変精度 DSP ブロック	独立 18 × 18 乗算	3	No	No	No	No
	独立 36 × 36 乗算	1	No	No	No	No
	複素数 18 × 18 乗算	1	No	No	Yes	No
	4 個の 18 × 18 乗算加算器	1	Yes	Yes	Yes	No
	2 個の 27 × 27 乗算加算器	1	Yes	Yes	Yes	No
	2 個の 18 × 36 乗算加算器	1	No	No	No	No
3 つの可変精度 DSP ブロック	複素数 18 × 25 乗算	1	Yes (1)	No	No	No
4 つの可変精度 DSP ブロック	複素数 27 × 27 乗算	1	Yes	Yes	Yes	No

表 3-2 の注：

(1) このモードでは、プリアダー機能は自動的にイネーブルされます。

Quartus® II ソフトウェアには、乗算器の動作モードをコントロールできるメガファンクションが含まれています。MegaWizard™ Plug-In Manager で適切なパラメータを設定した後、Quartus II ソフトウェアは自動的に可変精度 DSP ブロックをコンフィギュレーションします。

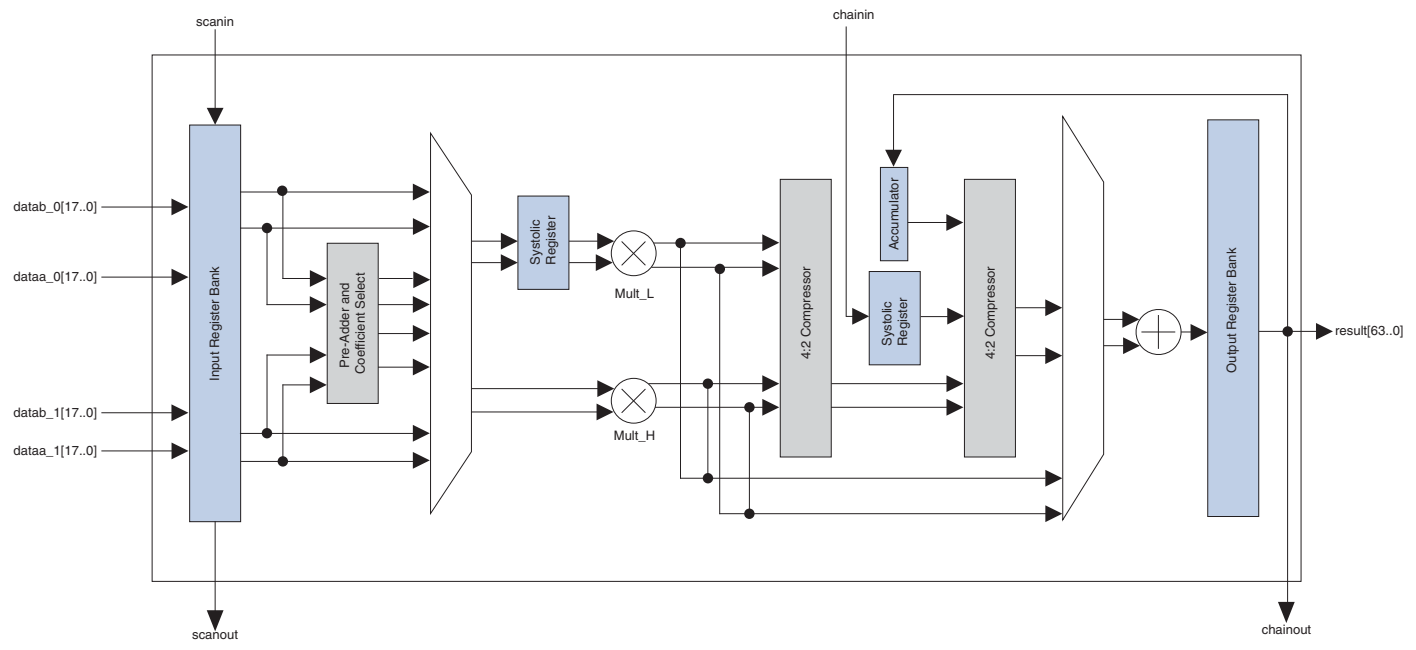
## 可変精度 DSP ブロックのリソースの説明

Stratix V 可変精度 DSP ブロックは以下のものから構成されています。

- 入力レジスタ・バンク
- プリアダーおよび係数選択器
- 乗算器
- コンプレッサおよびアキュムレータ
- シストリック・レジスタ
- 64 ビット加算器および出力バンク

図 3-1 に、Stratix V 可変精度 DSP ブロックの全体アーキテクチャを示します。

図 3-1. Stratix V デバイス可変精度 DSP ブロックのアーキテクチャ



## 入力レジスタ・バンク

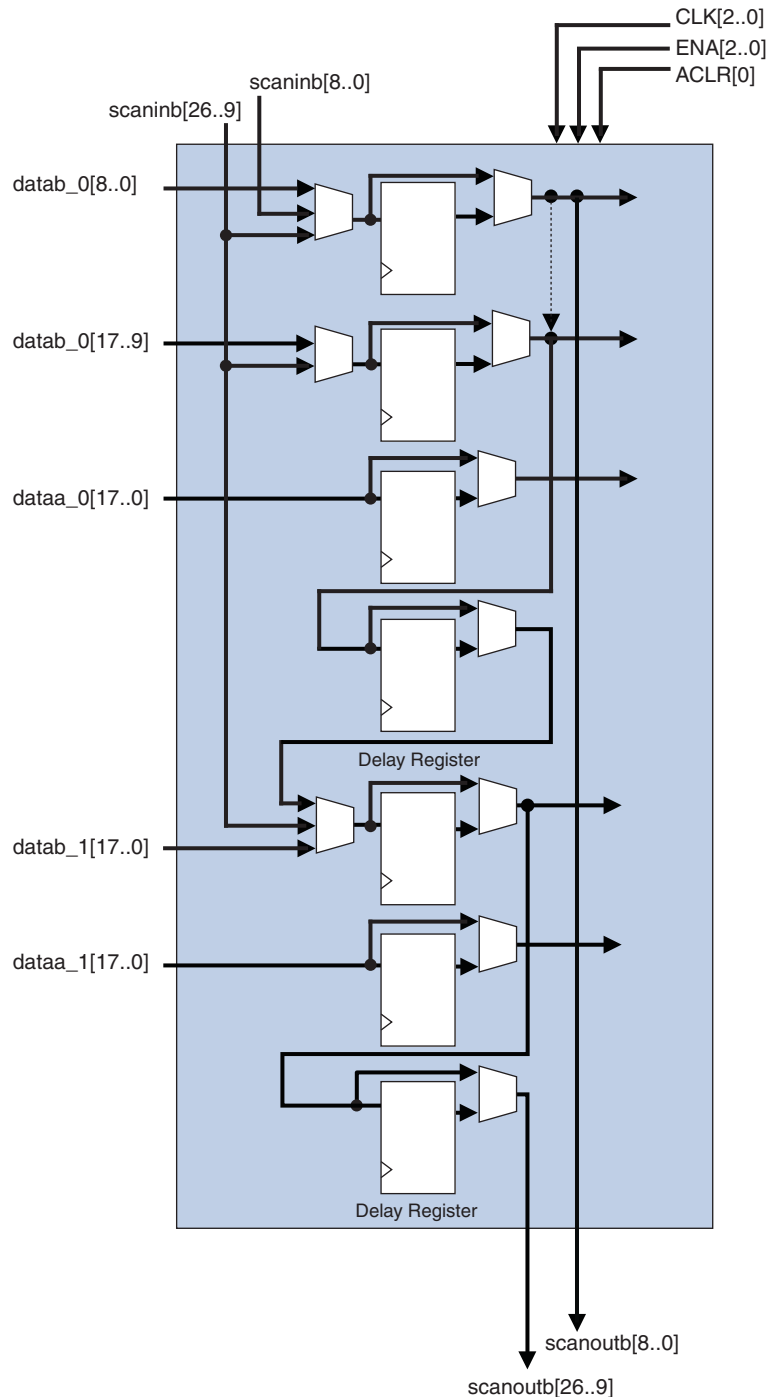
すべての可変精度 DSP ブロック・レジスタはクロック信号のポジティブ・エッジでトリガーされ、パワーアップ後にクリアされます。各乗算器オペランドは、入力レジスタに供給するか、入力レジスタをバイパスして直接乗算器に供給できます。以下の可変精度 DSP ブロック信号は、DSP ブロック内の入力レジスタを制御します。

- CLK[2..0]
- ENA[2..0]
- ACLR[0]

各可変精度 DSP ブロックには 5 個の 18 ビット・データ入力レジスタおよび 2 個の 9 ビット・データ入力レジスタがあります。data0[17..0] の 2 個の 9 ビット・データ入力レジスタは、27 ビット乗算器モードをサポートします。遅延レジスタは、カスケード機能とチェーンアウト機能の両方が使用されているときにレイテンシ要件をバランスさせます。これは 18 x 18 モードでのみサポートされます。

入力レジスタ・バンクの機能の1つは、タップ遅延ラインをサポートすることです。したがって、乗算器の B 側の入力（上位レジスタ入力）は、図 3-2 に示すように、一般的な配線またはカスケード・チェーンからドライブできます。22 ページの表 3-4 に、可変精度 DSP ブロックのダイナミック信号を示します。Stratix V 可変精度 DSP ブロックは、18 ビットおよび 27 ビットの入力カスケードをサポートします。

図 3-2. 可変精度 DSP ブロックの入力レジスタ




## プリアダーおよび係数選択器

プリアダーは加算および減算の両方をサポートしています。各可変精度 DSP ブロックには 2 つの 18 ビット・プリアダーがあります。これらの 2 つのプリアダーを 18 ビット・アプリケーション用の 2 つの独立した 18 ビット加算器、または 27 ビット・アプリケーション用の 25 ビット加算器にコンフィギュレーションできます。

Stratix V 可変精度 DSP ブロックでは、ダイナミック入力または内部係数のいずれかから被乗数を柔軟に選択することができます。内部係数は、18 ビットおよび 27 ビットのアプリケーションに対して最大 8 個までの定数係数をサポートします。内部係数機能をイネーブルする場合、各 18 ビット入力の MSB および COEFSELA/COEFSELB は係数マルチプレクサの選択のコントロールに使用されます。

18 ビット・アプリケーションでは、プリアダー機能がイネーブルされる場合、係数機能をイネーブルする必要があります。27 ビット・アプリケーションでは、係数機能およびプリアダー機能を個別に使用できます。係数機能がイネーブルされた 27 ビット・アプリケーションでは、ダイナミック入力からの被乗数を使用する場合、入力データ幅が 22 ビットに限定されます。内部係数からの被乗算入力を使用する場合、入力データ幅は 27 ビットとなります。

 プリアダー機能をイネーブルする場合、すべての入力データおよび乗算器は同じクロック設定を使用しなければなりません。

## 乗算器

可変精度 DSP ブロックあたりに 2 つの乗算器 (Mult\_H および Mult\_L) があります。これらの乗算器は動作モードに応じて、 $27 \times 27$  乗算器、2 つの  $18 \times 18$  乗算器または 3 つの  $9 \times 9$  乗算器にコンフィギュレーションできます。乗算器のデータ幅に応じて、1 つの可変精度 DSP ブロックは多数の乗算を平行に実行できます。詳細については、3-8 ページの「動作モードの説明」を参照してください。

## コンプレッサおよびアキュムレータ

可変精度 DSP ブロックあたりに 2 つの 4:2 コンプレッサがあります。1 番目のコンプレッサの出力を次の可変精度 DSP ブロックに接続することで、更に大規模な乗算器を形成できます。2 番目のコンプレッサの出力は 64 ビット加算器の入力となります。1 番目のコンプレッサは、2 つの乗算器によって生成される 4 個のベクトル (キャリーと加算を含む) を 2 個のベクトルまで減少させます。2 番目のコンプレッサは、1 番目のコンプレッサからの加算とキャリーおよびほかの 2 個のベクトル (前の可変精度 DSP からの加算とキャリー、あるいはチェーンアウトとアキュムレータの結果のいずれか) を更に 2 個の最終ベクトルに減少させ、64 ビット加算器の入力の加算とキャリーにします。

Stratix V 可変精度 DSP ブロックは 64 ビット・アキュムレータをサポートします。アキュムレータの結果は 2 番目の入力になります。アキュムレータ機能を制御する 3 つのダイナミック信号があります。表 3-3 に、これらのダイナミック信号がアキュムレータ機能を制御する方法を示します。

累算機能により、現在の結果が前の累算結果に加算されます。デシメーション機能により、現在の結果が 2 の補数に変換され、前の結果に加算されます。プリロード機能により、初期値がアキュムレータにロードされます。

表 3-3. 64 ビット・アキュムレータ用ダイナミック制御信号

ファンクション	NEGATE	LOADCONST	ACCUMULATE
ゼロ	0	0	0
累算	0	0	1
デシメーション	1	0	1
プリロード	0	1	0

## シストリック・レジスタ

可変精度 DSP ブロックあたりに 2 つのシストリック・レジスタがあります。1 番目のシストリック・レジスタは、Mult\_L の 2 つの 18 ビット入力をラッチするための 2 つの 18 ビット・レジスタを備えています。これらのレジスタに、乗算器の入力と同じクロック・ソースでクロックを供給する必要があります。2 番目のシストリック・レジスタは、次の可変精度 DSP ブロックへの chainout 出力を遅延させるための 4 ビット・レジスタです。このレジスタに、出力レジスタ・バンクと同じクロック・ソースでクロックを供給する必要があります。可変精度 DSP ブロック がシストリック FIR モードにコンフィギュレーションされていない場合、両方のシストリック・レジスタがバイパスされます。

## 64 ビット加算器および出力レジスタ・バンク

動作モードに応じて、この 64 ビット加算器を 1 つの 64 ビット加算器として使用するか、またはサイズが異なる複数の小規模加算器として使用できます。

バイパス可能な 64 ビット出力レジスタ・バンクは、クロック信号のポジティブ・エッジでトリガされ、パワーアップ時にクリアされます。可変精度 DSP ブロックあたりの出力レジスタは、下記の可変精度 DSP ブロック信号によって制御されます。

- CLK[2..0]
- ENA[2..0]
- ACLR[1]

## 動作モードの説明

この項では、Stratix V 可変精度 DSP ブロックをコンフィギュレーションして、下記の動作モードを効率的にサポートするようにする方法を示します。

- 3-9 ページの「独立乗算器モード」
- 3-12 ページの「独立複素数乗算器モード」
- 3-16 ページの「Multiplier Adder Sum モード」
- 3-19 ページの「Sum of Square モード」
- 3-21 ページの「36 ビット入力に加算する 18 × 18 乗算モード」
- 3-21 ページの「Systolic FIR モード」

## 独立乗算器モード

独立した入力および出力乗算器モードでは、可変精度 DSP ブロックは汎用乗算器の個別乗算演算を実行します。

### 9 ビット、16 ビット、18 ビット、27 ビットおよび 36 × 18 乗算器

各可変精度 DSP ブロック乗算器を、9 ビット、16 ビット、18 ビット、27 ビット、または 36 × 18 の乗算にコンフィギュレーションすることができます。単一可変精度 DSP ブロックは、最大 3 個の個別 9 × 9 乗算器、2 個の個別 16 × 16 乗算器、2 個の個別 18 × 18 部分乗算器、1 個の個別 18 × 18 乗算器、1 個の個別 27 × 27 乗算器、または 1 個の個別 36 × 18 乗算器をサポートできます。一部の動作モードでは、未使用の入力にゼロパディングを行う必要があります。図 3-3、図 3-4、10 ページの図 3-6、11 ページの図 3-7、および 11 ページの図 3-8 に、独立乗算器モードで動作する可変精度 DSP ブロックを示します。10 ページの図 3-5 に示すように、2 つの可変精度 DSP ブロックが 3 個の個別 18 × 18 乗算器をサポートできます。

図 3-3. 3 個の 9 ビット独立乗算器モード

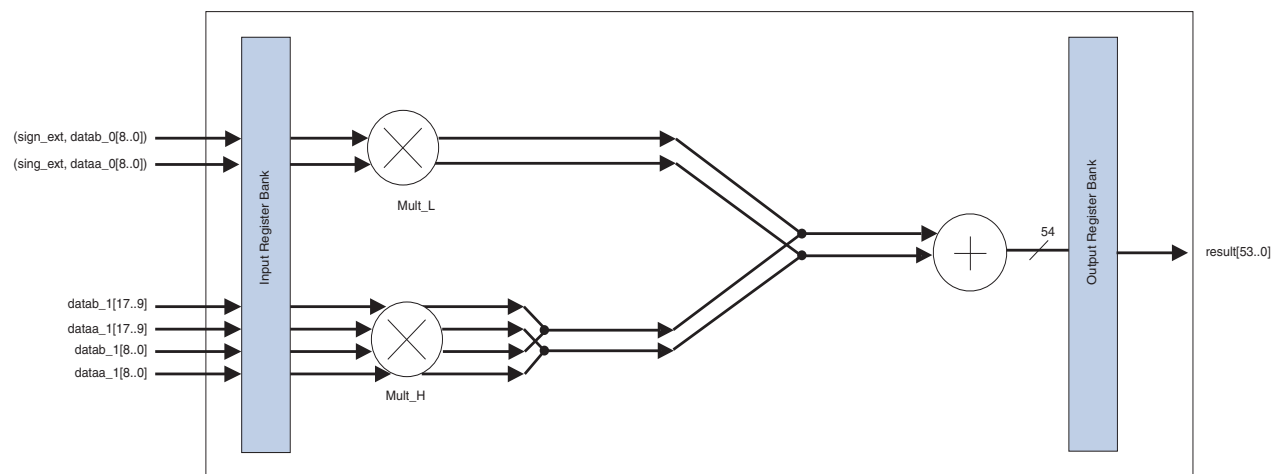


図 3-4. 1 つの可変精度 DSP ブロックによる 1 個の 18 ビット独立乗算器モード

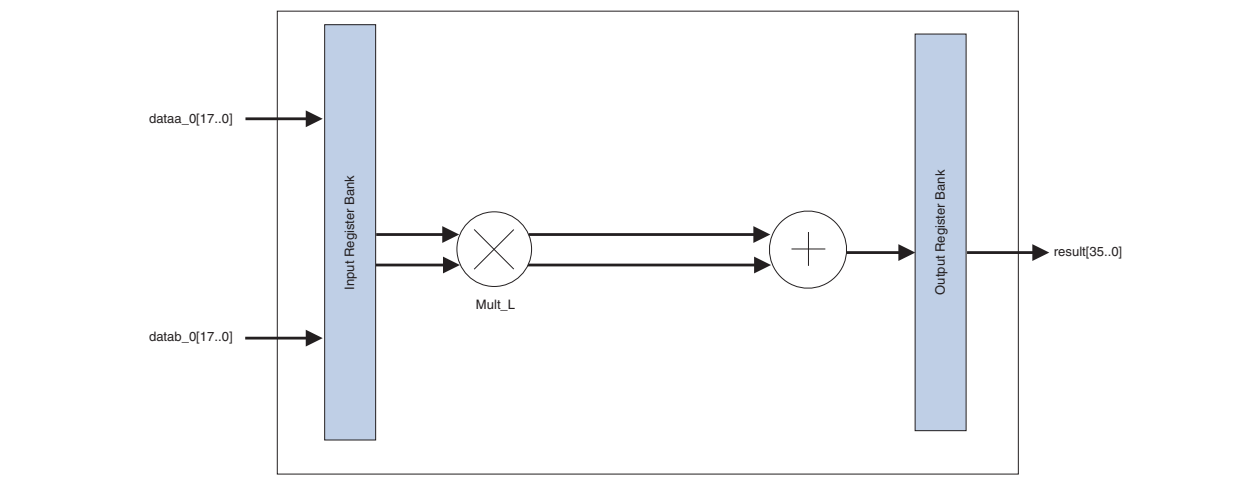


図 3-5. 2つの可変精度 DSP ブロックによる 3 個の 18 ビット独立乗算器モード

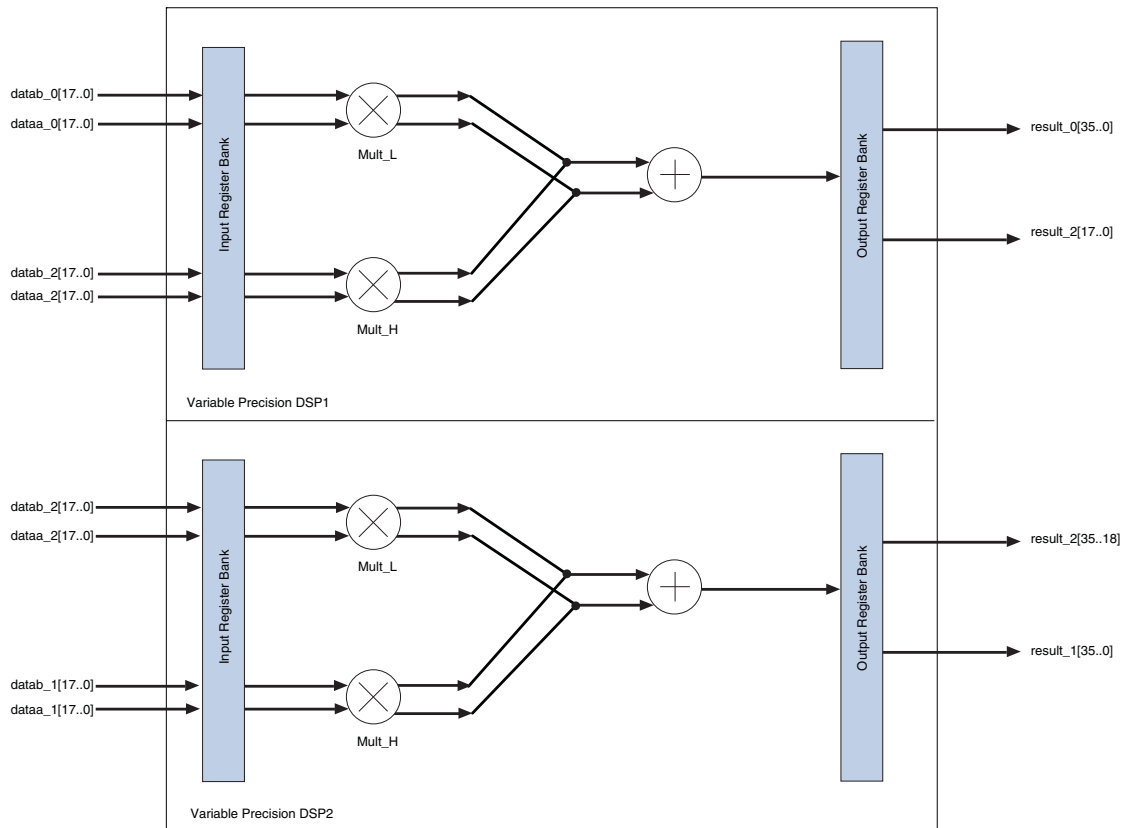


図 3-6. 2 個の 16 ビット独立乗算器モードまたは 2 個の 18 ビット独立した部分乗算器モード (注 1), (2)

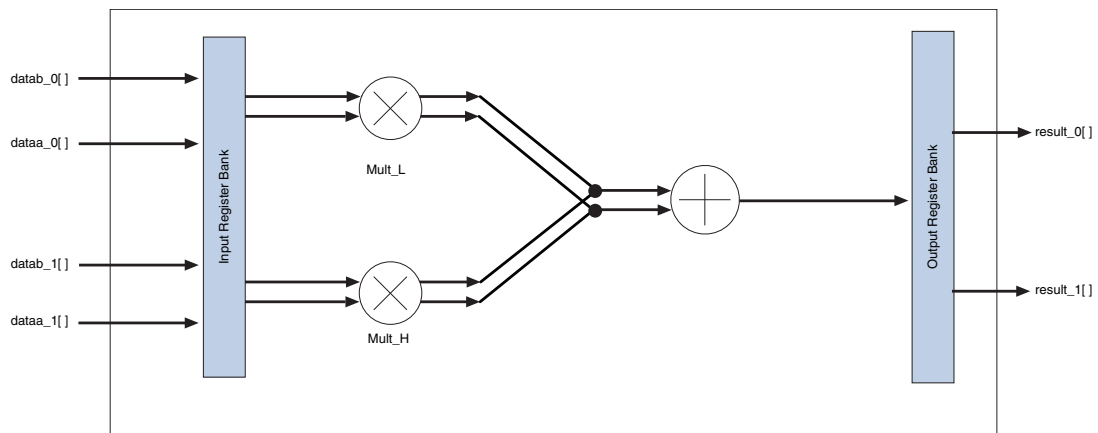


図 3-6 の注:

- (1) 16 ビット独立乗算器モードの入力は、data[15..0] です。未使用の入力ビットに 0 を詰める必要があります。
- (2) 18 ビット独立乗算器モードの場合、両方の乗算器の 32 LSB 出力のみが出力レジスタに転送されます。

図 3-7. 1 個の 27 ビット独立乗算器モード

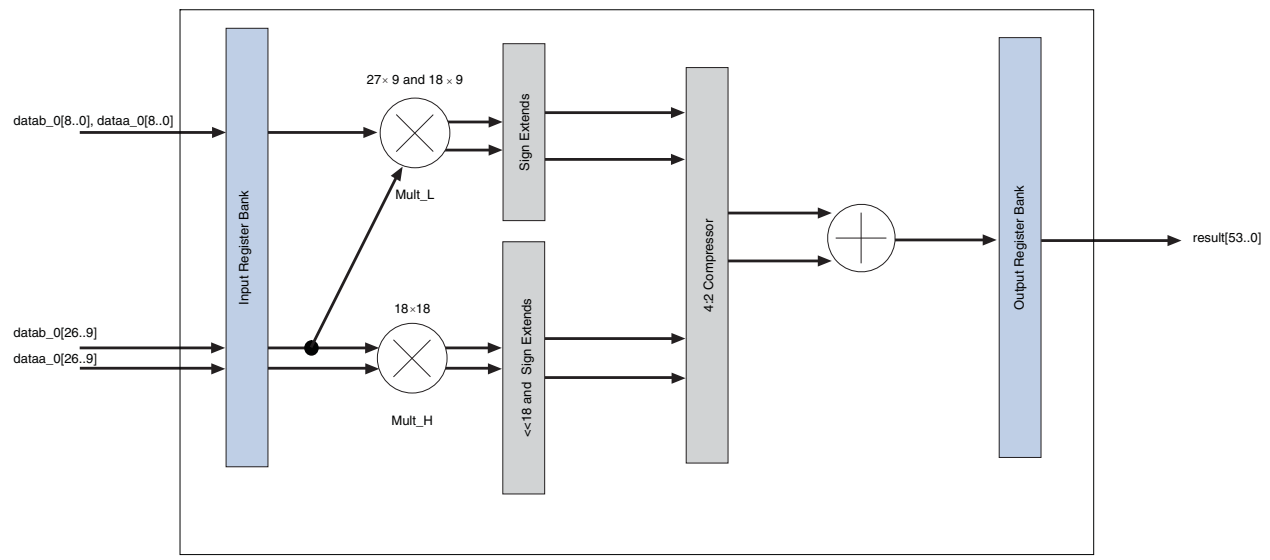
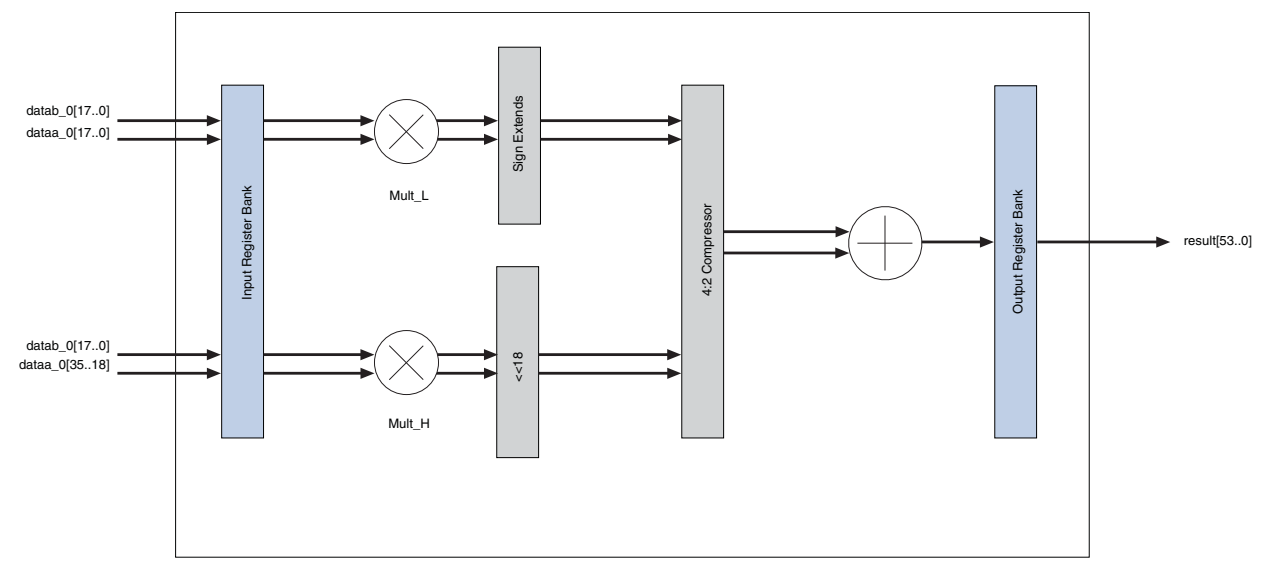


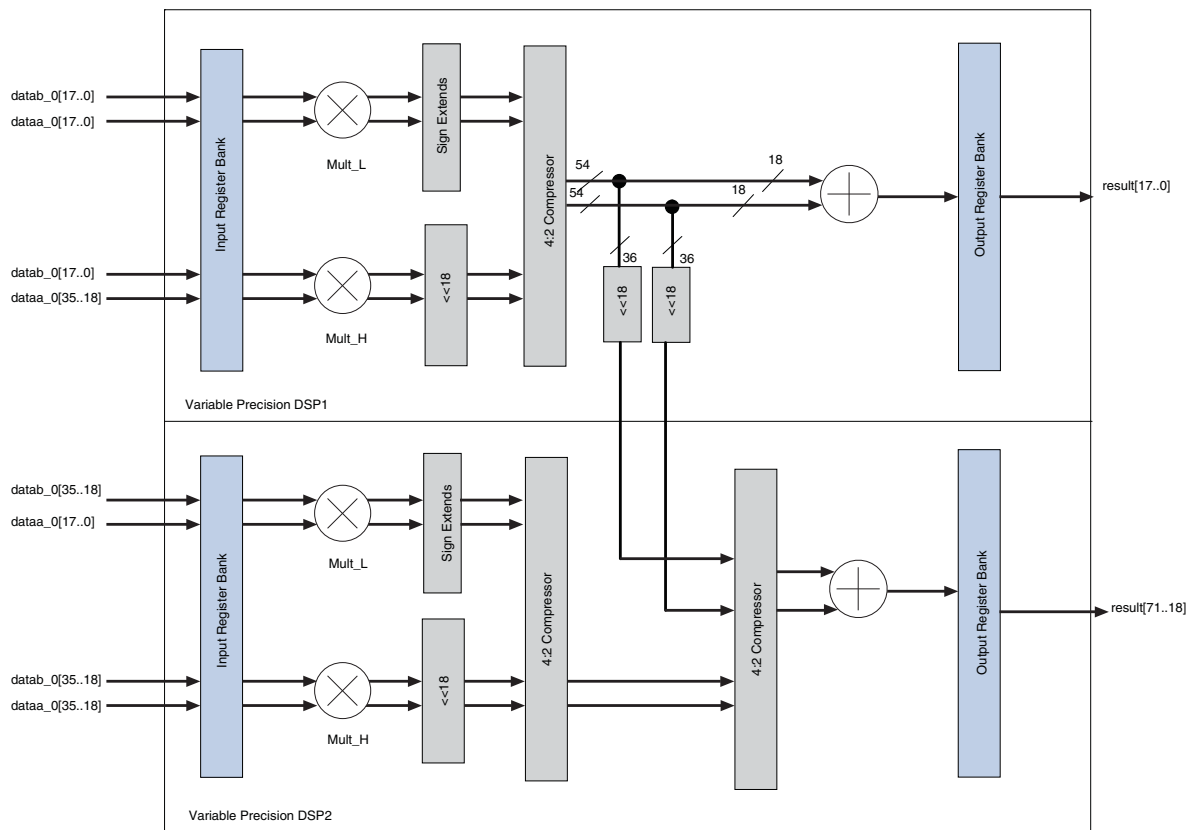
図 3-8. 1 個の 36 × 18 独立乗算器モード



### 36 ビット乗算器

2 個の隣接する Stratix V 可変精度 DSP ブロックを使用して、36 ビット乗算器を効率的に構築できます。図 3-9 に示すように、36 × 36 乗算は 4 個の 18 × 18 乗算器から構成されています。36 ビット乗算器は、高精度固定小数点の仮数の乗算を行う演算アプリケーションなど、18 ビットを超える精度を必要とするアプリケーションに有効です。

の  
図 3-9. 2つの可変精度 DSP ブロックによる 36 ビット独立乗算器モード



## 独立複素数乗算器モード

Stratix V 可変精度 DSP ブロックは、複素数乗算の平均数を算出します。式 3-1 は複素数乗算の式です。

### 式 3-1. 複素数乗算の式

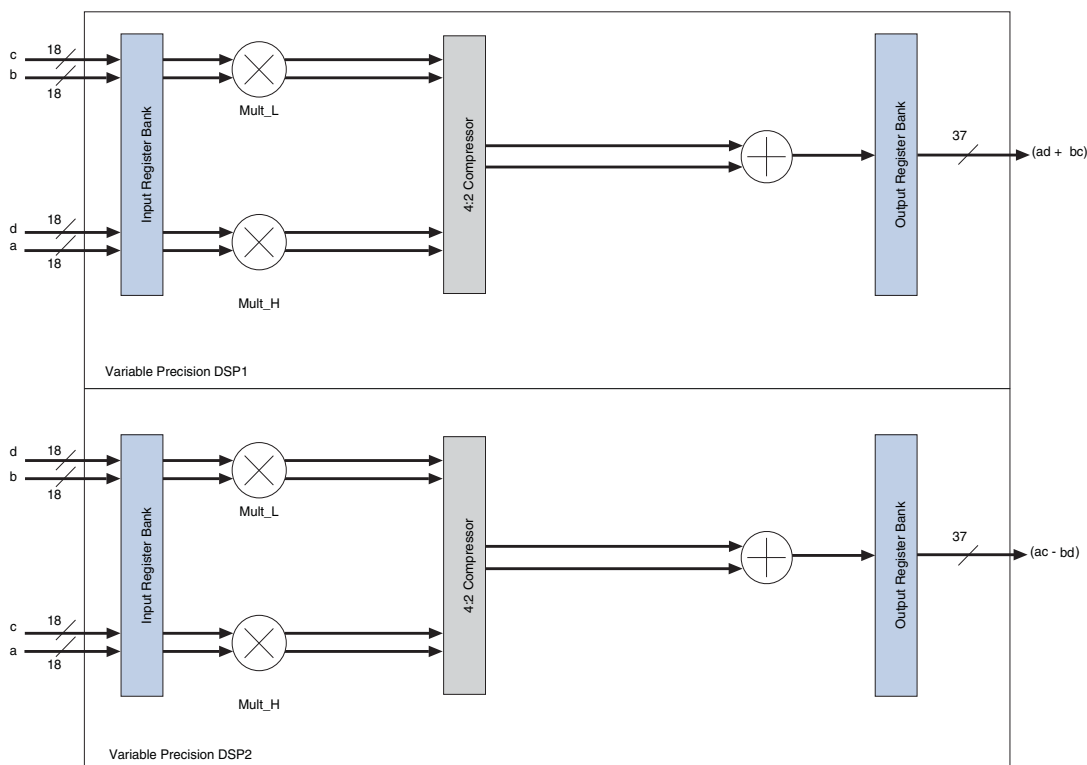
$$(a + jb) \times (c + jd) = [(a \times c) - (b \times d)] + j[(a \times d) + (b \times c)]$$

Stratix V 可変精度 DSP ブロックは、 $18 \times 18$  複素数乗算器、 $18 \times 25$  複素数乗算器、または  $27 \times 27$  複素数乗算器をサポートできます。

### $18 \times 18$ 複素数乗算器

$18 \times 18$  複素数乗算を実行するには 2 つの可変精度 DSP ブロックが必要です。虚部の  $[(a \times d) + (b \times c)]$  は 1 番目の可変精度 DSP ブロックに実装され、そして実部の  $[(a \times c) - (b \times d)]$  は 2 番目の可変精度 DSP ブロックに実装されます。図 3-10 に、18 ビットの複素数乗算を示します。

図 3-10. 2つの可変精度 DSP ブロックによる 18 × 18 複素数乗算器



### 18 × 25 複素数乗算器

Stratix V デバイスは、1 個の個別 18 × 25 複素数乗算モードをサポートします。個別 18 × 25 複素数乗算モードを実装するには、3 つの可変精度 DSP ブロックが必要です。個別 18 × 25 複素数乗算モードを更に効率的に実装するために、プリアダー機能は自動的にイネーブルされます。

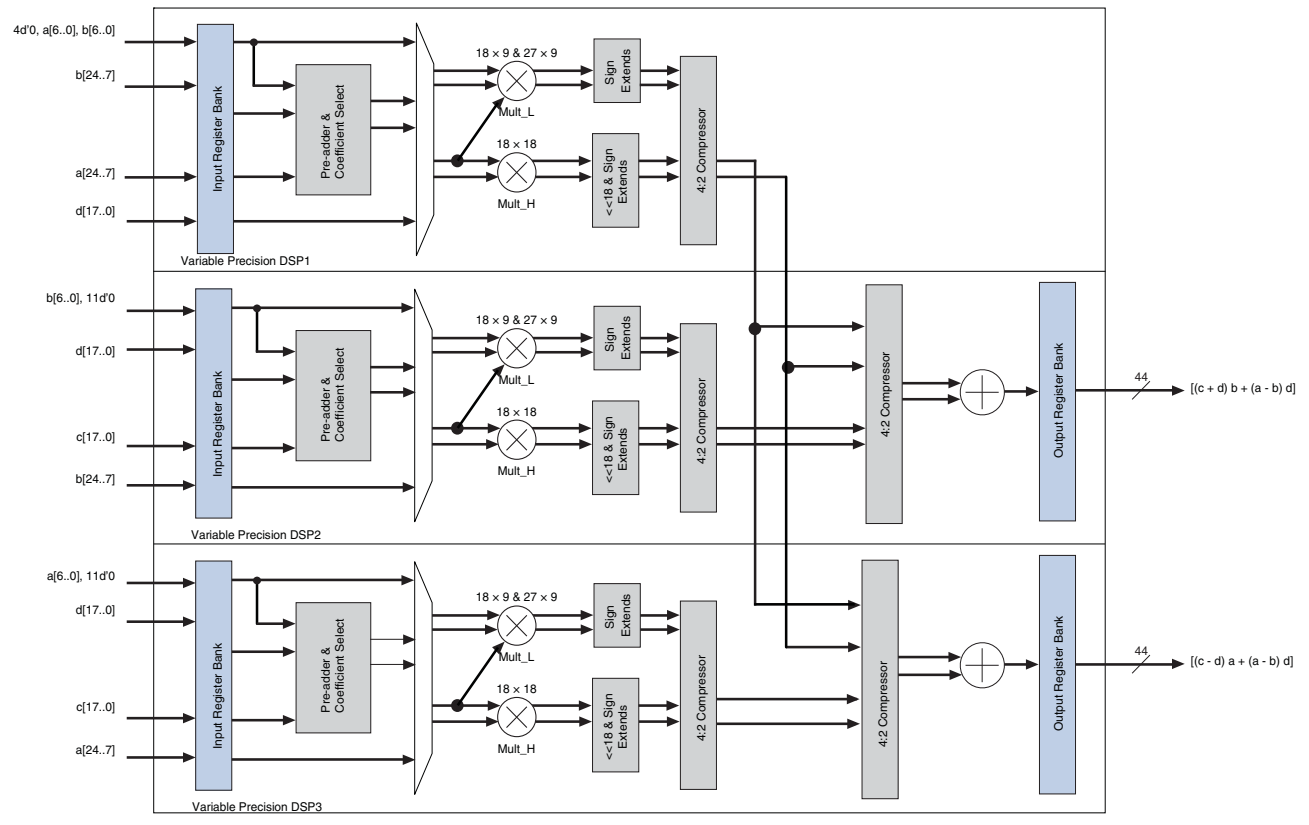
3 つの可変精度 DSP ブロックによる 18 × 25 複素数乗算は、式 3-2 に示すようになります。

#### 式 3-2. 18 × 25 複素数乗算の式

$$(a + jb) \times (c + jd) = (c - d) \times a + (a - b) \times d + j [(c + d) \times b + (a - b) \times d]$$

図 3-11 に、3つの可変精度 DSP ブロックによる  $18 \times 25$  複素数乗算を示します。

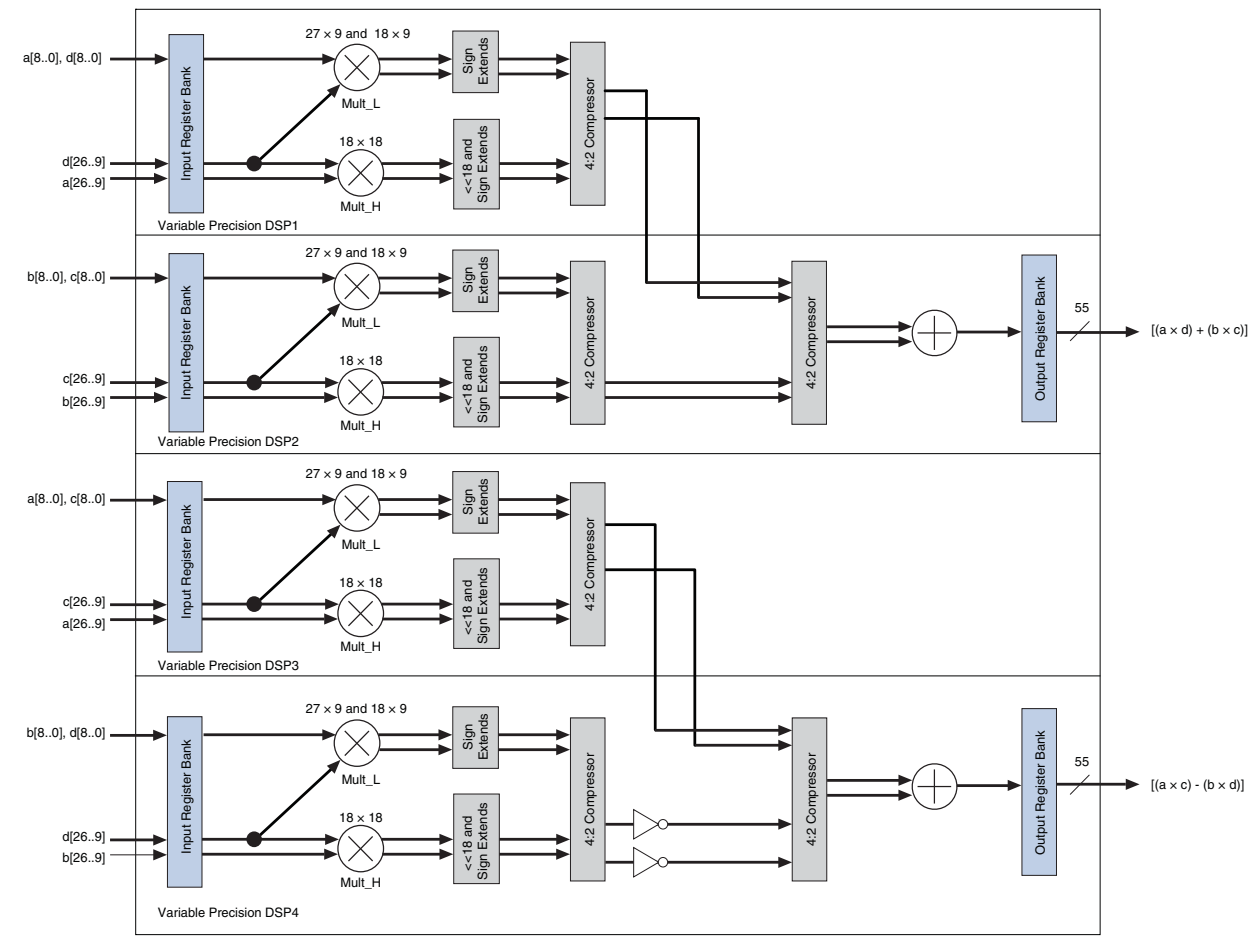
図 3-11. 3つの可変精度 DSP ブロックによる  $18 \times 25$  複素数乗算器



### 27 × 27 複素数乗算器

Stratix V デバイスは、1 個の個別 27 × 27 複素数乗算モードをサポートします。1 個の個別 27 × 27 複素数乗算モードを実装するには、4 つの可変精度 DSP ブロックが必要です。虚部の  $[(a \times d) + (b \times c)]$  は 1 番目と 2 番目の可変精度 DSP ブロックに実装され、そして実部の  $[(a \times c) - (b \times d)]$  は 3 番目と 4 番目の可変精度 DSP ブロックに実装されます。4 番目の可変精度 DSP ブロックの NEGATE コントロール信号をイネーブルすることで、2 個の 27 × 27 乗算間の差を得られます。図 3-12 に、4 つの可変精度 DSP ブロックによる 27 ビット複素数乗算を示します。

図 3-12. 4 つの可変精度 DSP ブロックによる 27 × 27 複素数乗算器



## Multiplier Adder Sum モード

Stratix V デバイスは、Two-Multiplier Adder Sum モードおよび Four-Multiplier Adder Sum モードをサポートします。Two-Multiplier Adder コンフィギュレーションの場合、Stratix V 可変精度 DSP ブロックは 16 ビット、18 ビット、27 ビット、および  $18 \times 36$  乗算器をサポートできます。27 ビットおよび  $18 \times 36$  Multiplier Adder Sum モードを実装するには、2 つの可変精度 DSP ブロックが必要です。Stratix V デバイスでは、2 つの可変精度 DSP ブロックで 4 個の 18 ビット乗算器の和を生成できます。図 3-13 ~ 図 3-16 に、Multiplier Adder Sum モードの可変精度 DSP ブロックを示します。

図 3-13. 2 個の  $18 \times 18$  乗算器の和 / 2 個の  $16 \times 16$  乗算器の和 (注 1)、(2)

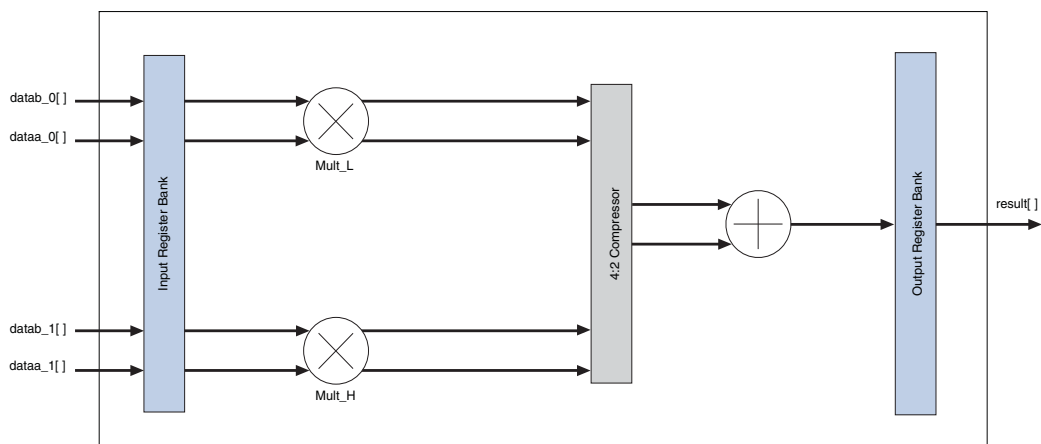


図 3-13 の注 :

- (1) 18 ビット Multiplier Adder Sum モードの場合、入力データの幅は 18 ビットとなり、出力データの幅は 37 ビットとなります。
- (2) 16 ビット Multiplier Adder Sum モードの場合、入力データの幅は 16 ビットとなり、未使用の入力ビットは 0 で詰める必要があります。出力データ幅は 33 ビットとなります。

図 3-14. 2つの可変精度 DSP ブロックによる 2 個の  $27 \times 27$  乗算器の和

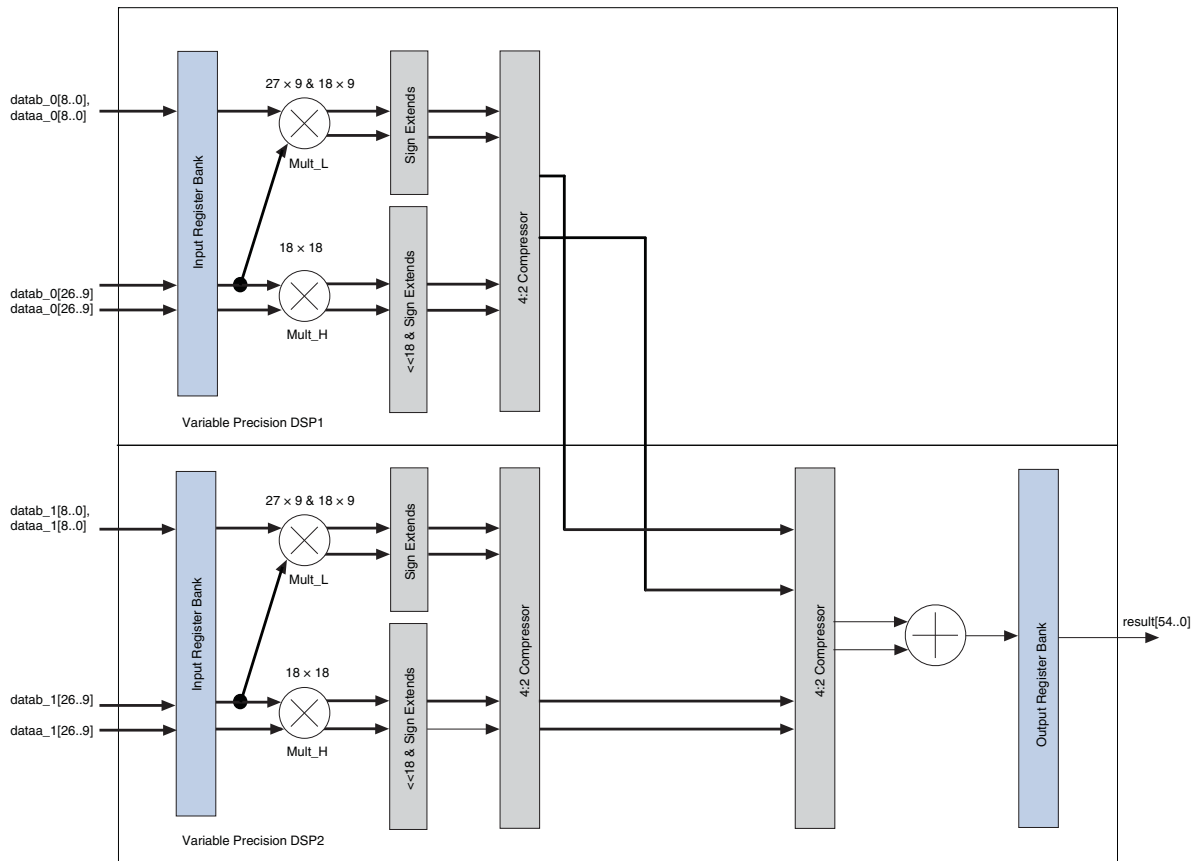


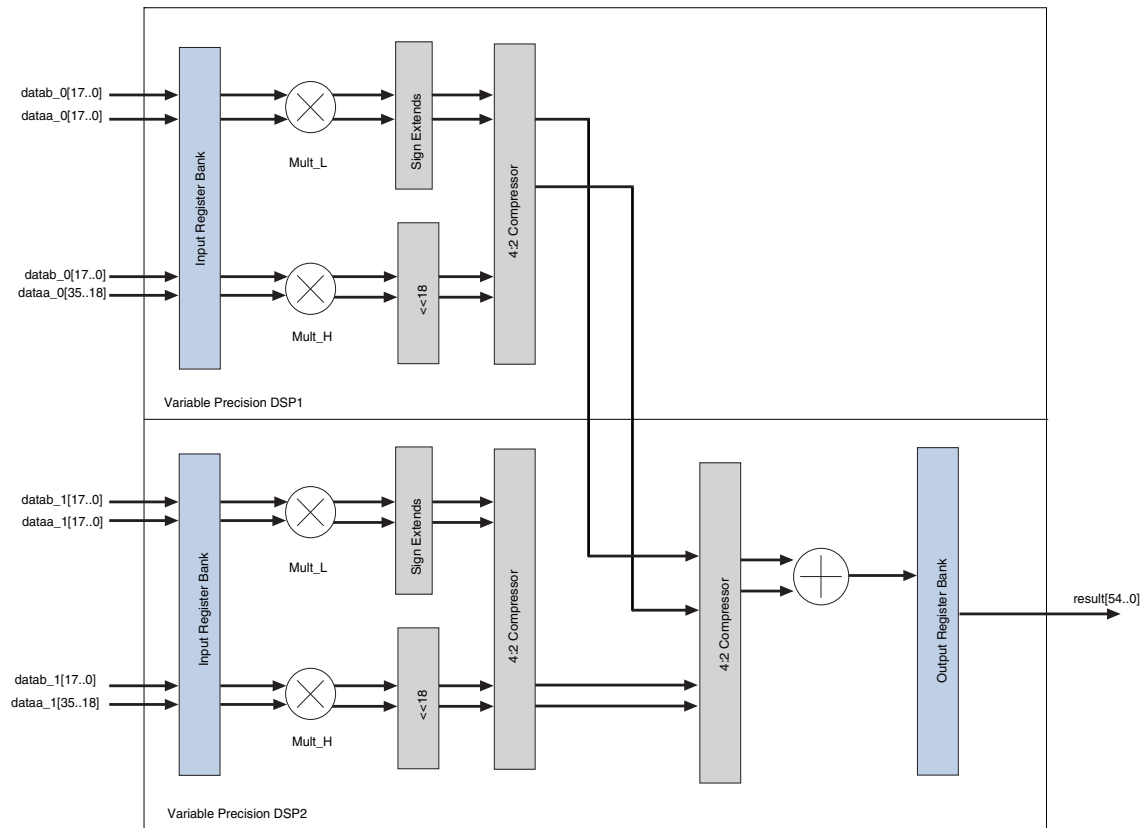
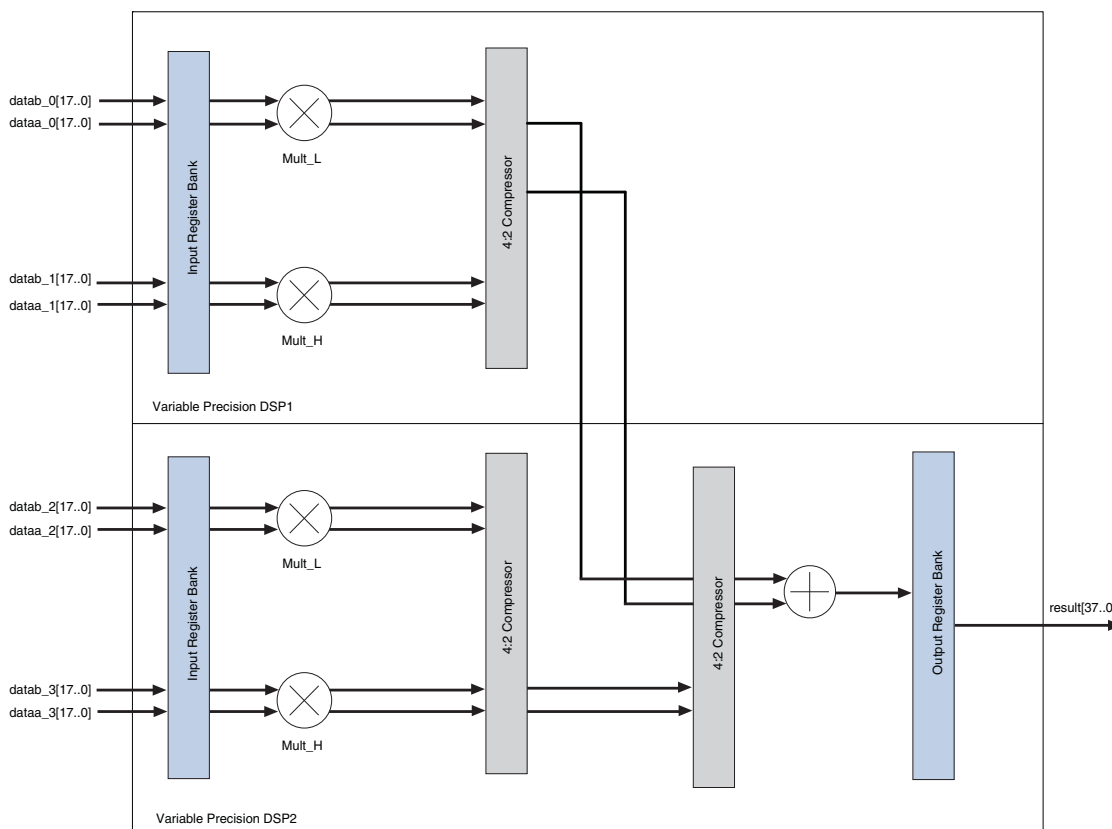
図 3-15. 2つの可変精度 DSP ブロックによる 2 個の  $36 \times 18$  乗算器の和

図 3-16. 2つの可変精度 DSP ブロックによる 4 個の 18 × 18 乗算器の和

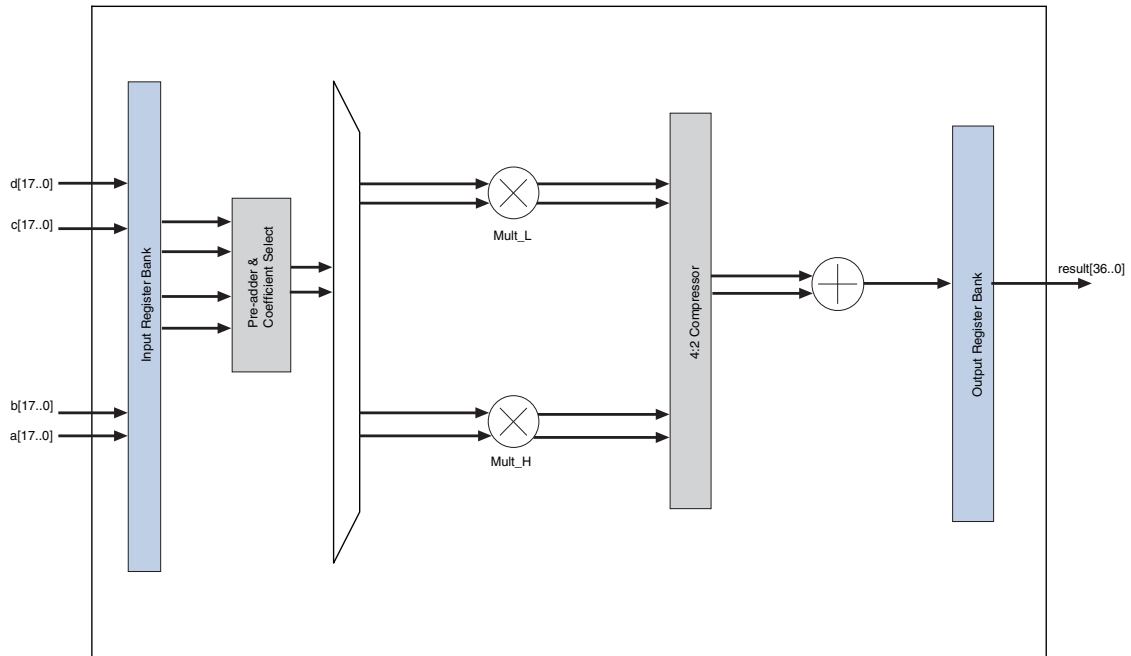


## Sum of Square モード

Stratix V 可変精度 DSP ブロックは、1 つの Sum of Square モード、すなわち  $(a \pm b)^2 \times (c \pm d)^2$  を実装できます。必要に応じて、4 つの 18 ビット入力をプリアダー・ブロックに供給し、b と d 入力を 2 つの補数に変換して減算を実行することができます。18 ビット・プリアダー・ブロックの出力をそれぞれ 18 × 18 乗算器の被乗数と乗算器入力に供給し、平方数の結果を得ることができます。

図 3-17 に、1つの可変精度 DSP ブロックによる Sum of Square モードを示します。

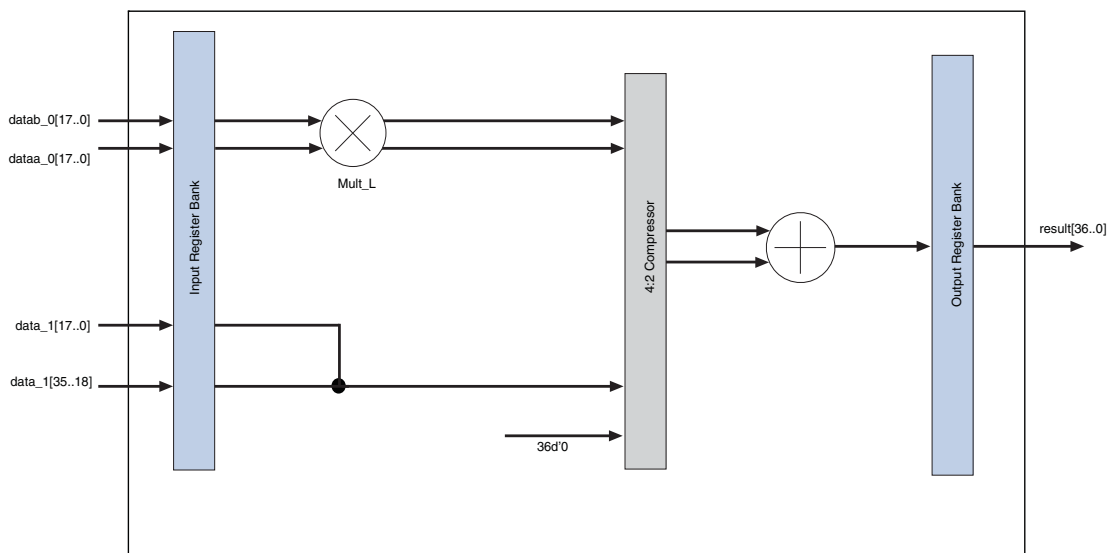
図 3-17. 1つの可変精度 DSP ブロックによる Sum of Square モード



## 36 ビット入力に加算する 18 × 18 乗算モード

Stratix V 可変精度 DSP ブロックは、1 個の 18 × 18 乗算を 1 つの 36 ビット入力に  
加算することができます。Mult\_L によって 18 × 18 乗算の入力を提供することがで  
きますが、Mult\_H はバイパスされます。data1[17..0] および data1[35..18] 信号  
が連結されて、36 ビット入力を生成します。正しく動作させるためには、コンプ  
レッサの 4 番目の入力を 0 に設定する必要があります。図 3-18 に、1 つの可変精度  
DSP ブロックによる「36 ビット入力に加算する 18 × 18 乗算モード」を示します。

図 3-18. 36 ビット入力に加算する 18 × 18 乗算モード

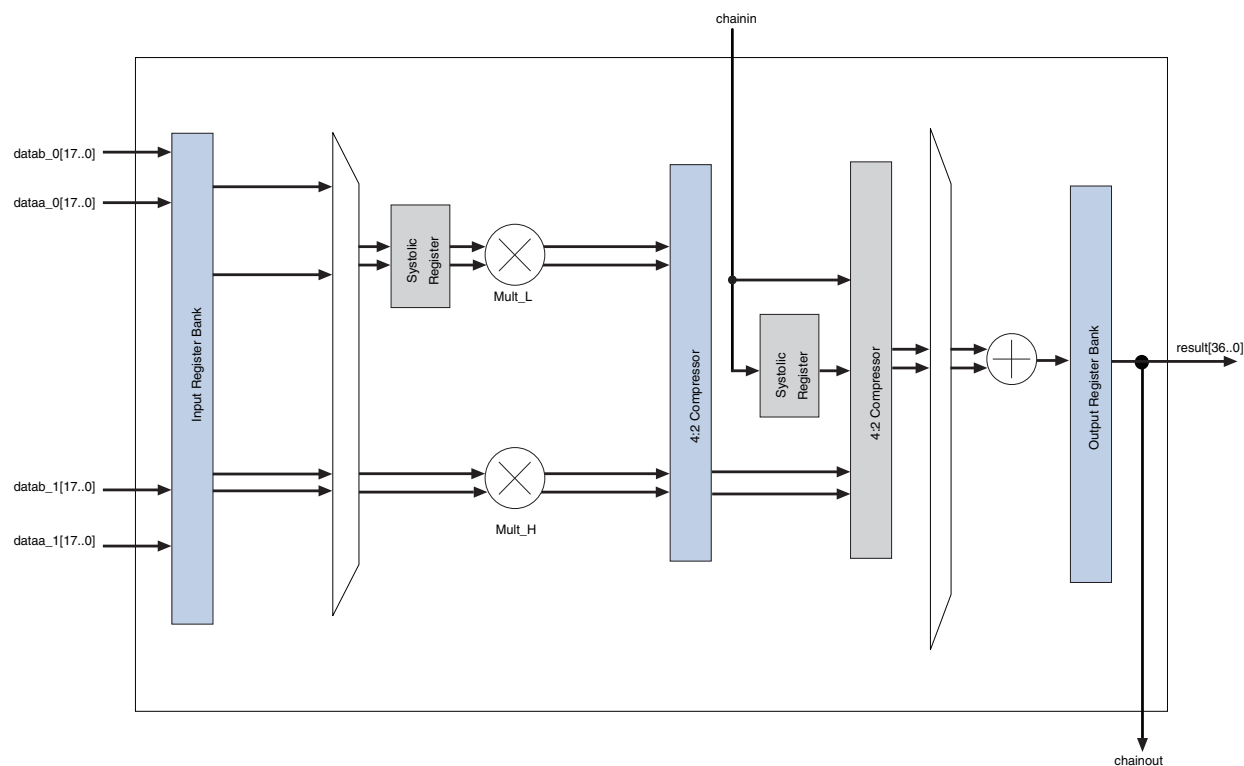


## Systolic FIR モード

Stratix V 可変精度 DSP ブロックは、18 ビットまたは 27 ビットのシストリック FIR  
構造をサポートします。乗算器の各入力のソースが異なっていても構いません。こ  
れらの入力は、2 つのダイナミック入力、1 のダイナミック入力 + 1 つの係数入力、  
または 1 つの係数入力 + 1 つのプリアダー出力から供給することができます。チェ  
インアウト機能がイネーブルされた 27 ビット乗算器を使用して、27 ビット Systolic  
FIR モードを実装することができます。

図 3-19 に、2つのダイナミック入力付きの 18 ビット・シストリック FIR を示します。

図 3-19. 2つのダイナミック入力付きの 18 ビット Systolic FIR モード



## 可変精度 DSP ブロック のコントロール信号

Stratix V 可変精度 DSP ブロックは、合計 14 本のダイナミック・コントロール信号入力を備えています。可変精度 DSP ブロックのダイナミック信号は、ユーザーがコンフィギュレーション可能で、実行時にトグルの有無を設定できます。

表 3-4 に、可変精度 DSP ブロックのダイナミック信号を示します。

表 3-4. 可変精度 DSP ブロックのダイナミック信号 ( 1 / 2 )

信号名	機能	信号数
NEGATE	デシメーションの動作を制御します。	1
LOADCONST	アキュムレータに初期値をプリロードします。	1
ACCUMULATE	乗算累積をイネーブルします。	1
SUB_COMPLEX	この信号には 2つの機能があります。 <ul style="list-style-type: none"> <li>■ 2つの 18 × 18 乗算器の結果に加算または減算を実行する</li> <li>■ 36 × 36 モードまたは複素数 18 × 18 モード間のダイナミックな切り替えを制御する</li> </ul>	1
COEFSELA COEFSELB	内部係数の選択マルチプレクサ、および各 18 ビット入力の MSB を通して提供される選択信号を制御します。	2

表 3-4. 可変精度 DSP ブロックのダイナミック信号 ( 2 / 2 )

信号名	機能	信号数
CLK0 CLK1 CLK2	可変精度 DSP ブロック全体に使用されるクロック信号です。	3
ENA0 ENA1 ENA2	可変精度 DSP ブロック全体に使用されるクロック・イネーブル信号です。	3
ACLR0 ACLR1	可変精度 DSP ブロック全体に使用される非同期クリア信号 (アクティブ Low) です。	2
<b>DSP ブロックあたりの信号数</b>		<b>14</b>


## ソフトウェア・サポート

アルテラは、可変精度 DSP ブロックの各種モードをデザインに実装するための 2 つの主な方法として、インスタンス化と推論を提供しています。両方の方法とも、次の Quartus II メガファンクションを使用します。

- LPM\_MULT
- ALTMULT\_ADD
- ALTMULT\_ACCUM

Quartus II ソフトウェアでメガファンクションのインスタンス化により、可変精度 DSP ブロックを使用することができます。あるいは、推論を使用する場合は、HDL デザインを作成し、サードパーティ製の合成ツール (LeonardoSpectrum、Synplify など) もしくは Quartus II を使用して合成します。この合成ツールは、乗算器、乗算器・加算器、乗算アキュムレータ、シフト・ファンクションを認識することによって、適切なメガファンクションを推論します。いずれの方法を使用する場合も、Quartus II ソフトウェアはコンパイル時に機能を可変精度 DSP ブロックにマップします。

 メガファンクションと MegaWizard Plug-In Manager の使用方法については、Quartus II ソフトウェア・ヘルプを参照してください。

 合成プロセスについて詳しくは、「Quartus II 開発ソフトウェア・ハンドブック Volume 1」の「[Synthesis](#)」の項を参照してください。

## 改訂履歴

表 3-5 に、本資料の改訂履歴を示します。

表 3-5. 改訂履歴

日付	バージョン	変更内容
2010 年 12 月	1.1	10.1 リリース。内容の変更はなし。
2010 年 7 月	1.0	初版

