


この章では、Stratix® V デバイスの概要および機能を説明します。これらのデバイスと機能の多くは、Quartus® II ソフトウェア・バージョン 11.0 で有効になっています。残りのデバイスと機能は、Quartus II ソフトウェアの今後のバージョンで有効になります。

 今度の Stratix V デバイスおよび機能について詳しくは、*Stratix V Upcoming Device Features* の資料を参照してください。

アルテラの 28-nm の Stratix V FPGA は、このような拡張されたコア・アーキテクチャ、最大 28 Gbps の統合されたトランシーバ、および統合されたハード IP (Intellectual Property) ブロックのユニーク・アレイとしてのイノベーションが含まれます。これらの技術革新により、Stratix V FPGA は、以下のために最適化されたアプリケーションをターゲットとしたデバイスの新しいクラスを提供します。

- PCI Express® (PCIe®) Gen3 を含む帯域幅用アプリケーションとプロトコル
- 40G/100G とそれ以上のためのデータを扱うアプリケーション
- 高性能、高精度 DSP (デジタル信号処理) アプリケーション

Stratix V デバイスは、異なるアプリケーションにターゲットされ、デバイスの 4 種類 (GT、GX、GS、および E) にも使用されています。量産時の製品では、Stratix V FPGA でプロトタイプし、HardCopy® V ASIC の低リスク、低コストのパスを使用することができます。

Stratix V ファミリの異版

28-Gbps および 12.5-Gbps のトランシーバの両方を備えた **Stratix V GT** デバイスは、40G/100G/400G 光通信システムや光テスト・システムなどのエリアでの超高帯域幅と性能を必要とするアプリケーション向けに最適化されています。

Stratix V GX デバイスは、66 に統合された 14.1-Gbps のバックプレーンおよび光モジュールをサポートするトランシーバを提供しています。これらのデバイスは、ワイヤライン、軍事通信、およびネットワーク・テスト装置のマーケットにある 40G/100G 光トランスポート、パケット処理、およびトラフィック・マネージメントなどの高性能、高帯域幅アプリケーションに最適化されています。

Stratix V GS のデバイスは、4,096 18×18 または 2,048 27×27 の乗算器までサポートする豊富な可変精度 DSP ブロックがあります。さらに、Stratix V GS デバイスには、バックプレーンおよび光モジュールをサポートする統合された 14.1-Gbps トランシーバが提供されています。これらのデバイスは、ワイヤライン、軍用、放送、および高性能のコンピューティング・マーケットにあるトランシーバ・ベースの DSP 中心のアプリケーション向けに最適化されています。

Stratix V E デバイスは、最大のデバイスで Stratix V ファミリ内の約 1 万個のロジック・エレメント (LE) で最高のロジック集積度を提供します。これらのデバイスは、ASIC やシステム・エミュレーション、画像診断、およびインスツルメンテーションなどのアプリケーション用に最適化されています。

すべての Stratix V ファミリの亜種に共通のことは、再設計されたアダプティブ・ロジック・モジュール (ALM)、20 K ビット (M20K) のエンベデッド・メモリ・ブロック、可変精度 DSP ブロック、および分数 PLL (Phase-Locked Loop) を含む高性能ビルディング・ブロックの豊富なセットです。これらのビルディング・ブロックのすべては、アルテラのより優れたマルチトラック・ルーティング・アーキテクチャおよび包括的なファブリック・クロッキング・ネットワークにより相互接続されます。

また、Stratix V のデバイスの亜種に共通のことは、アルテラ独自の HardCopy ASIC の機能を活用するカスタマイズ可能なハード IP ブロックの新しいエンベデッド HardCopy ブロックです。エンベデッド HardCopy ブロックを硬化標準またはインタフェース・プロトコル、アプリケーション固有の機能および独自のカスタム IP などロジックを多用する機能に使用してください。エンベデッド HardCopy ブロックにハード IP を組み込むには、貴重なコア・ロジックのリソースを解放し、システム全体の消費電力とコストを削減します。Stratix M20K Memory Blocks デバイスでのエンベデッド HardCopy ブロックは、PCIe Gen 3/2/1 および 40/100GbE のハード IP のインスタンス化が含まれています。

Stratix V 機能の概要

- テクノロジ
 - 28-nm TSMC プロセス・テクノロジー
 - 0.85-V コア電圧
- 低消費電力のシリアル・トランシーバ
 - Stratix V GT デバイスでの 28-Gbps トランシーバ
 - XFP、SFP+、QSFP および CFP オプティカル・モジュールのサポートのための電子離散補正 (EDC)
 - アダプティブ・リニアおよびディシジョン・フィードバック・イコライゼーション
 - 600 Mbps ~ 14.1 Gbps バックプレーン能力
 - 送信プリエンファシスおよびディエンファシス
 - 個々のチャネルのダイナミック・リコンフィギュレーション
 - オン・チップ・インスツルメンテーション ((EyeQ 影響のないデータ・アイ監視)
- 汎用 I/O
 - 1.4-Gbps LVDS
 - 1、066-MHz/1、600-Mbps 外部メモリ・インタフェース
 - On-chip termination (OCT)
 - Stratix V デバイス用の 1.2-V ~ 3.3-V のインタフェース
- エンベデッド HardCopy ブロック
 - 完全な PCIe Gen 3/2/1 プロトコル・スタック、x1/x2/x4/x8 エンドポイントおよびルート・ポート
 - 40G/100G イーサネット物理コーディング・サブレイヤ (PCS)
- エンベデッド・トランシーバ・ハード IP
 - Interlaken PCS
 - ギガビット・イーサネット (GbE) および XAUI PCS
 - 10G イーサネット PCS
 - SRIO (Serial RapidIO) PCS
 - CPRI (Common Public Radio Interface) PCS
 - GPON (Gigabit Passive Optical Networking) PCS
- 消費電力管理
 - プログラマブル・パワー・テクノロジー
 - Quartus II 統合 PowerPlay Power Analysis
- 高性能コア・ファブリック
 - 4 つのレジスタで ALM の拡張
 - 配線アーキテクチャの改善により、配線の輻輳を低減し、コンパイル時間を向上する
- エンベデッド・メモリ・ブロック
 - M20K: ハード誤り訂正コード (ECC) の 20-K ビット
 - MLAB: 640 ビット
- 可変精度 DSP ブロック
 - 500 MHz 性能まで
 - ネイティブで精度の 9x9 から 54x54 までの範囲で信号処理をサポートする
 - 新しいネイティブ 27x27 乗算モード
 - シストリック FIR (Finite Impulse Response) 用の 64 ビットのアキュムレータおよびカスケード
 - エンベデッド内部の係数メモリ
 - プリ加算器/減算器で効率を向上する
 - 出力数が増えると独立した乗算器も増やすことができる
- 小数 PLL
 - Third-order delta-sigma 変調のある小数モード
 - 整数モード
 - クロック合成の精度、クロック遅延補償、およびゼロ遅延バッファ
- クロック・ネットワーク
 - 717-MHz ファブリック・クロッキング
 - グローバル、エリアおよびペリフェラル・クロック・ネットワーク
 - ダイナミック消費電力を削減するために、未使用クロック・ネットワークをパワーダウンすることができる
- デバイスのコンフィギュレーション
 - シリアルおよびパラレル・フラッシュ・インタフェース
 - 拡張度暗号化標準 (AES) デザイン・セキュリティ機能
 - 改ざん保護
 - 部分的なダイナミック・リコンフィギュレーション
 - Configuration via Protocol (CvP)
- 高性能パッケージ
 - 同じパッケージのフットプリントを持つ複数のデバイス集積度が異なる FPGA の集積度との間のシームレスなマイグレーションが可能になる。
 - オン・パッケージ・デカップリング・コンデンサ付きの FBGA パッケージ
 - 有鉛のオプションおよび RoHS 準拠無鉛のオプション
- HardCopy V マイグレーション

Stratix V ファミリ・プラン

表 1-1 には、Stratix V GT デバイスの機能をリストします。

表 1-1. Stratix V GT デバイスの機能

| 機能 | 5SGTC5 | 5SGTC7 |
|---------------------------------------|--------------|--------------|
| ロジック・エレメント (K) | 425 | 622 |
| レジスタ (K) | 642 | 939 |
| 28/12.5-Gbps トランシーバ | 4/32 | 4/32 |
| PCIe ハード IP ブロック | 1 | 1 |
| 小数 PLL | 24 | 24 |
| M20K メモリ・ブロック | 2、304 | 2、560 |
| M20K メモリ (M ビット) | 45 | 50 |
| 可変精度乗算器 (18×18) | 512 | 512 |
| 可変精度乗算器 (27×27) | 256 | 256 |
| DDR3 SDRAM ×72 DIMM インタフェース | 4 | 4 |
| 40G/100G PCS ハード IP ブロック | はい | はい |
| ユーザー I/O、全二重 LVDS、28/14.1-Gbps トランシーバ | | |
| パッケージ (1)、(2)、(3) | 5SGTC5 | 5SGTC7 |
| KF40-F1517 (4) | 600、150、4/32 | 600、150、4/32 |

表 1-1 の注：

- (1) パッケージは、フリップ・チップのボール・グリッド・アレイ (1.0 mm ピッチ) です。
- (2) 各パッケージのロウは、ロウのすべてのデバイスのピン・マイグレーション (一般的なボードのフット・プリント) を提供しています。
- (3) パッケージについて詳しくは、[Package Information Datasheet for Altera Devices](#) を参照してください。
- (4) 選択の Stratix V GT デバイスおよび Stratix V GX デバイス間のマイグレーションは可能です。詳細については、1-8 ページの表 1-5 を参照してください。

表 1-2 には、Stratix V GX デバイスの機能をリストします。

表 1-2. Stratix V GX デバイスの機能 (その1)

| 機能 | 5SGXA3 | 5SGXA4 | 5SGXA5 | 5SGXA7 | 5SGXA9 | 5SGXAB | 5SGXB5 | 5SGXB6 |
|--|------------|------------|--------------|--------------|------------|------------|------------|------------|
| ロジック・エレメント (K) | 200 | 300 | 425 | 622 | 840 | 950 | 490 | 597 |
| レジスタ (K) | 302 | 452 | 642 | 939 | 1, 268 | 1, 434 | 740 | 901 |
| 14.1-Gbps トランシーバ | 24 または 36 | 24 または 36 | 24、36、または 48 | 24、36、または 48 | 36 または 48 | 36 または 48 | 66 | 66 |
| PCIe ハード IP ブロック | 1 または 2 | 1 または 2 | 1 または 4 | 1 または 4 | 1 または 4 | 1 または 4 | 1 または 4 | 1 または 4 |
| 小数 PLL | 24 | 24 | 28 | 28 | 28 | 28 | 24 | 24 |
| M20K メモリ・ブロック | 800 | 1, 316 | 2, 304 | 2, 560 | 2, 640 | 2, 640 | 2, 100 | 2, 660 |
| M20K メモリ (M ビット) | 16 | 26 | 45 | 50 | 52 | 52 | 41 | 52 |
| 可変精度乗算器 (18×18) | 376 | 376 | 512 | 512 | 704 | 704 | 798 | 798 |
| 可変精度乗算器 (27×27) | 188 | 188 | 256 | 256 | 352 | 352 | 399 | 399 |
| DDR3 SDRAM ×72 DIMM インタフェース | 4 | 4 | 6 | 6 | 6 | 6 | 4 | 4 |
| 40G/100G ハード IP ブロック | いいえ | いいえ | はい | はい | いいえ | いいえ | いいえ | いいえ |
| ユーザー I/O、全二重 LVDS、14.1-Gbps トランシーバ | | | | | | | | |
| Package ⁽¹⁾ 、 ⁽²⁾ 、 ⁽³⁾ | 5SGXA3 | 5SGXA4 | 5SGXA5 | 5SGXA7 | 5SGXA9 | 5SGXAB | 5SGXB5 | 5SGXB6 |
| HH29-H780 ⁽⁴⁾ | 264、66、24 | 264、66、24 | — | — | — | — | — | — |
| HF35-F1152 ⁽⁵⁾ | 552、138、24 | 552、138、24 | 552、138、24 | 552、138、24 | — | — | — | — |
| KF35-F1152 | 432、108、36 | 432、108、36 | 432、108、36 | 432、108、36 | — | — | — | — |
| KF40-F1517 ⁽⁵⁾ | 624、156、36 | 624、156、36 | 696、174、36 | 696、174、36 | 696、174、36 | 696、174、36 | — | — |
| NF40-F1517 ⁽⁶⁾ | — | — | 600、150、48 | 600、150、48 | — | — | — | — |
| RF40-F1517 | — | — | — | — | — | — | 432、108、66 | 432、108、66 |
| RF43-F1760 | — | — | — | — | — | — | 600、150、66 | 600、150、66 |

表 1-2. Stratix V GX デバイスの機能 (その 2)

| 機能 | 5SGXA3 | 5SGXA4 | 5SGXA5 | 5SGXA7 | 5SGXA9 | 5SGXAB | 5SGXB5 | 5SGXB6 |
|---------------------------|--------|--------|------------|------------|------------|------------|--------|--------|
| NF45-F1932 ⁽⁵⁾ | — | — | 840、210、48 | 840、210、48 | 840、210、48 | 840、210、48 | — | — |

表 1-2 の注:

- (1) パッケージは、フリップ・チップのボール・グリッド・アレイ (1.0 mm ピッチ) です。
- (2) LVDS のカウントは、全二重チャンネルです。それぞれの全二重チャンネルは、1 個のトランスミッタ (TX) ペアと 1 個のレシーバ (RX) のペアです。
- (3) 各パッケージのロウは、ロウのすべてのデバイスのピン・マイグレーション (一般的な回路基板のフットプリント) を提供しています。
- (4) 780 ピン 5SGXA3 と 5SGXA4 デバイスは、33-mm x 33-mm Hybrid フリップチップ・パッケージでのみ提供されます。
- (5) 選択の Stratix V GX デバイスと Stratix V GS デバイス間のマイグレーションは可能です。詳細については、1-8 ページの表 1-5 を参照してください。
- (6) 選択の Stratix V GX デバイスと Stratix V GT デバイス間のマイグレーションは可能です。詳細については、1-8 ページの表 1-5 を参照してください。

表 1-3 には、Stratix V GS デバイスの機能をリストします。

表 1-3. Stratix V GS デバイスの機能 (その 1)

| 機能 | 5SGSD2 | 5SGSD3 | 5SGSD4 | 5SGSD5 | 5SGSD6 | 5SGSD8 |
|------------------------------------|------------|------------|------------|------------|---------|---------|
| ロジック・エレメント (K) | 130 | 236 | 332 | 462 | 583 | 703 |
| レジスタ (K) | 196 | 356 | 500 | 696 | 880 | 1、060 |
| 14.1-Gbps トランシーバ | 12 | 18 | 24 | 36 | 48 | 48 |
| PCIe ハード IP ブロック | 1 | 1 | 1 | 1 | 1 または 2 | 1 または 2 |
| 小数 PLL | 10 | 12 | 16 | 24 | 28 | 28 |
| M20K メモリ・ブロック | 450 | 688 | 1、062 | 1、950 | 2、320 | 2、688 |
| M20K メモリ (M ビット) | 9 | 14 | 22 | 40 | 48 | 55 |
| 可変精度乗算器 (18×18) | 650 | 1、260 | 1、892 | 2、996 | 3、550 | 4、096 |
| 可変精度乗算器 (27×27) | 325 | 630 | 946 | 1、498 | 1、775 | 2、048 |
| DDR3 SDRAM ×72 DIMM インタフェース | 2 | 2 | 4 | 4 | 7 | 7 |
| ユーザー I/O、全二重 LVDS、14.1-Gbps トランシーバ | | | | | | |
| パッケージ ^{(1)、(2)、(3)} | 5SGSD2 | 5SGSD3 | 5SGSD4 | 5SGSD5 | 5SGSD6 | 5SGSD8 |
| DF23-F484 | 240、60、9 | 240、60、9 | — | — | — | — |
| EF29-F780 | 400、100、12 | 400、100、12 | 400、100、12 | — | — | — |
| GF35/HF35-F1152 ⁽⁴⁾ | — | 500、125、18 | 560、140、24 | 560、140、24 | — | — |

表 1-3. Stratix V GS デバイスの機能 (その 2)

| 機能 | 5SGSD2 | 5SGSD3 | 5SGSD4 | 5SGSD5 | 5SGSD6 | 5SGSD8 |
|---------------------------|--------|--------|------------|------------|------------|------------|
| KF40-F1517 ⁽⁴⁾ | — | — | 700、175、36 | 700、175、36 | 700、175、36 | 700、175、36 |
| NF45-F1932 ⁽⁴⁾ | — | — | — | — | 900、225、48 | 900、225、48 |

表 1-3 の注:

- (1) パッケージは、フリップ・チップのボール・グリッド・アレイ (1.0 mm ピッチ) です。
- (2) LVDS のカウントは、全二重チャンネルです。それぞれの全二重チャンネルは、1 個の TX ペアと 1 個の RX のペアです。
- (3) 各パッケージのロウは、ロウのすべてのデバイスのピン・マイグレーション (一般的な回路基板のフットプリント) を提供しています。
- (4) 選択の Stratix V GS デバイスと Stratix V GX デバイス間のマイグレーションは可能です。詳細については、1-8 ページの表 1-5 を参照してください

表 1-4 には、Stratix V E デバイスの機能をリストします。

表 1-4. Stratix V E デバイスの機能

| 機能 | 5SEE9 | 5SEEB |
|-----------------------------|---------|---------|
| ロジック・エレメント (K) | 840 | 950 |
| レジスタ (K) | 1、268 | 1、434 |
| 小数 PLLs | 28 | 28 |
| M20K メモリ・ブロック | 2、640 | 2、640 |
| M20K メモリ (M ビット) | 52 | 52 |
| 可変精度乗算器 (18×18) | 704 | 704 |
| 可変精度乗算器 (27×27) | 352 | 352 |
| DDR3 SDRAM ×72 DIMM インタフェース | 7 | 7 |
| ユーザー I/O、全二重 LVDS | | |
| パッケージ (1)、(2)、(3) | 5SEE9 | 5SEEB |
| H35-F1152 ⁽⁴⁾ | 552、138 | 552、138 |
| F40-F1517 | 696、174 | 696、174 |

表 1-4. Stratix V E デバイスの機能

| 機能 | 5SEE9 | 5SEEB |
|-----------|---------|---------|
| F45-F1932 | 840、210 | 840、210 |

表 1-4 の注:

- (1) パッケージは、フリップ・チップのボール・グリッド・アレイ (1.0 mm ピッチ) です。
- (2) LVDS のカウントは、全二重チャンネルです。それぞれの全二重チャンネルは、1 個の TX ペアと 1 個の RX のペアです。
- (3) 各パッケージのロウは、ロウのすべてのデバイスのピン・マイグレーション (一般的な回路基板のフットプリント) を提供しています。
- (4) 1152 ピン 5SEE9 および 15SEEB デバイスは、42.5-mm x 42.5-mm の Hybrid フリップチップ・パッケージでのみ提供されています。

表 1-5 の各ロウには、マイグレーション可能なデバイスをリストします。

表 1-5. すべての Stratix V デバイスのバリエーション間のデバイス・マイグレーション・リスト ⁽¹⁾

| パッケージ | Stratix V GX | | | | | | | | Stratix V GT | | Stratix V GS | | | | | | Stratix V E | |
|--------------------------------|--------------|----|----|----|----|----|----|----|--------------|----|--------------|----|----|----|----|----|-------------|----|
| | A3 | A4 | A5 | A7 | A9 | AB | B5 | B6 | C5 | C7 | D2 | D3 | D4 | D5 | D6 | D8 | E9 | EB |
| HH29-H780 | ✓ | ✓ | | | | | | | | | | | | | | | | |
| H35-H1152 | | | | | | | | | | | | | | | | | ✓ | ✓ |
| DF23-F484 | | | | | | | | | | | ✓ | ✓ | | | | | | |
| EF29-F780 | | | | | | | | | | | ✓ | ✓ | ✓ | | | | | |
| GF35/HF35-F1152 ⁽²⁾ | ✓ | ✓ | ✓ | ✓ | | | | | | | | ✓ | ✓ | ✓ | | | | |
| KF35-F1152 | ✓ | ✓ | ✓ | ✓ | | | | | | | | | | | | | | |
| KF40-F1517 | ✓ | ✓ | ✓ | ✓ | ✓ | ✓ | | | | | | | ✓ | ✓ | ✓ | ✓ | | |
| NF40/KF40-F1517 ⁽³⁾ | | | ✓ | ✓ | | | | | ✓ | ✓ | | | | | | | | |
| RF40-F1517 | | | | | | | ✓ | ✓ | | | | | | | | | | |
| F40-F1517 | | | | | | | | | | | | | | | | | ✓ | ✓ |
| RF43-F1760 | | | | | | | ✓ | ✓ | | | | | | | | | | |
| NF45-F1932 | | | ✓ | ✓ | ✓ | ✓ | | | | | | | | | ✓ | ✓ | | |

表 1-5. すべての Stratix V デバイスのバリエーション間のデバイス・マイグレーション・リスト (1)

| パッケージ | Stratix V GX | | | | | | | | Stratix V GT | | Stratix V GS | | | | | | Stratix V E | |
|-----------|--------------|----|----|----|----|----|----|----|--------------|----|--------------|----|----|----|----|----|-------------|----|
| | A3 | A4 | A5 | A7 | A9 | AB | B5 | B6 | C5 | C7 | D2 | D3 | D4 | D5 | D6 | D8 | E9 | EB |
| F45-F1932 | | | | | | | | | | | | | | | | | ✓ | ✓ |

表 1-5 の注:

- (1) 特定のロウのすべてのデバイスには、マイグレーションを可能にします。
- (2) 5SGSD3 デバイスは、GF35 パッケージに含まれていますし、18 個の 14.1 Gbps トランシーバを持っています。このロウの他のすべてのデバイスは、HF35 パッケージに含まれ、24 個の 14.1 Gbps トランシーバを持っています。
- (3) KF40 パッケージでの 5SGTC5/7 デバイスは、4 個の 28-Gbps トランシーバと 32 個の 2.5 Gbps トランシーバを持っています。このロウの他のデバイスは、NF40 パッケージに含まれ、48 個の 14.1 Gbps トランシーバを持っています。

低消費電力のシリアル・トランシーバ

Stratix V FPGA は、最大 600 Mbps から 28 Gbps の低いビット・エラー・レート (BER)、および低消費電力に最高の帯域幅で業界で最も柔軟なトランシーバを提供します。Stratix V トランシーバは、柔軟性と堅牢性を向上させるために多くの拡張機能を持っています。これらの機能強化により、堅牢なアナログ受信のクロック・データ・リカバリ (CDR)、高度なプリエンファシスおよびおよび 14.1 Gbps のバック・プレーンのためのイコライゼーションが含まれています。さらに、デザインを単純化し、電源を低下させて、貴重なコア・リソースが節約されるために、すべてのトランシーバはフル機能エンベデッド PCS ハード IP と同一であります。

Stratix V トランシーバは標準的なプロトコルとデータ・レートの広い範囲に準拠するように設計されており、バック・プレーンをサポートするためのシグナル・コンディショニング機能の様々な、光モジュール、およびチップ間アプリケーションを備えています。

図 1-1 に示すように、Stratix V トランシーバは、デバイスの左右両側に配置されています。彼らは、トランシーバにカップリングからコアおよび I/O ノイズを防止するために、チップの残りの部分から隔離されています。これによって、最適なシグナル・インテグリティを確保することができます。トランシーバ・チャネルは、フィジカル・メディア・アタッチメント (PMA)、PCS、および高速クロック・ネットワークで構成されています。また、追加の送信の PLL として使用されていないトランシーバ PMA チャネルを使用することができます。

図 1-1 に、Stratix V GT/GX/GS デバイス・チップのビューを示します。

図 1-1. Stratix V GT/GX/GS デバイス・チップのビュー (1)

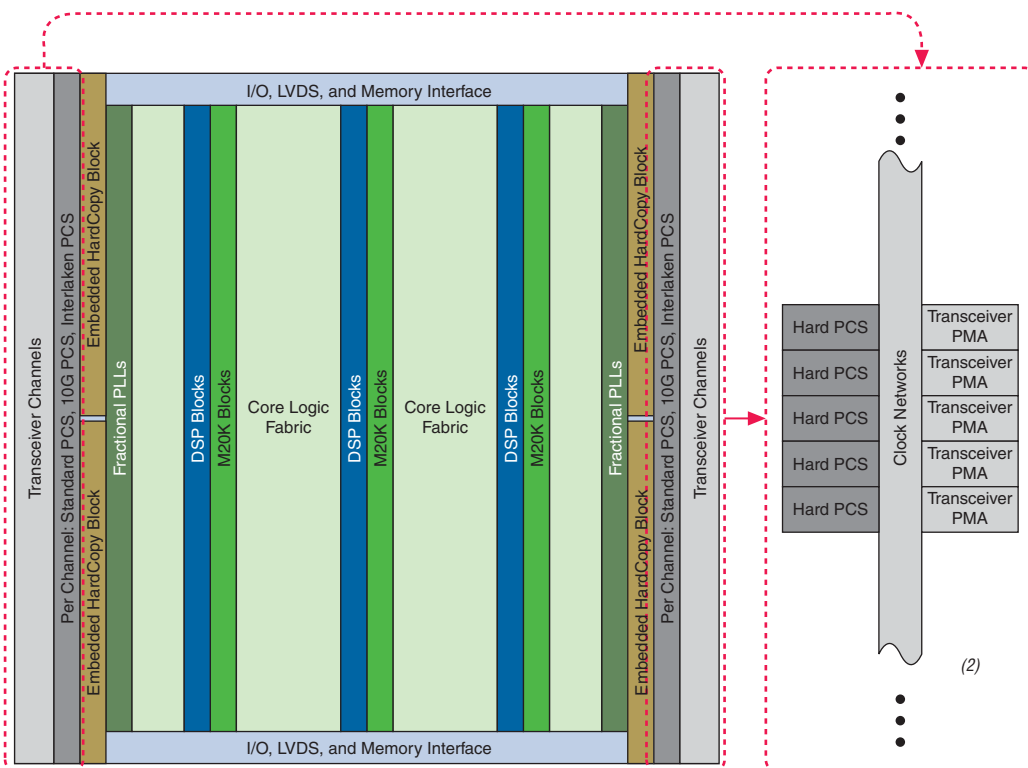


図 1-1 の注:

- (1) この図は、トランシーバ付き Stratix V のデバイスの指定されたバリエーションを表します。他の亜種がここに示されているものとは異なるフロアプランがある場合があります。
- (2) 追加のトランシーバは、PLL を送信するために、未使用のトランシーバ・チャンネルを使用することができます。

表 1-6 に、Stratix V トランシーバ PMA 機能をリストします。

表 1-6. トランシーバ PMA 機能 (その 1)

| 機能名 | 機能 |
|--|--|
| Backplane support | 10GBASE-R、14.1 Gbps (Stratix V GX/GS デバイス)、12.5 Gbps (Stratix V GT デバイス) |
| Cable driving support | PCIe ケーブルおよび eSATA アプリケーション s |
| Optical module support with EDC | 10G Form-factor Pluggable (XFP)、Small Form-factor Pluggable (SFP+)、Quad Small Form-factor Pluggable (QSFP)、CXP、100G Pluggable (CFP)、100G Form-factor Pluggable |
| Chip-to-chip support | 28 Gbps および 12.5 Gbps (Stratix V GT デバイス) および 14.1 Gbps (Stratix V GX/GS デバイス) |
| Continuous Time Linear Equalization (CTLE) | 高い希薄のチャンネルをサポートするレシーバ 4 つのステージ・リニア・イコライゼーション |
| Decision Feedback Equalization (DFE) | ロスとクロス・トークを最小化するレシーバ 5 つのタップ・デジタル・イコライザ |
| Adaptive equalization (ADCE) | 自動的に経時変化を補正するためのイコライザを調整するアダプティブ・エンジン |

表 1-6. トランシーバ PMA 機能 (その 2)

| 機能名 | 機能 |
|---|--|
| PLL-based clock recovery | 卓越したジッタ許容対補間法 |
| Programmable deserialization and word alignment | 柔軟なデシリアライゼーション幅およびワード・アラインメント・パターン |
| Transmit equalization (pre-emphasis) | 損失の多い条件下でプロトコル準拠用のドライバの 4 つのタップのプリエンファシスとディエンファシスを送信する |
| Ring and logic cell oscillator transmit PLLs | 特定のプロトコルやアプリケーション向けに最適化されたチャネルごとの送信 PLL の選択 |
| On-chip instrumentation (EyeQ data-eye monitor) | データ・アイの幅および高さの影響がないオンチップ・モニタリングを許可する |
| Dynamic reconfiguration | 他のチャンネルのオペレーションに影響せずに、単一のチャンネルのリコンフィギュレーションを許可する |
| Protocol support | 600 Mbps ~ 28 Gbps までの範囲内に 50 以上の業界標準プロトコルに準拠する |

Stratix V コア・ロジックは、トランシーバのデータ・レートとプロトコルに応じて、8-、10-、16-、20-、32-、40-、64-、または 66 ビットのインタフェースを介して PCS に接続します。Stratix V デバイスは、PCIe Gen 3/2/1、40G/100G Ethernet、Interlaken、10GE、XAUI、GbE、SRIO、CPRI、および GPON のプロトコルをサポートするために PCS ハード IP が含まれています。他のすべての標準および独自のプロトコルは、トランシーバ PCS ハード IP を介してサポートされています。表 1-7 に、トランシーバの PCS 機能をリストします。

表 1-7. トランシーバ PCS 機能 (その 1)

| プロトコル | データ = レート (Gbps) | トランスミット・データパス | レシーバ・データパス |
|-----------------------|------------------|--|---|
| カスタム PHY | 0.6 ~ 8.5 | 位相補償 FIFO、バイト・シリアライザ、8B/10B エンコーダ、ビット・スリップ、およびチャネル結合 | ワード・アライナ、デスクュー FIFO、レート・マッチ FIFO、8B/10B デコーダ、バイト・デシリアライザ、およびバイト・オーダーリング |
| カスタム 10G PHY | 9.98 ~ 14.1 | TX FIFO、ギア・ボックス、およびビット・スリップ | RX FIFO およびギア・ボックス |
| ×1、×4、×8 PCIe Gen 1/2 | 2.5 ~ 5.0 | カスタム PHY およびコア・ロジックにインタフェースする PIPE 2.0 と同じ | カスタム PHY およびコア・ロジックにインタフェースする PIPE 2.0 と同じ |
| ×1、×4、×8 PCIe Gen3 | 8 | 位相補償 FIFO、エンコーダ、スクランブラ、ギア・ボックス、およびビット・スリップ | ブロック同期化、レート・マッチ FIFO、デコーダ、デスクランブラ、および位相補償 FIFO |
| 10G Ethernet | 10.3125 | TX FIFO、64/66 エンコーダ、スクランブラ、およびギア・ボックス | RX FIFO、64/66 デコーダ、デスクランブラ、ブロック同期化、およびギア・ボックス |
| Interlaken | 4.9 to 10.3125 | TX FIFO、フレーム・ジェネレータ、CRC-32 ジェネレータ、スクランブラ、ディスペリティ・ジェネレータ、およびギア・ボックス | RX FIFO、フレーム・ジェネレータ、CRC-32 チェッカ、フレーム・デコーダ、デスクランブラ、ディスペリティ・チェッカ、ブロック同期化、およびギア・ボックス |

表 1-7. トランシーバ PCS 機能 (その 2)

| プロトコル | データ = レート (Gbps) | トランスミット・データパス | レシーバ・データパス |
|---------------------|------------------|--|--|
| 40GBASE-R Ethernet | 4 × 10.3125 | TX FIFO、64/66 エンコーダ、スクランブラ、アラインメント・マーカ挿入、ギア・ボックス、およびブロック・ストリップ | RX FIFO、64/66 デコーダ、デスクランブラ、レーン・リオーダー、デスキュー、アラインメント・マーカ・ロック、ブロック同期化、ギア・ボックス、およびデストリップ |
| 100GBASE-R Ethernet | 10 × 10.3125 | | |
| OTN 40 および 100 | (4 + 1) × 11.3 | TX FIFO、チャンネル結合、およびバイト・シリアライザ | RX FIFO、レーン・デスキュー、およびバイト・ディシリアライザ |
| | (10 + 1) × 11.3 | | |
| GbE | 1.25 | カスタム PHY および GbE ステート・マシンと同じ | カスタム PHY および GbE ステート・マシンと同じ |
| XAUI | 3.125 ~ 4.25 | カスタム PHY および 4 つのチャンネルの結合用の XAUI ステート・マシンと同じ | カスタム PHY および 4 つのチャンネルをリアラインメントするための XAUI ステート・マシンと同じ |
| SRIO | 1.25 ~ 6.25 | カスタム PHY と同じ plus SRIO V2.1 準拠 ×2 and ×4 チャンネル結合 | カスタム PHY および SRIO V2.1 準拠 ×2 および ×4 デスキュー・ステート・マシンと同じ |
| CPRI | 0.6144 ~ 9.83 | カスタム PHY および TX 確定的レイテンシと同じ | カスタム PHY および RX 確定的レイテンシと同じ |
| GPON | 1.25 および 2.5 | カスタム PHY と同じ | カスタム PHY と同じ |

PCIe Gen 3/2/1 ハード IP (エンベデッド HardCopy Block)

Stratix V デバイスは、性能、使いやすさ、および多機能化のためにデザインされた PCIe ハード IP があります。PCIe ハード IP は、PCS、データ・リンク、およびトランザクション層から構成されています。それは、最大 ×8 レーンのコンフィギュレーションへの Gen 3/2/1 のエンド・ポイントおよびルート・ポートをサポートしています。

Stratix IV PCIe ハード IP は FPGA のコアロジックから独立に動作しているので、他の FPGA の部分がプログラミング・ファイルをロードしている時に、PCIe リンクは 100 ms 以内でウェーク・アップとリンク・トレーニングを完成することができます。また、容易にそのような SR-IOV (Single Root I/O Virtualization) またはオプションのプロトコルの拡張機能などの新興機能をサポートするためになる追加機能を提供します。さらに、Stratix V デバイス PCIe ハード IP は、ECC を使用して、エンド・ツー・エンドのデータパスの保護を改善し、プロトコルを介してデバイスの設定を有効にします。

40G および 100G Ethernet ハード IP (エンベデッド HardCopy Block)

Stratix V GT、GX、および GS 40G と 100G Ethernet ハード IP は、標準に準拠して実証済みです。ハード IP は、40GE 用の 40GBASE-R PCS および XAUI PMA、および 100GE 用 100GBASE-R PCS と CAUI PMA が含まれています。複数の 40/100 GbE ポートを必要とするアプリケーションは、FPGA のコアとクロック・リソースを削減する 40/100GBASE-R PCS のインスタンス化のために単一の PLL を使用する可能性があるため、40G および 100G Ethernet ハード IP はスケラブルです。

さらに、統合された 10G トランシーバは、チップ数、ボード・スペース、および電力を減少することによって、マルチポート 40/100GbE システムの実装を簡素化します。Stratix V トランシーバは、40-Gbps QSFP と SFP、および 100-Gbps CFP プラグイン可能モジュールと直接インタフェースします。

外部メモリおよび汎用 I/O

Stratix V デバイスは、1,066 MHz/1、600 Mbps で実行する 7 つの 72 ビット DDR3 SDRAM メモリ・インタフェースを備えた高い I/O 帯域幅、および 1.4 Gbps で実行する LVDS の高い I/O 帯域幅を提供します。

各 Stratix V I/O ブロックは、データがメモリから FPGA に転送されると再同期のマージンを向上させるハード FIFO があります。ハード FIFO はまた、高いランダム・アクセスのパフォーマンスが PHY レイテンシを低下させます。GPIO は（汎用 I/O）外部コンポーネント数を削減し、反射を最小化するために、オン・チップのダイナミック終端が含まれています。オン・パッケージ・デカップリング・コンデンサは、電源ラインにノイズを抑制し、ノイズ・カップリングを I/O に低減します。メモリ・バンクは、このようにジッタを削減し、最適なシグナル・インテグリティを提供し、出力にカップリングからコア・ノイズを防止するために絶縁されています。

外部メモリ・インタフェース・ブロックは、FPGA と外部メモリ・コンポーネントのプロセス、電圧および温度（PVT）の変動を補償するために、高度なキャリブレーション・アルゴリズムを使用しています。高度なアルゴリズムはすべての条件間で最大帯域幅と堅牢なタイミング・マージンを確保します。Stratix V デバイスは、今日の高度なメモリ・モジュールのデザインを簡素化する High Performance Memory Controller II (HPMC II) および UniPHY MegaCore® IP を提供します。表 1-8 は、外部メモリ・インタフェース・ブロックのパフォーマンスを示します。

表 1-8. 外部メモリ・インタフェース・パフォーマンス (1)

| インタフェース | パフォーマンス (MHz) |
|------------|---------------|
| DDR3 | 1,066 |
| DDR2 | 533 |
| QDR II | 350 |
| QDR II+ | 550 |
| RLDRAM II | 533 |
| RLDRAM III | 800 |

表 1-8 の注:

- (1) この表に記載されている仕様は、パフォーマンスの目標です。現在の達成可能なパフォーマンスについては、[External Memory Interface Spec Estimator](#) を使用してください。

アダプティブ・ロジック・モジュール

Stratix V デバイスは、より効率的にロジック・ファンクションを実装するために改良された ALM を使用しています。Stratix V ALM には、分割可能な 8 入力 LUT (ルック・アップ・テーブル)、2 つの専用エンベデッド加算器、および 4 つの専用レジスタがあります。

Stratix V ALM には、次の拡張機能があります。

- Stratix IV デバイスの ALM と比較して、Stratix V ALM は 6% より多くのロジックをパックする。
- Stratix V ALM はセレクト 7 入力 LUT ベース・ファンクション、すべての 6 入力ロジック・ファンクション、コアの使用率を最適化するために小さな LUT のサイズ (2 つの独立した 4 入力 LUT など) で構成される二つの独立したファンクションを実装する。
- より多くのレジスタ (分割可能な 8 入力 LUT ごとに 4 つのレジスタ) を追加します。これは、Stratix V デバイスはより高いコア・ロジック使用率でのコア・パフォーマンスを最大化することを可能にし、レジスタが豊富と重くパイプライン・デザインのための簡単なタイミング・クロージャを提供する。

Quartus II ソフトウェアは、Stratix V ALM ロジック構造は、最高性能、最適なロジック使用率、および最小のコンパイル時間を実現するために活用しています。Quartus II ソフトウェアは、自動的に新しい Stratix V ALM アーキテクチャに従来の Stratix デザインをマップするので、デザインの再利用を簡素化します。

クロッキング

Stratix V デバイスのコア・クロック・ネットワークは、717-MHz のファブリック・オペレーションと 1、066-MHz/1、600-Mbps の外部メモリ・インタフェースをサポートするようにデザインされています。クロック・ネットワークのアーキテクチャは、専用クロック入力ピンとフラクショナル・クロック合成の PLL でサポートされているアルテラの実績のあるグローバル、クワドラント、およびペリフェリ・クロック構造に基づいています。Quartus II ソフトウェアは、クロック・ネットワークのすべての未使用セクションを識別して、パワーダウンします。これによって、電力消費量を低減することができます。

フラクショナル PLL

Stratix V デバイスは、ボード上で必要な発振器の数と、単一の基準クロック・ソースから複数のクロック周波数を合成することにより、FPGA で使用されているクロック・ピンの両方を削減するために使用できる最大 32 のフラクショナル PLL があります。さらに、クロック・ネットワークの遅延の補償、ゼロ遅延バッファリングのためのフラクショナル PLL を使用し、トランシーバのクロッキングを送信することができます。フラクショナル PLL は、個々に三次デルタ・シグマ変調を持つ整数モードまたはフラクショナル・モードに設定することができます。

エンベデッド・メモリ

Stratix V デバイスは、エンベデッド・メモリ・ブロックの2つのタイプが含まれています：MLAB (640 ビット) と M20K (20 キロビット)。MLAB ブロックは広いと浅いメモリに最適です。M20K ブロックは、ECC が含まれて、大規模なメモリ・コンフィギュレーションをサポートするために有用であります。どちらのタイプは 600 MHz まで動作し、シングルまたはデュアル・ポート RAM、FIFO、ROM、またはシフト・レジスタに設定可能です。これらのメモリ・ブロックは、柔軟性があり、表 1-9 で示すように、メモリ・コンフィギュレーションの数をサポートしています。

表 1-9. エンベデッド・メモリ・ブロックコンフィギュレーション

| MLAB (640 ビット) | M20K (20、480 ビット) |
|----------------|-------------------|
| | 512×40 |
| | 1K×20 |
| 32×20 | 2K×10 |
| 64×10 | 4K×5 |
| | 8K×2 |
| | 16K×1 |

Quartus II ソフトウェアは自動的に Stratix V のメモリ・アーキテクチャにレガシー Stratix デバイスからメモリ・ブロックをマッピングすることにより、デザインの再利用を簡素化します。

可変精度 DSP ブロック

Stratix V FPGA は、ネイティブの精度は 9×9 ~ 36×36 の範囲で信号処理をサポートするようにコンフィギュレーションすることができる業界初の可変精度 DSP ブロックを備えています。

デュアル 18×18 の乗算器または単一 27×27 の乗算器のように自主的にコンパイル時に各 DSP ブロックをコンフィギュレーションすることができます。専用の 64 ビットのカスケード・バスで、複数の可変精度 DSP ブロックをカスケードし、高い精度の DSP 機能を実装することができます。表 1-10 には、DSP ブロック内、または複数のブロックを使用して、収容されているか別の精度を表示します。

表 1-10. 可変精度 DSP ブロック・コンフィギュレーション

| 乗算器のサイズ (ビット) | DSP ブロック・リソース | 期待使用率 |
|---------------|-------------------|------------------------------|
| 9×9 | 1/3 可変精度 DSP ブロック | 低精度の固定小数点 |
| 18×18 | 1/2 可変精度 DSP ブロック | ミディアムの精度の固定小数点 |
| 27×27 | 1 可変精度 DSP ブロック | 高精度の固定小数点または単精度フローティングの固定小数点 |
| 36×36 | 2 可変精度 DSP ブロック | 非常に高い精度の浮動小数点 |

複素数乗算は、DSP アルゴリズムでは一般的です。複素数乗算の中で最も人気のアプリケーションの 1 つは、高速フーリエ変換 (FFT) アルゴリズムです。このアルゴリズムでは乗算器の片側だけに精度の要件を増加させる特性を持っています。可変精度 DSP ブロックは、精度の成長と DSP リソースに比例的な増加でこれをサポートするようにデザインされています。表 1-11 に、可変精度 DSP ブロックで複素数乗算を示しています。

表 1-11. 可変精度 DSP ブロック付きの複素数乗算

| 乗算器のサイズ(ビット) | DSP ブロック・リソース | 期待使用率 |
|--------------|-----------------|----------------------|
| 18×18 | 2 可変精度 DSP ブロック | 最適化された FFT のリソース |
| 18×25 | 3 可変精度 DSP ブロック | FFT のステージを経てビット増加に対応 |
| 18×36 | 4 可変精度 DSP ブロック | 最高精度の FFT ステージ |
| 27×27 | 4 可変精度 DSP ブロック | 単精度浮動小数点 |

さらに、高ダイナミック・レンジを必要とする FFT アプリケーションのための唯一の Altera® FFT MegaCore ファンクションは、リソースの使用率および高精度の固定小数点の実装と同等の性能で単精度浮動小数点の実装のオプションを提供しています。

他の新機能は以上のことが含まれています。

- 64 ビット・アキュムレータ (業界で最大)
- 18 および 27 ビット・モードで使用可能なハード加算器前
- 効率的なシストリック FIR フィルタのカスケードされた出力の加算器
- 内部係数レジスタ・バンク
- 強化された独立した乗算器演算
- 単精度および倍精度の浮動小数点演算ファンクションのための効率的なサポート
- Quartus II デザイン・スイートを使用する HDL コードを介してすべての DSP ブロックのモードを推測する能力

可変精度 DSP ブロックは、高性能 DSP アプリケーションにおいて、より高いビットの精度に最適です。同時に、それは効率的にそのようなビデオ処理機能用の高精細とリモート無線ヘッドなど、多くの既存の 18 ビット DSP アプリケーションをサポートすることができます。Stratix V FPGA は、可変精度 DSP ブロック・アーキテクチャで、効率的に最大および浮動小数点の実装を含む、多くの異なる精度のレベルをサポートできる唯一の FPGA ファミリです。この柔軟性のおかげで、システムパフォーマンスの増加、消費される電力の削減、そしてシステム・アルゴリズム・デザイナーにアーキテクチャー・コンストレイントを減らすことができます。

消費電力管理

Stratix V デバイスは、同じパフォーマンス・レベルの Stratix IV デバイスと比較している場合に消費全動力を 30% も削減して、FPGA のアーキテクチャー機能およびプロセス技術を活用します。

Stratix V デバイスは、Stratix FPGA ファミリは、以前の世代で導入されたプログラマブル・パワー・テクノロジーを提供し続けています。Quartus II ソフトウェアの PowerPlay 機能はデザイン内にクリティカル・タイミング・パスを識別して、そのパスを高パフォーマンスに動作させるために、コア・ロジックをバイヤスします。PowerPlay 機能は非クリティカル・タイミング・パスを識別して、そのパスを高パフォーマンスのために、コアをバイヤスするのではなく、低消費電力の目的でコアをバイヤスします。PowerPlay はパフォーマンス及び消費電力を最適化するために、コア・ロジックを自動的にバイヤスします。

さらに、Stratix V のデバイスだけでなく、ロジック・リソースを削減するだけでなく、ソフトの実装に比較して大幅な省電力化を実現するハード IP ブロックの数があります。リストは、PCIe Gen1/Gen2/Gen3、10G/40G/100G Ethernet、Interlaken PCS、ハード I/O FIFO、およびトランシーバが含まれています。ハード IP ブロックは、同等のソフトの実装よりも 50%少ない電力を消費します。

また、Stratix V トランシーバは、電力効率のためにデザインされています。その結果、トランシーバ・チャンネルは、Stratix FPGA の前世代より 50%少ない電力を消費します。トランシーバ PMA は 12.5 Gbps で 6.5 Gbps および 170 mW でおよそ 90 mW を消費します。

インクリメンタル・コンパイル

Quartus II ソフトウェアのインクリメンタル・コンパイル機能は、最大 70%までで、コンパイル時間を短縮し、タイミング・クロージャを容易にするため、パフォーマンスが保持されます。インクリメンタル・コンパイルは、トップ・ダウン、ボトム・アップ、およびチーム・ベースのデザイン・フローをサポートしています。インクリメンタル・コンパイル機能は、異なる設計者が並行してデザインのそれぞれのセクションをコンパイルする場所、モジュラ階層およびチーム・ベースのデザイン・フローを容易にします。さらに、別の設計者または IP プロバイダが開発し、独立してデザインの異なるブロックを、最適化することによって、その後トップ・レベル・プロジェクトにインポートすることができます。

エンハンスド・コンフィギュレーションおよびプロトコル経由のコンフィギュレーション

Stratix V のデバイス・コンフィギュレーションは、使い易さ、スピード、そしてコストのために強化されています。Stratix V デバイスは、新たな 4 ビットのバス・アクティブ・シリアル・モード (x4 など) をサポートします。ASx4 は、小型の低コストのクアッド・インタフェースのフラッシュ・デバイスを使用して 400 Mbps のデータ・レートをサポートします。この新しいモードは、使いやすさであり、コストとスピードの間に理想的なバランスを提供しています。最後に、性能とコストの目標の広い範囲を満たすために、8-、16-、および 32 ビットのデータ幅をサポートするようにファースト・パッシブ・パラレル (FPP) インタフェースが拡張されています。

PCIe によるプロトコル経由のコンフィギュレーション (CvP) を使用して、Stratix V FPGA をコンフィギュレーションすることができます。PCIe 付き CvP は、コンフィギュレーション・プロセスが 2 に分けられています :PCIe ハード IP およびコア・ロジック・ファブリック。CvP は、唯一の PCIe ハード IP とペリフェラルのコンフィギュレーション・ファイルを格納する必要があるため、外部メモリ (フラッシュまたは ROM) のはるかに小さい量を使用しています。また、100 ms のパワー・アップ・アクティブ時 (PCIe 用) には、PCIe ハード IP とペリフェラルがロードされると

きにのみ達成することがはるかに簡単です。PCIe ハード IP と周囲がロードされると、ルート・ポートがブート・アップした後は、ルート・ポート上で動作するアプリケーション・ソフトは、それが FPGA にロードされる PCIe リンクを介して FPGA ファブリックのコンフィギュレーションファイルを送信することができます。FPGA は、完全にコンフィギュレーションされ、正常に機能しています。

表 1-12 に、Stratix V デバイスで使用可能なコンフィギュレーション・モードを示します。

表 1-12. Stratix V デバイスのコンフィギュレーション・モード

| モード | 高速または 低速 POR | 圧縮 | 暗号化 | リモート・ アップデート | データ幅 | M 最大ク ロック・ レート (MHz) | 最大データ・ レート (Mbps) |
|------------------------|-----------------|----|-----|-----------------|---------|-------------------------------|-------------------------|
| アクティブ・シリアル | ✓ | ✓ | ✓ | ✓ | 1、4 | 100 | 400 |
| パッシブ・シリアル | ✓ | ✓ | ✓ | — | 1 | 125 | 125 |
| パッシブ・パラレル | ✓ | ✓ | ✓ | (1) | 8、16、32 | 125 | 3、000 |
| プロトコル経由コン フィギュレーション | — | — | ✓ | ✓ | 1、2、4、8 | — | 3、000 |
| 部分的なリコンフィ ギュレーション | — | — | ✓ | ✓ | 16 | 125 | 2、000 |
| JTAG | — | — | — | — | 1 | 33 | 33 |

表 1-12 の注：

(1) Parallel Flash Loader でのリモート・アップデート・サポート。

部分的なリコンフィギュレーション

他のセクションは動作を継続しながらパーシャル・リコンフィギュレーションは、FPGA のリコンフィギュレーションの一部をすることができます。これは、サービスを中断せずに更新を実行すること、または機能を調整することができますので、アップ・タイムが重要であるシステムに要求されます。消費電力とコストを削減しながら、パーシャル・リコンフィギュレーションも同時には動作しない FPGA の機能を配置する必要性を除去することによって効果的なロジック集積度を向上させます。代わりに、これらの機能は、必要に応じて外部メモリに格納され、ロードすることができます。これにより、単一の FPGA 上で複数のアプリケーションを可能にすることにより FPGA のサイズを減らします。ボード・スペースを節約し、消費電力を削減することもできます。

これまでに、パーシャル・リコンフィギュレーション・ソリューションは、複雑な FPGA アーキテクチャの詳細のすべてを知るために必要な時間のかかるタスクとなっています。アルテラは、Quartus II デザイン・ソフトウェアで実績のあるインクリメンタル・コンパイル・デザイン・フローの上に能力を構築することにより、パーシャル・リコンフィギュレーションのプロセスを簡素化します。

パーシャル・リコンフィギュレーションは次の配置オプションによってサポートされます。

- FPPx16 I/O インタフェースによるパーシャル・リコンフィギュレーション
- プロトコル経由コンフィギュレーション
- Nios[®] II プロセッサのような柔軟な内部コア

自動 SEU (Single Event Upset) のエラー検出および訂正

Stratix V デバイスは、堅牢で使いやすい新しい SEU エラー検出および訂正回路を提供します。訂正回路は、コンフィギュレーション RAM (CRAM) プログラミング・ビットとユーザー・メモリ用の保護も含まれています。CRAM は、自動的に 1 つまたは 2 つのエラーを訂正し、より高次のマルチ・ビット・エラーを検出する統合された ECC と連続して実行されている CRC (Cyclic Redundancy Check) エラー検出回路により保護されています。2 つ以上のエラーが発生すると、FPGA が動作し続けている間に完全なデザインのリフレッシュを提供するコア・プログラミング・ファイルのリロードを介して訂正が実行されます。

さらに、FPGA の物理的なレイアウトは、マルチ・ビット・アップセットの大部分が自動的に統合された CRAM ECC 回路によって訂正される独立したシングルまたはダブル・ビット・エラーとして表示されるように最適化されています。Stratix V デバイスの CRAM の保護に加えて、ユーザー・メモリは ECC 回路を統合し、12 ビット・エラーの点検および 8 ビット・エラーの訂正を有効にするためにレイアウトが最適化されています。

HardCopy V デバイス

HardCopy V ASIC は、埋め込まれた高速トランシーバを搭載した ASIC 設計における最小のリスクと最小のトータルコストを提供します。Stratix V FPGA でプロトタイプとデバッグすることができます。そして大量生産のための HardCopy V ASIC を使用することができます。実証されたターンキー・プロセスは、わずか 12 週間ですべてのタイミング制約を満たすために埋め込まれたトランシーバの有無に関係なく、機能的に同等の HardCopy V ASIC を作成します。

Stratix V FPGA および HardCopy V ASIC の強力な組み合わせはデザイン要件を満たすことができます。ASIC 生産のための計画と最小のリスクか仕様から製造までの最低コストのパスが必要としても、または FPGA ベースのシステムにコスト削減手段を必要とする場合、アルテラは、パワー、パフォーマンス、およびデバイスの帯域幅に最適なソリューションを提供します。

製品コード

この項では、Stratix V GT、GX、GS、および E デバイスの製品コードを説明します。図 1-2 に、Stratix V デバイスの製品コードを示しています。"

図 1-2. Stratix V デバイスの製品コード

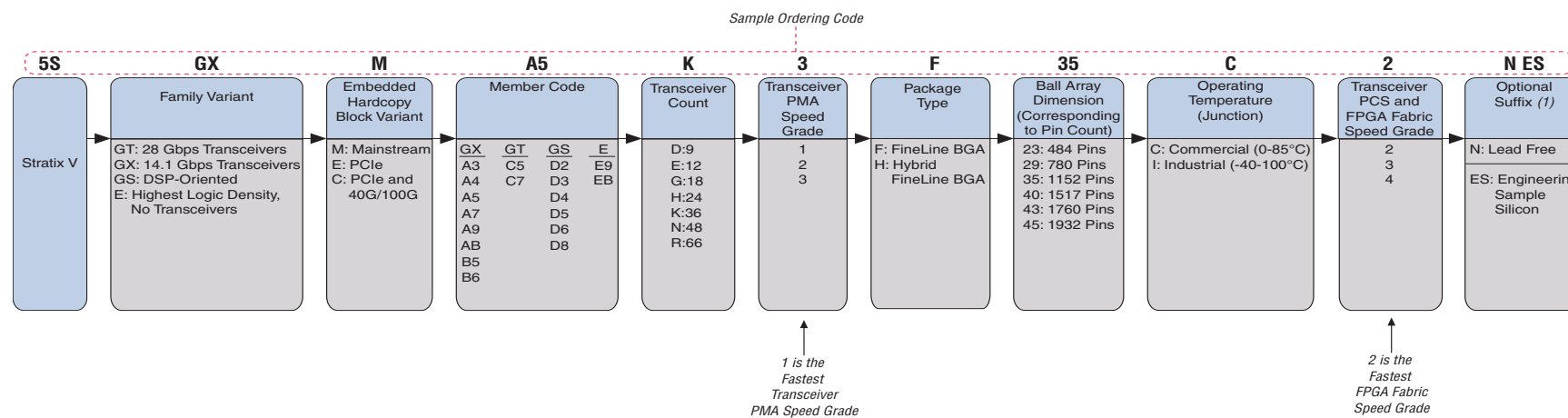


図 1-2 の注 :

(1) これらのオプションのいずれかを選択することもできますし、または無視することもできます。

改訂履歴

表 1-13 に、本資料の改訂履歴を示します。

表 1-13. 改訂履歴

| 日付 | バージョン | 変更内容 |
|-------------|-------|--|
| 2011 年 6 月 | 1.8 | 表 1-8 に 800 MHz を 1、066 MHz に変更。テキストにも変更。 |
| 2011 年 5 月 | 1.7 | <ul style="list-style-type: none"> ■ For Stratix V GT デバイスに、14.1 Gbps を 12.5 Gbps に変更。 ■ PCIe 経由コンフィギュレーションをプロトコル経由コンフィギュレーションに変更。 ■ 表 1-1、表 1-2、表 1-3、表 1-4、表 1-5、および表 1-6 を更新。 ■ 章はボリューム 1 に移動。 |
| 2011 年 1 月 | 1.6 | <ul style="list-style-type: none"> ■ Stratix V GS の情報を追加。 ■ デバイス機能をリストする表を更新。 ■ デバイス・舞グレーションの情報の追加。 ■ 12.5-Gbps トランシーバから 14.1-Gbps トランシーバに更新。 |
| 2010 年 12 月 | 1.5 | 表 1-1 を更新。 |
| 2010 年 12 月 | 1.4 | <ul style="list-style-type: none"> ■ 表 1-1 を更新。 ■ 図 1-2 を更新。 ■ テンプレートに更新。 ■ テキストのマイナーな編集。 |
| 2010 年 7 月 | 1.3 | 表 1-5 を更新。 |
| 2010 年 7 月 | 1.2 | <ul style="list-style-type: none"> ■ 1-2 ページの「特長の概要」を更新。 ■ 表 1-1 および表 1-2 のリソース数を更新。 ■ 「Interlaken PCS ハード IP」および「10G Ethernet ハード IP」を削除。 ■ 1-7 ページで「40G および 100G Ethernet ハード IP (エンベデッド HardCopy ブロック)」を追加。 ■ 「PCIe 経由コンフィギュレーション」についての情報を追加。 ■ 1-12 ページの「部分的なリコンフィギュレーション」を追加。 ■ 1-14 ページの製品コードを追加。 |
| 2010 年 5 月 | 1.1 | 表 1-1 および表 1-2 のパート番号を更新。 |
| 2010 年 4 月 | 1.0 | 初版。 |

