


この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の、最新の英語版で内容をご確認ください。

SIV54001-4.0

電気的特性

本章では、Stratix® IV デバイスの電気的およびスイッチング特性について説明します。電気的特性は動作条件および熱消費電力を含んでいます。スイッチング特性はトランシーバの仕様、コア、および周辺性能を含んでいます。また、本章では I/O タイミング、プログラマブル I/O エlement (IOE) の遅延およびプログラマブル出力バッファの遅延などについて説明します。

 Stratix IV ファミリにおけるデバイスの集積度とパッケージについて詳しくは、*[Stratix IV Device Family Overview]* の章の表 1-1 および表 1-2 を参照してください。

動作条件

Stratix IV デバイスを使用するときには、定義された一連のパラメータを守る必要があります。Stratix IV デバイスが持つ性能と信頼性を最高のレベルに維持するには、この章で説明する動作上の項目について十分な配慮が必要です。

Stratix IV デバイスは、コマーシャルおよびインダストリアル温度グレードで提供されています。コマーシャル・グレードのデバイスは、-2 (最速)、-2 X、-3、および -4 のスピード・グレードで提供されています。インダストリアル・デバイスは、-1、-2、-3、および -4 のスピード・グレードで提供されています。

絶対最大定格

絶対最大定格は、Stratix IV デバイスが破壊に耐えうる限界を規定したものであり、デバイスの正常な機能を保証するものではありません。これらの値は、デバイスが破壊に至るまでの理論的なモデル、破壊のメカニズム、デバイス試験結果に基づいています。これらの条件下におけるデバイス機能動作を示すものではありません。



表 1-1、表 1-2、および表 1-3 に記載された条件を超えると、デバイスに致命的な損傷を与える可能性があります。また、デバイスを絶対最大定格で長期間動作させると、デバイスに悪影響を与える可能性があります。

表 1-1. Stratix IV デバイスの絶対最大定格 (その 1)

シンボル	説明	Min	Max	単位
V _{CC}	コア電圧およびペリフェラル回路電源電圧	-0.5	1.35	V
V _{CCPT}	プログラマブル・パワー・テクノロジ用電源電圧	-0.5	1.8	V
V _{CCPGM}	コンフィギュレーション・ピン電源電圧	-0.5	3.75	V
V _{CCAUX}	プログラマブル・パワー・テクノロジ用電源電圧	-0.5	3.75	V
V _{CCBAT}	デザイン・セキュリティ揮発性キー・レジスタ用バッテリー・バックアップ電源電圧	-0.5	3.75	V
V _{CCPD}	I/O プリドライバ電源電圧	-0.5	3.75	V
V _{CCIO}	I/O 電源電圧	-0.5	3.9	V
V _{CC_CLKIN}	差動クロック入力用電源電圧	-0.5	3.75	V

表 1-1. Stratix IV デバイスの絶対最大定格 (その 2)

シンボル	説明	Min	Max	単位
V _{CCD_PLL}	PLL デジタル電源電圧	-0.5	1.35	V
V _{CCA_PLL}	PLL アナログ電源電圧	-0.5	3.75	V
V _I	DC 入力電圧	-0.5	4.0	V
I _{OUT}	ピンあたりの DC 出力電流	-25	40	mA
T _J	動作ジャンクション温度	-55	125	°C
T _{STG}	保存温度 (バイアスなし)	-65	150	°C

表 1-2. Stratix IV GX デバイス用トランシーバ電源の絶対最大定格

シンボル	説明	Min	Max	単位
V _{CCA_L}	トランシーバ高圧電源 (左側)	-0.5	3.75	V
V _{CCA_R}	トランシーバ高圧電源 (右側)	-0.5	3.75	V
V _{CCHIP_L}	トランシーバ HIP デジタル電源 (左側)	-0.5	1.35	V
V _{CCHIP_R}	トランシーバ HIP デジタル電源 (右側)	-0.5	1.35	V
V _{CCR_L}	レシーバ電源 (左側)	-0.5	1.35	V
V _{CCR_R}	レシーバ電源 (右側)	-0.5	1.35	V
V _{CCT_L}	トランスミッタ電源 (左側)	-0.5	1.35	V
V _{CCT_R}	トランスミッタ電源 (右側)	-0.5	1.35	V
V _{CCL_GXBLn} (1)	トランシーバ・クロック電源 (左側)	-0.5	1.35	V
V _{CCL_GXBRn} (1)	トランシーバ・クロック電源 (右側)	-0.5	1.35	V
V _{CCH_GXBLn} (1)	トランスミッタ出力バッファ電源 (左側)	-0.5	1.8	V
V _{CCH_GXBRn} (1)	トランスミッタ出力バッファ電源 (右側)	-0.5	1.8	V

表 1-2 の注:

(1) n = 0、1、2、または 3 です。

表 1-3. Stratix IV GT デバイス用トランシーバ電源の絶対最大定格 (注 1) (その 1)

シンボル	説明	Min	Max	単位
V _{CCA_L}	トランシーバ高圧電源 (左側)	-0.5	3.75	V
V _{CCA_R}	トランシーバ高圧電源 (右側)	-0.5	3.75	V
V _{CCHIP_L}	トランシーバ HIP デジタル電源 (左側)	-0.5	1.35	V
V _{CCHIP_R}	トランシーバ HIP デジタル電源 (右側)	-0.5	1.35	V
V _{CCR_L}	レシーバ電源 (左側)	-0.5	1.35	V
V _{CCR_R}	レシーバ電源 (右側)	-0.5	1.35	V
V _{CCT_L}	トランスミッタ電源 (左側)	-0.5	1.35	V
V _{CCT_R}	トランスミッタ電源 (右側)	-0.5	1.35	V
V _{CCL_GXBLn} (2)	トランシーバ・クロック電源 (左側)	-0.5	1.35	V
V _{CCL_GXBRn} (2)	トランシーバ・クロック電源 (右側)	-0.5	1.35	V
V _{CCH_GXBLn} (2)	トランスミッタ出力バッファ電源 (左側)	-0.5	1.8	V

表 1-3. Stratix IV GT デバイス用トランシーバ電源の絶対最大定格 (注1) (その2)

シンボル	説明	Min	Max	単位
V_{CCH_GXBRn} (2)	トランスミッタ出力バッファ電源 (右側)	-0.5	1.8	V

表 1-3 の注:

- (1) Stratix IV GT エンジニアリング・サンプル (ES1) デバイスの絶対最大定格については、アルテラの販売代理店にお問い合わせください。
- (2) $n = 0, 1, 2$, または 3 です。

最大許容オーバーシュート / アンダーシュート電圧

過渡時には、入力電流が 100 mA 未満、期間が 20 ns 未満であれば、入力信号は表 1-4 に示す電圧までオーバーシュート、および -2.0 V までアンダーシュートが許されます。

表 1-4 に、最大許容入力オーバーシュート電圧と、オーバーシュート電圧の期間をデバイス寿命における割合として示します。最大許容オーバーシュート期間は、デバイス寿命における High 時間の割合として規定されます。DC 信号は 100% デューティ・サイクルに相当します。例えば、4.3 V にオーバーシュートする信号は、デバイス寿命の 5% までの期間のみ 4.3 V になることができます。デバイス寿命が 10 年の場合、これは 1 年の 1/2 に相当します。

表 1-4. 過渡期間における最大許容オーバーシュート

シンボル	説明	条件	オーバーシュート期間 (High 時間の割合)	単位
Vi(AC)	AC 入力電圧	4.0 V	100.000	%
		4.05 V	79.330	%
		4.1 V	46.270	%
		4.15 V	27.030	%
		4.2 V	15.800	%
		4.25 V	9.240	%
		4.3 V	5.410	%
		4.35 V	3.160	%
		4.4 V	1.850	%
		4.45 V	1.080	%
		4.5 V	0.630	%
		4.55 V	0.370	%
4.6 V	0.220	%		

推奨動作条件

この項では、Stratix IV デバイスの正常な機能動作を保証するための AC および DC パラメータ範囲について説明します。表 1-5 に、Stratix IV デバイスで期待される定常状態の電流および電圧値を示します。すべての電源供給は、水平状態にならずに厳密に単調でなければなりません。

表 1-5. Stratix IV デバイスの推奨動作条件 (その1)

シンボル	説明	条件	Min	標準	Max	単位
V_{CC} (Stratix IV GX および Stratix IV E)	コア電圧およびペリフェラル回路電源電圧	—	0.87	0.90	0.93	V
V_{CC} (Stratix IV GT)	コア電圧およびペリフェラル回路電源電圧	—	0.92	0.95	0.98	V
V_{CCPT}	プログラマブル・パワー・テクノロジー用電源電圧	—	1.45	1.50	1.55	V
V_{CCAUX}	プログラマブル・パワー・テクノロジー用補助電源電圧	—	2.375	2.5	2.625	V
$V_{CCPD}^{(2)}$	I/O プリドライバ (3.0 V) 電源電圧	—	2.85	3.0	3.15	V
	I/O プリドライバ (2.5 V) 電源電圧	—	2.375	2.5	2.625	V
V_{CCIO}	I/O バッファ (3.0 V) 電源電圧	—	2.85	3.0	3.15	V
	I/O バッファ (2.5 V) 電源電圧	—	2.375	2.5	2.625	V
	I/O バッファ (1.8 V) 電源電圧	—	1.71	1.8	1.89	V
	I/O バッファ (1.5 V) 電源電圧	—	1.425	1.5	1.575	V
	I/O バッファ (1.2 V) 電源電圧	—	1.14	1.2	1.26	V
V_{CCPGM}	コンフィギュレーション・ピン (3.0 V) 電源電圧	—	2.85	3.0	3.15	V
	コンフィギュレーション・ピン (2.5 V) 電源電圧	—	2.375	2.5	2.625	V
	コンフィギュレーション・ピン (1.8 V) 電源電圧	—	1.71	1.8	1.89	V
V_{CCA_PLL}	PLL 用アナログ・ボルテージ・レギュレータ電源電圧	—	2.375	2.5	2.625	V
V_{CCD_PLL} (Stratix IV GX および Stratix IV E)	PLL 用デジタル・ボルテージ・レギュレータ電源電圧	—	0.87	0.90	0.93	V
V_{CCD_PLL} (Stratix IV GT)	PLL 用デジタル・ボルテージ・レギュレータ電源電圧	—	0.92	0.95	0.98	V
V_{CC_CLKIN}	差動クロック入力用電源電圧	—	2.375	2.5	2.625	V
$V_{CCBAT}^{(1)}$	バッテリー・バックアップ電源電圧 (デザイン・セキュリティ揮発性キー・レジスタ用)	—	1.2	—	3.3	V
V_I	DC 入力電圧	—	-0.5	—	3.6	V
V_O	出力電圧	—	0	—	V_{CCIO}	V
T_J (Stratix IV GX および Stratix IV E)	動作ジャンクション温度	コマーシャル	0	—	85	°C
		インダストリアル	-40	—	100	°C
T_J (Stratix IV GT)	動作ジャンクション温度	インダストリアル	0	—	100	°C

表 1-5. Stratix IV デバイスの推奨動作条件 (その2)

シンボル	説明	条件	Min	標準	Max	単位
t_{RAMP}	電源ランプ時間	ノーマル POR (PORSEL=0)	0.05	—	100	ms
		高速 POR (PORSEL=1)	0.05	—	4	ms

表 1-5 の注:

- (1) アルテラでは、揮発性キー・バックアップのために、 V_{CCBAT} をバッテリーに接続するとき、3.0-V の公称バッテリー電圧を推奨しています。揮発性セキュリティ・キーを使用しない場合は、 V_{CCBAT} を GND または 3.0-V 電源のいずれかに接続することができます。
- (2) V_{CCIO} が 2.5、1.8、1.5、または 1.2 V の場合、 $V_{\text{CCPD}} = 2.5 \text{ V}$ です。 V_{CCIO} が 3.0 V の場合、 $V_{\text{CCPD}} = 3.0 \text{ V}$ です。

表 1-6 に、トランシーバ電源の推奨動作条件を示します。

表 1-6. Stratix IV GX デバイス用のトランシーバ電源の動作条件 (注 4)

シンボル	説明	Min	標準	Max	単位
V_{CCA_L}	トランシーバ高圧電源 (左側)	2.85/2.375	3.0/2.5 (2)	3.15/2.625	V
V_{CCA_R}	トランシーバ高圧電源 (右側)				V
V_{CCHIP_L}	トランシーバ HIP デジタル電源 (左側)	0.87	0.9	0.93	V
V_{CCHIP_R}	トランシーバ HIP デジタル電源 (右側)	0.87	0.9	0.93	V
V_{CCR_L}	レシーバ電源 (左側)	1.05	1.1	1.15	V
V_{CCR_R}	レシーバ電源 (右側)	1.05	1.1	1.15	V
V_{CCT_L}	トランスミッタ電源 (左側)	1.05	1.1	1.15	V
V_{CCT_R}	トランスミッタ電源 (右側)	1.05	1.1	1.15	V
$V_{\text{CCL}_\text{GXBLn}} (1)$	トランシーバ・クロック電源 (左側)	1.05	1.1	1.15	V
$V_{\text{CCL}_\text{GXBRn}} (1)$	トランシーバ・クロック電源 (右側)	1.05	1.1	1.15	V
$V_{\text{CCH}_\text{GXBLn}} (1)$	トランスミッタ出力バッファ電源 (左側)	1.33/1.425	1.4/1.5 (3)	1.47/1.575	V
$V_{\text{CCH}_\text{GXBRn}} (1)$	トランスミッタ出力バッファ電源 (右側)				V

表 1-6 の注:

- (1) $n = 0, 1, 2$, または 3 となります。
- (2) CMU PLL、レシーバ CDR、あるいはその両方がベース・データ・レート > 4.25 Gbps でコンフィギュレーションされる場合、 $V_{\text{CCA}_L/R}$ を 3.0-V 供給に接続する必要があります。4.25 Gbps までのデータ・レートに、 $V_{\text{CCA}_L/R}$ を 3.0 V または 2.5 V のいずれかに接続できます。
- (3) トランスミッタ・チャンネル・データ・レート > 6.25 Gbps の場合、 $V_{\text{CCH}_\text{GXBL/R}}$ を 1.4 V 電源に接続する必要があります。6.25 Gbps までのデータ・レートの場合に、 $V_{\text{CCH}_\text{GXBL/R}}$ を 1.4 V または 1.5 V のいずれかに接続できます。
- (4) トランシーバ電源には、パワー・オン・リセット回路 (POR) がありません。最初のパワーアップ後に、トランシーバ電源の動作条件に違反すると、予期できないリンクの動作を引き起こす可能性があります。

表 1-7 に、Stratix IV GX デバイスのトランシーバ電源の推奨動作条件を示します。

表 1-7. Stratix IV GT デバイスのトランシーバ電源の動作条件 (3) (その1)

シンボル	説明	Min	標準	Max	単位
V_{CCA_L}	トランシーバ高圧電源 (左側)	3.25	3.3	3.35	V
V_{CCA_R}	トランシーバ高圧電源 (右側)	3.25	3.3	3.35	V
V_{CCHIP_L}	トランシーバ HIP デジタル電源 (左側)	0.92	0.95	0.98	V
V_{CCHIP_R}	トランシーバ HIP デジタル電源 (右側)	0.92	0.95	0.98	V
V_{CCR_L}	レシーバ電源 (左側)	1.15	1.2	1.25	V

表 1-7. Stratix IV GT デバイスのトランシーバ電源の動作条件 (3) (その 2)

シンボル	説明	Min	標準	Max	単位
V_{CCR_R}	レシーバ電源 (右側)	1.15	1.2	1.25	V
V_{CCT_L}	トランスミッタ電源 (左側)	1.15	1.2	1.25	V
V_{CCT_R}	トランスミッタ電源 (右側)	1.15	1.2	1.25	V
$V_{CCL_GXBLn} (2)$	トランシーバ・クロック電源 (左側)	1.15	1.2	1.25	V
$V_{CCL_GXBRn} (2)$	トランシーバ・クロック電源 (右側)	1.15	1.2	1.25	V
$V_{CCH_GXBLn} (2)$	トランスミッタ出力バッファ電源 (左側)	1.33	1.4	1.47	V
$V_{CCH_GXBRn} (2)$	トランスミッタ出力バッファ電源 (右側)	1.33	1.4	1.47	V

表 1-7 の注:

- (1) Stratix IV GT エンジニアリング・サンプル (ES1) デバイスの絶対最大定格については、アルテラの販売代理店にお問い合わせください。
- (2) $n = 0, 1, 2$ 、および 3 となります。
- (3) トランシーバ電源には、パワー・オン・リセット回路 (POR) がありません。最初のパワーアップ後に、トランシーバ電源の動作条件に違反すると、予期できないリンクの動作を引き起こす可能性があります。

DC 特性

この項では、供給電流、I/O ピンのリーク電流、入力ピンのキャパシタンス、On-Chip Termination (チップ内終端抵抗) の精度、およびホット・ソケットの仕様について説明します。

供給電流

待機時電流は、デバイスの消費電力に使用するそれぞれの電源レールから引き出される電流です。これらの電流は、使用するリソースに応じて大きく異なるため、Excel ベースの Early Power Estimator (EPE) を使用してデザインの電源電流の見積もりを取得してください。



消費電力見積もりツールについて詳しくは、「[PowerPlay Early Power Estimator User Guide](#)」および「[Quartus II ハンドブック](#)」の「[PowerPlay Power Analysis](#)」の章を参照してください。

I/O ピンのリーク電流

表 1-8 に、Stratix IV の I/O ピンのリーク電流仕様を示します。

表 1-8. Stratix IV の I/O ピンのリーク電流

シンボル	説明	条件	Min	標準	Max	単位
I_I	入力ピン	$V_I = 0V \sim V_{CCIOMAX}$	-20	—	20	μA
I_{OZ}	トライ・ステート I/O ピン	$V_O = 0V \sim V_{CCIOMAX}$	-20	—	20	μA

バス・ホールド特性

表 1-9 は、Stratix IV デバイス・ファミリのバス・ホールド特性を示しています。

表 1-9. バス・ホールド・パラメータ

パラメータ	シンボル	条件	V _{CCIO}										単位
			1.2 V		1.5 V		1.8 V		2.5 V		3.0 V		
			Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
Low 保持電流 t	I _{SUSL}	V _{IN} > V _{IL} (max)	22.5	—	25.0	—	30.0	—	50.0	—	70.0	—	μA
High 保持電流	I _{SUSH}	V _{IN} < V _{IH} (min)	-22.5	—	-25.0	—	-30.0	—	-50.0	—	-70.0	—	μA
Low オーバー ドライブ電流	I _{ODL}	0V < V _{IN} < V _{CCIO}	—	120	—	160	—	200	—	300	—	500	μA
High オーバー ドライブ電流	I _{ODH}	0V < V _{IN} < V _{CCIO}	—	-120	—	-160	—	-200	—	-300	—	-500	μA
バス・ホールド のトリップ ポイント	V _{TRIP}	—	0.45	0.95	0.50	1.00	0.68	1.07	0.70	1.70	0.80	2.00	V

On-Chip Termination (OCT) 仕様

OCT キャリブレーションをイネーブルすると、キャリブレーションはキャリブレーション・ブロックに接続された I/O のパワーアップ時に自動的に実行されます。表 1-10 に、Stratix IV の OCT キャリブレーション精度暫定仕様を示します。

表 1-10. Stratix IV On-Chip Termination のキャリブレーション精度 - 暫定仕様 (注 1)

シンボル	説明	条件	キャリブレーション精度			単位
			C2	C3、I3	C4、I4	
25-Ω R _S (2) 3.0、2.5、1.8、 1.5、1.2	キャリブレーション付き内 部直列終端 (25-Ω 設定)	V _{CCIO} = 3.0、2.5、 1.8、1.5、1.2 V	± 8	± 8	± 8	%
50-Ω R _S 3.0、2.5、1.8、 1.5、1.2	キャリブレーション付き内 部直列終端 (50-Ω 設定)	V _{CCIO} = 3.0、2.5、 1.8、1.5、1.2 V	± 8	± 8	± 8	%
50-Ω R _T 2.5、1.8、1.5、1.2	キャリブレーション付き内 部並列終端 (50-Ω 設定)	V _{CCIO} = 2.5、1.8、 1.5、1.2 V	± 10	± 10	± 10	%
20-Ω、40-Ω、 および 60-Ω R _S (3) 3.0、2.5、1.8、 1.5、1.2	キャリブレーション付き内 部直列終端の拡張範囲 (20-Ω、40-Ω、および 60-Ω R _S 設定)	V _{CCIO} = 3.0、2.5、 1.8、1.5、1.2 V	± 10	± 10	± 10	%
25-Ω R _{S_left_shift}	キャリブレーション付き左 シフト内部直列終端 (25-Ω R _{S_left_shift} 設定)	V _{CCIO} = 3.0、2.5、 1.8、1.5、1.2 V	± 10	± 10	± 10	%

表 1-10 の注:

- (1) OCT キャリブレーション精度はキャリブレーション時のみ有効です。
- (2) 25-Ω R_S の 1.5 V および 1.2 V はロウ I/O でサポートされません。
- (3) 20-Ω R_S の 1.5 V および 1.2 V はロウ I/O でサポートされません。

キャリブレーション付き直列 OCT および並列 OCT のキャリブレーション精度はキャリブレーションの時点で適用されます。キャリブレーション後、プロセス、電圧、および温度 (PVT) 条件が変化すると、抵抗の精度も変化することがあります。表 1-11 に キャリブレーションなし OCT における PVT 変化に対する抵抗精度を示します。

表 1-11. Stratix IV キャリブレーションなしの Stratix IV On-Chip Termination の抵抗精度の仕様

シンボル 1	説明	条件	抵抗の精度			単位
			C2	C3、I3	C4、I4	
25-Ω R _s 3.0 および 2.5	キャリブレーションなし内部直列終端 (25-Ω 設定)	V _{CCIO} = 3.0 および 2.5 V	± 30	± 40	± 40	%
25-Ω R _s 1.8 および 1.5	キャリブレーションなし内部直列終端 (25-Ω 設定)	V _{CCIO} = 1.8 および 1.5 V	± 30	± 40	± 40	%
25-Ω R _s 1.2	キャリブレーションなし内部直列終端 (25-Ω 設定)	V _{CCIO} = 1.2 V	± 35	± 50	± 50	%
50-Ω R _s 3.0 および 2.5	キャリブレーションなし内部直列終端 (50-Ω 設定)	V _{CCIO} = 3.0 および 2.5 V	± 30	± 40	± 40	%
50-Ω R _s 1.8 および 1.5	キャリブレーションなし内部直列終端 (50-Ω 設定)	V _{CCIO} = 1.8 および 1.5 V	± 30	± 40	± 40	%
50-Ω R _s 1.2	キャリブレーションなし内部直列終端 (50-Ω 設定)	V _{CCIO} = 1.2 V	± 35	± 50	± 50	%

OCT キャリブレーションは、OCT がイネーブルされている I/O に対してパワーアップ時に自動的に実行されます。表 1-12 に、温度と電圧に伴う OCT のばらつきを示します。表 1-12 を使用して、パワーアップ・キャリブレーション後の OCT の精度を判断します。そして、式 1-1 を使用して、再キャリブレーションしない場合の OCT の精度を判断します。

式 1-1. 再キャリブレーションなし OCT のばらつき (注 1)、(2)、(3)、(4)、(5)、(6)

$$R_{OCT} = R_{SCAL} \left(1 + \left\langle \frac{dR}{dT} \times \Delta T \right\rangle \pm \left\langle \frac{dR}{dV} \times \Delta V \right\rangle \right)$$

式 1-1 の注:

- (1) 式 1-1 から計算された R_{OCT} 値は温度および V_{CCIO} の変動に伴う OCT 抵抗の範囲を示します。
- (2) R_{SCAL} はパワーアップ時の OCT 抵抗の値です。
- (3) ΔT はパワーアップ時の温度に対する温度の変動です。
- (4) ΔV はパワーアップ時の V_{CCIO} に対する電圧の変動です。
- (5) dR/dT は、温度の変化率に伴う R_{SCAL} の変化率です。
- (6) dR/dV は、電圧の変化率に伴う R_{SCAL} の変化率です。

表 1-12 パワーアップ・キャリブレーション後の On-Chip Termination の精度を示します。

表 1-12. パワーアップ・キャリブレーション後の On-Chip Termination のばらつき (注 1)

シンボル	説明	V _{CCIO} (V)	標準	単位
dR/dV	再キャリブレーションなし OCT の電圧に伴うばらつき	3.0	0.0297	% / mV
		2.5	0.0344	
		1.8	0.0499	
		1.5	0.0744	
		1.2	0.1241	
dR/dT	再キャリブレーションなし OCT の温度に伴うばらつき	3.0	0.189	% / °C
		2.5	0.208	
		1.8	0.266	
		1.5	0.273	
		1.2	0.317	

表 1-12 の注:

(1) ± 5% V_{CCIO} 範囲および 0° ~ 85°C の温度範囲で有効。

ピン・キャパシタンス

表 1-13 に、Stratix IV デバイス・ファミリのピン・キャパシタンスを示します。

表 1-13. Stratix IV デバイス用のピン・キャパシタンス

シンボル	説明	標準	単位
C _{IOTB}	トップ / ボトム I/O ピンの入力キャパシタンス	4	pF
C _{IOLR}	レフト / ライト I/O ピンの入力キャパシタンス	4	pF
C _{CLKTB}	トップ / ボトム非専用クロック入力ピンの入力キャパシタンス	4	pF
C _{CLKLR}	レフト / ライト非専用クロック入力ピンの入力キャパシタンス	4	pF
C _{OUTFB}	兼用クロック出力 / フィードバック・ピンの入力キャパシタンス	5	pF
C _{CLK1} 、C _{CLK3} 、C _{CLK8} 、 および C _{CLK10}	専用クロック入力ピンの入力キャパシタンス	2	pF

ホット・ソケット

表 1-14 に、Stratix IV デバイスのホット・ソケット仕様を示します。

表 1-14. Stratix IV デバイスのホット・ソケット仕様

シンボル	説明	Max
I _{IOPIN (DC)}	I/O ピンあたりの DC 電流	300 μA
I _{IOPIN (AC)}	I/O ピンあたりの AC 電流	8 mA (1)
I _{XCVR-TX (DC)} (2)	トランシーバ TX ピンあたりの DC 電流	100 mA
I _{XCVR-RX (DC)} (2)	トランシーバ RX ピンあたりの DC 電流	50 mA

表 1-14 の注:

(1) I/O ランプ・レートは 10 ns 以上です。10 ns 未満のランプ・レートの場合、|I_{IOPIN}| = C dv/dt です。ここで、C は I/O ピンのキャパシタンス、dv/dt はスルー・レートです。

(2) これらの値は暫定仕様です。

内部ウィーク・プルアップ抵抗

表 1-15 に、Stratix IV デバイスのウィーク・プルアップ抵抗値を示します。

表 1-15. Stratix IV の内部ウィーク・プルアップ抵抗 (注 1)、(3)

シンボル	説明	条件	Min	標準	Max	単位
R _{PU}	プログラマブル・プルアップ抵抗のオプションがイネーブルされる時、コンフィグレーション前、コンフィグレーション中およびユーザー・モードの I/O ピン・プルアップ抵抗の値。	V _{CCIO} = 3.0 V ± 5% (2)	—	25	—	kΩ
		V _{CCIO} = 2.5 V ± 5% (2)	—	25	—	kΩ
		V _{CCIO} = 1.8 V ± 5% (2)	—	25	—	kΩ
		V _{CCIO} = 1.5 V ± 5% (2)	—	25	—	kΩ
		V _{CCIO} = 1.2 V ± 5% (2)	—	25	—	kΩ

表 1-15 の注:

- (1) コンフィギュレーション・ピン、テスト・ピン、および JTAG ピンを除くすべての I/O ピンには、ウィーク・プルアップ抵抗をイネーブルするオプションがあります。
- (2) 外部ソースが V_{CCIO} よりも高い電圧でピンをドライブしている場合は、ピンのプルアップ抵抗値が低下することがあります。
- (3) 内部ウィーク・プルダウン機能は JTAG TCK ピンでのみ使用できます。この内部ウィーク・プルダウン抵抗の標準値は約 25 kΩ です。

I/O 規格仕様

表 1-16 ~ 表 1-21 に、Stratix IV デバイスがサポートする I/O 規格の入力電圧 (V_{IH} および V_{IL})、出力電圧 (V_{OH} および V_{OL})、および電流ドライブ特性 (I_{OH} および I_{OL}) を示します。これらの表に、Stratix IV デバイス・ファミリの I/O 規格仕様を示します。V_{OL} および V_{OH} は、それぞれ対応する I_{OH} および I_{OL} の値で有効します。

表 1-16 ~ 表 1-21 で使用される用語の説明については、1-53 ページの「用語集」を参照してください。

表 1-16. シングル・エンド I/O 規格

I/O 規格	V _{CCIO} (V)			V _{IL} (V)		V _{IH} (V)		V _{OL} (V)	V _{OH} (V)	I _{OL} (mA)	I _{OH} (mA)
	Min	標準	Max	Min	Max	Min	Max	Max	Min		
LVTTTL	2.85	3	3.15	-0.3	0.8	1.7	3.6	0.4	2.4	2	-2
LVC MOS	2.85	3	3.15	-0.3	0.8	1.7	3.6	0.2	V _{CCIO} - 0.2	0.1	-0.1
2.5 V	2.375	2.5	2.625	-0.3	0.7	1.7	3.6	0.4	2	1	-1
1.8 V	1.71	1.8	1.89	-0.3	0.35 * V _{CCIO}	0.65 * V _{CCIO}	V _{CCIO} + 0.3	0.45	V _{CCIO} - 0.45	2	-2
1.5 V	1.425	1.5	1.575	-0.3	0.35 * V _{CCIO}	0.65 * V _{CCIO}	V _{CCIO} + 0.3	0.25 * V _{CCIO}	0.75 * V _{CCIO}	2	-2
1.2 V	1.14	1.2	1.26	-0.3	0.35 * V _{CCIO}	0.65 * V _{CCIO}	V _{CCIO} + 0.3	0.25 * V _{CCIO}	0.75 * V _{CCIO}	2	-2
3.0-V PCI	2.85	3	3.15	—	0.3 * V _{CCIO}	0.5 * V _{CCIO}	3.6	0.1 * V _{CCIO}	0.9 * V _{CCIO}	1.5	-0.5
3.0-V PCI-X	2.85	3	3.15	—	0.35 * V _{CCIO}	0.5 * V _{CCIO}	—	0.1 * V _{CCIO}	0.9 * V _{CCIO}	1.5	-0.5

表 1-17. シングル・エンド SSTL および HSTL I/O リファレンス電圧仕様

I/O 規格	V _{CCIO} (V)			V _{REF} (V)			V _{TT} (V)		
	Min	標準	Max	Min	標準	Max	Min	標準	Max
SSTL-2 Class I, II	2.375	2.5	2.625	0.49 * V _{CCIO}	0.5 * V _{CCIO}	0.51 * V _{CCIO}	V _{REF} - 0.04	V _{REF}	V _{REF} + 0.04
SSTL-18 Class I, II	1.71	1.8	1.89	0.833	0.9	0.969	V _{REF} - 0.04	V _{REF}	V _{REF} + 0.04
SSTL-15 Class I, II	1.425	1.5	1.575	0.47 * V _{CCIO}	0.5 * V _{CCIO}	0.53 * V _{CCIO}	0.47 * V _{CCIO}	V _{REF}	0.53 * V _{CCIO}
HSTL-18 Class I, II	1.71	1.8	1.89	0.85	0.9	0.95	—	V _{CCIO} /2	—
HSTL-15 Class I, II	1.425	1.5	1.575	0.68	0.75	0.9	—	V _{CCIO} /2	—
HSTL-12 Class I, II	1.14	1.2	1.26	0.47 * V _{CCIO}	0.5 * V _{CCIO}	0.53 * V _{CCIO}	—	V _{CCIO} /2	—

表 1-18. シングル・エンド SSTL および HSTL I/O 規格信号仕様

I/O 規格	V _{IL(DC)} (V)		V _{IH(DC)} (V)		V _{IL(AC)} (V)	V _{IH(AC)} (V)	V _{OL} (V)	V _{OH} (V)	I _{ol} (mA)	I _{oh} (mA)
	Min	Max	Min	Max	Max	Min	Max	Min		
SSTL-2 Class I	-0.3	V _{REF} - 0.15	V _{REF} + 0.15	V _{CCIO} + 0.3	V _{REF} - 0.31	V _{REF} + 0.31	V _{TT} - 0.57	V _{TT} + 0.57	8.1	-8.1
SSTL-2 Class II	-0.3	V _{REF} - 0.15	V _{REF} + 0.15	V _{CCIO} + 0.3	V _{REF} - 0.31	V _{REF} + 0.31	V _{TT} - 0.76	V _{TT} + 0.76	16.2	-16.2
SSTL-18 Class I	-0.3	V _{REF} - 0.125	V _{REF} + 0.125	V _{CCIO} + 0.3	V _{REF} - 0.25	V _{REF} + 0.25	V _{TT} - 0.475	V _{TT} + 0.475	6.7	-6.7
SSTL-18 Class II	-0.3	V _{REF} - 0.125	V _{REF} + 0.125	V _{CCIO} + 0.3	V _{REF} - 0.25	V _{REF} + 0.25	0.28	V _{CCIO} - 0.28	13.4	-13.4
SSTL-15 Class I	—	V _{REF} - 0.1	V _{REF} + 0.1	—	V _{REF} - 0.175	V _{REF} + 0.175	0.2 * V _{CCIO}	0.8 * V _{CCIO}	8	-8
SSTL-15 Class II	—	V _{REF} - 0.1	V _{REF} + 0.1	—	V _{REF} - 0.175	V _{REF} + 0.175	0.2 * V _{CCIO}	0.8 * V _{CCIO}	16	-16
HSTL-18 Class I	—	V _{REF} - 0.1	V _{REF} + 0.1	—	V _{REF} -0.2	V _{REF} + 0.2	0.4	V _{CCIO} - 0.4	8	-8
HSTL-18 Class II	—	V _{REF} - 0.1	V _{REF} + 0.1	—	V _{REF} -0.2	V _{REF} + 0.2	0.4	V _{CCIO} - 0.4	16	-16
HSTL-15 Class I	—	V _{REF} - 0.1	V _{REF} + 0.1	—	V _{REF} -0.2	V _{REF} + 0.2	0.4	V _{CCIO} - 0.4	8	-8
HSTL-15 Class II	—	V _{REF} - 0.1	V _{REF} + 0.1	—	V _{REF} -0.2	V _{REF} + 0.2	0.4	V _{CCIO} - 0.4	16	-16
HSTL-12 Class I	-0.15	V _{REF} - 0.08	V _{REF} + 0.08	V _{CCIO} + 0.15	V _{REF} - 0.15	V _{REF} + 0.15	0.25* V _{CCIO}	0.75* V _{CCIO}	8	-8
HSTL-12 Class II	-0.15	V _{REF} - 0.08	V _{REF} + 0.08	V _{CCIO} + 0.15	V _{REF} - 0.15	V _{REF} + 0.15	0.25* V _{CCIO}	0.75* V _{CCIO}	16	-16

表 1-19. 差動 SSTL I/O 規格

I/O 規格	V _{CCIO} (V)			V _{SWING(DC)} (V)		V _{X(AC)} (V)			V _{SWING(AC)} (V)		V _{OX(AC)} (V)		
	Min	標準	Max	Min	Max	Min	標準	Max	Min	Max	Min	標準	Max
SSTL-2 Class I, II	2.375	2.5	2.625	0.3	V _{CCIO} +0.6	V _{CCIO} /2-0.2	—	V _{CCIO} /2+0.2	0.62	V _{CCIO} +0.6	V _{CCIO} /2-0.15	—	V _{CCIO} /2+0.15
SSTL-18 Class I, II	1.71	1.8	1.89	0.25	V _{CCIO} +0.6	V _{CCIO} /2-0.175	—	V _{CCIO} /2+0.175	0.5	V _{CCIO} +0.6	V _{CCIO} /2-0.125	—	V _{CCIO} /2+0.125
SSTL-15 Class I, II	1.425	1.5	1.575	0.2	—	—	V _{CCIO} /2	—	0.35	—	—	V _{CCIO} /2	—

表 1-20. 差動 HSTL I/O 規格

I/O 規格	V _{CCIO} (V)			V _{DIF(DC)} (V)		V _{X(AC)} (V)			V _{CM(DC)} (V)			V _{DIF(AC)} (V)	
	Min	標準	Max	Min	Max	Min	標準	Max	Min	標準	Max	Min	Max
HSTL-18 Class I	1.71	1.8	1.89	0.2	—	0.78	—	1.12	0.78	—	1.12	0.4	—
HSTL-15 Class I, II	1.425	1.5	1.575	0.2	—	0.68	—	0.9	0.68	—	0.9	0.4	—
HSTL-12 Class I, II	1.14	1.2	1.26	0.16	V _{CCIO} +0.3	—	0.5* V _{CCIO}	—	0.4* V _{CCIO}	0.5* V _{CCIO}	0.6* V _{CCIO}	0.3	V _{CCIO} +0.48

表 1-21. 差動 I/O 規格の仕様 (注 1)、(2) (その 1)

I/O 規格	V _{CCIO} (V)			V _{ID} (mV)			V _{ICM(DC)} (V)			V _{OD} (V) (3)			V _{OCM} (V) (3)		
	Min	標準	Max	Min	条件	Max	Min	条件	Max	Min	標準	Max	Min	標準	Max
PCML	高速トランシーバのトランスミッタ、レシーバ、および入力基準クロック・ピンは PCML I/O 規格を使用します。トランスミッタ、レシーバ、およびリファレンス・クロック I/O ピンの仕様について詳しくは、1-14 ページの表 1-22 および 1-22 ページの表 1-23 を参照してください。														
2.5 V LVDS (HIO)	2.375	2.5	2.625	100	V _{CM} = 1.25 V	—	0.0 5	D _{MAX} ≤ 700 Mb ps	1.8	0.247	—	0.6	1.125	1.25	1.375
						—	1.0 5	D _{MAX} > 700 Mb ps	1.55	0.247	—	0.6	1.125	1.25	1.375
2.5 V LVDS (VIO)	2.375	2.5	2.625	100	V _{CM} = 1.25 V	—	0.0 5	D _{MAX} ≤ 700 Mb ps	1.8	0.247	—	0.6	1	1.25	1.5
						—	1.0 5	D _{MAX} > 700 Mb ps	1.55	0.247	—	0.6	1	1.25	1.5
RSDS (HIO)	2.375	2.5	2.625	100	V _{CM} = 1.25 V	—	0.3	—	1.4	0.1	0.2	0.6	0.5	1.2	1.4
RSDS (VIO)	2.375	2.5	2.625	100	V _{CM} = 1.25 V	—	0.3	—	1.4	0.1	0.2	0.6	0.5	1.2	1.5
Mini- LVDS (HIO)	2.375	2.5	2.625	200	—	600	0.4	—	1.325	0.25	—	0.6	1	1.2	1.4

表 1-21. 差動 I/O 規格の仕様 (注 1)、(2) (その 2)


I/O 規格	V _{CCIO} (V)			V _{ID} (mV)			V _{ICM(DC)} (V)			V _{OD} (V) (3)			V _{OCM} (V) (3)		
	Min	標準	Max	Min	条件	Max	Min	条件	Max	Min	標準	Max	Min	標準	Max
Mini-LVDS (VIO)	2.375	2.5	2.625	200	—	600	0.4	—	1.325	0.25	—	0.6	1	1.2	1.5
LVPECL	2.375	2.5	2.625	300	—	—	0.6	D _{MAX} ≤ 700 Mb ps	1.8 (4)	—	—	—	—	—	—
	2.375	2.5	2.625	300	—	—	1	D _{MAX} > 700 Mb ps	1.6 (4)	—	—	—	—	—	—

表 1-21 の注:

- (1) VIO (パーティカル I/O) はトップおよびボトム I/O です。HIO (水平 I/O) はレフトおよびライト I/O です。
- (2) 1.4-V/1.5-V PCML トランシーバ I/O 規格の仕様は、1-14 ページの「[トランシーバ性能仕様](#)」で説明しています。
- (3) RL の範囲: 90 ≤ RL ≤ 110 Ω となります。
- (4) D_{MAX} > 700 Mbps の場合、最小入力電圧は 0.85 V、最大入力電圧は 1.75 V です。F_{MAX} ≤ 700 Mbps の場合、最小入力電圧は 0.45 V、最大入力電圧は 1.95 V です。

消費電力

アルテラは、デザインの消費電力を計算する方法として、Excel ベースの Early Power Estimator および Quartus® II PowerPlay Power Analyzer 機能の 2 種類の方法を提供しています。

 インタラクティブな Excel ベースの Early Power Estimator は、通常はデバイスの予測消費電力を得るために FPGA を設計する前に使用されます。Quartus II PowerPlay Power Analyzer は、配置配線が完了した後にデザインの詳細情報を使用して、より精度の高い見積もりを提供します。PowerPlay Power Analyzer は、ユーザー入力情報やシミュレーション結果、および推定されたシグナル・アクティビティの組み合わせを適用し、詳細な回路モデルと組み合わせることができるため、非常に正確な電力の見積もりを行うことが可能です。

 消費電力見積もりツールについて詳しくは、「[PowerPlay Early Power Estimator User Guide for Stratix III and Stratix IV FPGAs](#)」および「[PowerPlay Power Analysis](#)」の章を参照してください。

スイッチング特性

この項では、Stratix IV コマースシャル温度グレード・デバイスのコアおよび周辺ブロックの性能特性について説明します。

これらの特性は暫定値または最終値として表記されています。

- 暫定値は、シミュレーション結果、プロセス・データ、およびその他の既知のパラメータによって作成されています。これらの表に「暫定的」と示しています。
- 最終的な数値は、実際のシリコン特性とテストに基づきます。これらの数値は、ワースト・ケースのシリコン・プロセス、電圧およびジャンクション温度条件におけるデバイスの実際の性能を反映しています。最終表には表記がありません。

トランシーバ性能仕様

この項では、トランシーバ性能の仕様について説明します。

表 1-22 に、Stratix IV GX トランシーバの仕様を示します。

表 1-22. Stratix IV GX デバイスのトランシーバの仕様 (その 1)

シンボル / 説明	条件	-2 コマercial・スピード・グレード			-3 コマercial / インダストリアルおよび -2 × コマercial・スピード・グレード (1)			-4 コマercial / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
リファレンス・クロック											
サポートされる I/O 規格	1.2 V PCML、1.5 V PCML、2.5 V PCML、差動 LVPECL、LVDS、HCSL										
REFCLK 入力ピンからの入力周波数	—	50	—	697	50	—	697	50	—	637.5	MHz
位相周波数検知器 (CMU PLL と レシーバ CDR)	—	50	—	425	50	—	325	50	—	325	MHz
REFCLK ピンの絶対 V_{MAX}	—	—	—	1.5	—	—	1.5	—	—	1.5	V
REFCLK ピンの動作 V_{MAX}	—	—	—	1.5	—	—	1.5	—	—	1.5	V
REFCLK ピンの絶対 V_{MIN}	—	-0.4	—	—	-0.4	—	—	-0.4	—	—	V
立ち上がり / 立ち下がり時間	—	—	—	0.2	—	—	0.2	—	—	0.2	UI
デューティ・サイクル	—	45	—	55	45	—	55	45	—	55	%
ピーク・ツー・ピーク 差動入力電圧	—	200	—	1600	200	—	1600	200	—	1600	mV
スペクトラム拡散変調 クロック周波数	PCI Express	30	—	33	30	—	33	30	—	33	kHz
スペクトラム拡散ダウン拡散	PCI Express	—	0 ~ -0.5%	—	—	0 ~ -0.5%	—	—	0 ~ -0.5%	—	—
On-Chip Termination 抵抗	—	—	100	—	—	100	—	—	100	—	Ω
V_{ICM} (AC 結合)	—	—	1100	—	—	1100	—	—	1100	—	mV
V_{ICM} (DC 結合)	PCI Express リファレンス・クロックの HCSL I/O 規格	250	—	550	250	—	550	250	—	550	mV
R_{REF}	—	—	2000 \pm 1%	—	—	2000 \pm 1%	—	—	2000 \pm 1%	—	Ω
トランシーバ・クロック											
キャリブレーション・ブロック・クロック周波数	—	10	—	125	10	—	125	10	—	125	MHz
fixedclk クロック周波数	PCI Express レシーバ検出	—	125	—	—	125	—	—	125	—	MHz

表 1 - 22. Stratix IV GX デバイスのトランシーバの仕様 (その 2)

シンボル / 説明	条件	- 2 コマーシャル・スピード・グレード			- 3 コマーシャル / インダストリアルおよび - 2 × コマーシャル・スピード・グレード (1)			- 4 コマーシャル / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
reconfig_clk クロック周波数	ダイナミック・リコンフィギュレーション・クロック周波数	2.5/ 37.5 (2)	—	50	2.5/ 37.5 (2)	—	50	2.5/ 37.5 (2)	—	50	—
reconfig_clks 間の デルタ時間 (17)	—	—	—	2	—	—	2	—	—	2	ms
トランシーバ・ブロック 最小パワー・ダウン・パルス幅 (gxb_powerdown)	—	—	1	—	—	1	—	—	1	—	μs
レシーバ											
サポートされる I/O 規格	1.4 V PCML、1.5 V PCML、2.5 V PCML、LVPECL、LVDS										
データ・レート (Single width、PMA Direct)	—	600	—	3750	600	—	3750	600	—	3750	Mbps
データ・レート (Double width、非-PMA Direct)	—	600	—	8500	600	—	6500	600	—	5000	Mbps
データ・レート (Single width、PMA Direct)	—	600	—	3250	600	—	3250	600	—	3250	Mbps
データ・レート (Double width、PMA Direct)	—	1000	—	6500	1000	—	6500	1000	—	5000	Mbps
レシーバ・ピンの絶対 V_{MAX} (3)	—	—	—	1.6	—	—	1.6	—	—	1.6	V
レシーバ・ピンの動作 V_{MAX}	—	—	—	1.5	—	—	1.5	—	—	1.5	V
レシーバ・ピンの絶対 V_{MIN}	—	-0.4	—	—	-0.4	—	—	-0.4	—	—	V
デバイス・コンフィギュレーション前の最大ピーク・ツー・ピーク差動入力電圧 V_{ID} (diff p-p)	—	—	—	1.6	—	—	1.6	—	—	1.6	V
デバイス・コンフィギュレーション後の最大ピーク・ツー・ピーク差動入力電圧 V_{ID} (diff p-p)	$V_{ICM} = 0.82 V$ 設定	—	—	2.7	—	—	2.7	—	—	2.7	V
	$V_{ICM} = 1.1 V$ 設定 (4)	—	—	1.6	—	—	1.6	—	—	1.6	V

表 1 - 22. Stratix IV GX デバイスのトランシーバの仕様 (その 3)

シンボル / 説明	条件	- 2 コマercial・スピード・グレード			- 3 コマercial / インダストリアルおよび - 2 × コマercial・スピード・グレード (1)			- 4 コマercial / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
最小ピーク・ツー・ピーク 差動入力電圧 V_{ID} (diff p-p) (18)	データ・レート = 600 Mbps ~ 5 Gbps	100	—	—	100	—	—	165	—	—	mV
	データ・レート > 5 Gbps	165	—	—	165	—	—	—	—	—	mV
V_{ICM}	$V_{ICM} = 0.82 V$ 設定	—	820	—	—	820	—	—	820	—	mV
	$V_{ICM} = 1.1 V$ 設定 (4)	—	1100	—	—	1100	—	—	1100	—	mV
レシーバ DC カップリングのサポート	—	レシーバ DC カップリングのサポートについては、「Stratix IV Transceiver Architecture」の「DC-Coupled Links」を参照してください。									
差動チップ内終端抵抗	85-Ω 設定	—	85	—	—	85	—	—	85	—	Ω
	100-Ω 設定	—	100	—	—	100	—	—	100	—	Ω
	120-Ω 設定	—	120	—	—	120	—	—	120	—	Ω
	150-Ω 設定	—	150	—	—	150	—	—	150	—	Ω
差動およびコモン・モードのリターン・ロス	PCI Express (PIPE) (Gen 1 および Gen 2)、XAUI、HiGig+、CEI SR/LR、Serial RapidIO SR/LR、CPRI LV/HV、OBSAI、SATA	対応									—
プログラマブル PPM 検出器 (5)	—	± 62.5、100、125、200、250、300、500、1000									ppm
ラン・レンジ	—	—	200	—	—	200	—	—	200	—	UI
プログラマブル・イコライゼーション (16)	—	—	—	16	—	—	16	—	—	16	dB
t_{LTR} (6)	—	—	—	75	—	—	75	—	—	75	μs
$t_{LTR_LTD_Manual}$ (7)	—	15	—	—	15	—	—	15	—	—	μs
t_{LTD_Manual} (8)	—	—	—	4000	—	—	4000	—	—	4000	ns
t_{LTD_Auto} (9)	—	—	—	4000	—	—	4000	—	—	4000	ns

表 1 - 22. Stratix IV GX デバイスのトランシーバの仕様 (その 4)

シンボル / 説明	条件	-2 コマーシャル・スピード・グレード			-3 コマーシャル / インダストリアルおよび -2 × コマーシャル・スピード・グレード (1)			-4 コマーシャル / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
3 dB の帯域幅のレシーバ CDR における Lock-to-Data(LTD) モード	PCI Express (PIPE) Gen1	23									MHz
	PCI Express (PIPE) Gen2	47									MHz
	6.375 Gbps での (OIF) CEI PHY	22.5									MHz
	XAUI	12									MHz
	Serial RapidIO 1.25 Gbps	56									MHz
	Serial RapidIO 2.5 Gbps	26									MHz
	Serial RapidIO 3.125 Gbps	76									MHz
	GIGE	20									MHz
	SONET OC12	31									MHz
	SONET OC48	18									MHz
レシーバ・バッファおよび CDR オフセットのキャンセル時間 (チャンネルあたり)	—	—	—	17000	—	—	17000	—	—	17000	recon fig_ clk_ サイクル
プログラマブル DC ゲイン	—	—	0	—	—	0	—	—	0	—	dB
	DC ゲイン設定 = 1	—	3	—	—	3	—	—	3	—	dB
	DC ゲイン設定 = 2	—	6	—	—	6	—	—	6	—	dB
	DC ゲイン設定 = 3	—	9	—	—	9	—	—	9	—	dB
	DC ゲイン設定 = 4	—	12	—	—	12	—	—	12	—	dB
EyeQ Max データ・レート	—	—	6	—	—	6	—	—	5	—	Gbps
トランスミッタ											
サポートされる I/O 規格	1.4 V PCML、1.5 V PCML										
データ・レート (Single width、非 PMA Direct)	—	600	—	3750	600	—	3750	600	—	3750	Mbps
データ・レート (Double width、非 PMA Direct)	—	1000	—	8500	1000	—	6500	1000	—	5000	Mbps

表 1 - 22. Stratix IV GX デバイスのトランシーバの仕様 (その 5)

シンボル / 説明	条件	- 2 コマーシャル・スピード・グレード			- 3 コマーシャル / インダストリアルおよび - 2 × コマーシャル・スピード・グレード (1)			- 4 コマーシャル / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
データ・レート (Single width、PMA Direct)	—	600	—	3250	600	—	3250	600	—	3250	Mbps
データ・レート (Double width、PMA Direct) (10)	—	1000	—	6500	1000	—	6500	1000	—	5000	Mbps
V _{OCM}	0.65 V 設定	—	650	—	—	650	—	—	650	—	mV
差動 On-Chip Termination 抵抗	85-Ω 設定	—	85	—	—	85	—	—	85	—	Ω
	100-Ω 設定	—	100	—	—	100	—	—	100	—	Ω
	120-Ω 設定	—	120	—	—	120	—	—	120	—	Ω
	150-Ω 設定	—	150	—	—	150	—	—	150	—	Ω
差動およびコモン・モードのリターン・ロース	PCI Express (PIPE) Gen1 および Gen2 (TX V _{OD} =4)、XAUI (TX V _{OD} =6)、HiGig+ (TX V _{OD} =6)、CEI SR/LR (TX V _{OD} =8)、Serial RapidIO SR (V _{OD} =6)、Serial RapidIO LR (V _{OD} =8)、CPRI LV (V _{OD} =6)、CPRI HV (V _{OD} =2)、OBSAI (V _{OD} =6)、SATA (V _{OD} =4)	対応									—
立ち上がり時間 (11)	—	50	—	200	50	—	200	50	—	200	ps
立ち下がり時間 (11)	—	50	—	200	50	—	200	50	—	200	ps
差動ペア内スキュー	—	—	—	15	—	—	15	—	—	15	ps
トランシーバ・ブロック内のトランスミッタ・チャンネル間スキュー	× 4 PMA および PCS 結合モード 例: XAUI、PCI Express (PIPE)、× 4、Basic × 4	—	—	120	—	—	120	—	—	120	ps

表 1 - 22. Stratix IV GX デバイスのトランシーバの仕様 (その 6)

シンボル / 説明	条件	-2 コマーシャル・スピード・グレード			-3 コマーシャル / インダストリアルおよび -2 × コマーシャル・スピード・グレード (1)			-4 コマーシャル / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
トランシーバ・ブロック内トランスミッタ・チャンネル間スキュー	× 8 PMA および PCS 結合モード 例: PCI Express (PIPE) × 8、 Basic × 8	—	—	500	—	—	500	—	—	500	ps
トランシーバ・ブロック内スキュー × N PMA のみ結合 (12)	Basic (PMA Direct) xN (N < 18 本の 3 つのトランシーバ・ブロックにまたがるチャンネルの場合)	—	—	(13)	—	—	(13)	—	—	(13)	ps
トランシーバ・ブロック内スキュー × N PMA のみ結合 (12)	Basic (PMA Direct) xN (N ≥ 18 本の 4 つのトランシーバ・ブロックにまたがるチャンネルの場合)	(13)									ps
CMU PLL0 および CMU PLL1											
サポートされたデータ範囲	—	600	—	8500	600	—	6500	600	—	5000	Mbps
p11_powerdown デイアサーションからの CMU PLL ロック時間	—	—	—	100	—	—	100	—	—	100	μs

表 1 - 22. Stratix IV GX デバイスのトランシーバの仕様 (その7)

シンボル / 説明	条件	-2 コマーシャル・スピード・グレード			-3 コマーシャル / インダストリアルおよび -2 × コマーシャル・スピード・グレード (1)			-4 コマーシャル / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
-3 dB 帯域幅	PCI Express (PIPE) Gen1	1.6									MHz
	PCI Express (PIPE) Gen2	5.6									MHz
	4.976 Gbps での (OIF) CEI PHY	4.5									MHz
	6.375 Gbps での (OIF) CEI PHY	4.85									MHz
	XAUI	1.1									MHz
	Serial RapidIO 1.25 Gbps	2.5									MHz
	Serial RapidIO 2.5 Gbps	2.25									MHz
	Serial RapidIO 3.125 Gbps	2.75									MHz
	GIGE	2.3									MHz
	SONET OC12	2									MHz
SONET OC48	2.75									MHz	
ATX PLL (6G)											
サポートされたデータ範囲 (14)	/L = 1	4800-5400 および 6000-6500			4800-5400 および 6000-6500			—			Mbps
	/L = 2	2400-2700 および 3000-3250			2400-2700 および 3000-3250			—			Mbps
	/L = 4	1200-1350 および 1500-1625			1200-1350 および 1500-1625			—			Mbps
-3 dB 帯域幅	PCI Express (PIPE) Gen 2	—	1.5	—	—	1.5	—	—	—	—	MHz
	6.375 Gbps での (OIF) CEI PHY	—	3.4	—	—	3.4	—	—	—	—	
トランシーバ-FPGA ファブリック・インタフェース											
インタフェース・スピード (非 PMA Direct)	—	25	—	265.625	25	—	250	25	—	250	MHz
インタフェース・スピード (PMA Direct)	—	50	—	325	50	—	325	50	—	325	MHz

表 1-22. Stratix IV GX デバイスのトランシーバの仕様 (その 8)

シンボル / 説明	条件	-2 コマーシャル・スピード・グレード			-3 コマーシャル / インダストリアルおよび -2 × コマーシャル・スピード・グレード (1)			-4 コマーシャル / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
デジタル・リセット・パルス幅	—	最小は 2 パラレル・クロック・サイクル									—

表 1-22 の注:

- (1) -2 × スピード・グレードは以下の Stratix IV GX デバイスで提供される最速のスピード・グレードです: EP4SGX70DF29、EP4SGX110DF29、EP4SGX110FF35、EP4SGX230DF29、EP4SGX110FF35、EP4SGX230DF29、EP4SGX230FF35、EP4SGX290FF35、EP4SGX290FH29、EP4SGX360FF35、および EP4SGX360FH29。
- (2) トランシーバ・チャンネルが Transmitter Only モードでコンフィギュレーションされると、最小の reconfig_clk 周波数は 2.5 MHz です。トランシーバ・チャンネルが Receiver Only、または Receiver and Transceiver モードでコンフィギュレーションされると、最小の reconfig_clk 周波数は 37.5 MHz となります。詳しくは、「Stratix IV デバイス・ハンドブック Vol 2」の「Stratix IV Dynamic Reconfiguration」の章を参照してください。
- (3) デバイスは、この絶対最大定格での長時間の動作に耐えることはできません。
- (4) 入力シリアル・データ規格が LVDS の場合、1.1-V RX V_{ICM} 設定を使用しなければなりません。
- (5) レート・マッチャは、最大 ± 300 ppm をサポートします。
- (6) rx_pll_locked が rx_analogreset デリアサーションから High になるまでに要する時間。1-29 ページの図 1-2 を参照してください。
- (7) rx_pll_locked が High になり、rx_locktodata がマニュアル・モードでアサートされる前に、CDR が Lock-to-Reference モードに留まる必要がある時間。1-29 ページの図 1-2 を参照してください。
- (8) rx_locktodata 信号がマニュアル・モードでアサートされた後、有効データが回復するのに要する時間。1-29 ページの図 1-2 を参照してください。
- (9) rx_freqlocked 信号が自動モードで High になった後、有効データを回復するのに要する時間。1-29 ページの図 1-3 を参照してください。
- (10) GPLL は PMA-FPGA ファブリック・インタフェース・タイミングに特定なデータ・レートを満たす場合があります。「Stratix IV デバイス・ハンドブック Vol 2」の「Stratix IV GX Transceiver Clocking」の章の「Left/Right PLL Requirements in Basic (PMA Direct) Mode」の項を参照してください。
- (11) Quartus II ソフトウェアはコンフィギュレーションされたデータ・レートまたは機能モードに応じて、適切なスルー・レートを自動的に選択します。
- (12) 低いレーン間送信スキューを必要とするアプリケーションには、リンク内すべてのチャンネルに PMA のみ結合を達成するには、Basic (PMA Direct) x N を使用します。Basic (PMA Direct) x N モードでコンフィギュレーションすることにより、すべてのチャンネルをデバイスの 1 つのサイドに結合できます。このモードのクロック要件については、「Stratix IV デバイス・ハンドブック Vol 2」の「Basic (PMA Direct) Mode Clocking」の章の「Stratix IV GX Transceiver Clocking」の項を参照してください。
- (13) 特性評価待ちです。
- (14) Quartus II ソフトウェアは、コンフィギュレーションされたデータによる適切な I/L デバイダを自動的に選択します。
- (15) トランシーバ FPGA ファブリック・インタフェースの最大速度の 265.625 MHz は 32 ビットのインタフェース幅の Basic 低レイテンシ PCS モードにのみ使用できます。詳細は、「Stratix IV デバイス・ハンドブック Vol 2」の「Stratix IV Transceiver Architecture」の章の「Basic Double-Width Mode Configurations」の項を参照してください。
- (16) 図 1-1 に、利用可能な 16 つのイコライゼーション設定のそれぞれのゲイン曲線を示します。
- (17) デザインが複数のダイナミック・リコンフィギュレーション・コントローラ (altgx_reconfig) インスタンスを使用して、デバイスの同サイドのトランシーバ (altgx) チャンネルをコントロールする場合、そして、これらの altgx_reconfig インスタンスに異なる reconfig_clk ソースを使用する場合には、任意の 2 つの reconfig_clk ソースの間が安定になるまでのデルタ時間は、記載された最大の仕様を超えてはいけません。
- (18) RX イコライゼーションがイネーブルされていると、レーン入力ピンで測定されたアイ・ダイアグラムの外殻は最小の V₁₀ 仕様を満たしていなければなりません。RX イコライゼーションがイネーブルされていない場合、レーン入力ピンで測定されたアイ・ダイアグラムの内殻は最小の V₁₀ 仕様を満たしていなければなりません。

図 1-1 に、イコライゼーション設定 0 ~ 15 用の上下の AC ゲイン曲線を示します。

図 1-1. イコライゼーション設定 0 ~ 15 用の AC ゲイン曲線 (下上)

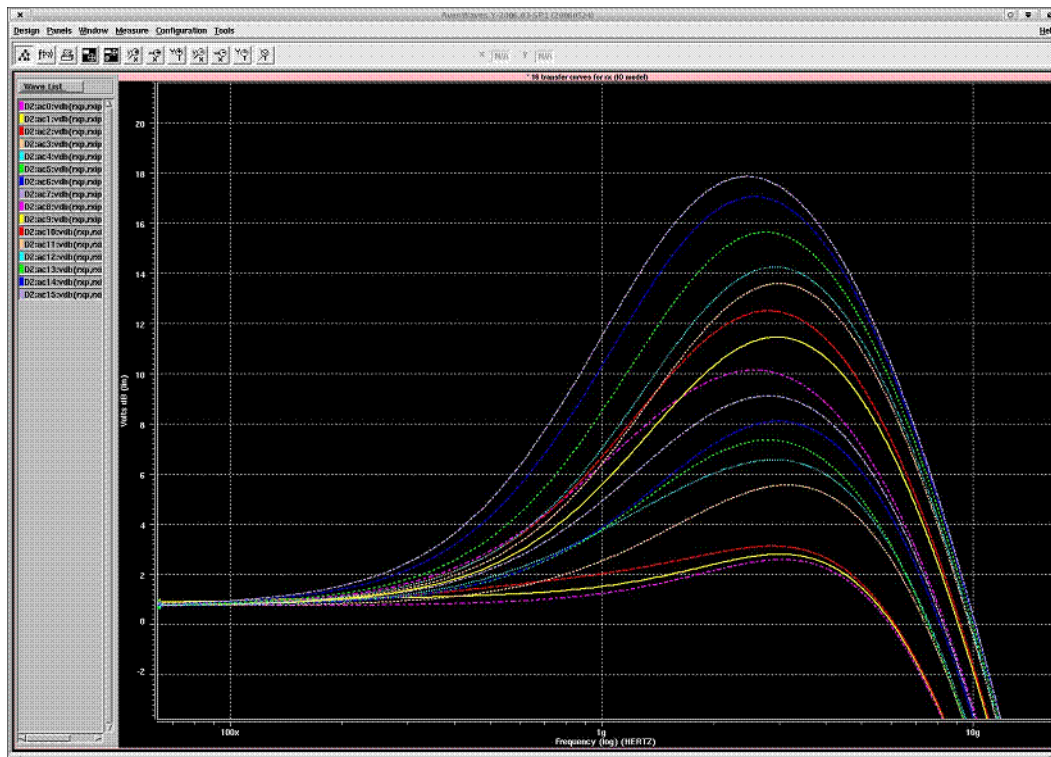


表 1-23 に、Stratix IV GT トランシーバの仕様を示します。

表 1-23. Stratix IV GT デバイスのトランシーバの仕様 (その 1)

シンボル / 説明	条件	-1 インダストリアル・スピード・グレード			-2 インダストリアル・スピード・グレード			-3 インダストリアル・スピード・グレード			単位
		Min	基準	Max	Min	基準	Max	Min	基準	Max	
リファレンス・クロック											
サポートされる I/O 規格	1.2 V PCML、1.5 V PCML、2.5 V PCML、差動 LLVPECL、LVDS										
REFCLK 入力ピンからの入力周波数	—	50	—	706.25	50	—	706.25	50	—	706.25	MHz
位相周波数検知器 (CMU PLL およびレシーバ CDR)	—	50	—	425	50	—	425	50	—	425	MHz
REFCLK ピンの絶対 V_{MAX}	—	—	—	1.6	—	—	1.6	—	—	1.6	V
REFCLK ピンの動作 V_{MAX}	—	—	—	1.5	—	—	1.5	—	—	1.5	V
REFCLK ピンの絶対 V_{MIN}	—	-0.3	—	—	-0.3	—	—	-0.3	—	—	V
立ち上がり / 立ち下がり時間	—	—	0.2	—	—	—	0.2	—	—	0.2	UI

表 1 - 23. Stratix IV GT デバイスのトランシーバの仕様 (その 2)

シンボル / 説明	条件	-1 インダストリアル・スピード・グレード			-2 インダストリアル・スピード・グレード			-3 インダストリアル・スピード・グレード			単位
		Min	基準	Max	Min	基準	Max	Min	基準	Max	
デューティ・サイクル	—	Min = 45 Max = 55	—	—	45	—	55	45	—	55	%
デバイス・コンフィギュレーション後のピーク・ツー・ピーク差動入力電圧	—	200	—	—	200	—	1600	200	—	1600	mV
デバイス・コンフィギュレーション前の最大ピーク・ツー・ピーク差動入力電圧	—	—	—	900	—	—	900	—	—	900	mV
On-Chip Termination 抵抗	—	—	—	100	—	100	—	—	100	—	Ω
V _{ICM}	—	—	—	1200	—	1200	—	—	1200	—	mV
R _{REF}	—	—	—	2000 ± 1%	—	2000 ± 1%	—	—	2000 ± 1%	—	Ω
トランシーバ・クロック											
キャリブレーション・ブロック・クロック周波数	—	10	—	125	10	—	125	10	—	125	MHz
reconfig_clk クロック周波数	ダイナミック・リコンフィギュレーション・クロック周波数	2.5/ 37.5 (1)	—	—	2.5/ 37.5 (1)	—	50	2.5/ 37.5 (1)	—	50	MHz
トランシーバ・ブロック最小パワー・ダウン・パルス幅 (gxb_powerdown)	—	—	1	—	—	1	—	—	1	—	μs
レシーバ											
サポートされる I/O 規格 s	1.4 V PCML、1.5 V PCML、2.5 V PCML、LVPECL、LVDS										
データ・レート (Single width、非 PMA Direct)	—	2488	—	3750	2488	—	3750	2488	—	3750	Mbps
データ・レート (Double width、非 PMA Direct)	—	2488	—	11300	2488	—	10312.5	2488	—	8500	Mbps
データ・レート (Single width、PMA Direct)	—	2488	—	3250	2488	—	3250	2488	—	3250	Mbps
データ・レート (Double width、PMA Direct)	—	2488	—	6500	2488	—	6500	2488	—	6500	Mbps

表 1 - 23. Stratix IV GT デバイスのトランシーバの仕様 (その 3)

シンボル / 説明	条件	-1 インダストリアル・スピード・グレード			-2 インダストリアル・スピード・グレード			-3 インダストリアル・スピード・グレード			単位
		Min	基準	Max	Min	基準	Max	Min	基準	Max	
レシーバ・ピンの絶対 V_{MAX} (2)	—	—	—	1.6	—	—	1.6	—	—	1.6	V
レシーバ・ピンの動作 V_{MAX}	—	—	—	1.5	—	—	1.5	—	—	1.5	V
レシーバ・ピンの絶対 V_{MIN}	—	—	-0.4	—	-0.4	—	—	-0.4	—	—	V
デバイス・コンフィギュレーション前の最大ピーク・ツー・ピーク差動入力電圧 V_{ID} (diff p-p)	—	1.6	—	1.6	—	—	1.6	—	—	1.6	V
デバイス・コンフィギュレーション後の最大ピーク・ツー・ピーク差動入力電圧 V_{ID} (diff p-p)	$V_{ICM} = 0.82$ V 設定	—	—	2.7	—	—	2.7	—	—	2.7	V
	$V_{ICM} = 1.2$ V 設定 (3)	—	—	1.2	—	—	1.2	—	—	1.2	V
最小ピーク・ツー・ピーク差動入力電圧 V_{ID} (diff p-p)	データ・レート = 2488 Mbps ~ 5 Gbps	100	—	—	100	—	—	100	—	—	mV
	データ・レート > 5 Gbps	165	—	—	165	—	—	165	—	—	mV
V_{ICM}	$V_{ICM} = 0.82$ V 設定	—	—	—	—	820	—	—	820	—	mV
	$V_{ICM} = 1.2$ V 設定 (3)	—	—	—	—	1200	—	—	1200	—	mV
差動 On-Chip Termination 抵抗	85- Ω 設定	—	85	—	—	85	—	—	85	—	Ω
	100- Ω 設定	—	100	—	—	100	—	—	100	—	Ω
	120- Ω 設定	—	120	—	—	120	—	—	120	—	Ω
	150- Ω 設定	—	150	—	—	150	—	—	150	—	Ω
差動およびコモン・モードのリターン・ロス	PCI Express (PIPE) (Gen 1 および Gen 2)、XAUI、HiGig+、CEI SR/LR、Serial RapidIO SR/LR、CPRI LV/HV、OBSAI、SATA	対応									—

表 1 - 23. Stratix IV GT デバイスのトランシーバの仕様 (その 4)

シンボル / 説明	条件	-1 インダストリアル・スピード・グレード			-2 インダストリアル・スピード・グレード			-3 インダストリアル・スピード・グレード			単位
		Min	基準	Max	Min	基準	Max	Min	基準	Max	
プログラマブル PPM 検出器 (4)	—	—	± 62.5、100、125、200、250、300、500、1000								ppm
ラン・レングス	—	—	200	—	—	200	—	—	200	—	UI
プログラマブル・イコライゼーション	—	—	—	16	—	—	16	—	—	16	dB
t _{LTR} (5)	—	—	—	75	—	—	75	—	—	75	µs
t _{LTR_LTD_Manual} (6)	—	15	—	—	15	—	—	15	—	—	µs
t _{LTD_Manual} (7)	—	—	—	4000	—	—	4000	—	—	4000	ns
t _{LTD_Auto} (8)	—	—	—	4000	—	—	4000	—	—	4000	ns
レシーバ・バッファおよび CDR オフセット・キャンセレーション時間 (チャネルあたり)	—	—	—	17000	—	—	17000	—	—	17000	reconfig_clk サイクル
プログラマブル DC ゲイン	DC ゲイン 設定 = 0	—	0	—	—	0	—	—	0	—	dB
	DC ゲイン 設定 = 1	—	3	—	—	3	—	—	3	—	dB
	DC ゲイン 設定 = 2	—	6	—	—	6	—	—	6	—	dB
	DC ゲイン 設定 = 3	—	9	—	—	9	—	—	9	—	dB
	DC ゲイン 設定 = 4	—	12	—	—	12	—	—	12	—	dB
トランスミッタ											
サポートされる I/O 規格	1.4 V PCML										
データ・レート (Single width、非 PMA Direct)	—	2488	—	3750	2488	—	3750	2488	—	3750	Mbps
データ・レート (Double width、非 PMA Direct)	—	2488	—	11300	2488	—	10312.5	2488	—	8500	Mbps
データ・レート (Single width、PMA Direct)	—	2488	—	3250	2488	—	3250	2488	—	3250	Mbps
データ・レート (Double width、PMA Direct) (9)	—	2488	—	6500	2488	—	6500	2488	—	6500	Mbps
V _{OCM}	0.65 V 設定	—	650	—	—	650	—	—	650	—	mV
差動 On-Chip Termination 抵抗	85-Ω 設定	—	85	—	—	85	—	—	85	—	Ω
	100-Ω 設定	—	100	—	—	100	—	—	100	—	Ω
	120-Ω 設定	—	120	—	—	120	—	—	120	—	Ω
	150-Ω 設定	—	150	—	—	150	—	—	150	—	Ω

表 1-23. Stratix IV GT デバイスのトランシーバの仕様 (その 5)

シンボル / 説明	条件	-1 インダストリアル・スピード・グレード			-2 インダストリアル・スピード・グレード			-3 インダストリアル・スピード・グレード			単位
		Min	基準	Max	Min	基準	Max	Min	基準	Max	
差動およびコモン・モードのリターン・ロス	PCI Express (PIPE) Gen1 および Gen2 (TX V _{OD} =4)、XAUI (TX V _{OD} =6)、HiGig+ (TX V _{OD} =6)、CEI SR/LR (TX V _{OD} =8)、Serial RapidIO SR (V _{OD} =6)、Serial RapidIO LR (V _{OD} =8)、CPRI LV (V _{OD} =6)、CPRI HV (V _{OD} =2)、OBSAI (V _{OD} =6)、SATA (V _{OD} =4)、	対応									—
立ち上がり時間 (10)	—	50	—	200	50	—	200	50	—	200	ps
立ち下がり時間 (10)	—	50	—	200	50	—	200	50	—	200	ps
差動ペア内スキュー	—	—	—	15	—	—	15	—	—	15	ps
トランシーバ・ブロック内トランスミッタ・チャンネル間スキュー	× 4 PMA および PCS 結合モード 例: XAUI、PCI Express (PIPE) × 4、Basic × 4	—	—	120	—	—	120	—	—	120	ps
トランシーバ・ブロック間トランスミッタ・チャンネル間スキュー	× 8 PMA および PCS 結合モード 例: PCI Express (PIPE) × 8 Basic × 8	—	—	300	—	—	300	—	—	300	ps

表 1 - 23. Stratix IV GT デバイスのトランシーバの仕様 (その 6)

シンボル / 説明	条件	-1 インダストリアル・スピード・グレード			-2 インダストリアル・スピード・グレード			-3 インダストリアル・スピード・グレード			単位
		Min	基準	Max	Min	基準	Max	Min	基準	Max	
トランシーバ・ブロック間スキュー x N PMA のみ結合 (11)	Basic (PMA Direct) xN (N < 18 本の 3 つのトランシーバ・ブロックにまたがるチャンネルの場合)	(12)									ps
トランシーバ・ブロック間スキュー x N PMA のみ結合 (11)	Basic (PMA Direct) xN (N ≥ 18 本の 4 つのトランシーバ・ブロックにまたがるチャンネルの場合)	(12)									ps
CMU PLL0 および CMU PLL1											
サポートされるデータ範囲	—	2488		11300	2488		10312.5	2488		8500	Mbps
p11_powerdown デイアサクションからの CMU PLL ロック時間	—	—	—	100	—	—	100	—	—	100	μs
ATX PLL (6G)											
サポートされるデータ範囲	/L = 1	4800-5400 および 6000-6500			4800-5400 および 6000-6500			—			Mbps
	/L = 2	2400-2700 および 3000-3250			2400-2700 および 3000-3250			—			Mbps
	/L = 4	1200-1350 および 1500-1625			1200-1350 および 1500-1625			—			Mbps
ATX PLL (10G)											
サポートされるデータ範囲	—	9900	—	11300	Min = 9900 Max = 10312.5			—			Mbps
トランシーバ-FPGA ファブリック・インタフェース											
インタフェース・スピード (非 PMA Direct)	—	62.2	—	—	62.2	—	265.625	62.2	—	265.625	MHz
インタフェース・スピード (PMA Direct)	—	124.4	—	—	124.4	—	325	124.4	—	325	MHz

表 1-23. Stratix IV GT デバイスのトランシーバの仕様 (その 7)

シンボル / 説明	条件	-1 インダストリアル・スピード・グレード			-2 インダストリアル・スピード・グレード			-3 インダストリアル・スピード・グレード			単位
		Min	基準	Max	Min	基準	Max	Min	基準	Max	
デジタル・リセット・パルス幅	—	—	—	—	最小は 2 パラレル・クロック・サイクル						—

表 1-23 の注:

- (1) トランシーバ・チャンネルが Transmitter Only モードでコンフィギュレーションされると、最小の reconfig_clk 周波数は 2.5 MHz となります。トランシーバ・チャンネルが Receiver Only または Receiver and Transmitter モードでコンフィギュレーションされると、最小の reconfig_clk 周波数は 37.5 MHz となります。詳しくは、『Stratix IV デバイス・ハンドブック Vol 1』の『Stratix IV Dynamic Reconfiguration』の章を参照してください。
- (2) デバイスは、この絶対最大定格での長時間の動作に耐えることはできません。
- (3) 入力シリアル・データの規格は LVDS の場合、1.2-V RXV_{ICM} 設定を使用しなければなりません。
- (4) レート・マッチャは、PIPE モードで最大 ± 300 ppm をサポートします。
- (5) rx_pll_locked が rx_analogreset ディアサーションから High になるまでに要する時間。1-29 ページの図 1-2 を参照してください。
- (6) rx_pll_locked がアサートされて、rx_locktodata がマニュアル・モードでアサートされる前に、CDR が LTR モードに留まる必要がある時間。1-29 ページの図 1-2 を参照してください。
- (7) rx_locktodata 信号がマニュアル・モードでアサートされた後、GXB からの有効データが回復するのに要する時間。1-29 ページの図 1-2 を参照してください。
- (8) rx_freqlocked 信号が自動モードで High になった後、GXB からの有効データを回復するのに要する時間。1-29 ページの図 1-3 を参照してください。
- (9) GPLL は PMA-FPGA ファブリック・インタフェース・タイミングに特定なデータ・レートを満たす場合があります。『Stratix IV デバイス・ハンドブック Vol 2』の『Stratix IV GX Transceiver Clocking』の章の『Left/Right PLL Requirements in Basic (PMA Direct) Mode』の項を参照してください。
- (10) Quartus II ソフトウェアは、コンフィギュレーションされたデータ・レートまたは機能モードに応じて、適切なスルー・レートを自動的に選択します。
- (11) 低いレーン間送信スキューを必要とするアプリケーションには、リンク内すべてのチャンネルに PMA のみ結合を達成するには、Basic (PMA Direct) x N を使用します。Basic (PMA Direct) x N モードでコンフィギュレーションすることによって、デバイスの 1 つのサイドにすべてのチャンネルを結合できます。このモードのクロッキング要求については、『Stratix IV デバイス・ハンドブック Vol 2』の『Stratix IV GX Transceiver Clocking』の章の『Basic (PMA Direct) Mode Clocking』の項を参照してください。
- (12) 特性評価待ちです。

図 1-2 は、マニュアル・モードでのロック時間パラメータを示しています。


 LTD = Lock-To-Data; LTR = Lock-To-Reference

図 1-2. マニュアル・モードのロック時間パラメータ

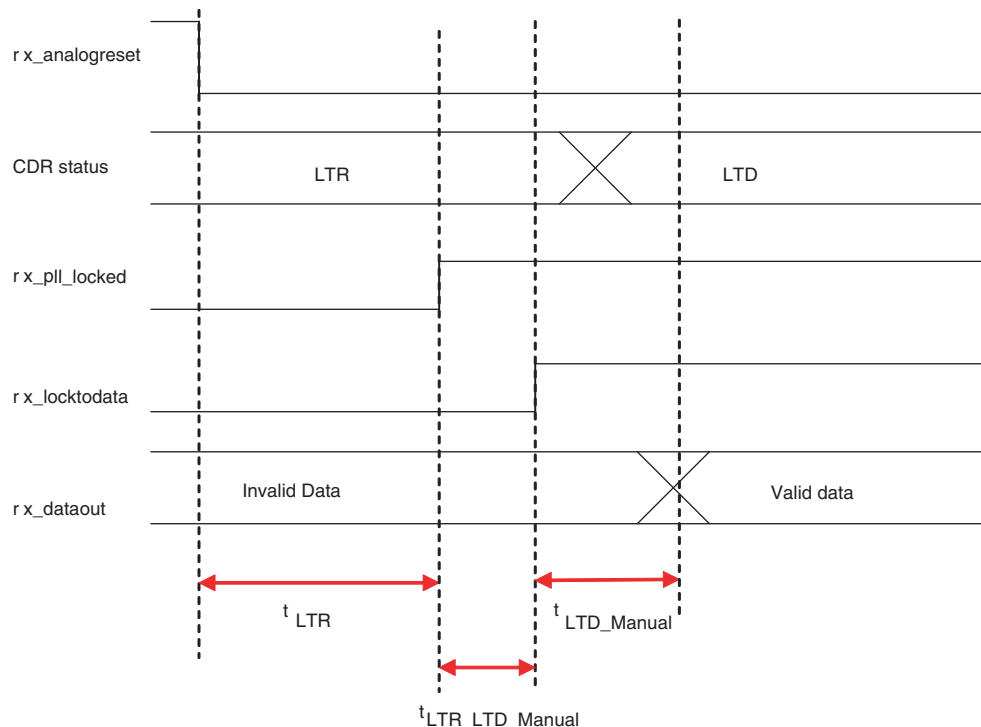


図 1-3 は、自動モードでのロック時間パラメータを示しています。

図 1-3. 自動モードのロック時間パラメータ

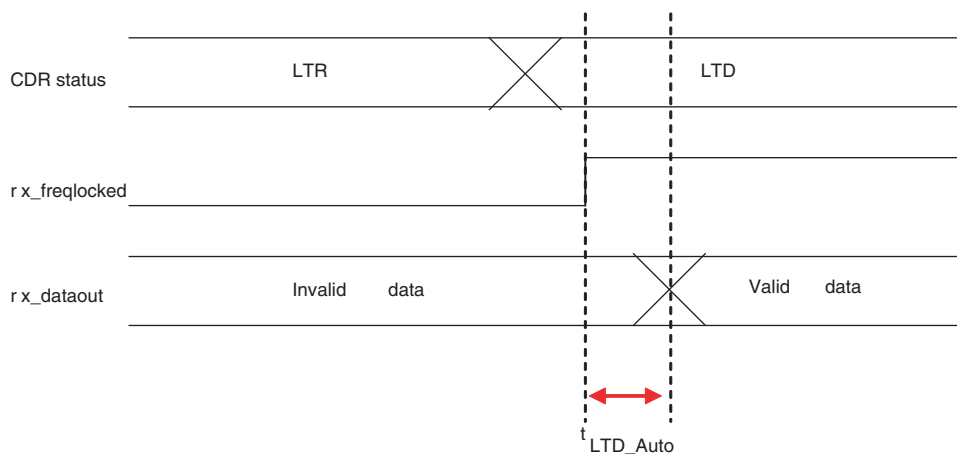


表 1-24 ~ 表 1-27 に、Stratix IV GX と GT デバイスの標準的な差動 V_{OD} 終端設定を示しています。

表 1-24. 標準 V_{OD} 設定、TX 終端 = 85 Ω

シンボル	V_{OD} 設定 (mV)							
	0	1	2	3	4	5	6	7
V_{OD} 差動ピーク・ツー・ピーク標準 (mV)	170	340	510	595	680	765	850	1020

表 1-25. 標準 V_{OD} 設定、TX 終端 = 100 Ω

シンボル	V_{OD} 設定 (mV)							
	0	1	2	3	4	5	6	7
V_{OD} 差動ピーク・ツー・ピーク標準 I (mV)	200	400	600	700	800	900	1000	1200

表 1-26. 標準 V_{OD} 設定、TX 終端 = 120 Ω

シンボル	V_{OD} 設定 (mV)						
	0	1	2	3	4	5	6
V_{OD} 差動ピーク・ツー・ピーク標準 (mV)	240	480	720	840	960	1080	1200

表 1-27. 標準 V_{OD} 設定、TX 終端 = 150 Ω

シンボル	V_{OD} 設定 (mV)					
	0	1	2	3	4	5
V_{OD} 差動ピーク・ツー・ピーク標準 (mV)	300	600	900	1050	1200	1350

表 1-28 に、すべてのサポートされるプロトコルの Stratix IV GX トランシーバ・ジッタ仕様を示しています。Stratix IV GT-2 と -3 のインダストリアル・スピード・グレード・デバイスでサポートされるプロトコルには、表 1-28 に示している Stratix IV GX-2 のコマーシャル・スピード・グレードのカラムを参照してください。

表 1 - 28. Stratix IV GX デバイスのトランシーバ・ブロック・ジッタ仕様 (注 1)、(2) (その 1)

シンボル / 説明	条件	-2 コマーシャル・スピード・グレード			-3 コマーシャル / インダストリアル および -2 × コマーシャル・スピード・グレード			-4 コマーシャル / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
SONET/SDH トランスミット・ジッタ生成 (3)											
622.08 Mbps におけるピーク・ツー・ピーク・ジッタ	パターン = PRBS23	—	—	0.1	—	—	0.1	—	—	0.1	UI
622.08 Mbps における RMS ジッタ	パターン = PRBS23	—	—	0.01	—	—	0.01	—	—	0.01	UI
2488.32 Mbps におけるピーク・ツー・ピーク・ジッタ	パターン = PRBS23	—	—	0.1	—	—	0.1	—	—	0.1	UI
2488.32 Mbps における RMS ジッタ	パターン = PRBS23	—	—	0.01	—	—	0.01	—	—	0.01	UI
SONET/SDH レシーバ・ジッタ許容値 (3)											
622.08 Mbps におけるジッタ許容値	ジッタ周波数 = 0.03 KHz パターン = PRBS23	> 15			> 15			> 15			UI
	ジッタ周波数 = 25 KHz パターン = PRBS23	> 1.5			> 1.5			> 1.5			UI
	ジッタ周波数 = 250 KHz パターン = PRBS23	> 0.15			> 0.15			> 0.15			UI
2488.32 Mbps におけるジッタ許容値	ジッタ周波数 = 0.06 KHz パターン = PRBS23	> 15			> 15			> 15			UI
	ジッタ周波数 = 100 KHz パターン = PRBS23	> 1.5			> 1.5			> 1.5			UI
	ジッタ周波数 = 1 MHz パターン = PRBS23	> 0.15			> 0.15			> 0.15			UI
	ジッタ周波数 = 10 MHz パターン = PRBS23	> 0.15			> 0.15			> 0.15			UI
Fibre Channel トランスミット・ジッタ生成 (4)、(12)											
トータル・ジッタ FC-1	パターン = CRPAT	—	—	0.23	—	—	0.23	—	—	0.23	UI
確定的ジッタ FC-1	パターン = CRPAT	—	—	0.11	—	—	0.11	—	—	0.11	UI
トータル・ジッタ FC-2	パターン = CRPAT	—	—	0.33	—	—	0.33	—	—	0.33	UI
確定的ジッタ FC-2	パターン = CRPAT	—	—	0.2	—	—	0.2	—	—	0.2	UI
トータル・ジッタ FC-4	パターン = CRPAT	—	—	0.52	—	—	0.52	—	—	0.52	UI
確定的ジッタ FC-4	パターン = CRPAT	—	—	0.33	—	—	0.33	—	—	0.33	UI

表 1-28. Stratix IV GX デバイスのトランシーバ・ブロック・ジッタ仕様 (注1)、(2) (その2)

シンボル / 説明	条件	-2 コマーシャル・スピード・グレード			-3 コマーシャル / インダストリアル および -2 × コマーシャル・スピード・グレード			-4 コマーシャル / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
Fibre Channel レシーバ・ジッタ許容値 (4)、(13)											
確定的ジッタ FC-1	パターン = CJTPAT	> 0.37			> 0.37			> 0.37			UI
ランダム・ジッタ FC-1	パターン = CJTPAT	> 0.31			> 0.31			> 0.31			UI
正弦ジッタ FC-1	Fc/25000	> 1.5			> 1.5			> 1.5			UI
	Fc/1667	> 0.1			> 0.1			> 0.1			UI
確定的ジッタ FC-2	パターン = CJTPAT	> 0.33			> 0.33			> 0.33			UI
ランダム・ジッタ FC-2	パターン = CJTPAT	> 0.29			> 0.29			> 0.29			UI
正弦ジッタ FC-2	Fc/25000	> 1.5			> 1.5			> 1.5			UI
	Fc/1667	> 0.1			> 0.1			> 0.1			UI
確定的ジッタ FC-4	パターン = CJTPAT	> 0.33			> 0.33			> 0.33			UI
ランダム・ジッタ FC-4	パターン = CJTPAT	> 0.29			> 0.29			> 0.29			UI
正弦ジッタ FC-4	Fc/25000	> 1.5			> 1.5			> 1.5			UI
	Fc/1667	> 0.1			> 0.1			> 0.1			UI
XAUI トランスミット・ジッタ生成 (5)											
3.125 Gbps での全ジッタ	パターン = CJPAT	—	—	0.3	—	—	0.3	—	—	0.3	UI
3.125 Gbps での確定的ジッタ	パターン = CJPAT	—	—	0.17	—	—	0.17	—	—	0.17	UI
XAUI レシーバ・ジッタ許容値 (5)											
全ジッタ	—	> 0.65			> 0.65			> 0.65			UI
確定的ジッタ	—	> 0.37			> 0.37			> 0.37			UI
ピーク・ツー・ピーク・ジッタ	ジッタ周波数 = 22.1 KHz	> 8.5			> 8.5			> 8.5			UI
ピーク・ツー・ピーク・ジッタ	ジッタ周波数 = 1.875 MHz	> 0.1			> 0.1			> 0.1			UI
ピーク・ツー・ピーク・ジッタ	ジッタ周波数 = 20 MHz	> 0.1			> 0.1			> 0.1			UI
PCI Express トランスミット・ジッタ生成 (6)											
2.5 Gbps での全ジッタ (Gen1)	準拠パターン	—	—	0.25	—	—	0.25	—	—	0.25	UI
5 Gbps での全ジッタ (Gen2)	準拠パターン	—	—	0.25	—	—	0.25	—	—	0.25	UI
PCI Express レシーバ・ジッタ許容値 (6)											
2.5 Gbps での全ジッタ (Gen1)	準拠パターン	> 0.6			> 0.6			> 0.6			UI
5 Gbps での全ジッタ (Gen2)	準拠パターン	対応			対応			対応			UI

表 1 - 28. Stratix IV GX デバイスのトランシーバ・ブロック・ジッタ仕様 (注1)、(2) (その3)

シンボル / 説明	条件	-2 コマーシャル・スピード・グレード			-3 コマーシャル / インダストリアル および -2 × コマーシャル・スピード・グレード			-4 コマーシャル / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
Serial RapidIO トランスミッタ・ジッタ生成 (7)											
確定的ジッタ (ピーク・ツー・ピーク)	データ・レート = 1.25、 2.5、3.125 Gbps パターン = CJPAT	—	—	0.17	—	—	0.17	—	—	0.17	UI
トータル・ジッタ (ピーク・ツー・ピーク)	データ・レート 1.25、 2.5、3.125 Gbps パターン = CJPAT	—	—	0.35	—	—	0.35	—	—	0.35	UI
Serial RapidIO レシーバ・ジッタ許容値 (7)											
確定的ジッタ許容値 (ピーク・ツー・ピーク)	データ・レート = 1.25、 2.5、3.125 Gbps パターン = CJPAT	> 0.37			> 0.37			> 0.37			UI
確定的およびランダム・ ジッタ許容値の組み合わせ (ピーク・ツー・ピーク)	データ・レート = 1.25、 2.5、3.125 Gbps パターン = CJPAT	> 0.55			> 0.55			> 0.55			UI
正弦ジッタ許容値 (ピーク・ツー・ピーク)	ジッタ周波数 = 22.1 KHz データ・レート = 1.25、2.5、3.125 Gbps パターン = CJPAT	> 8.5			> 8.5			> 8.5			UI
	ジッタ周波数 = 1.875 MHz データ・レート = 1.25、 2.5、3.125 Gbps パターン = CJPAT	> 0.1			> 0.1			> 0.1			UI
	ジッタ周波数 = 20 MHz データ・レート = 1.25、 2.5、3.125 Gbps パターン = CJPAT	> 0.1			> 0.1			> 0.1			UI
GIGE トランスミット・ジッタ生成 (8)											
確定的ジッタ (ピーク・ツー・ピーク)	パターン = CRPAT	—	—	0.14	—	—	0.14	—	—	0.14	UI
トータル・ジッタ (ピーク・ツー・ピーク)	パターン = CRPAT	—	—	0.279	—	—	0.279	—	—	0.279	UI
GIGE レシーバ・ジッタ許容値 (8)											
確定的ジッタ許容値 (ピーク・ツー・ピーク)	パターン = CJPAT	> 0.4			> 0.4			> 0.4			UI

表 1-28. Stratix IV GX デバイスのトランシーバ・ブロック・ジッタ仕様 (注1)、(2) (その4)

シンボル / 説明	条件	-2 コマーシャル・スピード・グレード			-3 コマーシャル / インダストリアル および -2 × コマーシャル・スピード・グレード			-4 コマーシャル / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
確定的およびランダム・ジッタ許容値の組み合わせ (ピーク・ツー・ピーク)	パターン = CJPAT	> 0.66			> 0.66			> 0.66			UI
HiGig トランスミット・ジッタ生成 (9)											
確定的ジッタ (ピーク・ツー・ピーク)	データ・レート = 3.75 Gbps パターン = CJPAT	—	—	0.17	—	—	—	—	—	—	UI
トータル・ジッタ (ピーク・ツー・ピーク)	データ・レート = 3.75 Gbps パターン = CJPAT	—	—	0.35	—	—	—	—	—	—	UI
HiGig レシーバ・ジッタ許容値 (9)											
確定的ジッタ許容値 (ピーク・ツー・ピーク)	データ・レート = 3.75 Gbps パターン = CJPAT	> 0.37			—	—	—	—	—	—	UI
確定的およびランダム・ジッタ許容値の組み合わせ (ピーク・ツー・ピーク)	データ・レート = 3.75 Gbps パターン = CJPAT	> 0.65			—	—	—	—	—	—	UI
正弦ジッタ許容値 (ピーク・ツー・ピーク)	ジッタ周波数 = 22.1 KHz データ・レート = 3.75 Gbps パターン = CJPAT	> 8.5			—	—	—	—	—	—	UI
	ジッタ周波数 = 1.875 MHz データ・レート = 3.75 Gbps パターン = CJPAT	> 0.1			—	—	—	—	—	—	UI
	ジッタ周波数 = 20 MHz データ・レート = 3.75 Gbps パターン = CJPAT	> 0.1			—	—	—	—	—	—	UI
(OIF) CEI トランスミッタ・ジッタ生成 (10)											
トータル・ジッタ (ピーク・ツー・ピーク)	データ・レート = 6.375 Gbps パターン = PRBS15 BER = 10 ⁻¹²	—	—	0.3	—	—	N/A	—	—	N/A	UI

表 1-28. Stratix IV GX デバイスのトランシーバ・ブロック・ジッタ仕様 (注1)、(2) (その5)

シンボル / 説明	条件	-2 コマーシャル・スピード・グレード			-3 コマーシャル / インダストリアル および -2 × コマーシャル・スピード・グレード			-4 コマーシャル / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
(OIF) CEI レシーバ・ジッタ許容値 (10)											
確定的ジッタ許容値 (ピーク・ツー・ピーク)	データ・レート = 6.375 Gbps パターン = PRBS31 BER = 10 ⁻¹²	> 0.675			N/A	—	—	N/A	—	—	UI
確定的およびランダム・ ジッタ許容値の組み合わせ (ピーク・ツー・ピーク)	データ・レート = 6.375 Gbps パターン = PRBS31 BER = 10 ⁻¹²	> 0.988			N/A	—	—	N/A	—	—	UI
正弦ジッタ許容値 (ピーク・ツー・ピーク)	ジッタ周波数 = 38.2 KHz データ・レート = 6.375 Gbps パターン = PRBS31 BER = 10 ⁻¹²	> 5			N/A	—	—	N/A	—	—	UI
	ジッタ周波数 = 3.82 MHz データ・レート = 6.375 Gbps パターン = PRBS31 BER = 10 ⁻¹²	> 0.05			N/A	—	—	N/A	—	—	UI
	ジッタ周波数 = 20 MHz データ・レート = 6.375 Gbps パターン = PRBS31 BER = 10 ⁻¹²	> 0.05			N/A	—	—	N/A	—	—	UI
SDI トランスミッタ・ジッタ生成 (11)											
アラインメント・ジッタ (ピーク・ツー・ピーク)	データ・レート = 1.485 Gbps (HD) パターン = カラー・ バー 低周波数ロール・ オフ = 100 KHz	0.2	—	—	0.2	—	—	0.2	—	—	UI
	データ・レート = 2.97 Gbps (3G) パターン = カラー・ バー 低周波数ロール・ オフ = 100 KHz	0.3	—	—	0.3	—	—	0.3	—	—	UI

表 1 - 28. Stratix IV GX デバイスのトランシーバ・ブロック・ジッタ仕様 (注 1)、(2) (その 6)

シンボル / 説明	条件	-2 コマーシャル・スピード・グレード			-3 コマーシャル / インダストリアル および -2 × コマーシャル・スピード・グレード			-4 コマーシャル / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
SDI レシーバ・ジッタ許容値 (11)											
正弦ジッタ許容値 (ピーク・ツー・ピーク)	ジッタ周波数 = 15 KHz データ・レート = 2.97 Gbps (3G) パターン = シングル・ライン・スクランブル・カラー・バー	> 2			> 2			> 2			UI
	ジッタ周波数 = 100 KHz データ・レート = 2.97 Gbps (3G) パターン = シングル・ライン・スクランブル・カラー・バー	> 0.3			> 0.3			> 0.3			UI
	ジッタ周波数 = 148.5 MHz データ・レート = 2.97 Gbps (3G) パターン = シングル・ライン・スクランブル・カラー・バー	> 0.3			> 0.3			> 0.3			UI
正弦ジッタ許容値 (ピーク・ツー・ピーク)	ジッタ周波数 = 20 KHz データ・レート = 1.485 Gbps (HD) パターン = 75% カラー・バー	> 1			> 1			> 1			UI
	ジッタ周波数 = 100 KHz データ・レート = 1.485 Gbps (HD) パターン = 75% カラー・バー	> 0.2			> 0.2			> 0.2			UI
	ジッタ周波数 = 148.5 MHz データ・レート = 1.485 Gbps (HD) パターン = 75% カラー・バー	> 0.2			> 0.2			> 0.2			UI


表 1-28. Stratix IV GX デバイスのトランシーバ・ブロック・ジッタ仕様 (注 1)、(2) (その 7)

シンボル / 説明	条件	-2 コマーシャル・スピード・グレード			-3 コマーシャル / インダストリアル および -2 × コマーシャル・スピード・グレード			-4 コマーシャル / インダストリアル・スピード・グレード			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	

表 1-28 の注:

- (1) 専用 `refclk` ピンは、入力基準クロックのドライブに使用されます。
- (2) ジッタ値は、記載の条件でのみ有効です。
- (3) SONET/SDH のジッタ値は、GR-253-CORE Issue 3 Specification に準拠しています。
- (4) Fibre Channel のジッタ値は、FC-PI-4 Specification revision 6.10 に準拠しています。
- (5) XAUI のジッタ値は、IEEE802.3ae-2002 Specification に準拠しています。
- (6) PCI Express のジッタ値は、PCIe Base Specification 2.0 規格に準拠しています。
- (7) Serial RapidIO のジッタ値は、RapidIO Specification 1.3 規格に準拠しています。
- (8) GIGE のジッタ値は、IEEE802.3-2002 規格に準拠しています。
- (9) HiGig のジッタ数は、IEEE802.3ae-2002 規格に準拠しています。
- (10) (OIF) CEI のジッタ数は、OIF-CEI-02.0 規格に準拠しています。
- (11) HD-SDI および 3G-SDI のジッタ値は、SMPTE292M および SMPTE424M 規格に準拠しています。
- (12) Fibre Channel トランスミッタ・ジッタ生成値は δ_T 相互運用性ポイントの規格に準拠しています。
- (13) Fibre Channel レシーバ・ジッタ許容値は δ_R 相互運用性ポイントの規格に準拠しています。

トランシーバ・データパス PCS レイテンシ

 詳細は:

- Basic モード PCS レイテンシについては、[「Stratix IV Transceiver Architecture」](#) の章の図 1-90 ~ 図 1-97 を参照してください。
- PCI Express (PIPE) モード PCS レイテンシについては、[「Stratix IV Transceiver Architecture」](#) の章の図 1-102 を参照してください。
- XAUI モード PCS レイテンシについては、[「Stratix IV Transceiver Architecture」](#) の章の図 1-119 を参照してください。
- GIGE モード PCS レイテンシについては、[「Stratix IV Transceiver Architecture」](#) の章の図 1-128 を参照してください。
- SONET/SDH モード PCS レイテンシについては、[「Stratix IV Transceiver Architecture」](#) の章の図 1-136 を参照してください。
- SDI モード PCS レイテンシについては、[「Stratix IV Transceiver Architecture」](#) の章の図 1-141 を参照してください。
- (OIF) CEI PHY モード PCS レイテンシについては、[「Stratix IV Transceiver Architecture」](#) の章の図 1-143 を参照してください。

コア性能仕様

この項はクロック・ツリー、フェーズロック・ループ (PLL)、デジタル信号処理 (DSP)、TriMatrix、コンフィギュレーション、および JTAG 仕様を説明します。

クロック・ツリー仕様

表 1-29 に、Stratix IV デバイスのクロック・ツリー仕様を示します。

表 1-29. Stratix IV クロック・ツリーの性能 - 暫定値

性能			単位
-2/-2 × スピード・グレード	-3 スピード・グレード	-4 スピード・グレード	
800	700	500	MHz

PLL 仕様

表 1-30 に、コマーシャル・ジャンクション温度範囲 (0° ~ 85°C) およびインダストリアル・ジャンクション温度範囲 (-40° ~ 100°C) の両方で動作するときの Stratix IV の PLL 仕様を示します。

表 1-30. Stratix IV の PLL 仕様 - 暫定値 (その 1)

シンボル	パラメータ	Min	標準	Max	単位
f _{IN}	入力クロック周波数 (-2/-2 × スピード・グレード)	5	—	800 (1)	MHz
	入力クロック周波数 (-3 スピード・グレード)	5	—	717 (1)	MHz
	入力クロック周波数 (-4 スピード・グレード)	5	—	717 (1)	MHz
f _{INPFD}	PFD への入力周波数	5	—	325	MHz
f _{VCO}	-2 スピード・グレードの PLL VCO 動作範囲	600	—	1600	MHz
	-3 スピード・グレードの PLL VCO 動作範囲	600	—	1300	MHz
	-4 スピード・グレードの PLL VCO 動作範囲	600	—	1300	MHz
t _{EINDUTY}	入力クロックまたは外部フィードバック・クロック入力のデューティ・サイクル	40	—	60	%
f _{OUT}	内部グローバル・クロックまたはリージョナル・クロックの出力周波数 (-2/-2 × スピード・グレード)	—	—	800 (2)	MHz
	内部グローバル・クロックまたはリージョナル・クロックの出力周波数 (-3 スピード・グレード)	—	—	717 (2)	MHz
	内部グローバル・クロックまたはリージョナル・クロックの出力周波数 (-4 スピード・グレード)	—	—	717 (2)	MHz
f _{OUT_EXT}	外部クロック入力の出力周波数 (-2 スピード・グレード)	—	—	800 (2)	MHz
	外部クロック入力の出力周波数 (-3 スピード・グレード)	—	—	717 (2)	MHz
	外部クロック入力の出力周波数 (-4 スピード・グレード)	—	—	717 (2)	MHz
t _{OUTDUTY}	外部クロック出力のデューティ・サイクル (50% に設定した場合)	45	50	55	%
t _{FCOMP}	外部フィードバック・クロック補償時間	—	—	10	ns
t _{CONFIGPLL}	スキャン・チェーンのリコンフィギュレーションに必要な時間	—	3.5	—	scanclk サイクル
t _{CONFIGPHASE}	位相シフトのリコンフィギュレーションに必要な時間	—	1	—	scanclk サイクル

表 1 - 30. Stratix IV の PLL 仕様 - 暫定値 (その 2)

シンボル	パラメータ	Min	標準	Max	単位
f_{SCANCLK}	scanclk 周波数	—	—	100	MHz
t_{LOCK}	デバイス・コンフィギュレーション終了からロックするのに必要な時間	—	—	1	ms
t_{DLOCK}	動的にロックするのに必要な時間 (任意の非ポストスケール・カウンタ / 遅延の切り換えまたはリコンフィギュレーション後)	—	—	1	ms
f_{CLBW}	PLL クローズド・ループ狭帯域幅	—	0.3	—	MHz
	PLL クローズド・ループ中帯域幅	—	1.5	—	MHz
	PLL クローズド・ループ広帯域幅 (6)	—	4	—	MHz
$t_{\text{PLL_PSERR}}$	PLL 位相シフトの精度	—	—	± 50	ps
t_{ARESET}	areset 信号の最小パルス幅	10	—	—	ns
$t_{\text{INCCJ}} (3)$	サイクル・ジッタへの入力クロック・サイクル ($F_{\text{REF}} \geq 100$ MHz)	—	—	0.15	UI (p-p)
	サイクル・ジッタへの入力クロック・サイクル ($F_{\text{REF}} < 100$ MHz)	—	—	± 750	ps (p-p)
$t_{\text{OUTPJ_DC}} (4)$	専用クロック出力の周期ジッタ ($F_{\text{OUT}} \geq 100$ MHz)	—	—	175	ps (p-p)
	専用クロック出力の周期ジッタ ($F_{\text{OUT}} < 100$ MHz)	—	—	17.5	mUI (p-p)
$t_{\text{OUTCCJ_DC}} (4)$	専用クロック出力のサイクル・ツー・サイクル・ジッタ ($F_{\text{OUT}} \geq 100$ MHz)	—	—	175	ps (p-p)
	専用クロック出力のサイクル・ツー・サイクル・ジッタ ($F_{\text{OUT}} < 100$ MHz)	—	—	17.5	mUI (p-p)
$t_{\text{OUTPJ_IO}} (4)、(7)$	通常の I/O クロック出力の周期ジッタ ($F_{\text{OUT}} \geq 100$ MHz)	—	—	600	ps (p-p)
	通常の I/O クロック出力の周期ジッタ ($F_{\text{OUT}} < 100$ MHz)	—	—	60	mUI (p-p)
$t_{\text{OUTCCJ_IO}} (4)、(7)$	通常の I/O クロック出力のサイクル・ツー・サイクル・ジッタ ($F_{\text{OUT}} \geq 100$ MHz)	—	—	600	ps (p-p)
	通常の I/O クロック出力のサイクル・ツー・サイクル・ジッタ ($F_{\text{OUT}} < 100$ MHz)	—	—	60	mUI (p-p)
$t_{\text{CASC_OUTPJ_DC}} (4)、(5)$	PLL 専用カスケード・クロック出力の周期ジッタ ($F_{\text{OUT}} \geq 100$ MHz)	—	—	250	ps (p-p)
	PLL 専用カスケード・クロック出力の周期ジッタ ($F_{\text{OUT}} < 100$ MHz)	—	—	25	mUI (p-p)

表 1-30. Stratix IV の PLL 仕様 - 暫定値 (その 3)

シンボル	パラメータ	Min	標準	Max	単位
f_{DRIFT}	PFDEN A が 100 us の期間でディセーブルされた後の周波数ドリフト	—	—	± 10	%

表 1-30 の注:

- (1) この仕様は Quartus II ソフトウェアで I/O 最大周波数によって制限されます。それぞれの I/O 規格において、最大の I/O 波数は異なっています。
- (2) この仕様は、PLL の I/O F_{MAX} または F_{OUT} の 2 つのうち、いずれか低い方で制限されます。
- (3) 高い入力ジッタは直接 PLL 出力ジッターに影響します。低い PLL 出力クロック・ジッタを持つのに、120 ps 以下のクリーン・クロック・ソースを提供する必要があります。
- (4) 10^{-12} の確率レベルのあるピーク・ツー・ピーク・ジッタ (14 シグマ、99.9999999974404 % 信頼性レベル)。出力ジッタ仕様は 30 ps の入力ジッタが適用されているときに、PLL の本質的なジッタに適用されます。外部メモリ・インタフェース・クロック出力ジッタ仕様は、異なる測定手法を使用して、それは 1-51 ページの表 1-45 に示されています。
- (5) カスケード PLL 仕様は以下の条件にしか使用できません。
 - a. アップストリーム PLL: $0.59 \text{ MHz} \leq \text{アップストリーム PLL BW} < 1 \text{ MHz}$
 - b. ダウンストリーム PLL: $\text{ダウンストリーム PLL BW} > 2 \text{ MHz}$
- (6) 高帯域幅 PLL 設定は外部フィードバック・モードでサポートされません。
- (7) 外部メモリ・インタフェース・クロック出力ジッタ仕様は異なる測定手法を使用して、それは 1-50 ページの表 1-43 に示されています。

DSP ブロック仕様

表 1-31 に、Stratix IV の DSP ブロック性能仕様を示します。

表 1-31. Stratix IV DSP デバイスのブロック性能仕様 - 暫定値 (注 1)

モード	使用リソース	性能			単位
	乗算器数	-2/-2 × スピード・ グレード	-3 スピード・ グレード	-4 スピード・ グレード	
9 × 9 ビット乗算器	1	490	405	375	MHz
12 × 12 ビット乗算器	1	490	405	375	MHz
18 × 18 ビット乗算器	1	600	550	490	MHz
36 × 36 ビット乗算器	1	440	365	335	MHz
18 × 18 ビット乗算累積器	4	490	405	375	MHz
18 × 18 ビット加算器	4	490	405	375	MHz
18 × 18 ビット乗算器・加算器 (符号付き完全精度)	2	490	405	375	MHz
18 × 18 ビット乗算器・加算器 (ループバック付き) (2)	2	390	320	300	MHz
36 ビット・シフト (32 ビット・データ)	1	440	365	335	MHz
ダブル・モード	1	440	365	335	MHz

表 1-31 の注:

- (1) 最大値は、丸めおよび飽和処理を行わない場合の完全パイプライン化ブロックに対するものです。
- (2) 最大のループバック入力レジスタ・ディセーブル、丸めおよび飽和ディセーブル、およびパイプラインと出力レジスタ・イネーブル。

TriMatrix メモリ・ブロック仕様

表 1-32 に、Stratix IV の TriMatrix メモリ・ブロック仕様を示します。

表 1-32. Stratix IV デバイスの TriMatrix メモリ・ブロック性能仕様 - 暫定値 (注 1) (その 1)

メモリ	モード	使用リソース		性能				
		ALUT	TriMatrix メモリ	-2/-2 × コマー シャル/ インダ ストリアル・ スピード・ グレード (MHz)	-3 コマ シャル/ インダ ストリア ル・ス ピード・ グレード (MHz)	-4 コマ シャル/ インダ ストリア ル・ス ピード・ グレード (MHz)	-3 イン ダ ストリア ル・ス ピード・ グレード (MHz) (2)	-4 イン ダ ストリア ル・ス ピード・ グレード (MHz) (2)
MLAB (3)	シングル・ポート 64 × 10	0	1	600	500	450	500	450
	シンプル・デュアル・ポート 32 × 20	0	1	600	500	450	500	450
	シンプル・デュアル・ポート 64 × 10	0	1	600	500	450	500	450
	ROM 64 × 10	0	1	600	500	450	500	450
	ROM 32 × 20	0	1	600	500	450	500	450
M9K Block (3)	シングル・ポート 256 × 36	0	1	600	540	475	540	475
	シンプル・デュアル・ポート 256 × 36	0	1	560	490	420	490	420
	Old Data に設定した Read-During-Write オ プション付きシンプ ル・デュアル・ポー ト 256 × 36	0	1	380	340	300	340	300
	トゥルー・デュアル・ポート 512 × 18	0	1	500	440	380	440	380
	Old Data に設定した Read-During-Write オ プション付きトゥ ルー・デュアル・ ポート 512 × 18	0	1	380	340	300	340	300
	ROM 1 ポート	0	1	600	540	475	540	475
	ROM 2 ポート	0	1	600	540	475	540	475
	最小パルス幅 (ク ロック High 時間)	—	—	750	800	850	800	850
最小パルス幅 (ク ロック Low 時間)	—	—	500	625	690	625	690	

表 1-32. Stratix IV デバイスの TriMatrix メモリ・ブロック性能仕様 - 暫定値 (注 1) (その 2)

メモリ	モード	使用リソース		性能				
		ALUT	TriMatrix メモリ	-2/-2 × コマ シャル/ インダ ストリアル・ スピード・ グレード (MHz)	-3 コマ シャル/ インダ ストリア ル・ス ピード・ グレード (MHz)	-4 コマ シャル/ インダ ストリア ル・ス ピード・ グレード (MHz)	-3 イン ダ ストリア ル・ス ピード・ グレード (MHz) (2)	-4 イン ダ ストリア ル・ス ピード・ グレード (MHz) (2)
M144K (3)	シングル・ポート 2K × 72	0	1	475	440	380	395	345
	シンプル・デュアル・ポート 2K × 72	0	1	435	400	345	360	315
	Old Data に設定した Read-During-Write オ プション付きシンプ ル・デュアル・ポー ト 2K × 72	0	1	260	240	205	225	195
	シンプル・デュアル・ポート 2K × 64 (ECC 付き)	0	1	275	255	220	255	220
	トゥルー・デュアル・ポート 4K × 36	0	1	435	400	345	360	315
	Old Data に設定した Read-During-Write オ プション付きトゥ ルー・デュアル・ ポート 4K × 36	0	1	260	240	205	225	195
	ROM 1 ポート	0	1	540	500	435	440	390
	ROM 2 ポート	0	1	500	465	400	415	360
	最小パルス幅 (ク ロック High 時間)	—	—	700	755	860	860	950
	最小パルス幅 (ク ロック Low 時間)	—	—	500	625	690	690	690

表 1-32 の注:

- (1) 最大メモリ・ブロック性能を達成するには、50% の出力デューティ・サイクルに設定したオンチップ PLL からグローバル・クロック配線を通り抜けるメモリ・ブロック・クロックを使用します。このタイミングおよび他のメモリ・ブロック・クロッキング方式をレポートするには、Quartus II ソフトウェアを使用します。
- (2) この機能は、Stratix IV E および GX デバイスにのみ適用されます。
- (3) エラー検出 CRC 機能を使用する場合、F_{MAX} に劣化がありません。

コンフィギュレーションおよび JTAG 仕様

表 1-33 に、Stratix IV のコンフィギュレーション・モード仕様を示します。

表 1-33. Stratix IV デバイスのコンフィギュレーション・モード仕様 - 暫定仕様

プログラミング・モード	DCLK F _{MAX}	単位
パッシブ・シリアル	125	MHz
ファスト・パッシブ・パラレル	125	MHz
ファスト・アクティブ・シリアル	40	MHz
ファスト・AS モードのリモート・アップグレードのみ	10	MHz

表 1-34 に、Stratix IV デバイスの JTAG タイミング・パラメータとその値を示しています。

表 1-34. Stratix IV デバイスの JTAG タイミング・パラメータとその値 - 暫定仕様

シンボル	説明	Min	Max	単位
t _{JCP}	TCK クロックの周期	30	—	ns
t _{JCH}	TCK クロックの High 時間	14	—	ns
t _{JCL}	TCK クロックの Low 時間	14	—	ns
t _{JPSU (TDI)}	TDI JTAG ポートのセットアップ時間	1	—	ns
t _{JPSU (TMS)}	TMS JTAG ポートのセットアップ時間	3	—	ns
t _{JPH}	JTAG ポートのホールド時間	5	—	ns
t _{JPCO}	JTAG ポートの Clock-to-Output	—	11 (1)	ns
t _{JPZX}	JTAG ポートのハイ・インピーダンスから有効出力へ	—	14 (1)	ns
t _{JPXZ}	JTAG ポートの有効出力からハイ・インピーダンスへ	—	14 (1)	ns

表 1-34 の注:

(1) V_{CCIO} 電圧が 3.0 V から 1 ステップ下がるごとに 1 ns の加算が必要です。例えば、TDO I/O バンクの V_{CCIO} が 2.5 V の場合は t_{JPCO} = 12 ns で、1.8 V の場合は 13 ns です。

温度検知ダイオード仕様

表 1-35 に、Stratix IV の温度検知ダイオードの仕様を示します。

表 1-35. 外部温度検知ダイオード仕様 - 暫定仕様

説明	Min	標準	Max	単位
I _{bias} 、ダイオード・ソース電流	8	—	500	μA
V _{bias} 、ダイオード両端の電圧	0.3	—	0.9	V
直列抵抗値	—	—	< 5	Ω
ダイオード理想係数	—	—	1.030	—

周辺性能

このセクションは周辺性能、高速 I/O および外部メモリ・インタフェースについて説明します。

I/O 性能は LVDS の高速 I/O インタフェース、外部メモリ・インタフェース、および PCI/PCI-X バス・インタフェースなどのいくつかのシステム・インタフェースをサポートします。3.3-、2.5-、1.8-、および 1.5-LVTTL/LVCMOS などの汎用 I/O 規格は標準的な 167 MHz および 10 pF 負荷の 100 MHz インタフェース周波数での 1.2 LVCMOS ができます。



実際の達成可能な周波数はデザインおよびシステム固有要素に依存します。システムで最大の達成可能な周波数を測定するために、特定のデザインおよびシステムのセットアップに基づく HSPICE/IBIS シミュレーションを実行します。

高速 I/O 仕様

表 1-36 に、Stratix IV デバイスの高速 I/O タイミングを示します。

表 1-36. 高速 I/O 仕様 - 暫定仕様 (注 1)、(2) (その 1)

シンボル	条件	-2/-2 × スピード・グレード			-3			-4			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
$f_{\text{HSCLK_in}}$ (入力ク ロック周波数) 真の差動 I/O 規格	クロック・ブースト係数 $W = 1 \sim 40$ (3)	5	—	800	5	—	717	5	—	717	MHz
$f_{\text{HSCLK_in}}$ (入力ク ロック周波数) シングル・エン ド I/O 規格 (10)	クロック・ブースト係数 $W = 1 \sim 40$ (3)	5	—	800	5	—	717	5	—	717	MHz
$f_{\text{HSCLK_in}}$ (入力ク ロック周波数) シングル・エン ド I/O 規格 s (11)	クロック・ブースト係数 $W = 1 \sim 40$ (3)	5	—	520	5	—	420	5	—	420	MHz
$f_{\text{HSCLK_OUT}}$ (出力ク ロック周波数)	—	5	—	800 (7)	5	—	717 (7)	5	—	717 (7)	MHz
トランスミッタ											
真の差動 I/O 規格 - f_{HSDR} (データ・ レート)	SERDES 係数 $J = 3 \sim 10$ (5)	(4)	—	1600	(4)	—	1250	(4)	—	1250	Mbps
	SERDES 係数 $J = 2$ 、DDR レジスタ使用	(4)	—	(4)	(4)	—	(4)	(4)	—	(4)	Mbps
	SERDES 係数 $J = 1$ 、SDR レジスタ使用	(4)	—	(4)	(4)	—	(4)	(4)	—	(4)	Mbps

表 1 - 36. 高速 I/O 仕様 - 暫定仕様 (注 1)、(2) (その 2)

シンボル	条件	-2/-2 × スピード・グレード			-3			-4			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
3 個外部出力抵抗付きエミュレートされた差動 I/O 規格 - f_{HSDR} (データ・レート)	SERDES 係数 J = 4 ~ 10	(4)	—	1100	(4)	—	1100	(4)	—	800	Mbps
		(4)	—	311	(4)	—	200	(4)	—	200	Mbps
$t_{\text{x jitter}}$ (5)	データ・レートのトータル・ジッタ、600 Mbps ~ 1.6 Gbps	—	—	160	—	—	160	—	—	160	ps
	データ・レートのトータル・ジッタ、< 600 Mbps	—	—	0.1	—	—	0.1	—	—	0.1	UI
t_{DUTY}	真およびエミュレートされた差動 I/O 規格の両方の Tx 出力クロック・デューティ・サイクル	45	50	55	45	50	55	45	50	55	%
$t_{\text{RISE}} & t_{\text{FALL}}$	真の差動 I/O 規格	—	—	160	—	—	200	—	—	200	ps
	3 個外部出力抵抗付きエミュレートされた差動 I/O 規格	—	—	310	—	—	350	—	—	350	ps
	1 個外部出力抵抗付きエミュレートされた差動 I/O 規格	—	—	460	—	—	500	—	—	500	ps
TCCS	真の差動 I/O 規格	—	—	100	—	—	100	—	—	100	ps
	エミュレートされた差動 I/O 規格	—	—	250	—	—	250	—	—	250	ps
レシーバ (9)											
f_{HSDRDPA} (データ・レート) (7)	SERDES 係数 J = 3 ~ 10	150	—	1600	150	—	1250	150	—	1250	Mbps
f_{HSDR} (データ・レート)	SERDES 係数 J = 3 ~ 10	(4)		(6)	(4)		(6)	(4)		(6)	Mbps
DPA モード											
DPA ラン・レンジ (8)	—	—	—	10000	—	—	10000	—	—	10000	UI
ソフト CDR 機能											
ソフト CDR PPM 許容値	—	—	—	300	—	—	300	—	—	300	± PPM

表 1-36. 高速 I/O 仕様 - 暫定仕様 (注 1)、(2) (その 3)

シンボル	条件	-2/-2 × スピード・グレード			-3			-4			単位
		Min	標準	Max	Min	標準	Max	Min	標準	Max	
非 DPA モード											
サンプリング・ウィンドウ	すべての差動 I/O 規格	—	—	300	—	—	300	—	—	300	ps

表 1-36 の注:

- (1) J = 3 ~ 10 の場合、SERDES ブロックが使用されます。
- (2) J = 1 または 2 の場合、SERDES ブロックはバイパスされます。
- (3) クロック・ブースト係数 (W) は入力クロック・レートへの入力データ・レート間の比率です。
- (4) 最小仕様は、クロック・ソース (PLL、クロック・ピンなど) および使用されるクロック配線リソース (グローバル、リージョナル、またはローカル) に依存します。
- (5) TX ジッタ仕様はトゥルー差動 I/O 規格ためだけです。
- (6) 非 DPA モードのリンク・タイミング・クロージャ分析を実行することによって、達成可能な最大のデータ・レートを見積もることができます。サポートされる最大のデータ・レートを決定するために、ボード・スキュー・マージン、トランスミッタ遅延マージン、およびレシーバ・サンプリング・マージンを考慮する必要があります。
- (7) これは、LVDS と DPA クロック・ネットワークを使用することによって達成されます。
- (8) DPA がイネーブルされたレシーバとトランスミッタが共有 PLL を使用していると、最小のデータ・レートは 150 Mbps です。
- (9) J = 1 または 2 の場合、レシーバのデータ・レートは 1-38 ページの表 1-29 に示されているようにクロック・ツリーの性能で制限されます。
- (10) これは DPA およびソフト CDR モードにのみ適用されます。
- (11) これは LVDS ソース・シンクロナス・モード (非 DPA) にのみ適用されます。

表 1-37 に、Stratix IV ES デバイスの DPA ロック時間の仕様を示します。

表 1-37. DPA ロック時間の仕様 - Stratix IV ES デバイスのみ (注 1)、(2)、(3) (その 1)

規格	トレーニング・パターン	トレーニング・パターン 1 回中のデータ遷移数	256 データ遷移ごとの反復数 (4)	条件	Max
SPI-4	0000000000111111111111	2	128	DPA PLL キャリブレーションなし	256 データ遷移
				DPA PLL キャリブレーション付き	3x256 データ遷移 + 2x96 低速なクロック・サイクル (5)
パラレル Rapid I/O	00001111	2	128	DPA PLL キャリブレーションなし	256 データ遷移
				DPA PLL キャリブレーション付き	3x256 データ遷移 + 2x96 低速なクロック・サイクル (5)
	10010000	4	64	DPA PLL キャリブレーションなし	256 データ遷移
				DPA PLL キャリブレーション付き	3x256 データ遷移 + 2x96 低速なクロック・サイクル (5)

表 1-37. DPA ロック時間の仕様 - Stratix IV ES デバイスのみ (注 1)、(2)、(3) (その 2)

規格	トレーニング・パターン	トレーニング・パターン 1 回中のデータ遷移数	256 データ遷移ごとの反復数 (4)	条件	Max
その他	10101010	8	32	DPA PLL キャリブレーションなし	256 データ遷移
				DPA PLL キャリブレーション付き	3x256 データ遷移 + 2x96 低速なクロック・サイクル (5)
	01010101	8	32	DPA PLL キャリブレーションなし	256 データ遷移
				DPA PLL キャリブレーション付き	3x256 データ遷移 + 2x96 低速なクロック・サイクル (5)

表 1-37 の注:

- (1) DPA ロック時間は 1 チャンネルのためです。
- (2) 1 つのデータ変遷は 0-to-1 または 1-to-0 変遷と定義されます。
- (3) DPA ロック時間は、両方のコマmercialおよびインダストリアル・グレードに適用されます。
- (4) これは記載トレーニング・パターンが 256 データ変遷を実現する反復数です。
- (5) 低速クロック = データ・レート (MHz) / デシリアライゼーション係数です。

図 1-4 に、DPA PLL キャリブレーションがイネーブルされた DPA ロック時間の仕様を示します。

図 1-4. DPA PLL キャリブレーションがイネーブルされた DPA ロック時間の仕様

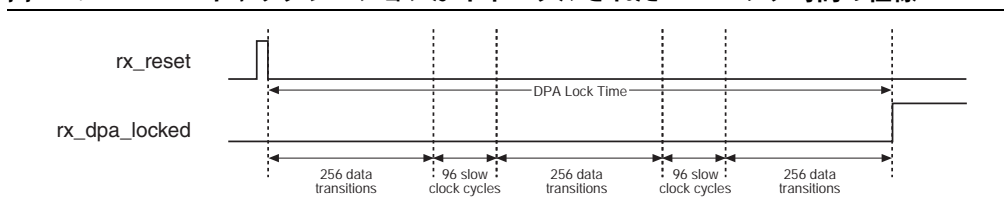


表 1-38 に、Stratix IV デバイスの DPA ロック時間の仕様を示します。

表 1-38. DPA ロック時間の仕様 - Stratix IV Non-ES デバイスのみ (注 1)、(2)、(3)

規格	トレーニング・パターン	トレーニング・パターン 1 回中のデータ遷移数	256 データ遷移ごとの反復数 (4)	Max
SPI-4	000000000111111111	2	128	640 データ遷移
パラレル Rapid I/O	00001111	2	128	640 データ遷移
	10010000	4	64	640 データ遷移
その他	10101010	8	32	640 データ遷移
	01010101	8	32	640 データ遷移

表 1-38 の注:

- (1) DPA ロック時間は 1 チャンネルのためです。
- (2) 1 つのデータ変遷は 0-to-1 または 1-to-0 変遷と定義されます。
- (3) DPA ロック時間は、両方のコマmercialおよびインダストリアル・グレードに適用されます。
- (4) これは記載トレーニング・パターンが 256 データ変遷を実現する反復数です。

図 1-5 に、1.25 Gbps より等しいかそれ以上のデータ・レートに関する LVDS ソフト CDR/DPA 正弦ジッタ許容値仕様を示します。表 1-39 に、この情報はテーブル・フォームのをリストアップします。

図 1-5. 1.25 Gbps より等しいかそれ以上のデータ・レートに関する LVDS ソフト CDR/DPA 正弦ジッタ許容値仕様

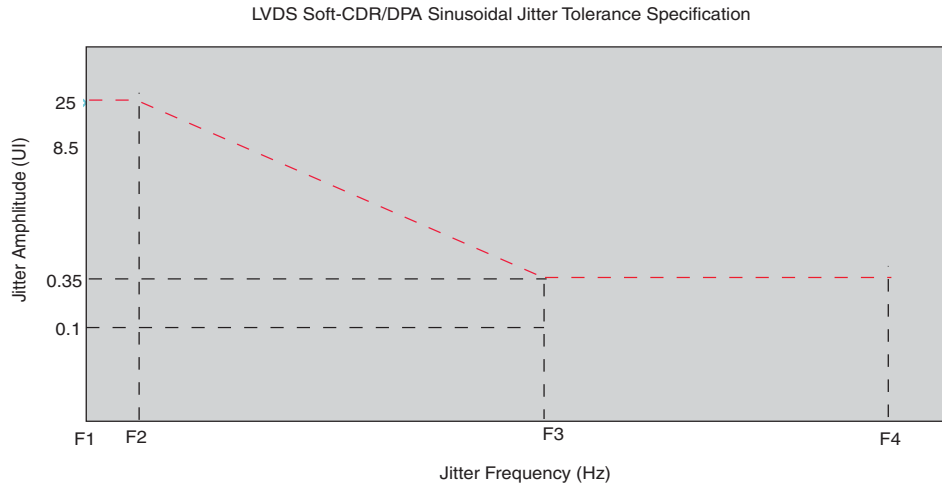


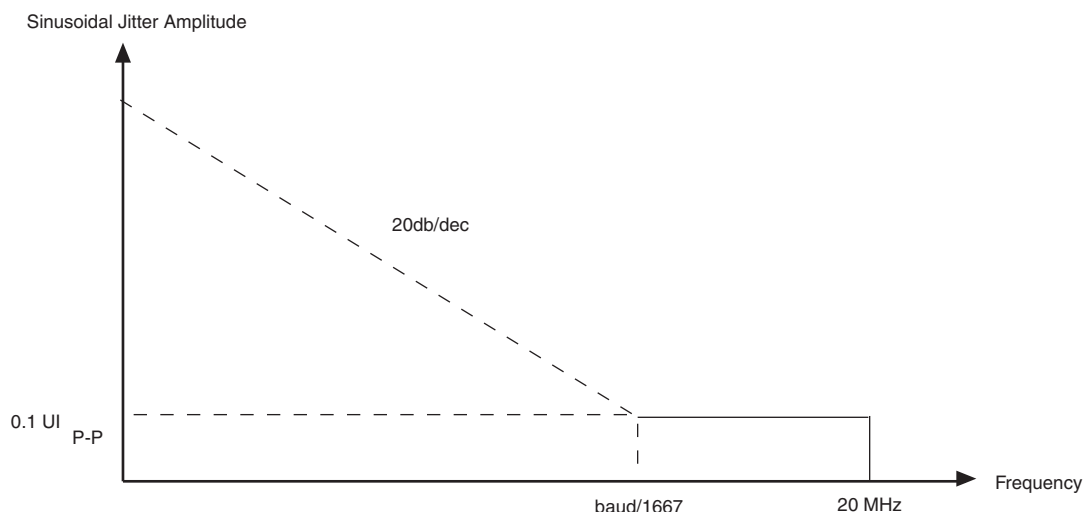
表 1-39 に、1.25 Gbps より等しいかそれ以上のデータ・レートに関する LVDS ソフト CDR/DPA 正弦ジッタ許容値仕様を示します。

表 1-39. 1.25 Gbps より等しいかそれ以上のデータ・レートに関する LVDS ソフト CDR/DPA 正弦ジッタ・マスク値仕様

ジッタ周波数 (Hz)		正弦ジッタ (UI)
F1	10, 000	25.000
F2	17, 565	25.000
F3	1, 493, 000	0.350
F4	50, 000, 000	0.350

図 1-6 に、1.25 Gbps 以下のデータ・レートに関する LVDS ソフト CDR/DPA 正弦ジッタ許容値仕様を示します。

図 1-6. 1.25 Gbps 以下のデータ・レートに関する LVDS ソフト CDR/DPA 正弦ジッタ許容値仕様



DLL および DQS ロジック・ブロック仕様

表 1-40 に、Stratix IV デバイスの DLL 周波数範囲の仕様を示します。

表 1-40. Stratix IV デバイスの DLL 周波数範囲の仕様 - 暫定仕様

周波数モード	周波数範囲 (MHz)			使用可能な位相シフト	DQS 遅延 バッファ・モード (1)	遅延チェーンの数
	-2/-2× スピード・グレード	-3 スピード・グレード	-4 スピード・グレード			
0	90-150	90-140	90-120	22.5°、45°、67.5°、90°	Low	16
1	120-200	120-190	120-170	30°、60°、90°、120°	Low	12
2	150-240	150-230	150-200	36°、72°、108°、144°	Low	10
3	180-300	180-290	180-250	45°、90°、135°、180°	Low	8
4	240-370	240-350	240-310	30°、60°、90°、120°	High	12
5	290-450	290-420	290-370	36°、72°、108°、144°	High	10
6	360-560	360-530	360-460	45°、90°、135°、180°	High	8
7	470-740	470-700	470-610	60°、120°、180°、240°	High	6

表 1-40 の注:

(1) 「Low」は 6 ビットの DQS 遅れの設定を示します。「High」は 5 ビットの DQS 遅れの設定を示します。

表 1-41 に、Stratix IV デバイスのステージあたりの DQS 位相オフセット遅延を示します。

表 1-41. Stratix IV デバイスの設定あたりの DQS 位相オフセット遅延 (注 1)、(2)、(3)

スピード・グレード	Min	Max	単位
-2/-2 X	7	13	ps
-3	7	15	ps
-4	7	16	ps

表 1-41 の注:

- (1) 位相オフセットの有効設定値は、周波数モード 0 ~ 3 では -64 ~ +63、周波数モード 4 ~ 6 では -32 ~ +31 です。
- (2) 標準値は、最小値と最大値の平均に等しくなります。
- (3) すべてのスピード・グレードに対応して、40 ps の累積的な遅延変動の遅延設定はリニアです。例えば、-2 スピード・グレードおよび 400 MHz で 90° 位相シフトに 10 位相オフセット設定を使用すると、予測される累積遅延変動は $[625 \text{ ps} + (10 \times 10.5 \text{ ps}) \pm 20 \text{ ps}] = 730 \text{ ps} \pm 20 \text{ ps}$ です。

表 1-42 に、Stratix IV デバイスの DQS 位相シフト誤差を示します。

表 1-42. Stratix IV デバイスの DLL 遅延クロック ($t_{\text{DQS_PSERR}}$) の DQS 位相シフト誤差の仕様 (注 1)

DQS 遅延バッファ数	-2/-2 X スピード・グレード	-3 スピード・グレード	-4 スピード・グレード	単位
1	26	28	30	ps
2	52	56	60	ps
3	78	84	90	ps
4	104	112	120	ps

表 1-42 の注:

- (1) この誤差仕様は、絶対最大および最小誤差です。例えば、-2/-2 x スピード・グレードにおける 3 つの DQS 遅延バッファのスキューは、 $\pm 78 \text{ ps}$ または $\pm 39 \text{ ps}$ です。

表 1-43 に、Stratix IV デバイスの DQS 位相シフト誤差を示します。

表 1-43. Stratix IV デバイスのメモリ出力クロック・ジッタ仕様 (注 1)、(2) (その 1)

パラメータ	クロック・ネットワーク	シンボル	-2/-2 X スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
			Min	Max	Min	Max	Min	Max	
クロック周期ジッタ	リージョナル	$t_{\text{JIT(per)}}$	-75	75	-85	85	-100	100	ps
サイクル間周期ジッタ	リージョナル	$t_{\text{JIT(cc)}}$	-150	150	-170	170	-190	190	ps
デューティ・サイクル・ジッタ	リージョナル	$t_{\text{JIT(duty)}}$	-80	80	-90	90	-100	100	ps
クロック周期ジッタ	グローバル	$t_{\text{JIT(per)}}$	-113	113	-128	128	-150	150	ps
サイクル間周期ジッタ	グローバル	$t_{\text{JIT(cc)}}$	-225	225	-255	255	-285	285	ps

表 1-43. Stratix IV デバイスのメモリ出力クロック・ジッタ仕様 (注 1)、(2) (その 2)

パラメータ	クロック・ネットワーク	シンボル	-2/-2 X スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
			Min	Max	Min	Max	Min	Max	
デューティ・サイクル・ジッタ	グローバル	$t_{JT(duty)}$	-120	120	-135	135	-150	150	ps

表 1-43 の注:

- (1) メモリ出力クロック・ジッタ測定は 200 連続クロック・サイクル用であり、JEDEC DDR2/DDR3 SDRAM 規格で指定されています。
- (2) クロック・ジッタ仕様は、指定されたようにリージョナルまたはグローバル・クロック・ネットワーク上で配線された PLL 出力からクロックされた差動信号スプリッタおよび DDIO 回路を使用し、生成されたメモリ出力クロックピンに適用されます。アルテラでは、可能な場合はリージョナル・クロック・ネットワークを使用することを推奨しています。

OCT キャリブレーション・ブロック仕様

表 1-44 に、Stratix IV デバイスの OCT キャリブレーション・ブロック仕様を示します。

表 1-44. OCT キャリブレーション・ブロック仕様

シンボル	説明	Min	標準	Max	単位
OCTUSRCLK	OCT キャリブレーション・ブロックに必要なクロック	—	—	20	MHz
T_{OCTCAL}	OCT R_0/R_1 キャリブレーションに必要な OCTUSRCLK クロック・サイクル数	—	—	20	MHz
$T_{OCTSHIFT}$	OCT コードのシフト・アウトに必要な OCTUSRCLK クロック・サイクル数	—	1000	—	サイクル
T_{RS_RT}	OCT R_0 と R_1 の間をダイナミックに切り換えるのに双方方向の I/O バッファにおける dyn_term_ctrl および oe 信号遷移の間の必要な時間	—	28	—	サイクル

デューティ・サイクル歪み (DCD) 仕様

表 1-45 に、Stratix IV デバイスのワースト・ケース DCD を示します。

表 1-45. Stratix IV I/O ピンのワースト・ケース DCD


シンボル	-2/-2 X スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	Min	Max	Min	Max	Min	Max	
出力デューティ・サイクル	45	55	45	55	45	55	%

I/O タイミング

アルテラは I/O タイミングを決定する 2 つの方法を提供します: Excel ベースの I/O タイミングおよび Quartus II タイミング・アナライザです。

Excel ベースの I/O タイミングはそれぞれのデバイスの集積度およびスピード・グレードにピン・タイミング性能を提供します。データは、FPGA の設計に入る前にリンク・タイミング分析の一部としてタイミング見積もりを得るのに使用できます。

Quartus II タイミング・アナライザは、配置配線が完了した後にデザインの詳細情報を使用して、より精度で正確な I/O タイミング・データに提供します。

 Excel ベースの I/O タイミングのスプレッドシートは Stratix IV デバイスのオンライン資料ウェブページからダウンロードできます。

プログラマブル IOE 遅延

表 1-46 に、Stratix IV の IOE プログラマブル遅延設定を示します。

表 1-46. Stratix IV の IOE プログラマブル遅延

パラメータ (1)	使用可能な設定	最小オフセット (2)	高速モード		低速モデル				
			インダストリアル	コマーシャル (3)	C2 (3)	C3	C4	I3	I4
D1	15	0	462	505	732	796	857	801	863
D2	7	0	214	232	337	368	397	370	405
D3	7	0	1700	1769	2695	2927	3157	2948	3178
D4	15	0	462	504	802	802	865	808	871
D5	15	0	472	500	746	811	875	817	868
D6	6	0	180	195	294	310	334	311	347

表 1-46 の注:

- (1) 「Assignment Name」の列で D1、D2、D3、D4、D5、および D6 を選択することによって、Quartus II ソフトウェアにこの値を設定できます。
- (2) 最小のオフセットは真性遅延を含みません。
- (3) EP4SGX530 デバイスの集積度のために、IOE プログラマブル遅延には、最大オフセットの 5% の追加があります。

プログラマブル出力バッファ遅延

表 1-47 に、出力バッファの出力バッファの立ち上がりエッジおよび立ち下がりエッジ遅延を制御する遅延チェーン設定を示します。デフォルト遅延 0 ps です。

表 1-47. プログラマブル出力バッファ遅延 (注 1)

シンボル	パラメータ	標準	単位
D _{OUTBUF}	立ち上がりおよび / あるいは立ち下がりエッジ遅延	0 (デフォルト)	ps
		50	ps
		100	ps
		150	ps

表 1-47 の注:

- (1) 「Output Buffer Delay Control」アサインメントは、「Output Buffer Delay」アサインメントには、正、負あるいはその両方のエッジが ps 特定の値に設定することによって、Quartus II ソフトウェアのプログラマブル出力バッファ遅延が設定可能です。

用語集

表 1-48 に、本章の用語集を示します。

表 1-48. 用語表 (その 1)

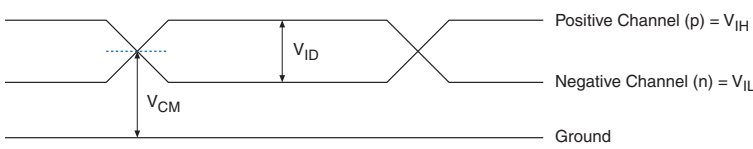
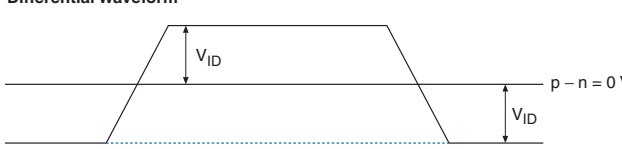
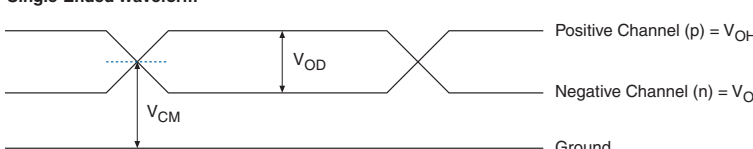
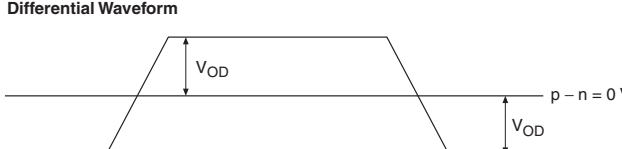
文字	用語	定義
A	—	—
B	—	—
C	—	—
D	差動 I/O 規格	<p>レーザ入力波形</p> <p>Single-Ended Waveform</p>  <p>Positive Channel (p) = V_{IH} Negative Channel (n) = V_{IL} Ground</p> <p>Differential Waveform</p>  <p>$p - n = 0V$ V_{ID}</p> <p>トランスミッタ出力波形</p> <p>Single-Ended Waveform</p>  <p>Positive Channel (p) = V_{OH} Negative Channel (n) = V_{OL} Ground</p> <p>Differential Waveform</p>  <p>$p - n = 0V$ V_{OD}</p>
E	—	—
F	f_{HSCLK}	レフト / ライト PLL 入力クロック周波数。
	f_{HSDR}	高速 I/O ブロック : LVDS の最大 / 最小データ転送レート ($f_{HSDR} = 1/TUI$)、非 DPA。
	$f_{HSDRDPA}$	高速 I/O ブロック : LVDS の最大 / 最小データ転送レート ($f_{HSDRDPA} = 1/TUI$)、DPA。
G	—	—
H	—	—
I	—	—

表 1-48. 用語表 (その2)

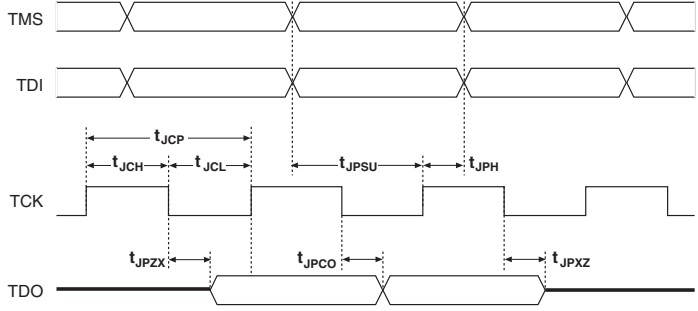
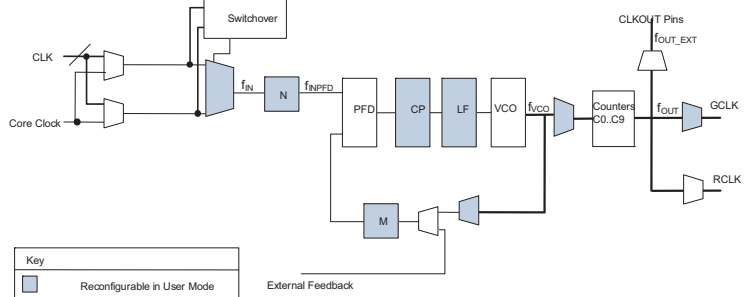
文字	用語	定義
J	J	高速 I/O ブロック： デシリアライゼーション・ファクタ (パラレル・データ・バスの幅)。
	JTAG タイミング仕様	<p>JTAG タイミング仕様：</p> 
K	—	—
L	—	—
M	—	—
N	—	—
O	—	—
P	PLL 仕様	<p>PLL 仕様の図 (1)</p>  <p>注： (1) Core Clock は専用のクロック入力ピンまたは PLL 出力によってのみ供給することができます。</p>
Q	—	—
R	R _L	レシーバ差動入力ディスクリット抵抗 (Stratix IV デバイスの外部)

表 1-48. 用語表 (その3)

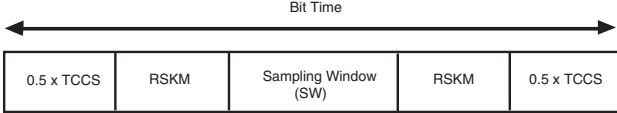
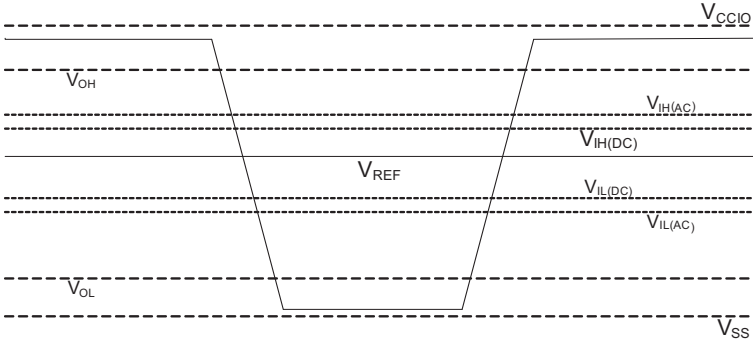
文字	用語	定義
S	SW (サンプリング・ウィンドウ)	<p>タイミング図 - データを正しくキャプチャするために、データが有効でなければならない期間。サンプリング・ウィンドウ内での理想的なストロブ位置は、セットアップ時間およびホールド時間によって決まります。</p> 
	シングル・エンド電圧リファレンス形式の I/O 規格	<p>SSTL および HSTL I/O 規格の JEDEC 規格は、AC および DC 入力信号値を定義します。AC 値は、レシーバがタイミング仕様を満たす必要がある電圧レベルを示します。DC 値は、レシーバの最終的なロジック状態が明確に定義される電圧レベルを示します。レシーバ入力が AC 値を超えたら、レシーバは新しいロジック状態に変化します。</p> <p>その後、入力が AC スレッショルドを超えている限り、新しいロジック状態が維持されます。このアプローチは、入力波形にリンギングがある状態で、予測可能なレシーバのタイミングを提供することを目的としています (下図参照)。</p> <p>シングル・エンド電圧リファレンス形式の I/O 規格</p> 
T	t_c	高速レシーバ / トランスミッタの入力および出力クロック周期。
	TCCS (チャネル間スキュー)	同じ PLL でドライブされるチャネルで、 t_{c0} のばらつきやクロック・スキューなど、最速および最低速出力エッジ間のタイミングの差。クロックは TCCS 測定に含まれています (この表の SW (サンプリング・ウィンドウ) のタイミング図を参照)。
	t_{DUTY}	<p>高速 I/O ブロック: 高速トランスミッタ出力クロックのデューティ・サイクル。</p> <p>Timing Unit Interval (TUI)</p> <p>スキュー、伝播遅延、およびデータ・サンプリング・ウィンドウのために許容されるタイミング・バジェット。 ($TUI = 1 / (\text{レシーバ入力クロック周波数} \times \text{低倍係数}) = t_c/w$)</p>
	t_{FALL}	信号の High から Low への遷移時間 (80 ~ 20%)
	t_{INCCJ}	PLL クロック入力のサイクル間ジッタ許容値
	t_{OUTPJ_IO}	PLL でドライブされる汎用 I/O の周期ジッタ
	t_{OUTPJ_DC}	PLL でドライブされる専用クロック出力の周期ジッタ
	t_{RISE}	信号の Low から High への遷移時間 (20 ~ 80%)
U	—	—

表 1-48. 用語表 (その4)

文字	用語	定義
V	$V_{CM(DC)}$	DC コモン・モード入力電圧。
	V_{ICM}	入力コモン・モード電圧 - レシーバにおける差動信号のコモン・モード。
	V_{ID}	入力差動電圧振幅 - レシーバにおける差動伝送の正入力とコンプリメンタリ入力間の電圧の差。
	$V_{DIF(AC)}$	AC 差動入力電圧 - スwitchingに必要な最小 AC 入力差動電圧。
	$V_{DIF(DC)}$	DC 差動入力電圧 - スwitchingに必要な最小 DC 入力差動電圧。
	V_{IH}	入力 High レベル電圧 - デバイスがロジック High として受け入れる、入りに印加される最小正電圧。
	$V_{IH(AC)}$	入力 High レベル AC 電圧
	$V_{IH(DC)}$	入力 High レベル DC 電圧
	V_{IL}	入力 Low レベル電圧 - デバイスがロジック Low として受け入れる、入りに印加される最大正電圧。
	$V_{IL(AC)}$	入力 Low レベル AC 電圧
	$V_{IL(DC)}$	入力 Low レベル DC 電圧
	V_{OCM}	出力コモン・モード電圧 - トランスミッタにおける差動信号のコモン・モード。
	V_{OD}	出力差動電圧振幅 - トランスミッタにおける差動伝送の正出力とコンプリメンタリ出力間の電圧の差。
	V_{SWING}	差動入力電圧
	V_X	入力差動クロス・ポイント電圧
V_{OX}	出力差動クロス・ポイント電圧	
W	W	高速 I/O ブロック : クロック・ブースト・ファクタ
X	—	—
Y	—	—
Z	—	—

改訂履歴

表 1-49 に、本資料の改訂履歴を示します。

表 1-49. 改訂履歴

日付およびドキュメント・バージョン	変更内容	概要
2009年11月 v4.0	<ul style="list-style-type: none"> ■ 表 1-9、表 1-15、表 1-38、および表 1-39 を追加。 ■ 図 1-5 および図 1-6 を追加。 ■ 「トランシーバ・データパス PCS レイテンシ」の項を追加。 ■ 「電気的特性」、「動作条件」、および「I/O タイミング」の項を更新。 ■ 表 1-16、表 1-24、表 1-25、表 1-26、表 1-27、表 1-33、表 1-34、および表 1-45 以外は全ての表を更新。 ■ 図 1-2 および図 1-3 を更新。 ■ 式 1-1 を更新。 ■ 表 1-28、表 1-29、表 1-30、表 1-42、表 1-43、および表 1-44 を削除。 ■ テキストのマイナーな編集。 	—
2009年6月 v3.1	<ul style="list-style-type: none"> ■ 各ページのフッターに「暫定仕様」を追加。 ■ 表 1-1、表 1-2、表 1-7、表 1-10、表 1-11、表 1-12、表 1-21、表 1-22、表 1-23、表 1-25、表 1-37、表 1-38、表 1-39、表 1-40、および表 1-44 を更新。 ■ テキストのマイナーな編集。 	—
2009年3月 v3.0	<ul style="list-style-type: none"> ■ 表 1-31 および表 1-37 を置換。 ■ 表 1-1、表 1-2、表 1-5、表 1-19、表 1-41、表 1-44、表 1-45、表 1-49、および表 1-51 を更新。 ■ 表 1-21、表 1-46、および表 1-47 を追加。 ■ 図 1-3 を追加。 ■ 「タイミング・モデル」、「暫定的および最終的なタイミング」、「I/O タイミングの測定手法」、「I/O のデフォルトの容量性負荷」、および「参考資料」の項を削除。 	—
2008年12月 v2.1	マイナーなチェンジ。	—
2008年11月 v2.0	<ul style="list-style-type: none"> ■ テキストのマイナーな編集。 ■ 表 1-19、表 1-32、表 1-34 ~ 表 1-39 を更新。 	テキストのマイナーな編集。
2008年8月 v1.1	<ul style="list-style-type: none"> ■ 表 1-1、表 1-2、表 1-4、表 1-5、および表 1-26 を更新。 ■ 1-10 ページの「トランシーバ性能仕様」の項に、用語集で反復された図を削除。 	テキストのマイナーな編集および表 1-26 の追加情報。
2008年5月 v1.0	初版	—