

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIV52004-3.0

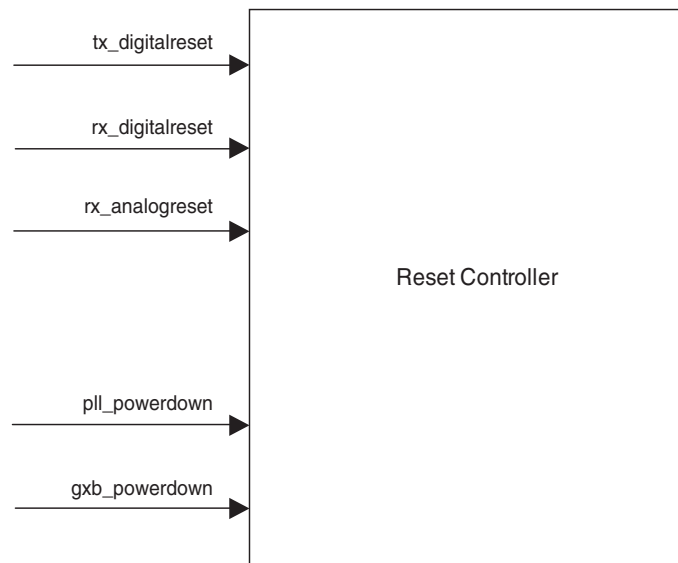
概要

Stratix® IV GX デバイスは、トランシーバ・チャンネルとクロック・マルチプライヤ・ユニット (CMU) の PLL(Phase-Locked Loop) を個別に制御する複数のリセット信号を提供します。ALTGX トランシーバ MegaWizard™ Plug-In Manager は、デザインでインスタンス化される各チャンネルに対して個別のリセット信号を提供します。また、各トランシーバ・ブロックに1つのパワーダウン信号を提供します。図 4-1 に、Stratix IV GX デバイスのリセット・コントロールおよびパワーダウン・ブロックを示します。

この章は、以下の項で構成されています。

- 4 ページの「トランシーバ・リセット・シーケンス」
- 21 ページの「PMA Direct Drive モード・リセット・シーケンス」
- 27 ページの「ダイナミック・リコンフィギュレーション・リセット・シーケンス」
- 30 ページの「パワーダウン」
- 31 ページの「シミュレーション要件」

図 4-1. リセット・コントロールおよびパワーダウン・ブロック



ユーザー・リセットおよびパワーダウン信号

Stratix IV GX デバイスの各トランシーバ・チャンネルは、フィジカル・コーディング・サブレイヤ (PCS) ブロックとフィジカル・メディア・アタッチメント (PMA) ブロックをリセットするための個別のリセット信号を備えています。トランシーバ・ブロックの各 CMU PLL は専用のリセット信号を備えています。トランシーバ・ブロックには、トランシーバ・ブロック内のすべてのチャンネルと CMU PLL に影響を及ぼすパワーダウン信号もあります。

すべてのリセット信号およびパワーダウン信号は非同期です。

各トランシーバ・チャンネルに対して、以下のリセット信号を使用できます。

- **tx_digitalreset**—XAUI 送信ステート・マシンを含む、トランスミッタ PCS 内のすべてのデジタル・ロジックへの非同期リセットを提供します。この信号は Transmitter Only コンフィギュレーションおよび Receiver and Transmitter コンフィギュレーションの ALTGX MegaWizard Plug-In Manager で使用できます。この信号の最小パルス幅は、2 パラレル・クロック・サイクルです。
- **rx_digitalreset**—XAUI および GIGE レシーバ・ステート・マシン、XAUI チャンネル・アライメント・ステート・マシン、BIST-PRBS ベリファイア、および BIST インクリメンタル・ベリファイアを含む、レシーバ PCS 内のすべてのデジタル・ロジックをリセットします。この信号は Receiver Only コンフィギュレーションおよび Receiver and Transmitter コンフィギュレーションの ALTGX MegaWizard Plug-In Manager で使用できます。この信号の最小パルス幅は、2 パラレル・クロック・サイクルです。



tx_digitalreset 信号および rx_digitalreset 信号は、トランスミッタ PLL およびレシーバ CDR から送出されるクロックが安定するまでアサートする必要があります。PCS 内のトランスミッタ位相補償 FIFO およびレシーバ位相補償 FIFO の適切な動作のために、安定したパラレル・クロックが不可欠です。

- **rx_analogreset**—レシーバ・チャンネルにあるレシーバ CDR をリセットします。この信号は Receiver Only コンフィギュレーションおよび Receiver and Transmitter コンフィギュレーションの ALTGX MegaWizard Plug-In Manager で使用できます。最小パルス幅は 2 パラレル・クロック・サイクルです。

トランシーバ・ブロックの各 CMU PLL に対して、以下のパワーダウン信号を使用できます。

- **PLL_powerdown**—各トランシーバ・ブロックは 2 個の CMU PLL を備えています。各 CMU PLL は、PLL_powerdown と呼ばれる専用のパワーダウン信号を備えています。PLL_powerdown 信号は、トランシーバ・チャンネルに高速シリアル・クロックと低速パラレル・クロックを提供する CMU PLL をパワーダウンします。

以下のパワーダウン信号は、トランシーバ・ブロックに共通です。

- **gxb_powerdown**—トランシーバ・ブロック全体をパワーダウンします。この信号がアサートされると、すべてのトランシーバ・チャンネルの PCS と PMA、および CMU PLL がパワーダウンされます。この信号は、他のリセット信号とは無関係に動作します。





refclk (refclk0 または refclk1) バッファは、上記の信号のいずれによってもパワーダウンされません。

以下のステータス信号があります。

- **pll_locked**—トランスミッタ PLL の状態を示します。この信号の High は、トランスミッタ PLL が着信基準クロック周波数にロックされていることを示します。
- **rx_pll_locked**—この信号の High は、レシーバ CDR が着信基準クロック周波数にロックされていることを示します。
- **rx_freqlocked**—レシーバ CDR ロック・モードの状態を示します。High レベルはレシーバが lock-to-data モードになっていることを示します。Low レベルはレシーバ CDR が lock-to-reference モードになっていることを示します。

- busy—ALTGX_RECONFIG ブロックからの出力は、ダイナミック・リコンフィギュレーション・コントローラの状態を示します。busy信号は、電源投入後の最初の reconfig_clk クロック・サイクルの間 Low に維持され、2 番目の reconfig_clk クロック・サイクルからアサートされます。この信号でのアサーションは、オフセット・キャンセレーション処理がレシーバ・バッファとレシーバ CDR で実行中であることを示します。この信号がディアサートされると、オフセット・キャンセレーションが完了したことを示します。

 オフセット・キャンセレーションについて詳しくは、「Stratix IV デバイス・ハンドブック Volume 2」の「Stratix IV Dynamic Reconfiguration」の章を参照してください。

 トランシーバ・ブロック内でどのチャンネルもインスタンス化されていない場合、Quartus® II ソフトウェアにより、トランシーバ・ブロック全体が自動的にパワーダウンされます。

リセット信号およびパワーダウン信号の影響を受けるブロック

表 4-1 に、特定のリセット信号およびパワーダウン信号の影響を受けるブロックを示します。

表 4-1. リセット信号およびパワーダウン信号の影響を受けるブロック


トランシーバ・ブロック	rx_digitalreset	rx_analogreset	tx_digitalreset	PLL_powerdown	gxb_powerdown
CMU PLL	—	—	—	√	√
トランスミッタ位相補償 FIFO	—	—	√	—	√
バイト・シリアライザ	—	—	√	—	√
8B/10B エンコーダ	—	—	√	—	√
シリアライザ	—	—	√	—	√
トランスミッタ・バッファ	—	—	—	—	√
トランスミッタ XAUI ステート・マシン	—	—	√	—	√
レシーバ・バッファ	—	—	—	—	√
レシーバ CDR	—	√	—	—	√
レシーバ・デシリアライザ	—	—	—	—	√
レシーバ・ワード・アライナ	√	—	—	—	√
レシーバ・デスクュー FIFO	√	—	—	—	√
レシーバ・クロック・レート補償 FIFO	√	—	—	—	√
レシーバ 8B/10B デコーダ	√	—	—	—	√
レシーバ・バイト・デシリアライザ	√	—	—	—	√
レシーバ・バイト・オーダリング	√	—	—	—	√
レシーバ位相補償 FIFO	√	—	—	—	√
レシーバ XAUI ステート・マシン	√	—	—	—	√
BIST ベリファイア	√	—	—	—	√

トランシーバ・リセット・シーケンス

Stratix IV GX デバイスでは、トランシーバ・チャンネルをさまざまな構成でコンフィギュレーションできます。XAUI 機能モードを除くすべての機能モードで、トランシーバ・チャンネルの結合または非結合が可能です。XAUI 機能モードでは、トランシーバ・チャンネルは結合しなければなりません。PCI Express (PIPE) 機能モードでは、トランシーバ・チャンネルは結合または非結合が可能であり、特定のリセット・シーケンスに従う必要があります。

この章で説明する Stratix IV GX デバイスのリセット・シーケンスの2つのカテゴリは、以下のとおりです。

- 5 ページの「サポートされるすべての機能モード (PCI Express (PIPE) 機能モードを除く)」— 結合コンフィギュレーションおよび非結合コンフィギュレーションでのリセット・シーケンスについて説明します。
- 18 ページの「PCI Express (PIPE) 機能モード」— PCI Express (PIPE) 機能モードの初期化 / 準拠フェーズおよびノーマル動作フェーズのリセット・シーケンスについて説明します。

 busy 信号は、最初の reconfig_clk クロック・サイクルの間 Low に維持され、2 番目の reconfig_clk クロック・サイクルからアサートされます。以降の busy 信号のデアサーションは、オフセット・キャンセレーション処理が完了したことを示します。この busy 信号は、Transmitter Only チャンネル・コンフィギュレーションを除くトランシーバ・リセット・シーケンスが必要です。図 4-2 に示すリセット・シーケンス、およびこの図の注に記載されている関連参考文献を参照してください。


 アルテラでは、Stratix IV GX トランシーバの適切な動作のために、これらのリセット・シーケンスを遵守することを強く推奨しています。

図 4-2 に、Stratix IV GX デバイスのトランシーバ・リセット・シーケンスを示します。

図 4-2. トランシーバ・リセット・シーケンス・チャート

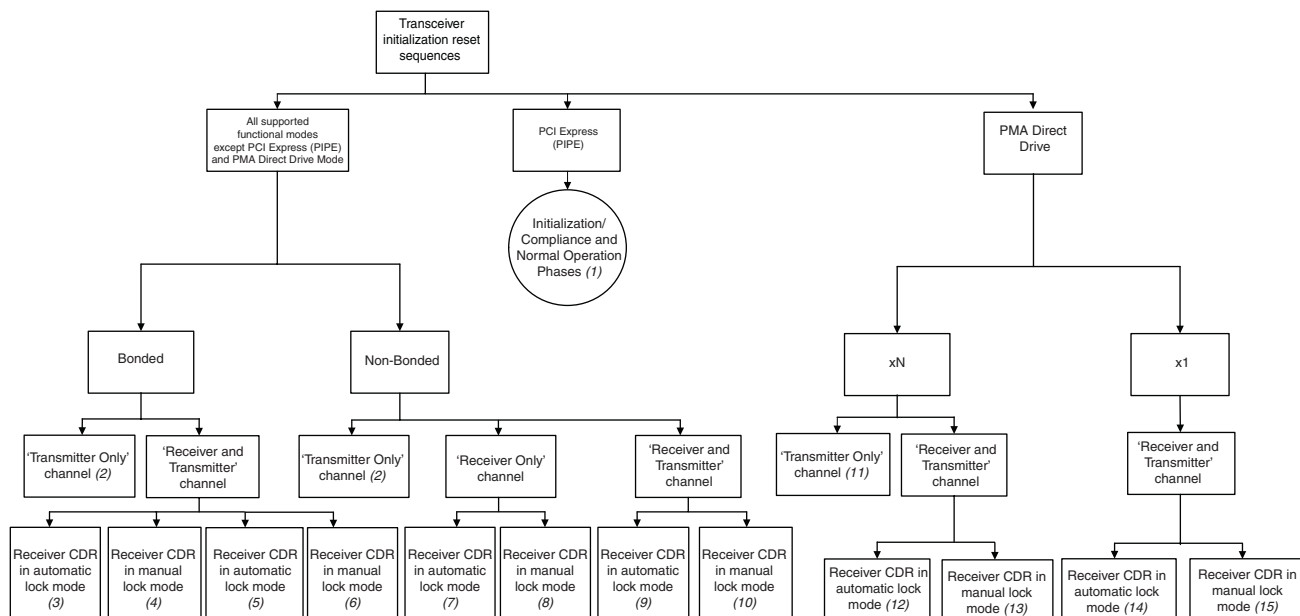


図 4-2 の注：

- (1) 図 4-12 のタイミング図を参照してください。
- (2) 図 4-3 のタイミング図を参照してください。
- (3) 図 4-4 のタイミング図を参照してください。
- (4) 図 4-5 のタイミング図を参照してください。
- (5) 図 4-6 のタイミング図を参照してください。
- (6) 図 4-7 のタイミング図を参照してください。
- (7) 図 4-8 のタイミング図を参照してください。
- (8) 図 4-9 のタイミング図を参照してください。
- (9) 図 4-10 のタイミング図を参照してください。
- (10) 図 4-11 のタイミング図を参照してください。
- (11) 図 4-13 のタイミング図を参照してください。
- (12) 図 4-14 のタイミング図を参照してください。
- (13) 図 4-15 のタイミング図を参照してください。
- (14) 図 4-16 のタイミング図を参照してください。
- (15) 図 4-17 のタイミング図を参照してください。

サポートされるすべての機能モード（PCI Express (PIPE) 機能モードを除く）

この項では、結合コンフィギュレーションおよび非結合コンフィギュレーションでのトランシーバ・チャンネルのリセット・シーケンスについて説明します。適切なりセット・シーケンスの実装を容易にするために、いくつかの一般的なコンフィギュレーションのタイミング図を示します。これらの機能モードでは、自動ロック・モードまたはマニュアル・ロック・モードのいずれかでレシーバ CDR を設定できます。



マニュアル・ロック・モードでは、rx_locktorefclk 信号と rx_locktodata 信号のロジック・レベルに応じて、レシーバ CDR が基準クロックにロック (lock-to-reference) するか着信シリアル・データにロック (lock-to-data) します。レシーバ CDR がマニュアル・ロック・モードになっている場合、Stratix IV GX デバイスのトランシーバ・チャンネルを非結合コンフィギュレーションまたは結合コンフィギュレーションのいずれかでコンフィギュレーションできます。例えば、XAUI モードのような結合コンフィギュレーションでは、4 本のチャンネルがまとめて結合されます。

表 4-2 に、rx_locktorefclk 信号および rx_locktodata 信号に対する lock-to-reference (LTR) および lock-to-data (LTD) コントローラ・ロック・モードを示します。

表 4-2. Lock-To-Reference モードおよび Lock-To-Data モード

rx_locktorefclk	rx_locktodata	LTR/LTD コントローラ・ロック・モード
1	0	マニュアル、LTR モード
—	1	マニュアル、LTD モード
0	0	自動ロック・モード

結合チャンネル・コンフィギュレーション

結合チャンネル・コンフィギュレーションでは、結合されたすべてのチャンネルを同時にリセットできます。結合チャンネル・コンフィギュレーションの例として、XAUI、PCI Express (PIPE)、および BASIC x4 の各機能モードが挙げられます。BASIC x4 機能モードでは、Transmitter Only チャンネルをまとめて結合できます。

XAUI モードでは、レシーバ・チャンネルとトランシーバ・チャンネルが結合されます。このモードの各レシーバ・チャンネルには、rx_pll_locked および rx_freqlocked の独自の出力ステータス信号があります。これらの信号のタイミングはリセット・シーケンスで考慮されます。

以下のタイミング図は、以下の設定の場合の結合コンフィギュレーションのリセット・シーケンスとパワーダウン・シーケンスを説明しています。

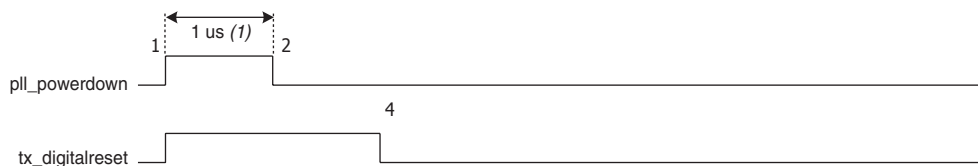
- Transmitter Only チャンネル設定 — BASIC x4 機能モードに適用可能
- Receiver and Transmitter チャンネル設定 — 自動ロック・モードのレシーバ CDR、XAUI 機能モードに適用可能
- Receiver and Transmitter チャンネル設定 — マニュアル・ロック・モードのレシーバ CDR、XAUI 機能モードに適用可能

Transmitter Only チャンネル

このコンフィギュレーションには、トランスミッタ・チャンネルしか含まれません。BASIC x4 機能モードの ALTGX MegaWizard Plug-In Manager で Transmitter Only インスタンスを作成する場合、図 4-3 に示すリセット・シーケンスを使用します。

図 4-3. 4 本の Transmitter Only チャンネルのサンプル・リセット・シーケンス

Reset and Power-Down Signals



Output Status Signals



図 4-3 の注：

- (1) 特性値未確定。

図 4-3 に示すように、**Transmitter Only** チャンネル・コンフィギュレーションに対しては、以下のリセット手順を実行します。

1. 電源投入後、PLL_powerdown を 1 μ s の最小期間（マーク 1 と 2 の間の時間）にわたってアサートします。
2. この期間中は、tx_digitalreset 信号をアサートしたままにしておきます。PLL_powerdown 信号がデアサートされた後、トランスミッタ PLL は、トランスミッタ入力基準クロックへのロックを開始します。
3. トランスミッタ PLL がロック（pll_locked 信号の High（マーク 3）で示される）したら、tx_digitalreset 信号をデアサートします（マーク 4）。この時点で、トランスミッタはデータを送信できる状態になります。

Receiver and Transmitter チャンネル — 自動ロック・モードのレシーバ CDR

このコンフィギュレーションには、トランスミッタ・チャンネルとレシーバ・チャンネルの両方が含まれます。XAUI 機能モードでは、レシーバ CDR が自動ロック・モードになっている場合は、図 4-4 に示すリセット・シーケンスを使用します。

図 4-4. 4 本の Receiver and Transmitter チャンネルのサンプル・リセット・シーケンス — 自動ロック・モードのレシーバ CDR

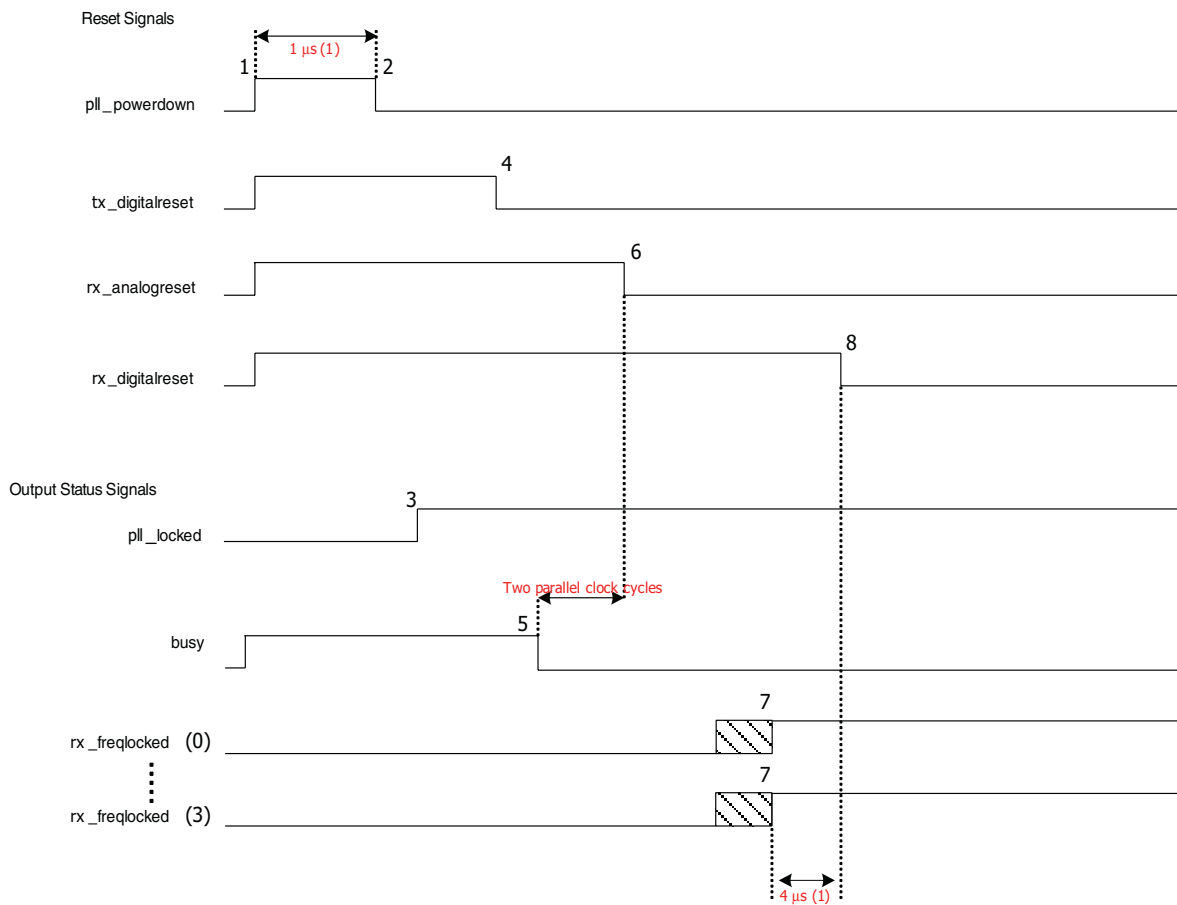


図 4-4 の注：

- (1) 特性値未確定。

図 4-4 に示すように、自動ロック・モード・コンフィギュレーションのレシーバ CDR に対しては、以下のリセット手順を実行します。

1. 電源投入後、PLL_powerdown を 1 μ s の最小期間（マーク 1 と 2 の間の時間）にわたってアサートします。
2. この期間中は、tx_digitalreset、rx_analogreset、および rx_digitalreset 信号をアサートしたままにしておきます。PLL_powerdown 信号がデアサートされた後、トランスミッタ PLL は、トランスミッタ入力基準クロックへのロックを開始します。
3. トランスミッタ PLL がロック (pll_locked 信号の High で示される) したら、tx_digitalreset 信号をデアサートします。この時点で、トランスミッタはデータ・トラフィックが可能な状態になります。
4. レシーバ動作のために、busy 信号のデアサーション後、2 パラレル・クロック・サイクル間待機して、rx_analogreset 信号をデアサートします。rx_analogreset がデアサートされた後、各チャンネルのレシーバ CDR は、レシーバ入力基準クロックへのロックを開始します。
5. 各チャンネルからの rx_freqlocked 信号が High になるのを待ちます。各チャンネルの rx_freqlocked 信号は、異なるタイミングで High になる（マーク 7 のスラッシュ・パターンで示される）ことがあります。
6. 結合チャンネル・グループでは、すべてのチャンネルの rx_freqlocked 信号が High になったら、その時点から少なくとも 4 μ s 間、レシーバ・パラレル・クロックが安定するのを待ち、次に rx_digitalreset 信号をデアサートします（マーク 8）。この時点で、すべてのレシーバはデータ・トラフィックが可能な状態になります。

Receiver and Transmitter チャンネル — マニュアル・ロック・モードのレシーバ CDR

このコンフィギュレーションには、トランスミッタ・チャンネルとレシーバ・チャンネルの両方が含まれます。XAUI 機能モードでは、レシーバ CDR がマニュアル・ロック・モードになっている場合は、図 4-5 に示すリセット・シーケンスを使用します。

図 4-5. 4 本の Receiver and Transmitter チャンネルのサンプル・リセット・シーケンス — マニュアル・ロック・モードのレシーバ CDR

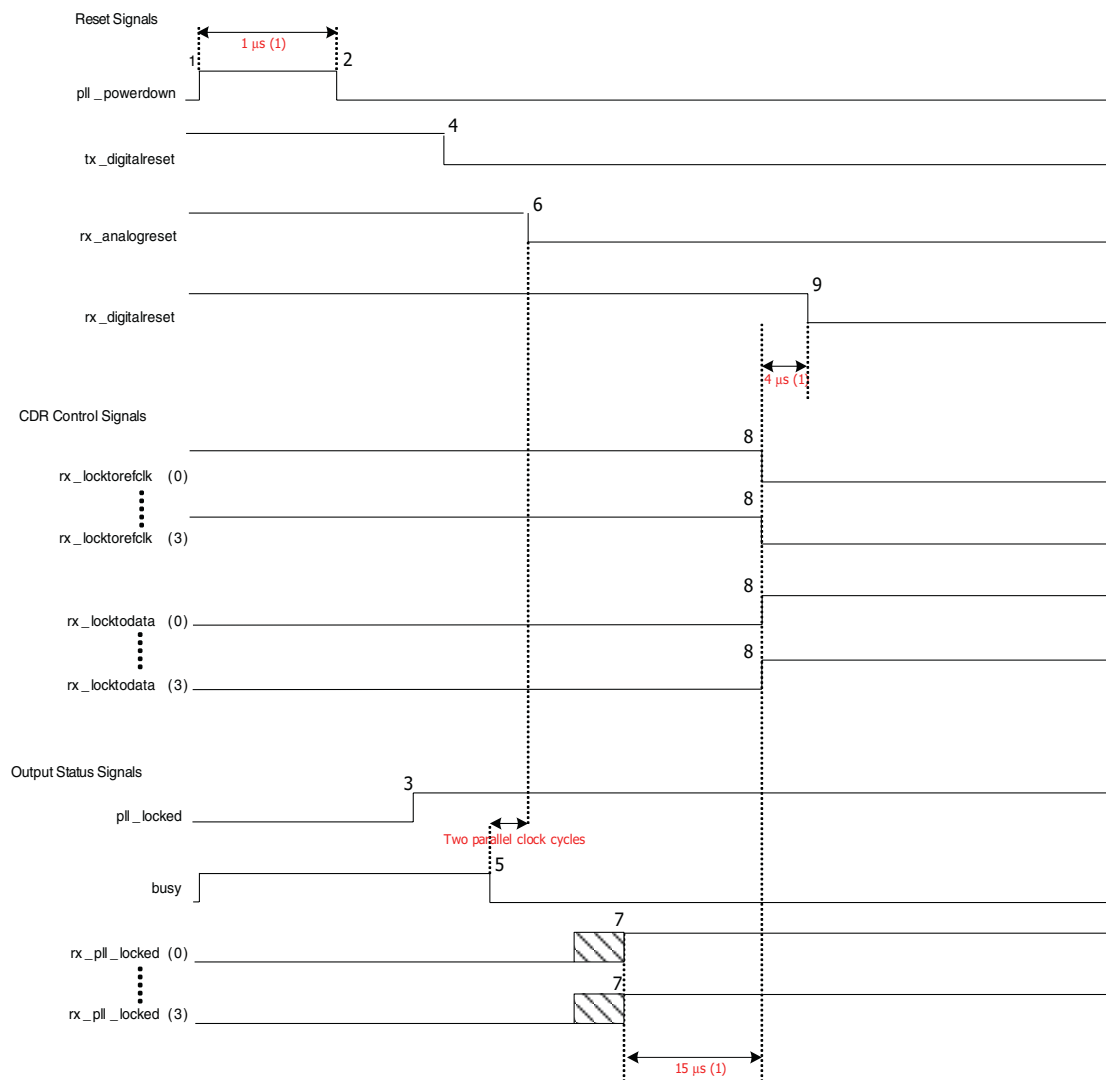


図 4-5 の注：

(1) 特性値未確定。

図 4-5 に示すように、マニュアル・ロック・モード・コンフィギュレーションのレシーバ CDR に対しては、以下のリセット手順を実行します。

1. 電源投入後、PLL_powerdown を 1 μ s の最小期間（マーカ 1 と 2 の間の時間）にわたってアサートします。
2. この期間中は、tx_digitalreset、rx_analogreset、rx_digitalreset、および rx_locktoefclk 信号をアサートしたまま、rx_locktodata 信号をディアサートしたままにしておきます。PLL_powerdown 信号がディアサートされた後、トランスミッタ PLL は、トランスミッタ入力基準クロックへのロックを開始します。

3. トランスミッタ PLL がロック (pll_locked 信号の High (マーカ 3) で示される) したら、tx_digitalreset 信号をディアサートします (マーカ 4)。レシーバ動作のために、busy 信号のディアサーション後、2 パラレル・クロック・サイクル間待機して rx_analogreset 信号をディアサートします。rx_analogreset がディアサートされた後、rx_locktorefclk がアサートされているので、各チャンネルのレシーバ CDR は、レシーバ入力基準クロックへのロックを開始します。
4. 各チャンネルからの rx_pll_locked 信号が High になるのを待ちます。各チャンネルの rx_pll_locked 信号は、互いに異なるタイミングで High になる (マーカ 7 のスラッシュ・パターンで示される) ことがあります。
5. 結合チャンネル・グループでは、すべてのチャンネルの rx_pll_locked 信号が High になったら、その時点から少なくとも 15 μ s 間待機し、次に rx_locktorefclk をディアサートし、rx_locktodata をアサートします (マーカ 8)。この時点で、すべてのチャンネルのレシーバ CDR が lock-to-data モードに入り、受信データへのロックを開始します。
6. rx_locktodata 信号をアサートした後、4 μ s (マーカ 8 と 9 の間の時間) 以上経過してから rx_digitalreset をディアサートします。

Receiver and Transmitter チャンネル — 自動ロック・モードのレシーバ CDR

このコンフィギュレーションには、トランスミッタ・チャンネルとレシーバ・チャンネルの両方が含まれます。BASIC x8 機能モードでは、レシーバ CDR が自動ロック・モードになっている場合、図 4-6 に示すリセット・シーケンスを使用します。

図 4-6. 8 本の Receiver and Transmitter チャンネルのサンプル・リセット・シーケンス — 自動ロック・モードのレシーバ CDR

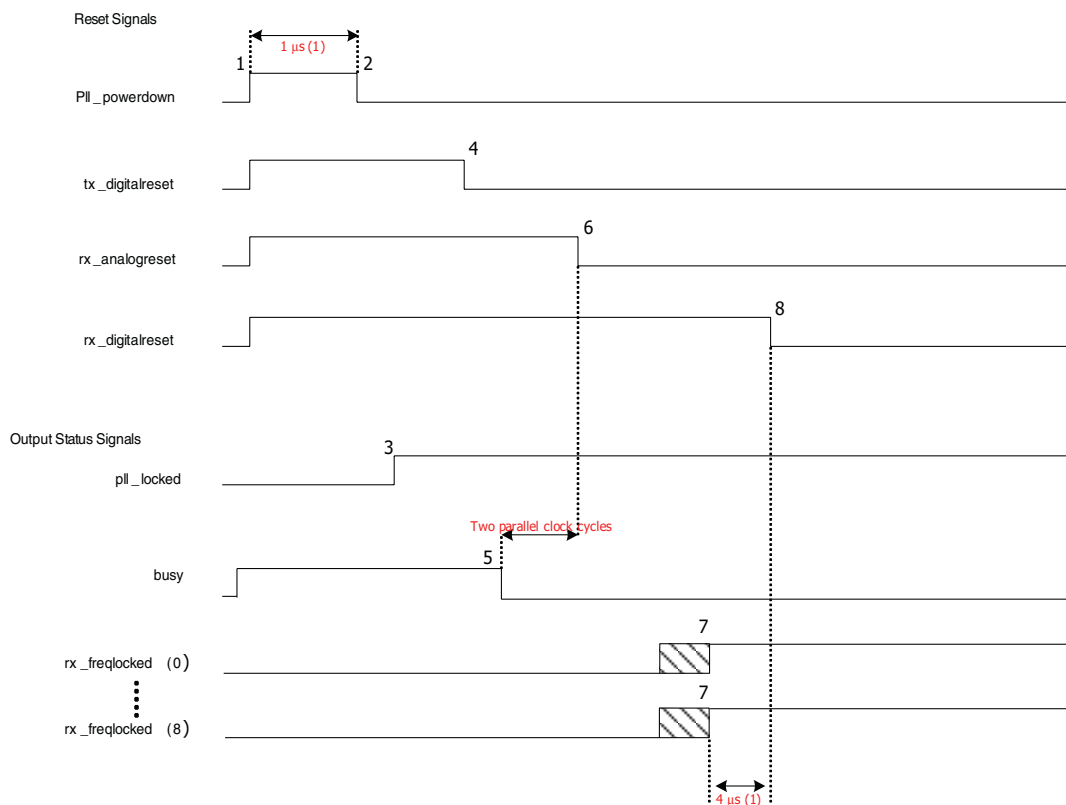


図 4-6 の注：

(1) 特性値未確定。

図 4-6 に示すように、自動ロック・モードのレシーバ CDR に対しては、以下のリセット手順を実行します。

1. 電源投入後、PLL_powerdown を 1 μs の最小期間（マーカ 1 と 2 の間の時間）にわたってアサートします。
2. この期間中は、tx_digitalreset、rx_analogreset、および rx_digitalreset 信号をアサートしたままにしておきます。PLL_powerdown 信号がディアサートされた後、トランスミッタ PLL は、トランスミッタ入力基準クロックへのロックを開始します。
3. トランスミッタ PLL がロック（pll_locked 信号の High で示される）したら、tx_digitalreset 信号をディアサートします。この時点で、トランスミッタはデータ・トラフィックが可能な状態になります。
4. レシーバ動作のために、busy 信号のディアサーション後、2 パラレル・クロック・サイクル間待機して rx_analogreset 信号をディアサートします。rx_analogreset がディアサートされた後、各チャンネルのレシーバ CDR は、レシーバ入力基準クロックへのロックを開始します。

5. 各チャンネルからの `rx_freqlocked` 信号が High になるのを待ちます。各チャンネルの `rx_freqlocked` 信号は、異なるタイミングで High になる (マーカ7のスラッシュ・パターンで示される) ことがあります。
6. 結合チャンネル・グループでは、すべてのチャンネルの `rx_freqlocked` 信号が High になったら、その時点から少なくとも $4\ \mu\text{s}$ 間、レシーバ・パラレル・クロックが安定するのを待ち、その後で `rx_digitalreset` 信号をディアサートします (マーカ8)。この時点で、すべてのレシーバはデータ・トラフィックが可能な状態になります。

Receiver and Transmitter チャンネル — マニュアル・ロック・モードのレシーバ CDR

このコンフィギュレーションには、トランスミッタ・チャンネルとレシーバ・チャンネルの両方が含まれます。BASIC x8 機能モードでは、レシーバ CDR がマニュアル・ロック・モードになっている場合、[図 4-7](#) に示すリセット・シーケンスを使用します。

図 4-7. 8本の Receiver and Transmitter チャンネルのサンプル・リセット・シーケンス — マニュアル・ロック・モードのレシーバ CDR

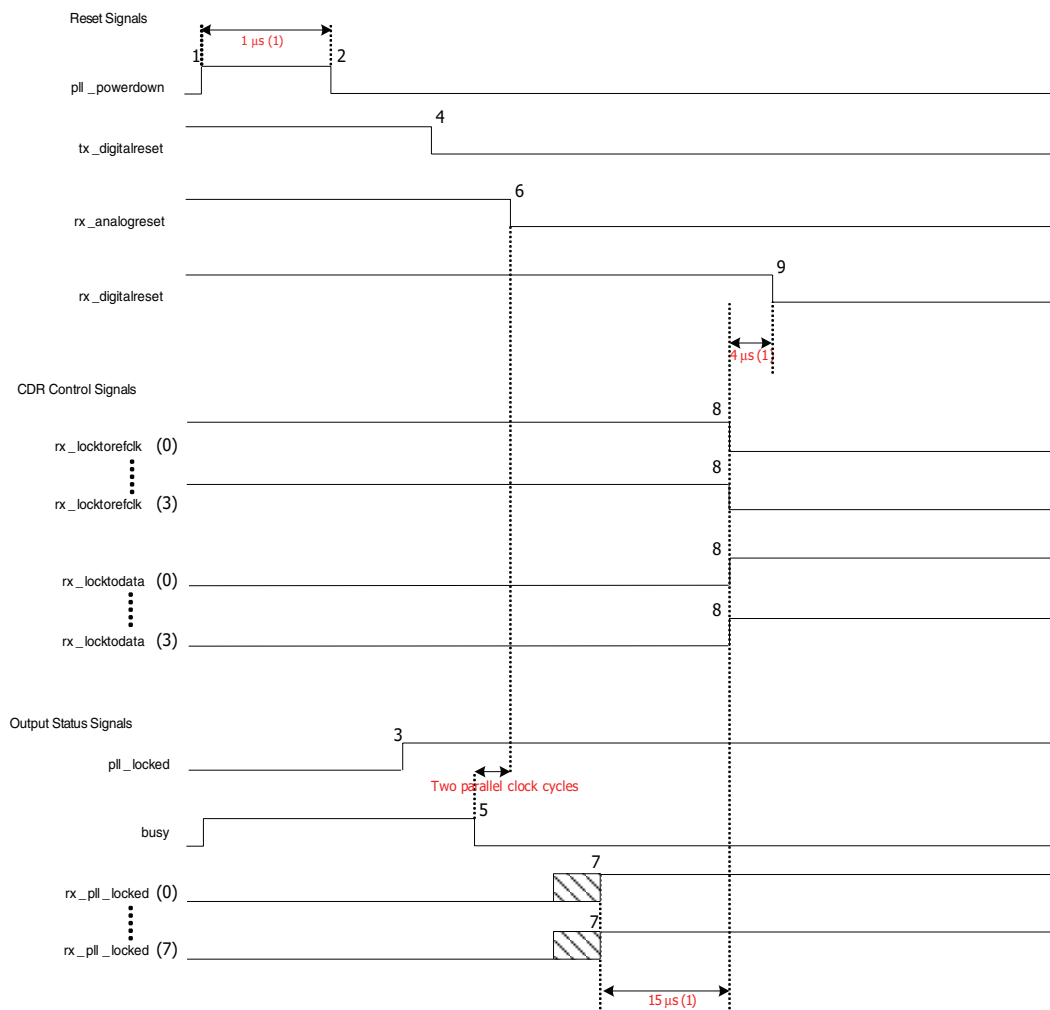


図 4-7 の注：

- (1) 特性値未確定。

図 4-7 に示すように、マニュアル・ロック・モードのレシーバ CDR に対しては、以下のリセット手順を実行します。

1. 電源投入後、PLL_powerdown を 1 μ s の最小期間（マーカ 1 と 2 の間の時間）にわたってアサートします。
2. この期間中は、tx_digitalreset、rx_analogreset、rx_digitalreset、および rx_locktorefclk 信号をアサートしたまま、rx_locktodata 信号をデアサートしたままにしておきます。PLL_powerdown 信号がデアサートされた後、トランスミッタ PLL は、トランスミッタ入力基準クロックへのロックを開始します。
3. トランスミッタ PLL がロック（pll_locked 信号の High（マーカ 3）で示される）したら、tx_digitalreset 信号をデアサートします（マーカ 4）。レシーバ動作のために、busy 信号のデアサーション後、2 パラレル・クロック・サイクル間待機して rx_analogreset 信号をデアサートします。rx_analogreset がデアサートされた後、rx_locktorefclk がアサートされているので、各チャネルのレシーバ CDR は、レシーバ入力基準クロックへのロックを開始します。
4. 各チャネルからの rx_pll_locked 信号が High になるのを待ちます。各チャネルの rx_pll_locked 信号は、互いに異なるタイミングで High になる（マーカ 7 のスラッシュ・パターンで示される）ことがあります。
5. 結合チャネル・グループでは、すべてのチャネルの rx_pll_locked 信号が High になったら、その時点から少なくとも 15 μ s 間待機し、次に rx_locktorefclk をデアサートし、rx_locktodata をアサートします（マーカ 8）。この時点で、すべてのチャネルのレシーバ CDR が lock-to-data モードに入り、受信データへのロックを開始します。
6. rx_locktodata 信号をアサートした後、4 μ s（マーカ 8 と 9 の間の時間）以上経過してから rx_digitalreset をデアサートします。

非結合チャネル・コンフィギュレーション

非結合チャネルでは、ALTGX MegaWizard インスタンスの各チャネルが独自の tx_digitalreset、rx_analogreset、rx_digitalreset、rx_pll_locked、および rx_freqlocked 信号を備えています。

各チャネルは個別にリセットできます。例えば、4 本の非結合チャネルがある場合、ALTGX MegaWizard Plug-In Manager は、tx_digitalreset、rx_analogreset、rx_digitalreset、rx_pll_locked、および rx_freqlocked の 4 つの信号を提供します。

以下のタイミング図は、5 つの異なる設定における非結合コンフィギュレーションの 1 チャネルに対するリセット・シーケンスとパワーダウン・シーケンスを説明しています。

- **Transmitter Only** チャネル設定
- **Receiver Only** チャネル設定 — 自動ロック・モードのレシーバ CDR
- **Receiver Only** チャネル設定 — マニュアル・ロック・モードのレシーバ CDR
- **Receiver and Transmitter** チャネル設定 — 自動ロック・モードのレシーバ CDR
- **Receiver and Transmitter** チャネル設定 — マニュアル・ロック・モードのレシーバ CDR



非結合コンフィギュレーションのその他のすべてのチャネルに対し、同じリセット・シーケンスに従います。

Transmitter Only チャネル

このコンフィギュレーションには、トランスミッタ・チャネルしか含まれません。ALTGX MegaWizard Plug-In Manager で **Transmitter Only** インスタンスを作成する場合、図 4-3 に示すリセット・シーケンスを使用します。

Receiver Only チャネル — 自動ロック・モードのレシーバ CDR

このコンフィギュレーションには、レシーバ・チャネルしか含まれません。レシーバ CDR が自動ロック・モードのときに、ALTGX MegaWizard Plug-In Manager で **Receiver Only** インスタンスを作成する場合、図 4-8 に示すリセット・シーケンスを使用します。

図 4-8. Receiver Only チャネルのサンプル・リセット・シーケンス — 自動ロック・モードのレシーバ CDR

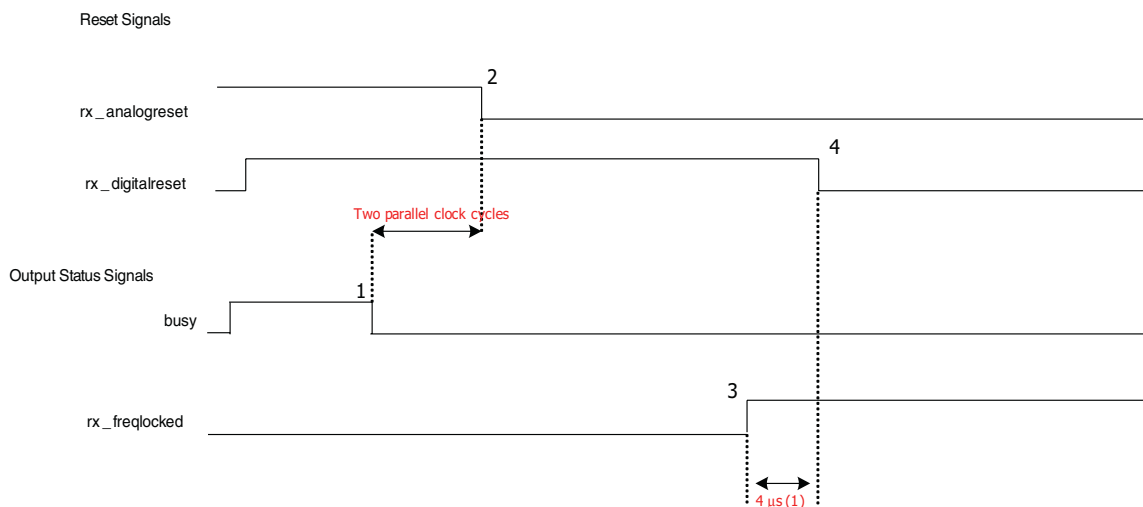


図 4-8 の注：

(1) 特性値未確定。

図 4-8 に示すように、CDR 自動ロック・モードのレシーバに対しては、以下のリセット手順を実行します。

1. 電源投入後、`busy` 信号がデassertされるのを待ちます。その後、`rx_analogreset` 信号をデassertします。
2. この期間中は、`rx_digitalreset` 信号をアassertしたままにしておきます。`rx_analogreset` 信号がデassertされた後、レシーバ CDR はレシーバ入力基準クロックへのロックを開始します。
3. `rx_freqlocked` 信号が High になるのを待ちます。
4. `rx_freqlocked` が High になったら（マーカ 3）、その時点から少なくとも 4 μs 待機してから `rx_digitalreset` 信号をデassertします（マーカ 4）。この時点で、レシーバはデータを受信できる状態になります。

Receiver Only チャンネル — マニュアル・ロック・モードのレシーバ CDR

このコンフィギュレーションには、レシーバ・チャンネルしか含まれません。レシーバ CDR がマニュアル・ロック・モードのときに、ALTX MegaWizard Plug-In Manager で **Receiver Only** インスタンスを作成する場合は、図 4-9 に示すリセット・シーケンスを使用します。

図 4-9. Receiver Only チャンネルのサンプル・リセット・シーケンス — マニュアル・ロック・モードのレシーバ CDR

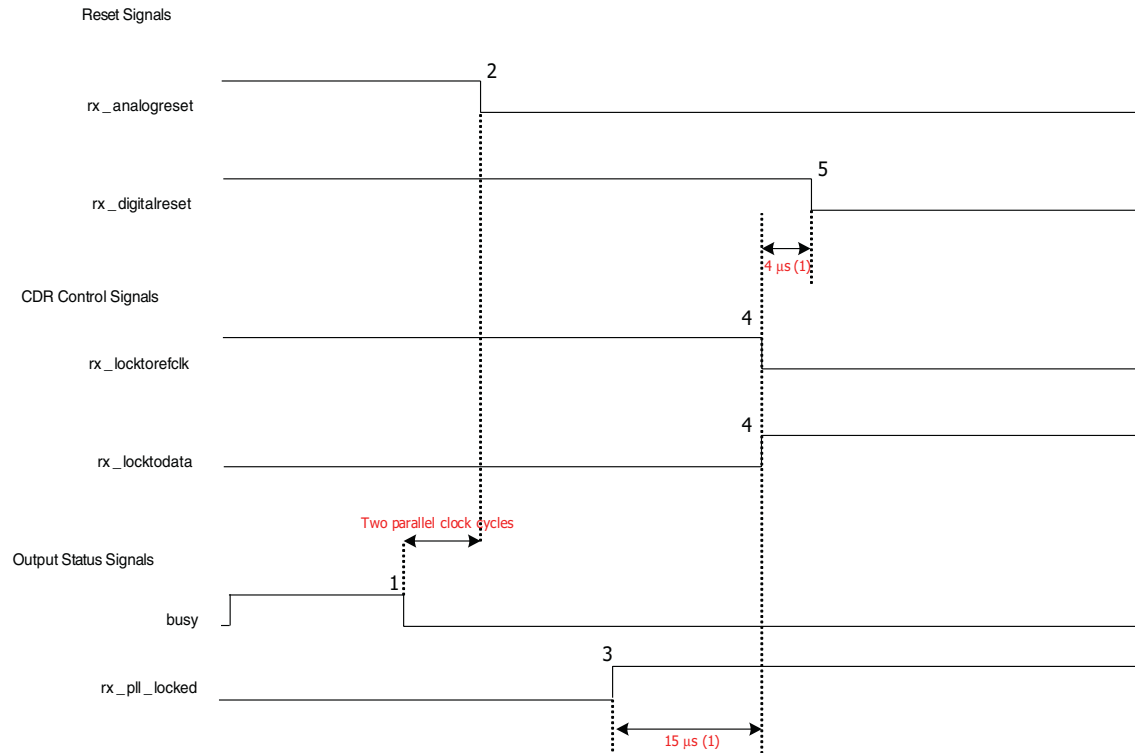


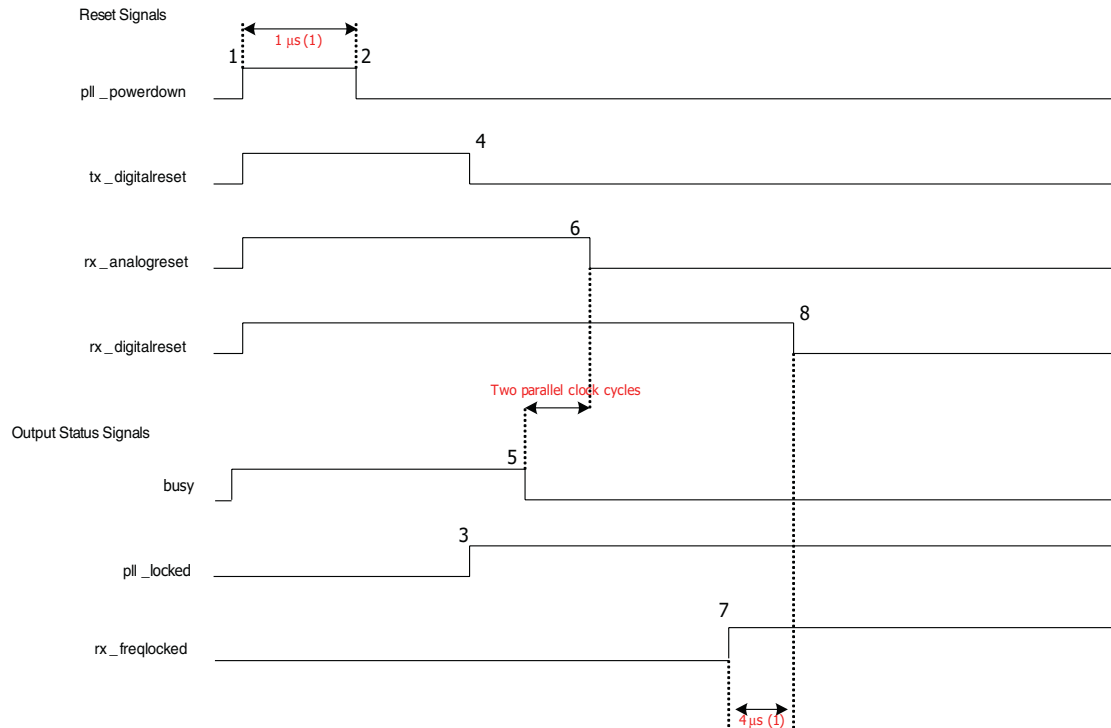
図 4-9 の注：
(1) 特性値未確定。

図 4-9 に示すように、マニュアル・ロック・モードのレシーバ CDR に対しては、以下のリセット手順を実行します。

1. 電源投入後、`busy` 信号がアサートされるのを待ちます。
2. この期間中は、`rx_digitalreset` および `rx_locktoefclk` 信号をアサートしたままに、`rx_locktodata` 信号をデアサートしたままにしておきます。
3. `busy` 信号をデアサーションした後、`rx_analogreset` 信号をデアサートすると、`rx_locktoefclk` 信号がアサートされているので、レシーバ CDR はレシーバ入力基準クロックへのロックを開始します。
4. `rx_pll_locked` 信号が High になった後、少なくとも 15µs (マーカ 3 と 4 の間の時間) 待機してから、`rx_locktoefclk` 信号をデアサートします。同時に、`rx_locktodata` 信号をアサートします (マーカ 4)。この時点で、レシーバ CDR は lock-to-data モードに入り、レシーバ PLL は受信データへのロックを開始します。
5. `rx_locktodata` 信号をアサートした後、4µs (マーカ 4 と 5 の間の時間) 以上経過してから `rx_digitalreset` をデアサートします。

Receiver and Transmitter チャンネル — 自動ロック・モードのレシーバ CDR

このコンフィギュレーションには、トランスミッタ・チャンネルとレシーバ・チャンネルの両方が含まれます。レシーバ CDR が自動ロック・モードのときに、ALTGX MegaWizard Plug-In Manager で **Receiver and Transmitter** インスタンスを作成する場合、[図 4-10](#) に示すリセット・シーケンスを使用します。

図 4-10. Receiver and Transmitter チャンネルのサンプル・リセット・シーケンス — 自動ロック・モードのレシーバ CDR**図 4-10 の注：**

(1) 特性値未確定。

[図 4-10](#) に示すように、CDR 自動ロック・モードのレシーバに対しては、以下のリセット手順を実行します。

1. 電源投入後、PLL_powerdown を 1 μs の最小期間（マーカ 1 と 2 の間の時間）にわたってアサートします。
2. この期間中は、tx_digitalreset、rx_analogreset、および rx_digitalreset 信号をアサートしたままにしておきます。PLL_powerdown 信号がデアサートされた後、トランスミッタ PLL は、トランスミッタ入力基準クロックへのロックを開始します。
3. トランスミッタ PLL がロック（pll_locked 信号の High（マーカ 3）で示される）したら、tx_digitalreset をデアサートします。レシーバ動作のために、busy 信号がデアサートされるのを待ちます。その後 rx_analogreset がデアサートされます。rx_analogreset がデアサートされた後、レシーバ CDR はレシーバ入力基準クロックへのロックを開始します。
4. rx_freqlocked 信号が High になるのを待ちます。
5. rx_freqlocked 信号が High になったら（マーカ 7）、その時点から少なくとも 4 μs 待機してから rx_digitalreset 信号をデアサートします（マーカ 8）。この時点で、トランスミッタとレシーバはデータ・トラフィックが可能な状態になります。

Receiver and Transmitter チャンネル — マニュアル・ロック・モードのレシーバ CDR

このコンフィギュレーションには、トランスミッタ・チャンネルとレシーバ・チャンネルの両方が含まれます。レシーバ CDR がマニュアル・ロック・モードのときに、ALTGX MegaWizard Plug-In Manager で **Receiver and Transmitter** インスタンスを作成する場合、[図 4-11](#) に示すリセット・シーケンスを使用します。

図 4-11. Receiver and Transmitter チャンネルのサンプル・リセット・シーケンス — マニュアル・ロック・モードのレシーバ CDR

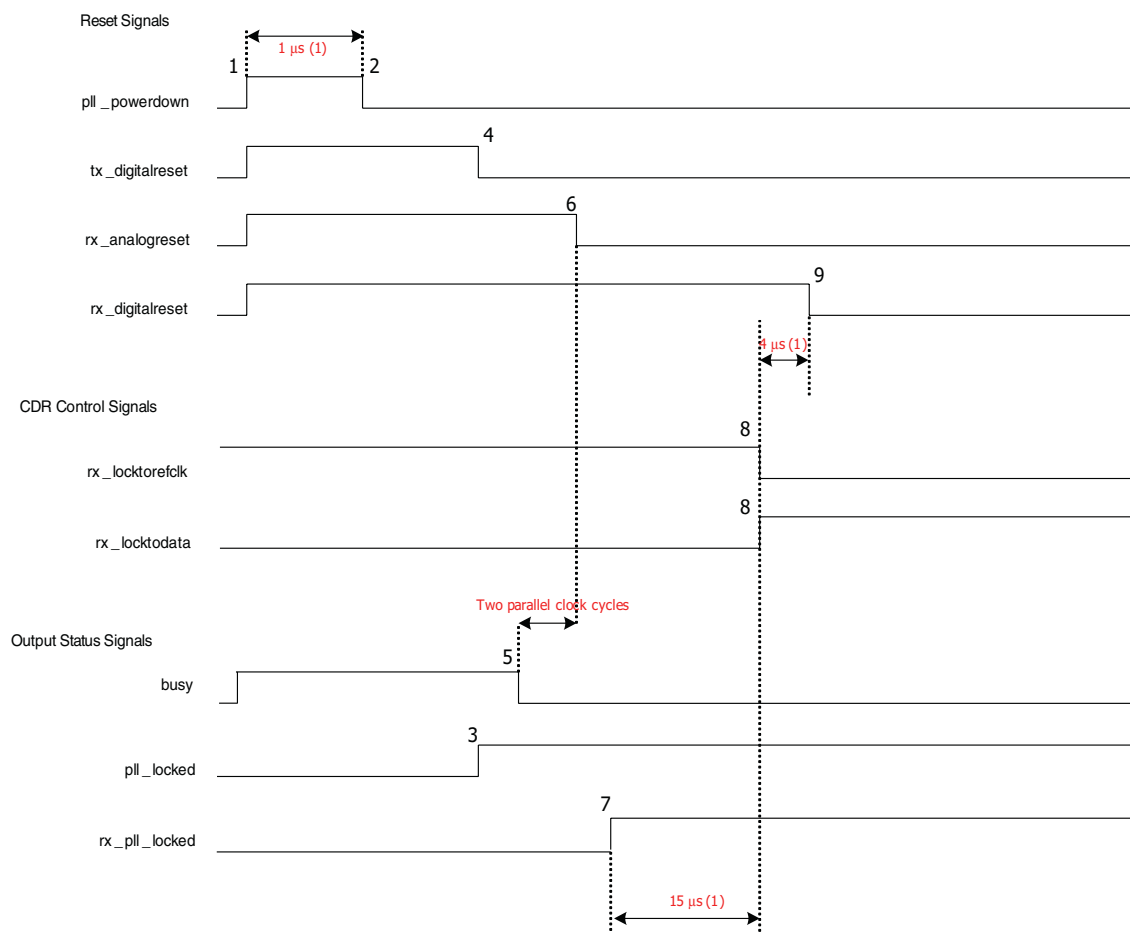


図 4-11 の注：

(1) 特性値未確定。

[図 4-11](#) に示すように、マニュアル・ロック・モードのレシーバに対しては、以下のリセット手順を実行します。

1. 電源投入後、PLL_powerdown を 1 μs の最小期間（マーカ 1 と 2 の間の時間）にわたってアサートします。
2. この期間中は、tx_digitalreset、rx_analogreset、rx_digitalreset、および rx_locktoefclk 信号をアサートしたまま、rx_locktodata 信号をディアサートしたままにしておきます。PLL_powerdown 信号がディアサートされた後、トランスミッタ PLL は、トランスミッタ入力基準クロックへのロックを開始します。

3. トランスミッタ PLL がロック (pll_locked 信号の High (マーカ 3) で示される) したら、tx_digitalreset をディアサートします。レシーバ動作のために、busy 信号がディアサートされるのを待ちます。この時点で、rx_analogreset がディアサートされます。rx_analogreset がディアサートされたら、rx_locktorefclk がアサートされているので、レシーバ CDR はレシーバ入力基準クロックへのロックを開始します。
4. rx_pll_locked 信号が High になった後、少なくとも 15 μ s (マーカ 7 と 8 の間の時間) 待機してから、rx_locktorefclk 信号をディアサートします。同時に、rx_locktodata 信号をアサートします (マーカ 8)。この時点で、レシーバ CDR は lock-to-data モードに入り、受信データへのロックを開始します。
5. rx_locktodata 信号をアサートした後、4 μ s (マーカ 8 と 9 の間の時間) 以上経過してから rx_digitalreset をディアサートします。

PCI Express (PIPE) 機能モード

Stratix IV GX デバイスでは、レシーバ・クロック・レート補償 FIFO の有無に関係なく、PCI Express (PIPE) 機能モードをコンフィギュレーションできます。リセット・シーケンスは、レシーバ・クロック・レート補償 FIFO の使用、不使用に関係なく同じです。

PCI Express (PIPE) リセット・シーケンス

PCI Express (PIPE) プロトコルは、初期化 / 準拠フェーズとノーマル動作フェーズで構成されます。これら2つのフェーズのリセット・シーケンスを、図 4-12 のタイミング図に基づいて説明します。

図 4-12. PCI Express (PIPE) 機能モードのリセット・シーケンス

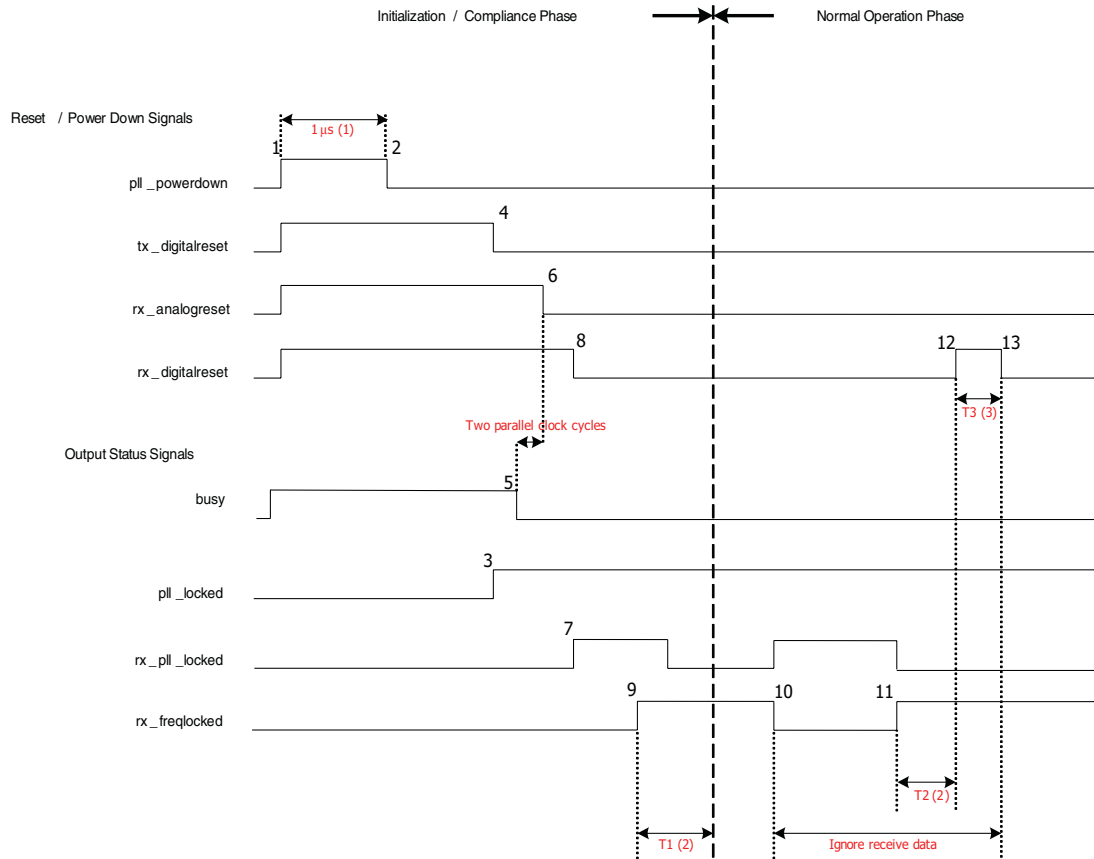


図 4-12 の注：

- (1) 特性値未確定。
- (2) T1 および T2 の最小期間は 4 μ s です。
- (3) T3 の最小期間は 2 パラレル・クロック・サイクルです。

PCI Express (PIPE) 初期化 / 準拠フェーズ

デバイスに電源が投入された後、PCI Express (PIPE) 準拠デバイスは、初期化中に準拠フェーズを通過します。このフェーズでは、PCI Express (PIPE) プロトコルはシステムに Gen 1 データ・レートで動作することを要求します。この準拠フェーズ中に rx_digitalreset 信号をディアサートして、pipephydonestatus 信号での遷移をリンク・レイヤで予測されるとおりに達成する必要があります。rx_digitalreset 信号は、rx_freqlocked 信号のアサーションに基づいてディアサートされます。

初期化 / 準拠フェーズ中は、`rx_freqlocked` 信号を使用して `rx_digitalreset` 信号のデアサーションをトリガしないでください。代わりに、以下のリセット・シーケンスを実行します。

1. 電源投入後、`PLL_powerdown` を $1\ \mu\text{s}$ の最小期間（マーク 1 と 2 の間の時間）にわたってアサートします。この期間中は、`tx_digitalreset`、`rx_analogreset`、および `rx_digitalreset` 信号をアサートしたままにしておきます。`PLL_powerdown` 信号がデアサートされた後、トランスミッタ PLL は、トランスミッタ入力基準クロックへのロックを開始します。
2. トランスミッタ PLL がロック（`p11_locked` 信号の High（マーク 3）で示される）したら、`tx_digitalreset` をデアサートします。レシーバ動作のために、`busy` 信号がデアサートされるのを待ちます。その後、`rx_analogreset` がデアサートされます。`rx_analogreset` がデアサートされた後、レシーバ CDR はレシーバ入力基準クロックへのロックを開始します。
3. レシーバ CDR が入力基準クロックにロックしたら（図 4-12 の `rx_p11_locked` 信号の High（マーク 7）で示される）、`rx_digitalreset` 信号をデアサートします（マーク 8）。`rx_digitalreset` がデアサートされた後、`pipephydonestatus` 信号は、トランシーバ・チャネルから遷移して、リンクレイヤにステータスを示します。`pipephydonestatus` は、ステータスに応じて準拠フェーズの継続を支援します。このフェーズが正常に完了した後、デバイスはノーマル動作フェーズに入ります。

PCI Express ノーマル・フェーズ

初期化 / 準拠フェーズの完了後、Gen 1 データ・レートでのノーマル動作フェーズ中に `rx_freqlocked` 信号がデアサートされたら（図 4-12 のマーク 10）、`lock-to-reference` クロックを示す `rx_p11_locked` 信号のアサーションを待ちます。

次に、`rx_freqlocked` 信号が再び High になるのを待ちます。このフェーズでは、受信データは有効であり（電氣的アイドル状態ではない）、レシーバ CDR は着信データにロックします。したがって、`rx_freqlocked` 信号のアサーション後に、リセット・シーケンスを続行します。`rx_freqlocked` 信号が High になった後、少なくとも $4\ \mu\text{s}$ 間待機してから、`rx_digitalreset` を 2 パラレル受信クロック・サイクル間アサートして（図 4-12 のマーク 12）、レシーバ位相補償 FIFO が初期化されるようにします。

Gen 2 データ・レートの実行後の通常の動作中に `rx_digitalreset` 信号をアサートすると、PCI Express (PIPE) レート切り換え回路はトランシーバを Gen 1 データ・レートに切り換えます。

トランシーバ・ブロックからのデータは、`rx_freqlocked` 信号が Low になった（図 4-12 のマーク 10）時点から `rx_digitalreset` がデアサートされる（図 4-12 のマーク 13）時点までは有効ではありません。この期間中（図 4-12 のマーク 10 ~ 13 の間）、PLD ロジックはデータを無視します。



Stratix IV GX デバイスは、x1、x4、および x8 の PCI Express (PIPE) レーンの構成でコンフィギュレーションできます。これらのすべてのマルチレーン・コンフィギュレーションに対して、19 ページの「PCI Express (PIPE) リセット・シーケンス」で説明するリセット・シーケンスが適用されます。

PMA Direct Drive モード・リセット・シーケンス

Stratix IV GX デバイスは PMA Direct モードを提供しており、このモードではトランスミッタ・チャンネルとレシーバ・チャンネルの両方のデータ・パスで、位相補償 FIFO を含むすべての PCS ブロックがバイパスされます。このモードでは、トランスミッタおよびレシーバ・チャンネルの PMA ブロックが FPGA ファブリックに直接インタフェースします。

このモードでは、トランシーバ・チャンネルを、1本のチャンネルとしてあるいは結合コンフィギュレーションでコンフィギュレーションできます。基本的な Single-width および Double-width 機能モードは、デバイスの同じサイドにあるすべてのトランシーバ・チャンネルにまたがった PMA 機能ブロックの結合をサポートします。

このモードでは、使用可能な PCS ブロックがないので、tx_digitalreset および rx_digitalreset 信号は使用できません。

PMA Direct Drive-xN モード

PMA Direct Drive モード・コンフィギュレーションで xN チャンネルを結合するときには、結合されたすべてのチャンネルを同時にリセットできます。以下の3つの主要コンフィギュレーションは、Basic PMA Direct Drive-xN 機能モードのリセット・シーケンスおよびパワーダウン・シーケンスを説明しています。

- **Transmitter Only** チャンネル設定
- **Receiver and Transmitter** チャンネル設定 — 自動ロック・モードのレシーバ CDR
- **Receiver and Transmitter** チャンネル設定 — マニュアル・ロック・モードのレシーバ CDR

Transmitter Only チャンネル

図 4-13 に、Basic-PMA Direct Drive-x4 機能モードの 4 本の **Transmitter Only** チャンネルのリセット・シーケンス・タイミング図の例を示します。

図 4-13. リセット・シーケンス・タイミング

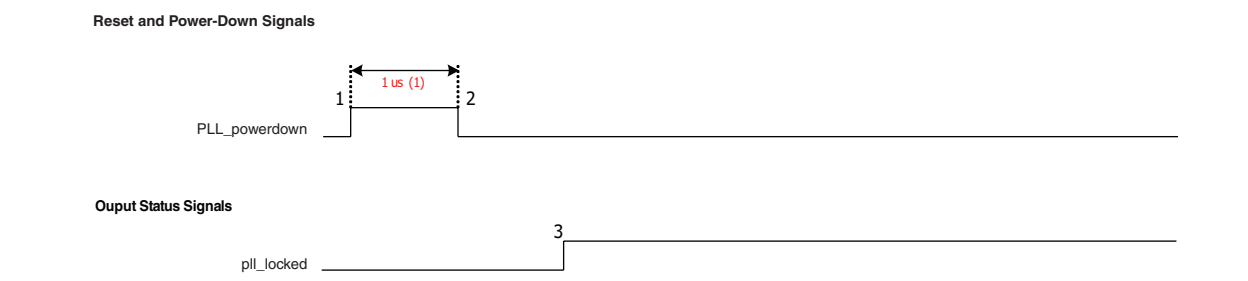


図 4-13 に示すように、PMA Direct Drive モード・コンフィギュレーションの **Transmitter Only** チャンネルに対しては、以下のリセット手順を実行します。

1. 電源投入後、PLL_powerdown を 1 μs の最小期間（マーカ 1 と 2 の間の時間）にわたってアサートします。
2. トランスミッタ PLL がロックすると（pll_locked 信号の High（マーカ 3）で示される）、トランスミッタは、FPGA ファブリックからのパラレル・データを受け入れ、シリアル・データを確実に送信できる状態になります。

Receiver and Transmitter チャンネル設定 — 自動ロック・モードのレシーバ CDR

このコンフィギュレーションには、トランスミッタ・チャンネルとレシーバ・チャンネルの両方が含まれます。PMA Direct Drive-xN モードでは、レシーバ CDR が自動ロック・モードになっている場合、図 4-14 に示すリセット・シーケンスを使用します。この例では、N=4 です。

図 4-14. CDR が自動ロック・モードのときのリセット・シーケンス

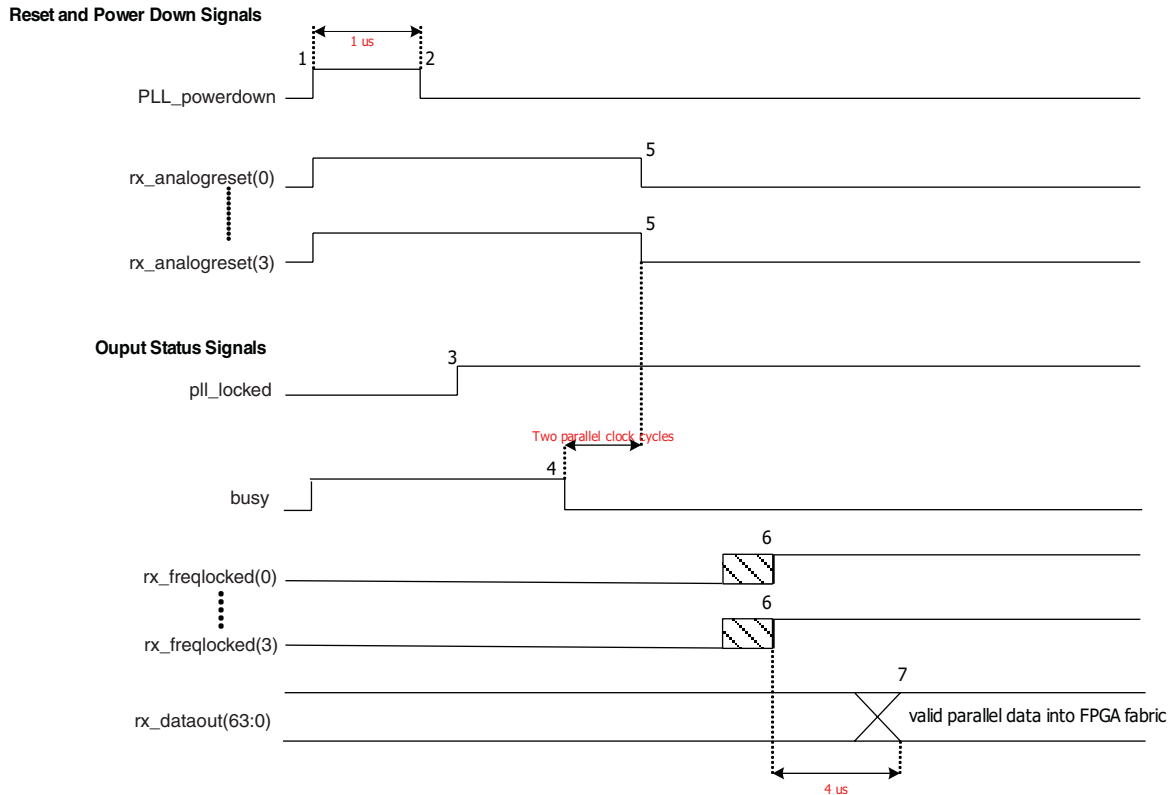


図 4-14 に示すように、CDR が自動ロック・モードになっているとき、PMA Direct Drive-x4 Double-width コンフィギュレーションのレシーバおよびトランスミッタ・チャンネルに対しては、以下のリセット手順を実行します。

1. 電源投入後、PLL_powerdown を 1 μ s の最小期間（マーカ 1 と 2 の間の時間）にわたってアサートします。
2. この期間中は、rx_analogreset 信号をアサートしたままにしておきます。PLL_powerdown 信号がデアサートされた後、トランスミッタ PLL は、トランスミッタ入力基準クロックへのロックを開始します。
3. トランスミッタ PLL がロックすると（pll_locked 信号の High（マーカ 3）で示される）、トランスミッタは、FPGA ファブリックからのパラレル・データを受け入れ、シリアル・データを確実に送信できる状態になります。
4. レシーバ動作のために、busy 信号のデアサーション後、2 パラレル・クロック・サイクル間待機して、各チャンネルの rx_analogreset 信号をデアサートします。rx_analogreset がデアサートされた後、各チャンネルのレシーバ CDR は、レシーバ入力基準クロックへのロックを開始します。

5. 各チャンネルからの rx_freqlocked 信号が High になるのを待ちます。各チャンネルの rx_freqlocked 信号は、異なるタイミングで High になる(マーカ6のスラッシュ・パターンで示される)ことがあります。
6. PMA Direct Drive-x4 Double-width コンフィギュレーションでは、すべてのチャンネルの rx_freqlocked 信号が High になったら(マーカ6)、その時点から少なくとも 4 μs 間(マーカ7)、レシーバ・パラレル・クロックが安定するのを待ちます。この時点で、すべてのレシーバが有効なパラレル・データを FPGA ファブリックに転送できる状態になります(アルテラでは、このデータを処理するユーザー・ロジックがこの時点までリセット状態になっていることを推奨しています)。

Receiver and Transmitter チャンネル設定 — マニュアル・ロック・モードのレシーバ CDR

このコンフィギュレーションには、トランスミッタ・チャンネルとレシーバ・チャンネルの両方が含まれます。PMA Direct Drive-xN モードでは、レシーバ CDR がマニュアル・ロック・モードになっている場合、図 4-15 に示すリセット・シーケンスを使用します。この例では、N=4 です。

図 4-15. CDR がマニュアル・ロック・モードのときのリセット・シーケンス

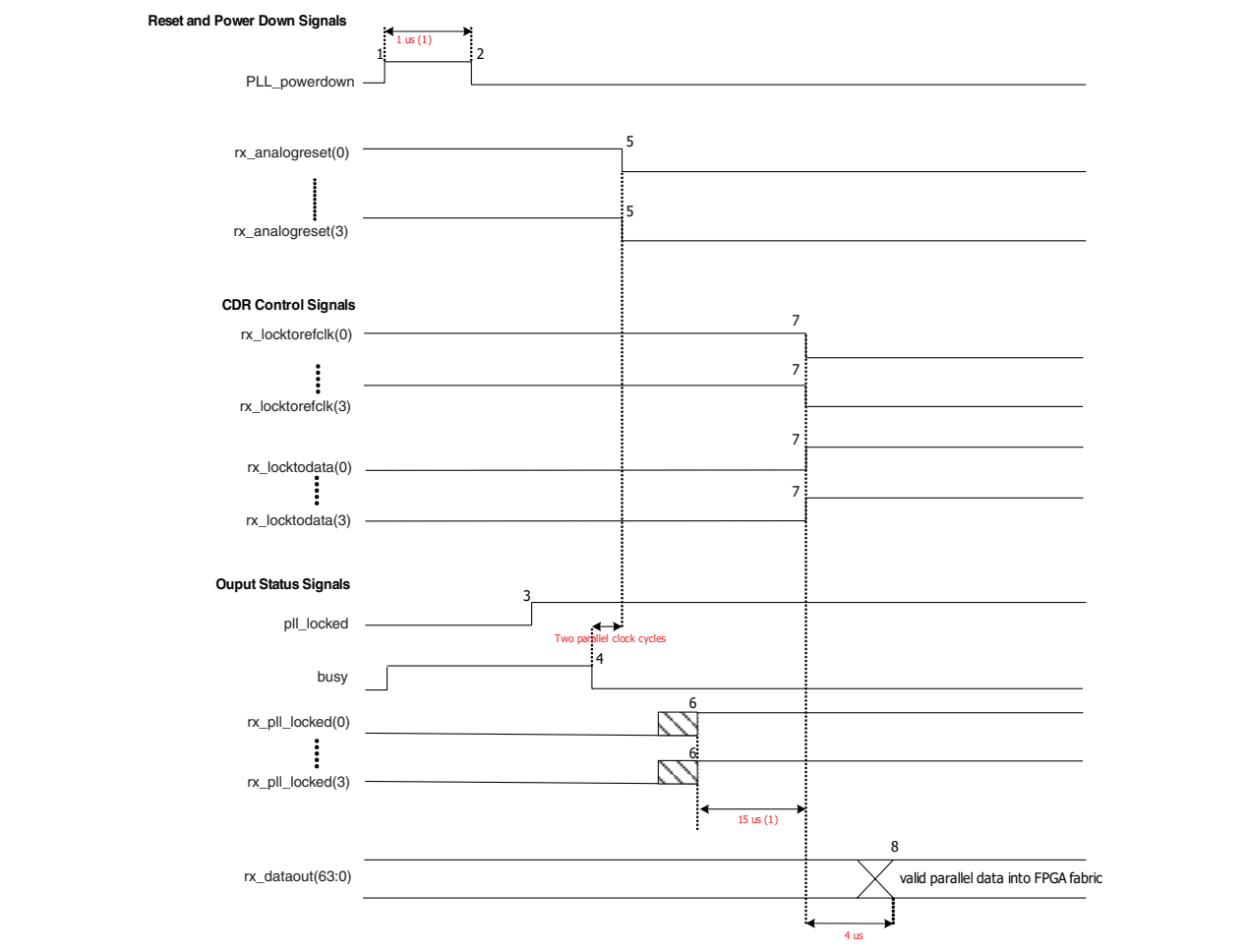


図 4-15 に示すように、CDR がマニュアル・ロック・モードになっているとき、PMA Direct Drive-x4 Double-width コンフィギュレーションのレシーバおよびトランスミッタ・チャンネルに対しては、以下のリセット手順を実行します。

1. 電源投入後、PLL_powerdown を 1 μ s の最小期間（マーク 1 と 2 の間の時間）にわたってアサートします。
2. この期間中は、rx_analogreset および rx_locktorefclk 信号をアサートしたままに、rx_locktodata 信号をデアサートしたままにしておきます。PLL_powerdown 信号がデアサートされた後、トランスミッタ PLL は、トランスミッタ入力基準クロックへのロックを開始します。
3. トランスミッタ PLL がロックすると (pll_locked 信号の High (マーク 3) で示される)、トランスミッタは、FPGA ファブリックからのパラレル・データを受け入れ、シリアル・データを確実に送信できる状態になります。
4. レシーバ動作のために、busy 信号のデアサーション（マーク 4）後、2 パラレル・クロック・サイクル間待機して rx_analogreset 信号をデアサートします。rx_analogreset がデアサートされた後、rx_locktorefclk がアサートされているので、各チャンネルのレシーバ CDR は、レシーバ入力基準クロックへのロックを開始します。
5. 各チャンネルからの rx_pll_locked 信号が High になるのを待ちます。各チャンネルの rx_pll_locked 信号は、互いに異なるタイミングで High になる（マーク 6 のスラッシュ・パターンで示される）ことがあります。
6. PMA Direct Drive-x4 Double-width コンフィギュレーションでは、すべてのチャンネルの rx_pll_locked 信号が High になったら、その時点から少なくとも 15 μ s 間待機し、その後で rx_locktorefclk をデアサートし、rx_locktodata をアサートします（マーク 7）。この時点で、すべてのチャンネルのレシーバ CDR が lock-to-data モードに入り、受信データへのロックを開始します。
7. rx_locktodata 信号のアサーション後、その時点から少なくとも 4 μ s 間（マーク 8）、レシーバ・パラレル・クロックが安定するのを待ちます。この時点で、すべてのレシーバが有効なパラレル・データを FPGA ファブリックに転送できる状態になります（アルテラでは、このデータを処理するユーザー・ロジックがこの時点までリセット状態になっていることを推奨しています）。

PMA Direct Drive x1 モード

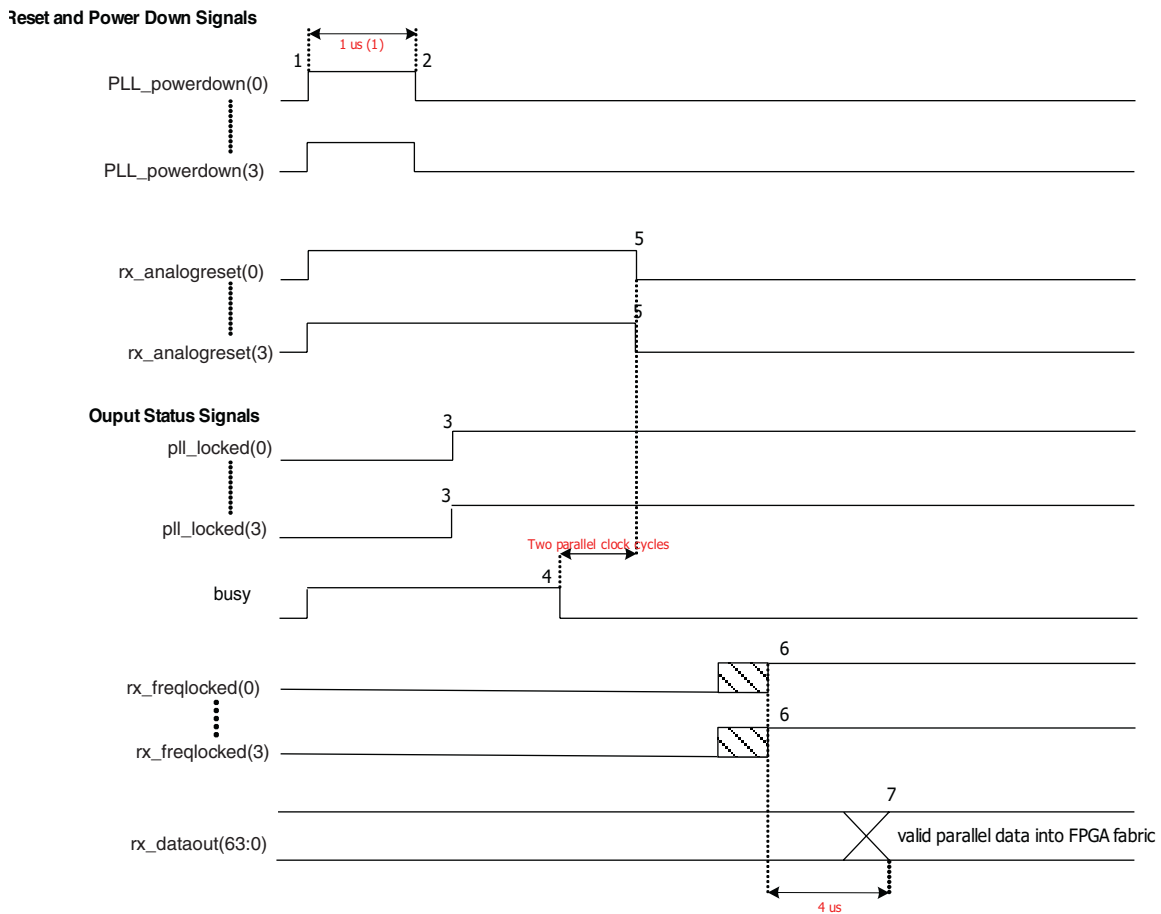
以下のタイミング図の例を使用して、トランシーバ・チャンネル間の結合がない PMA Direct Drive モードのリセット・シーケンスとパワーダウン・シーケンスを説明します。このコンフィギュレーションでは、各チャンネルが独自のパワーダウン信号とリセット信号を備えています。

- Receiver and Transmitter チャンネル設定 — 自動ロック・モードのレシーバ CDR
- Receiver and Transmitter チャンネル設定 — マニュアル・ロック・モードのレシーバ CDR

Receiver and Transmitter チャンネル設定 — 自動ロック・モードのレシーバ CDR

このコンフィギュレーションには、トランスミッタ・チャンネルとレシーバ・チャンネルの両方が含まれます。PMA Direct Drive-x1 モードでは、レシーバ CDR が自動ロック・モードになっている場合、[図 4-16](#) に示すリセット・シーケンスを使用します。この例では、このモードで 4 本のチャンネルがコンフィギュレーションされています。

図 4-16. CDR が自動ロック・モードのときのリセット・シーケンス



[図 4-16](#) に示すように、自動ロック・モードの CDR と結合されていない、PMA Direct Drive Double-width コンフィギュレーションのレシーバおよびトランスミッタ・チャンネルに対しては、以下のリセット手順を実行します。

1. 電源投入後、PLL_powerdown を 1 μ s の最小期間（マーカ 1 と 2 の間の時間）にわたってアサートします。
2. この期間中は、各チャンネルの rx_analogreset 信号をアサートしたままにしておきます。すべてのチャンネルで PLL_powerdown 信号がデアサートされた後、各チャンネルのトランスミッタ PLL は、トランスミッタ入力基準クロックへのロックを開始します。
3. トランスミッタ PLL がロックすると（pll_locked 信号の High（マーカ 3）で示される）、トランスミッタは、FPGA ファブリックからのパラレル・データを受け入れ、シリアル・データを確実に送信できる状態になります。

4. レシーバ動作のために、busy 信号のディアサーション後、2 パラレル・クロック・サイクル 間待機して、各チャネルの rx_analogreset 信号をディアサートします。rx_analogreset がディアサートされた後、各チャネルのレシーバ CDR は、レシーバ入力基準クロックへのロックを開始します。
5. 各チャネルからの rx_freqlocked 信号が High になるのを待ちます。各チャネルの rx_freqlocked 信号は、異なるタイミングで High になる(マーカ 6 のスラッシュ・パターンで示される) ことがあります。
6. チャネル間の結合がない PMA Direct Drive Double-width コンフィギュレーションでは、すべてのチャネルの rx_freqlocked 信号が High になったら (マーカ 6)、その時点から少なくとも 4 μ s 間 (マーカ 7)、レシーバ・パラレル・クロックが安定するのを待ちます。この時点で、すべてのレシーバが有効なパラレル・データを FPGA ファブリックに転送できる状態になります (アルテラでは、このデータを処理するユーザー・ロジックがこの時点までリセット状態になっていることを推奨しています)。

Receiver and Transmitter チャネル設定 — マニュアル・ロック・モードのレシーバ CDR

このコンフィギュレーションには、トランスミッタ・チャネルとレシーバ・チャネルの両方が含まれます。PMA Direct Drive-x1 モードでは、レシーバ CDR がマニュアル・ロック・モードになっている場合、[図 4-17](#) に示すリセット・シーケンスを使用します。この例では、このモードで 4 本のチャネルがコンフィギュレーションされています。

図 4-17. CDR がマニュアル・ロック・モードのときのリセット・シーケンス

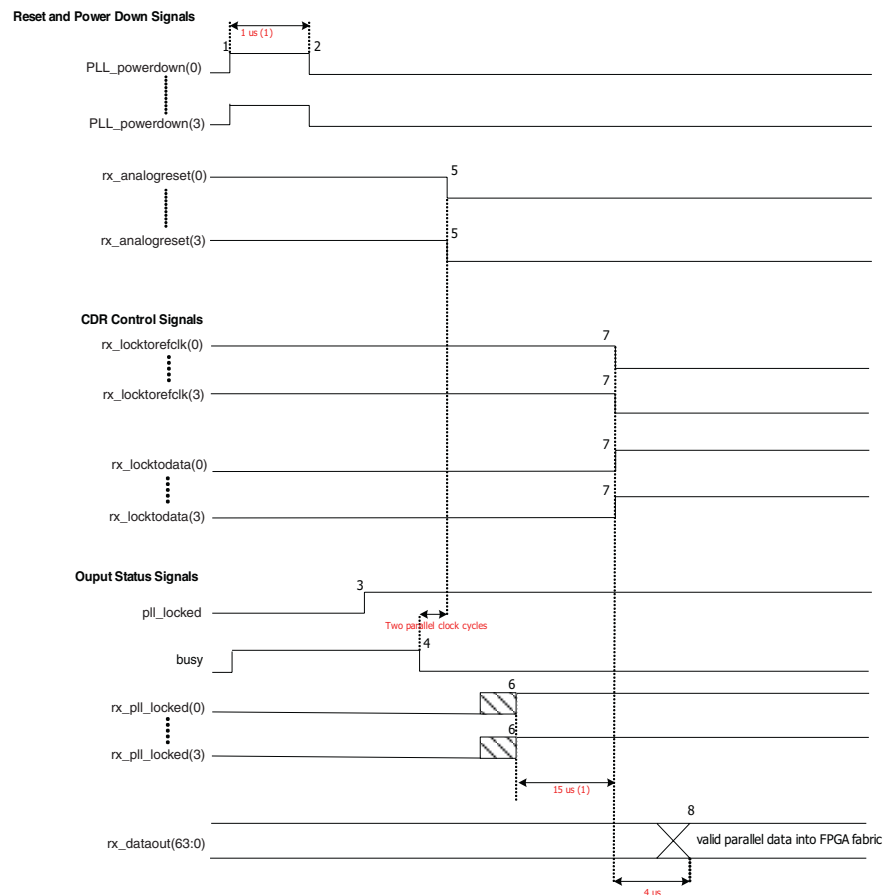


図 4-17 に示すように、マニュアル・ロック・モードの CDR と結合されていない、PMA Direct Drive Double-width コンフィギュレーションのレシーバおよびトランスミッタ・チャンネルに対しては、以下のリセット手順を実行します。

1. 電源投入後、PLL_powerdown を 1 μ s の最小期間（マーカ 1 と 2 の間の時間）にわたってアサートします。
2. この期間中は、各チャンネルの rx_analogreset および rx_locktorefclk 信号をアサートしたままに、rx_locktodata 信号をディアサートしたままにしておきます。PLL_powerdown 信号がディアサートされた後、トランスミッタ PLL は、トランスミッタ入力基準クロックへのロックを開始します。
3. トランスミッタ PLL がロックすると (pll_locked 信号の High (マーカ 3) で示される)、トランスミッタは、FPGA ファブリックからのパラレル・データを受け入れ、シリアル・データを確実に送信できる状態になります。
4. レシーバ動作のために、busy 信号のディアサーション（マーカ 4）後、2 パラレル・クロック・サイクル間待機して、各チャンネルの rx_analogreset 信号をディアサートします。rx_analogreset がディアサートされた後、rx_locktorefclk がアサートされているので、各チャンネルのレシーバ CDR は、レシーバ入力基準クロックへのロックを開始します。
5. 各チャンネルからの rx_pll_locked 信号が High になるのを待ちます。各チャンネルの rx_pll_locked 信号は、互いに異なるタイミングで High になる（マーカ 6 のスラッシュ・パターンで示される）ことがあります。
6. チャンネル間の結合がない PMA Direct Drive Double-width コンフィギュレーションでは、すべてのチャンネルの rx_pll_locked 信号が High になったら、その時点から少なくとも 15 μ s 間待機し、その後で rx_locktorefclk をディアサートし、rx_locktodata をアサートします（マーカ 7）。この時点で、すべてのチャンネルのレシーバ CDR が lock-to-data モードに入り、受信データへのロックを開始します。
7. rx_locktodata 信号のアサーション後、その時点から少なくとも 4 μ s 間（マーカ 8）、レシーバ・パラレル・クロックが安定するのを待ちます。この時点で、すべてのレシーバが有効なパラレル・データを FPGA ファブリックに転送できる状態になります（アルテラでは、このデータを処理するユーザー・ロジックがこの時点までリセットされていることを推奨しています）。

ダイナミック・リコンフィギュレーション・リセット・シーケンス

Data rate division in TX モードまたは Channel and TX CMU select/reconfig モードでダイナミック・リコンフィギュレーションを使用するときは、以下のリセット・シーケンスを使用します。

「Data rate division in TX」オプションでダイナミック・リコンフィギュレーションを使用するときのリセット・シーケンス

ダイナミック・リコンフィギュレーション・コントローラを使用してトランシーバ・チャンネルのデータ・レートを変更するときは、図 4-18 に示すリセット・シーケンス例を使用します。この例では、ダイナミック・リコンフィギュレーションを使用して、レシーバ CDR が自動ロック・モードのときに、Basic x1 モードでコンフィギュレーションされたトランシーバ・チャンネルのデータ・レートをダイナミックにリコンフィギュレーションしています。

図 4-18. レシーバ CDR が自動ロック・モードのときの Basic x1 モードでのリセット・シーケンス

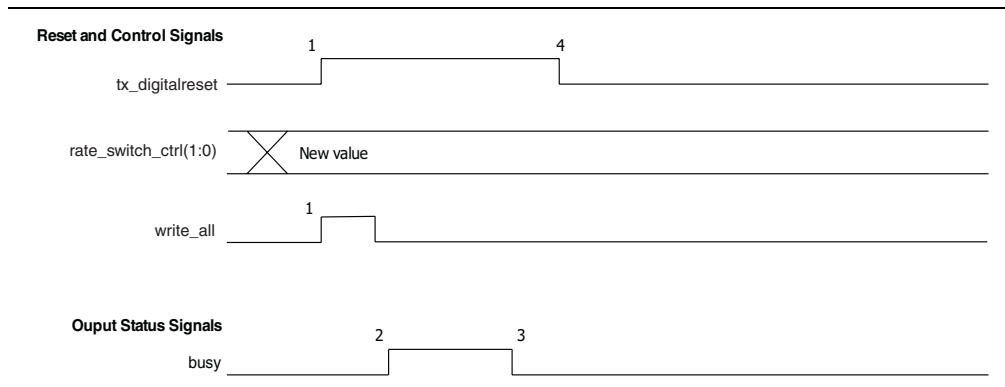



図 4-18 に示すように、ダイナミック・リコンフィギュレーション・コントローラを使用してトランスミッタ・チャネルのコンフィギュレーションを変更するときは、以下のリセット手順を実行します。

1. 電源を投入し、トランスミッタが希望どおりに動作するように適切に設定してから、所定のレジスタ（この例では、`rate_switch_ctrl[1:0]`）に新しいデータ・レートの値を書き込み、次に `write_all` 信号をアサートして（マーカ 1）、ダイナミック・リコンフィギュレーションを開始します。

 詳しくは、「Stratix IV デバイス・ハンドブック Volume4」の「Stratix IV Dynamic Reconfiguration」の章を参照してください。

2. `tx_digitalreset` 信号をアサートします。
3. `write_all` がアサートされると、ダイナミック・リコンフィギュレーション・コントローラは直ちに動作を開始します。これは `busy` 信号のアサーション（マーカ 2）で示されます。
4. ダイナミック・リコンフィギュレーション完了後、`busy` はデアサートされます（マーカ 3）。
5. 最後に、`tx_digitalreset` をデアサートして、トランスミッタの動作を継続する（マーカ 4）ことができます。

「Channel and TX PLL select/reconfig」オプションでダイナミック・リコンフィギュレーションを使用するときのリセット・シーケンス

ダイナミック・リコンフィギュレーション・コントローラを使用してトランスミッタ・チャネルの TX PLL 設定を変更するときは、図 4-19 に示すリセット・シーケンス例を使用します。この例では、ダイナミック・リコンフィギュレーションを使用して、レシーバ CDR が自動ロック・モードのときに、Basic x1 モードでコンフィギュレーションされたトランスミッタ・チャネルのデータ・レートをダイナミックにリコンフィギュレーションしています。

図 4-19. レシーバ CDR が自動ロック・モードのときの Basic x1 モードでのリセット・シーケンス

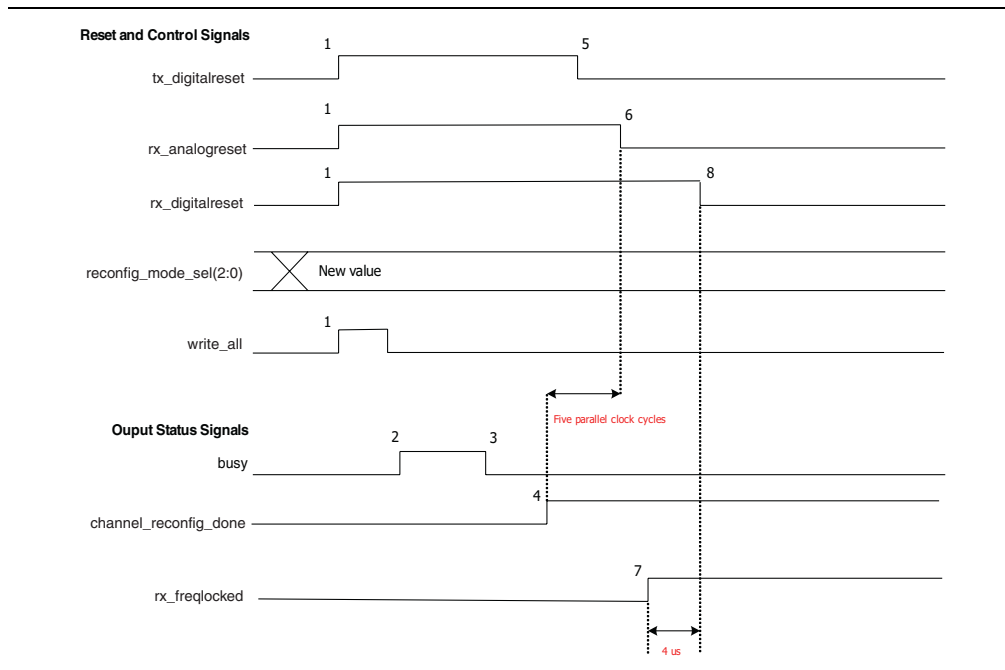



図 4-19 に示すように、ダイナミック・リコンフィギュレーション・コントローラを使用してトランシーバ・チャンネルのコンフィギュレーションを変更するときは、以下のリセット手順を実行します。

1. 電源を投入し、トランシーバが希望どおりに動作するように設定してから、所定のレジスタ (`reconfig_mode_sel[2:0]` など) に新しい値を書き込み、次に `write_all` 信号をアサートして (マーカ 1)、ダイナミック・リコンフィギュレーションを開始します。

 詳しくは、「Stratix IV デバイス・ハンドブック Volume4」の「Stratix IV Dynamic Reconfiguration」の章を参照してください。

2. `tx_digitalreset`、`rx_analogreset`、および `rx_digitalreset` 信号をアサートします。
3. `write_all` がアサートされると、ダイナミック・リコンフィギュレーション・コントローラは直ちに動作を開始します。これは `busy` 信号のアサーション (マーカ 2) で示されます。
4. このモードでのダイナミック・リコンフィギュレーションの完了を示す `channel_reconfig_done` 信号のアサーション (マーカ 4) を待ちます。
5. `channel_reconfig_done` 信号のアサーション後、`tx_digitalreset` をデアサートし (マーカ 5)、少なくとも 5 パラレル・クロック・サイクル間待機して、`rx_analogreset` 信号をデアサートします (マーカ 6)。
6. 最後に、`rx_freqlocked` 信号が High になるのを待ちます。 `rx_freqlocked` が High になったら (マーカ 7)、4 μs 間待機して、`rx_digitalreset` 信号をデアサートします (マーカ 8)。この時点で、レシーバはデータ・トラフィックが可能な状態になります。

パワーダウン

QuartusII ソフトウェアは、パワーダウン・チャンネル機能を自動的に選択し、これは Stratix IV GX デバイスのコンフィギュレーション時に有効になります。すべての未使用トランシーバ・チャンネルおよびブロックは、全体的な消費電力を低減するためにパワーダウンされます。gxb_powerdown 信号は、オプションのトランシーバ・ブロック信号です。この信号は、すべてのトランシーバ・チャンネルとトランシーバ・ブロック内のすべての機能ブロックをパワーダウンします。この信号の最小パルス幅は $1\ \mu\text{s}$ です。電源投入後、gxb_powerdown 信号を使用する場合、busy 信号のデアサーションを待ってから、gxb_powerdown 信号を最低 $1\ \mu\text{s}$ 間アサートします。最後に、図 4-20 に示すシーケンスに従います。

busy 信号のデアサーションは、レシーバ・チャンネルでオフセット・キャンセレーション処理が適切に完了したことを示します。

図 4-20. 4本の Receiver and Transmitter チャンネルのサンプル・リセット・シーケンス—オプションの gxb_powerdown 信号付き自動ロック・モードのレシーバ CDR

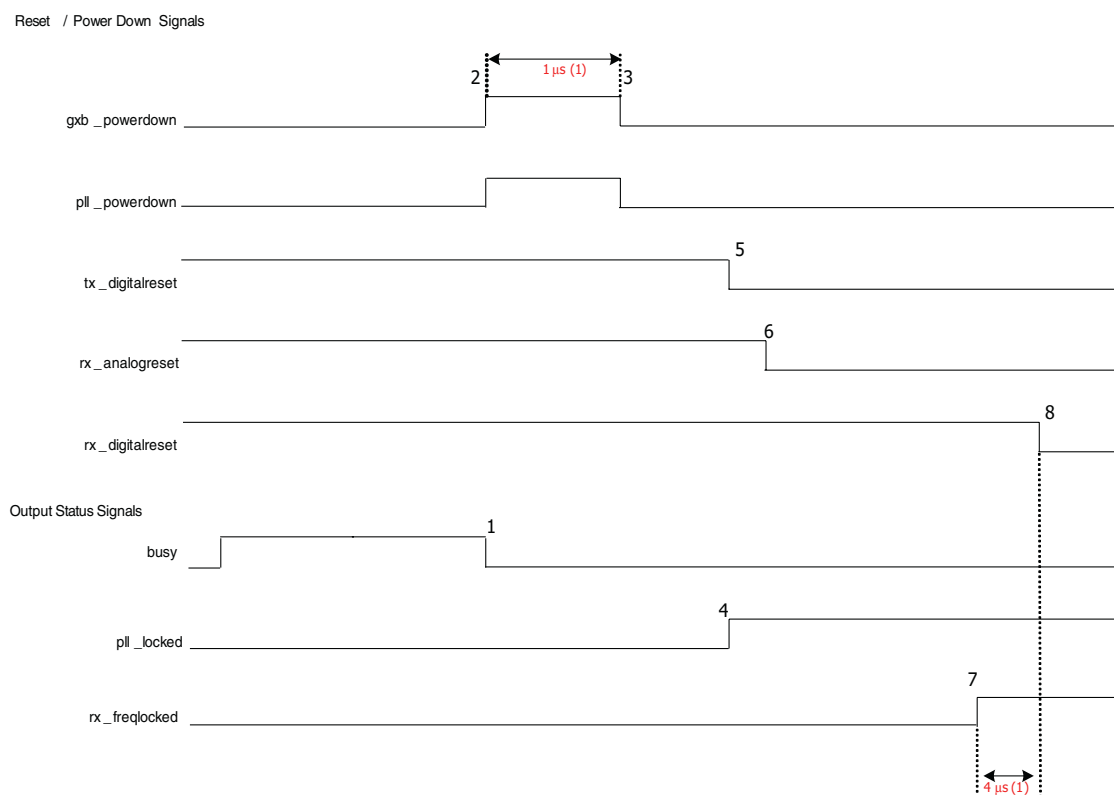


図 4-20 の注：

(1) 特性値未確定。

シミュレーション要件

シミュレーション要件は以下のとおりです。

- gxb_powerdown ポートはオプションです。シミュレーションで、gxb_powerdown ポートがインスタンス化されない場合は、シミュレーション動作を正しく実行するために、tx_digitalreset、rx_digitalreset、および rx_analogreset 信号を適切にアサートする必要があります。
- gxb_powerdown ポートがインスタンス化され、他のリセット信号が使用されていない場合は、シミュレーション動作を正しく実行するために、少なくとも 1 パラレル・クロック・サイクルの間、gxb_powerdown 信号をアサートしなければなりません。
- rx_freqlocked 信号が High になった直後に rx_digitalreset をディアサートして、シミュレーション実行時間を短縮できます。実際のリセット・シーケンスで提案されているように、4 μs 間待機する必要はありません。
- シミュレーション実行時間を短縮するために、busy 信号は約 20 パラレル reconfig_clk クロック・サイクル後にディアサートされます。ハードウェアでのシリコン動作は、前述のリセット・シーケンスに従うことができます。
- PCI Express (PIPE) モード・シミュレーションでは、シミュレーション動作を正しく実行するために、少なくとも 1 パラレル・クロック・サイクル間 tx_forceidle 信号をアサートしてからノーマル・データを送信する必要があります。

改訂履歴

表 4-3 に、本資料の改訂履歴を示します。

表 4-3. 改訂履歴

日付および ドキュメント・ バージョン	変更内容	概要
2009 年 3 月、v3.0	以下を追加。 <ul style="list-style-type: none"> ■ [PMA Direct Drive モード・リセット・シーケンス] ■ [ダイナミック・リコンフィギュレーション・リセット・シーケンス] 	—
2008 年 11 月、v2.0	Stratix IV デバイス・ハンドブックに章を追加。	—