


この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIV52003-4.0

この章を使用してトランシーバ・インスタンスを作成し、トランシーバ・チャンネルの結合方法を理解します。結合可能なインスタンスは、**Receiver Only** および **Transmitter and Receiver** チャンネル、プロトコル機能モードでコンフィギュレーションされたチャンネル、PLL カスケード・クロックを使用するチャンネル、複数のトランシーバ・ブロックにおけるチャンネル、**Basic (PMA Direct)** コンフィギュレーションのチャンネルなどがあります。この章では、クロック・マルチプライヤ・ユニット PLL (CMU PLL) の共有に関するいくつかの例も提供しています。

- 
 ATX (auxiliary transmit) PLL でサポートされているデータ・レート範囲について詳しくは、「*DC and Switching Characteristics*」の章の「Transceiver Performance Specifications」の項を参照してください。

概要

Stratix® IV GX デバイスの各トランシーバ・チャンネルは、個別のデータ・レートまたは個別のプロトコル・モードで動作可能です。各トランシーバ・チャンネル内のトランスミッタおよびレシーバ・チャンネルは、異なるデータ・レートで動作可能です。各トランシーバ・ブロックは、トランシーバ・ブロック内のすべてのトランスミッタ・チャンネルにクロックを供給する 2 個の CMU PLL で構成されています。各レシーバ・チャンネルは、専用のクロック・データ・リカバリ (CDR) ユニットの備えています。

CMU PLL に加えて、特定のデータ・レート範囲にコンフィギュレーションされたトランスミッタ・チャンネルにクロックを供給する ATX PLL も備えています。

この章は、以下の項で構成されています。

- 3-2 ページの「用語集」
- 3-3 ページの「トランシーバ・チャンネル・インスタンスの作成」
- 3-3 ページの「チャンネルを結合するための一般要件」
- 3-5 ページの「CMU PLL の共有」
- 3-10 ページの「ATX PLL の共有」
- 3-10 ページの「Receiver Only チャンネルの結合」
- 3-11 ページの「トランスミッタ・チャンネル・インスタンスとレシーバ・チャンネル・インスタンスの結合」
- 3-14 ページの「複数のトランシーバ・ブロック内でのトランシーバ・インスタンスの結合」
- 3-17 ページの「PLL カスケード・クロックを使用するトランシーバ・インスタンスの結合」
- 3-17 ページの「プロトコル機能モードでコンフィギュレーションされたチャンネルの結合」
- 3-27 ページの「Basic (PMA Direct) コンフィギュレーションのトランシーバ・チャンネルを結合」

- 3-43 ページの「チャンネル・リコンフィギュレーションがイネーブルされるときの結合要件」
- 3-48 ページの「アダプティブ・イコライゼーション (AEQ) がイネーブルされるときのトランシーバ・チャンネルの結合」
- 3-50 ページの「Stratix IV GT デバイスの結合要件」
- 3-50 ページの「まとめ」

各トランスミッタ・チャンネルには、CMU PLL の High クロック出力を分周して、フィジカル・コーディング・サブレイヤ (PCS) 機能ブロックとフィジカル・メディア・アタッチメント (PMA) 機能ブロックに、高速シリアル・クロックと低速パラレル・クロックを供給するローカル・ディバイダ (/1、/2、または /4) があります。


レシーバ・チャンネル内の RX CDR を個別データ・レートにコンフィギュレーションして、独立した入力基準クロックを供給することができます。各レシーバ・チャンネルは、RX CDR の高速クロック出力を分周し、PCS 機能ブロックと PMA 機能ブロックにクロックを供給するローカル・ディバイダも備えています。トランシーバ・チャンネルの設定を可能にするために、Quartus®II ソフトウェアは、ALTGX MegaWizard™ Plug-In Manager インタフェースを提供しています。ALTGX MegaWizard Plug-In Manager により、**Receiver and Transmitter** コンフィギュレーション、**Receiver only** コンフィギュレーション、および **Transmitter only** コンフィギュレーションで、1 本または複数のトランシーバ・チャンネルをインスタンス化することができます。

用語集

表 3-1 に、この章で使用される用語を示します。

表 3-1. この章で使用される用語

コンフィギュレーション	説明
通常チャンネル	各トランシーバ・ブロックにある PCS が含まれる 4 本のトランシーバ・チャンネルを指します。
Basic (PMA Direct)	通常チャンネルおよび CMU チャンネル両方に使用できる Basic (PMA Direct) コンフィギュレーションを指します。Basic (PMA Direct) モードは、x1 と xN の 2 つのバリエーションがあります。この章で使用する「Basic (PMA Direct)」という用語は、通常 /CMU チャンネルにおける x1 および xN の両方を指します。この用語が x1、xN、あるいは通常 /CMU チャンネルに特定して用いられる場合には明示的に表記されます。
非 Basic (PMA Direct)	この用語は、すべての単一チャンネルの非結合コンフィギュレーション (例えば: GIGE、PCI Express [PIPE] x1)、または PCS がイネーブルされる結合チャンネル・コンフィギュレーション (例えば: Basic x4、Basic x8、XAUI、PCI Express [PIPE] x4、PCI Express [PIPE] x8) のことを指します。また、チャンネルが非 Basic (PMA Direct) モードということは、そのチャンネルが通常トランシーバ・チャンネルであることを示します。
Basic (PMA Direct) x1	このコンフィギュレーションに設定されるトランシーバ・チャンネルは同じトランシーバ・ブロック内の CMU PLL からの高速シリアル・クロックを使用しています。このコンフィギュレーションを選択するには、 Which protocol you will be using? オプションを Basic (PMA Direct) に設定し、 Which sub protocol you will be using? オプションを none に設定します。
Basic (PMA Direct) xN	このコンフィギュレーションで設定されるトランシーバ・チャンネルは xN 高速クロック・ラインを使用します。このコンフィギュレーションを選択するには、 Which protocol you will be using? オプションを Basic (PMA Direct) に設定し、 Which sub protocol you will be using? オプションを xN に設定します。

 Basic (PMA Direct) xN コンフィギュレーションによるトランシーバ・チャンネルの設定について詳しくは、「[Stratix IV GX Transceiver Clocking](#)」の章を参照してください。

トランシーバ・チャンネル・インスタンスの作成

以下の2つの方法により、ALTGX MegaWizard Plug-In Manager の **General** 画面で、複数のトランシーバ・チャンネルをインスタンス化できます。

- **What is the number of channels?** オプションで、必要な値を選択します。この方法では、すべてのトランシーバ・チャンネルが同じコンフィギュレーションを持つように作成されます。例については、3-14 ページの「[複数のトランシーバ・ブロック内でのトランシーバ・インスタンスの結合](#)」を参照してください。
- **What is the number of channels?** オプションで、1 を選択し、1 本のチャンネルのトランシーバ・インスタンスを作成します。同じコンフィギュレーションを持つトランシーバ・チャンネルを追加してインスタンス化するには、作成された ALTGX インスタンスを複数回選択します。異なるコンフィギュレーションを持つ追加トランシーバ・チャンネルが必要な場合は、設定が異なる ALTGX メガファンクションを個別に作成して、デザインで使用します。


上記の方法でインスタンスを作成するときは、同じトランシーバ・ブロック内に最大4本のトランシーバ・チャンネルを強制的に配置することができます。これはチャンネル・インスタンスの tx_dataout ポートと rx_datain ポートを1つのトランシーバ・バンクに割り当てることによって実現されます。tx_dataout ポートと rx_datain ポートにピンを割り当てなかった場合、Quartus II ソフトウェアはデフォルトのピン・アサインメントを選択します。Quartus II ソフトウェアは、複数のチャンネル・インスタンスが特定の要件を満たす場合は、デザインのコンパイル時にそれらと同じトランシーバ・ブロック内で結合します。以下の項では、さまざまなトランシーバ・コンフィギュレーションに対するこれらの要件について説明します。

チャンネルを結合するための一般要件

Quartus II ソフトウェアは、複数の ALTGX インスタンスの作成時に、それらと同じトランシーバ・ブロック内またはデバイスの同じ側にある複数のトランシーバ・ブロックで結合するために、以下のパラメータと信号に同じ値を設定することを要求します。これらの要件については、以下の項で説明しています。

トランスミッタ・バッファ電圧 (V_{CCH})

Stratix IV GX デバイスでは、ALTGX MegaWizard Plug-In Manager で V_{CCH} 電源に対して 1.4 V または 1.5 V を選択するオプションが提供されています。同じトランシーバ・ブロック内にある複数のチャンネル・インスタンスを結合する場合には、Quartus II ソフトウェアですべてのチャンネル・インスタンスを同じ V_{CCH} 値に設定する必要があります。

 トランスミッタ・チャンネルのデータ・レートは選択された V_{CCH} 値によって制限されています。

 データ・レートの制限については、「[DC and Switching characteristics](#)」の章を参照してください。

トランシーバ・アナログ電源 ($V_{CCA_L/R}$)

Stratix IV GX デバイスは、それぞれデバイスの左側および右側にあるすべてのトランシーバ・チャンネル内の PMA ブロックに電源を供給する、 V_{CCA_L} および V_{CCA_R} の 2 種類の電源ピンを備えています。

Stratix IV GX デバイスは、ALTGX MegaWizard Plug-In Manager により $V_{CCA_L/R}$ 電源に 2.5 V または 3.0 V を選択するオプションを提供しています。すべてのトランシーバ・チャンネル・インスタンスに同じ $V_{CCA_L/R}$ 値を設定して、Quartus II ソフトウェアがそれらをデバイスの同じ側にあるトランシーバ・ブロック内に配置できるようにする必要があります。例えば、左側のトランシーバ・バンク GXBL0 および GXBL1 に配置したい ALTGX インスタンスが 2 つある場合、2 つの ALTGX インスタンスの $V_{CCA_L/R}$ 値は同じでなければなりません。



トランシーバ・チャンネルのデータ・レートは選択された $V_{CCA_L/R}$ の値によって制限されます。



データ・レートの制限については、[『DC and Switching characteristics』](#) の章を参照してください。

コントロール信号

この項では、`gxb_powerdown` ポート、`reconfig_fromgxb` ポート、および `reconfig_togxb` ポートについて説明します。

`gxb_powerdown` ポート

`gxb_powerdown` ポートは、ALTGX MegaWizard Plug-In Manager でイネーブルできるオプションのポートです。イネーブルされている場合、ALTGX インスタンス内の `gxb_powerdown` ポートを同じロジックまたは同じ入力ピンからドライブして、Quartus II ソフトウェアがこれらのポートを同じトランシーバ・ブロックに割り当てることができるようにする必要があります。

`reconfig_fromgxb` ポートおよび `reconfig_togxb` ポート

ALTGX MegaWizard Plug-In Manager の **Reconfig** 画面で、以下のいずれかのオプションを選択すると、`reconfig_fromgxb` ポートおよび `reconfig_togxb` ポートがイネーブルされます。

- Analog Controls (VOD, Pre-emphasis, Manual Equalization, EyeQ)
- Enable Channel and Transmitter PLL reconfiguration
- Offset cancellation for receiver channels (コンフィギュレーションが **Transmitter and Receiver** または **Receiver only** の場合は常にイネーブル)



複数のインスタンスを同じトランシーバ・ブロックに結合するには：

- 各インスタンスでは `reconfig_fromgxb` ポートがイネーブルされる必要があります。
- これらのポートは同じリコンフィギュレーション・コントローラに接続する必要があります。


例えば、**Receiver only** インスタンスと **Transmitter only** インスタンスを同じトランシーバ・ブロックに配置するとしましょう。**Receiver only** インスタンスの場合、Quartus II ソフトウェアは自動的に `reconfig_fromgxb` ポートをイネーブルします。**Transmitter only** インスタンスの場合、`reconfig_fromgxb` をイネーブルするためには、**Reconfig** 画面で（上記の）オプションを選択する必要があります。デザインの際、**Transmitter only** および **Receiver only** インスタンスからのこれらのポートを同じリコンフィギュレーション・コントローラに接続します。


 これらのポートをダイナミック・リコンフィギュレーション・コントローラに接続することについて詳しくは、*[Stratix IV Dynamic Reconfiguration]* の章の「Connecting the ALTGX and ALTGX_RECONFIG Instances」の項を参照してください。

キャリブレーション・クロックおよびキャリブレーション・パワー・ダウン

Stratix IV GX デバイスの各キャリブレーション・ブロックは、複数のトランシーバ・ブロックによって共有されます。

デザインで複数のトランシーバ・ブロックが使用される場合、選択されたトランシーバ・バンクに応じて、すべてのチャンネル・インスタンスの `cal_blk_clk` ポートと `cal_blk_powerdown` ポートを同じ入力ピンまたはロジックに接続する必要があります。

 キャリブレーション・ブロックおよび特定のキャリブレーション・ブロックに接続されるトランシーバ・バンクについて詳しくは、*[Stratix IV Transceiver Architecture]* の章の「Calibration Blocks」の項を参照してください。

 `cal_blk_powerdown` ポートをアサートすると、キャリブレーション・ブロックに接続されたすべてのトランシーバ・チャンネルのキャリブレーションに影響を与えます。

CMU PLL の共有

CMU PLL を用いて複数のトランシーバ・チャンネル・インスタンスを作成して、それらのインスタンスを同じトランシーバ・ブロック内で結合するとき、Quartus II ソフトウェアは、1 個の CMU PLL でチャンネル・インスタンスの送信側にクロック出力を供給できるかどうかをチェックします。1 個の CMU PLL では不十分な場合、Quartus II ソフトウェアは 2 個の CMU PLL を使用してチャンネル・インスタンスの結合を試みます。チャンネル・インスタンスを結合できない場合、Quartus II ソフトウェアは Fitter エラーを発行します。

以下の 2 つの項では、Quartus II ソフトウェアで CMU PLL を共有可能にするための ALTGX インスタンス要件について説明します。

複数のチャンネルによる 1 個の CMU PLL の共有

Quartus II ソフトウェアで複数のチャンネルに同じ CMU PLL を共有できるようにするには、チャンネル・インスタンス化の際に以下のパラメータを同じにする必要があります。

- ベース・データ・レート（CMU PLL はこのデータ・レートでコンフィギュレーションされます）
- CMU PLL 帯域幅の設定
- 基準クロック周波数

- 入力基準クロックピン
- ALTGX インスタンスの pll_powerdown ポートを同じロジックからドライブする必要があります。
- インスタンスにおいて選択された機能モードが (OIF) CEI Phy Interface または PCI Express (PIPE) の場合、CMU PLL を共有するために、ほかのインスタンスは同じ機能モードでなければなりません。例えば、2本のチャンネルがあり、1本は Basic モードにコンフィギュレーションされ、もう1本は同じデータ・レートで (OIF) CEI Phy Interface モードにコンフィギュレーションされた場合、2つの機能モードの内部パラメータが異なるため、Quartus II ソフトウェアは同一 PLL を共有しません。

各チャンネル・インスタンスは、異なるローカル・ディバイダ設定を持つことができます。これはトランシーバ・ブロック内の各チャンネルを、ローカル・ディバイダ値 /1、/2、および /4 を使用して、同じベース・データ・レートから派生した異なるデータ・レートで動作させるときに有効な選択肢です。例 1 には、このデザイン・コンフィギュレーションを示します。

例 1

同じトランシーバ・ブロックにある、さまざまなシリアル・データ・レートを持つ **Receiver and Transmitter** コンフィギュレーションの4つのインスタンスの例を検討してみましょう。各インスタンスに1本のチャンネルがあり、これが同じクロック・ソースからドライブされ、CMU PLL 帯域幅の設定も同じであると仮定します。表 3-2 に、例 1 のコンフィギュレーションを示します。

表 3-2. 例 1 のコンフィギュレーション

ユーザーが作成した インスタンス名	ALTGX MegaWizard Plug-In Manager の設定		
	チャンネル数	コンフィギュレーション	有効データ・レート
inst0	1	Receiver and Transmitter	4.25 Gbps
inst1	1	Receiver and Transmitter	2.125 Gbps
inst2	1	Receiver and Transmitter	1.0625 Gbps
inst3	1	Receiver and Transmitter	4.25 Gbps

例 1 の場合、以下の理由により、1 個の CMU PLL が 4 本すべてのチャンネルで共用できます。

- 1 個の CMU PLL が 4.25 Gbps で動作するようにコンフィギュレーションできる。
- 各チャンネルで、ローカル・ディバイダを使用して CMU PLL クロック出力を分周して、4.25Gbps、2.125Gbps、および 1.0625Gbps の必要なデータ・レートを達成できる。各レシーバ・チャンネルは専用 CDR を備えているため、各インスタンスの受信側を制約なしでこれら 3 つのデータ・レートに合わせて設定できる。

Quartus II ソフトウェアで、1 個の CMU PLL を 4 本すべてのチャンネルで共用できるようにするには、ALTGX MegaWizard Plug-In Manager の **General** 画面に表 3-3 に示す値を設定します。

表 3-3. 例 1 の ALTGX MegaWizard Plug-In Manager 設定

インスタンス	General 画面のオプション	設定
inst0	What is the effective data rate?	4.25 Gbps
	Specify base data rate	4.25 Gbps (1)
inst1	What is the effective data rate?	2.125 Gbps
	Specify base data rate	4.25 Gbps (1)
inst2	What is the effective data rate?	1.0625 Gbps
	Specify base data rate	4.25 Gbps (1)
inst3	What is the effective data rate?	4.25 Gbps
	Specify base data rate	4.25 Gbps (1)

表 3-3 の注 :

- (1) Specify base data rate オプションは、4 つのすべてのインスタンスに対して 4.25Gbps です。CMU PLL 帯域幅の設定と入力基準クロックが同じ、かつ p11_powerdown ポートが同じロジックまたはピンからドライブされる場合、Quartus II ソフトウェアは 4.25Gbps で動作する 1 個の CMU PLL を共有します。

tx_dataout および rx_datain にピンを割り当てることにより、複数のトランシーバ・チャンネルを特定のトランシーバ・ブロックに強制的に配置できます。ピンを割り当てなかった場合、Quartus II ソフトウェアはトランシーバ・バンクを選択します。

図 3-1 および図 3-2 に、Quartus II ソフトウェアがトランシーバ・チャンネル・インスタンスを結合する前と後のシナリオを示します。RX CDR はチャンネル間で共有されないため、CMU PLL のみ示します。


-  各 ALTGX インスタンスは、p11_powerdown ポートを備えています。Quartus II ソフトウェアで同じ CMU PLL を共有可能にするには、すべてのインスタンスの p11_powerdown ポートを同じロジックからドライブする必要があります。

図 3-1. 例 1 のコンパイル前の ALTGX インスタンス

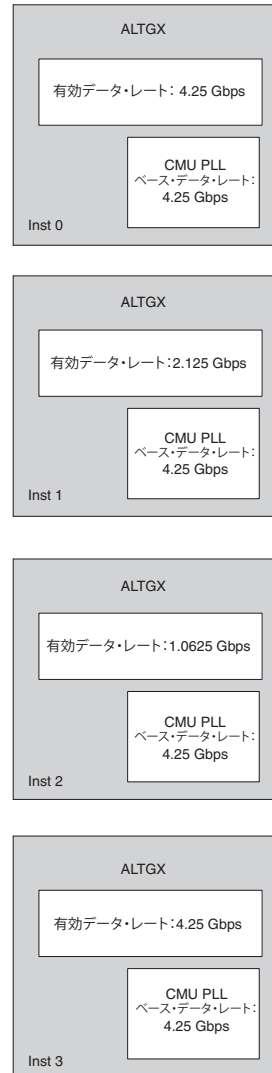
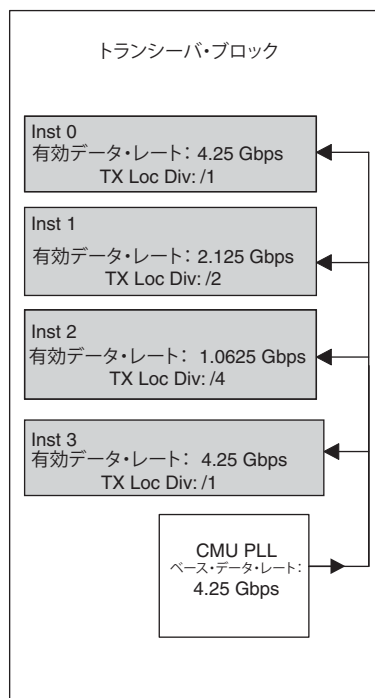


図 3-2 に、Quartus II ソフトウェアがトランシーバ・チャネル・インスタンスを結合する後のシナリオを示します。

図 3-2. 例 1 のコンパイル後に結合したインスタンス




例 2

表 3-4 のデザイン例を検討してみましょう。シリアル・データ・レートが同じで CMU PLL データ・レートが異なる 2 つのインスタンスがある場合、Quartus II ソフトウェアは、これら 2 つのインスタンス用に別々の CMU PLL を作成します。

表 3-4. 例 2 のコンフィギュレーション


ユーザーが作成した インスタンス名	ALTGX MegaWizard Plug-In Manager の設定			
	チャンネル数	コンフィギュレーション	有効データ・レート	ベース・データ・レート
inst0	1	Receiver and Transmitter	2.5 Gbps	2.5 Gbps
inst1	1	Receiver and Transmitter	2.5 Gbps	5 Gbps
inst2	1	Receiver and Transmitter	1 Gbps	1 Gbps

 inst1 の有効データ・レートが 2.5Gbps (5Gbps/2 = 2.5Gbps)、すなわち inst0 の有効データ・レートと同じでも、これらのインスタンスのベース・データ・レートが異なるため、Quartus II ソフトウェアは、デザインのコンパイル時に、2 つのインスタンスの送信側にクロックを供給するために 2 個の CMU PLL を必要とします。この例では、3 番目のインスタンス inst2 に 3 番目の CMU PLL が必要です。したがって、Quartus II ソフトウェアは、上記の 3 つのインスタンスを同じトランシーバ・ブロック内で結合することはできません。

ATX PLL の共有

以下の条件が満たされる場合、Quartus II ソフトウェアにより複数のトランシーバ・インスタンスが同じ ATX PLL を共有することができます。


- 2つのインスタンスの ATX PLL 帯域幅は同じです。
- インスタンスにおいて選択された機能モードが (OIF) CEI Phy Interface または PCI Express (PIPE) の場合、ATX PLL を共有するために、ほかの機能モードは同じでなければなりません。例えば、2本のチャンネルがあり、1本は Basic モードにコンフィギュレーションされ、もう1本は同じデータ・レートで (OIF) CEI Phy Interface モードにコンフィギュレーションされた場合、2つの機能モードの内部パラメータが異なるため、Quartus II ソフトウェアは同一 PLL を共有しません。
- 2つのインスタンスのベース・データ・レートとおよび効データ・レートは同じです。
- 2つのインスタンス内の p11_powerdown ポートは同じロジックに接続されます。
- 2つのインスタンスはデバイスの同じ側に配置されます。
- ATX PLL からの $\times N$ クロック・ラインと2つのインスタンスの間に競合がありません。


 $\times N$ クロックについては、[『Stratix IV Transceiver Clocking』](#) の章の「Transmitter Channel Data Path Clocking」の項を参照してください。

Receiver Only チャンネルの結合

ALTGX MegaWizard Plug-In Manager の **General** 画面にある **What is the Operating Mode?** オプションで **Receiver only** コンフィギュレーションを選択することにより、トランシーバ・チャンネルでレシーバを選択して使用できます。

コンフィギュレーションとデータ・レートが異なる **Receiver only** チャンネルを同じトランシーバ・ブロック内で結合することができます。各レシーバ・チャンネルは独自の専用 CDR を備えているため、各 **Receiver only** インスタンス（インスタンス1につき1本のレシーバ・チャンネルを仮定）は異なるデータ・レートを持つことができます。

 Quartus II ソフトウェアが複数の **Receiver only** インスタンスを同じトランシーバ・ブロック内に結合するために、すべてのチャンネル・インスタンスの gxb_powerdown（使用されている場合）を同じロジックまたは入力ピンに接続する必要があります。詳細は、[3-3 ページの「チャンネルを結合するための一般要件」](#)を参照してください。

 デザインに **Receiver only** インスタンスが含まれる場合、Quartus II ソフトウェアは同じフィジカル・トランシーバ・チャンネルに存在する未使用トランスミッタ・チャンネルの設定をすべてディセーブルします。したがって、ハードウェア内で、未使用のトランスミッタ・チャンネルは常にパワー・ダウンされます。

トランスミッタ・チャンネル・インスタンスとレシーバ・チャンネル・インスタンスの結合

独立したトランスミッタ・チャンネル・インスタンスと独立したレシーバ・チャンネル・インスタンスを作成し、トランスミッタ・インスタンスの tx_dataout ピンとレシーバ・インスタンスの rx_datain ピンを同じフィジカル・トランシーバ・チャンネル内に割り当てることができます。このコンフィギュレーションは、トランスミッタ・チャンネルとレシーバ・チャンネルを異なるシリアル・データ・レートで動作させる場合に役立ちます。独立したトランスミッタ・チャンネル・インスタンスとレシーバ・チャンネル・インスタンスを作成するには、ALTX MegaWizard PlugIn Manager の動作モード (**General** 画面) で、**Transmitter only** オプションと **Receiver only** オプションを選択します。

複数のトランスミッタ・チャンネル・インスタンスおよびレシーバ・チャンネル・インスタンス

Quartus II ソフトウェアにより、複数の **Transmitter only** チャンネル・インスタンスと **Receiver only** チャンネル・インスタンスを同じトランシーバ・ブロック内で結合することができます。Quartus II ソフトウェアは、ピン・アサインメントに基づいて、同じ物理チャンネル内で対応する **Transmitter only** チャンネルと **Receiver only** チャンネルを結合します。Quartus II ソフトウェアが同じトランシーバ・ブロック内で、トランスミッタ・チャンネル・インスタンスとレシーバ・チャンネル・インスタンスを結合できるように、以下の資料に概説されている規則と要件に従ってください。

- 3-3 ページの「チャンネルを結合するための一般要件」
- 3-5 ページの「複数のチャンネルによる 1 個の CMU PLL の共有」
- 3-10 ページの「Receiver Only チャンネルの結合」

例 3

表 3-5 に示す 4 つの ALTX インスタンスを持つデザイン例を検討してみましょう。

表 3-5. 例 3 の 4 つの ALTX インスタンス

インスタンス名	コンフィギュレーション	シリアル・データ・レート	入力基準クロック周波数
inst0	Transmitter only	3.125 bps	156.25 MHz
inst1	Receiver only	2.5 Gbps	156.25 MHz
inst2	Transmitter only	1.25 Gbps	125 MHz
inst3	Receiver only	2 Gbps	125 MHz

上記のインスタンスの作成後、表 3-6 に示すとおりインスタンスを強制的に配置する場合、Quartus II ソフトウェアは、inst0 と inst1 を物理チャンネル 0 に、inst2 と inst3 を物理チャンネル 1 に結合します。

表 3-6. 例 3 のインスタンスの強制配置

インスタンス名	同じトランシーバ・ブロックでの物理チャンネル・ピンのアサインメント
inst0	チャンネル 0 の TX ピン
inst1	チャンネル 0 の RX ピン
inst2	チャンネル 1 の TX ピン
inst3	チャンネル 1 の RX ピン

図 3-3 および図 3-4 に、コンパイルの前および後のトランシーバ・チャンネル・インスタンスを示します。

図 3-3. 例 3 のコンパイル前の ALTGX トランシーバ・チャンネル・インスタンス

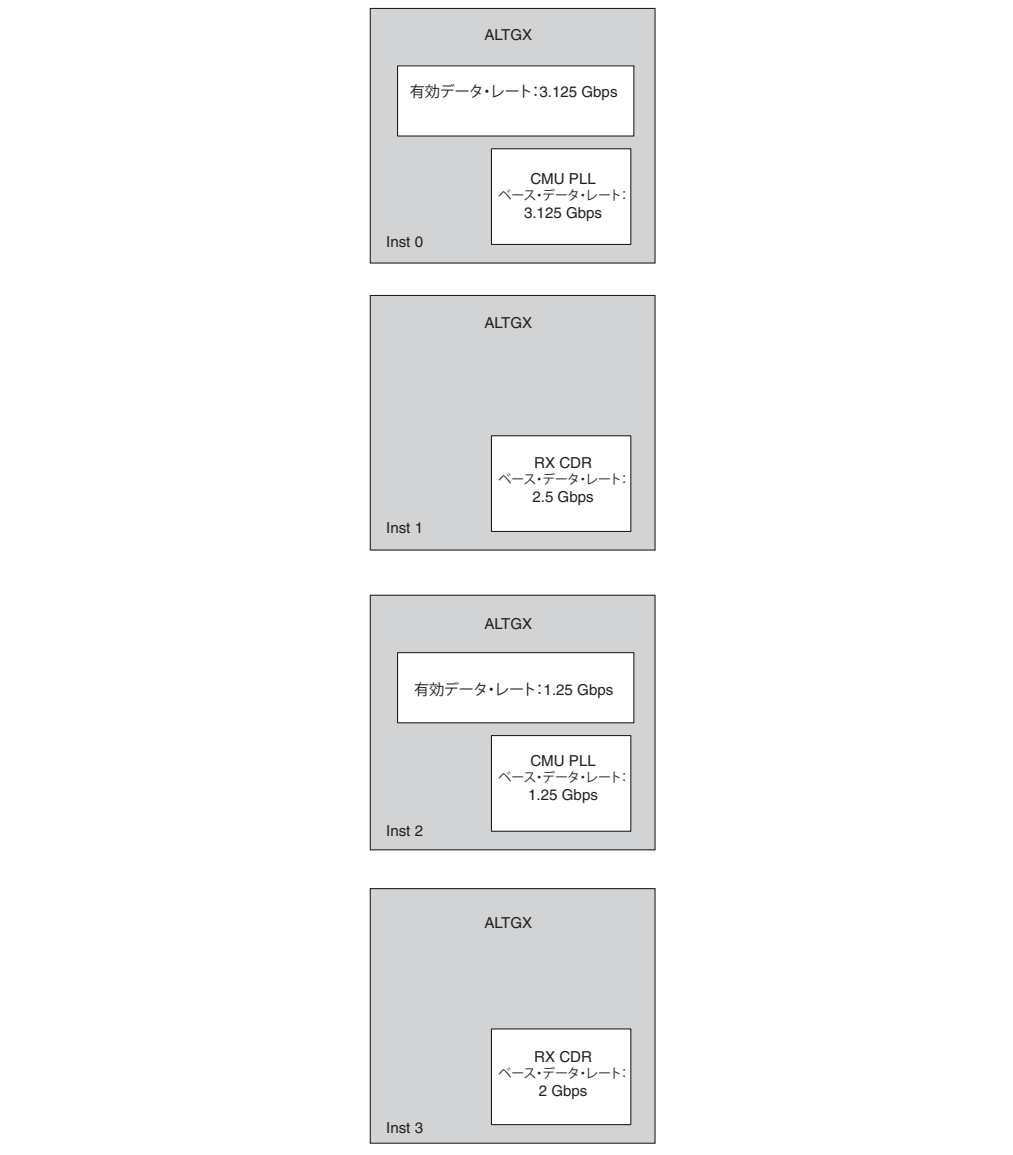
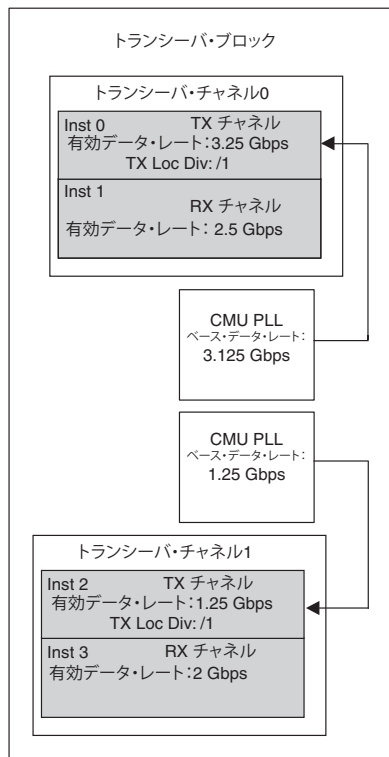


図 3-4 に、コンパイル後のトランシーバ・チャンネル・インスタンスを示します。

図 3-4. 例 3 のコンパイル後に結合したトランシーバ・インスタンス



複数のトランシーバ・ブロック内でのトランシーバ・インスタンスの結合

3-3 ページの「トランシーバ・チャンネル・インスタンスの作成」では、1つの ALTGX インスタンスを使用して複数のトランシーバ・チャンネルをインスタンス化する方法について説明しました。次の項では、複数のトランシーバ・ブロックを使用して複数のトランシーバ・チャンネルをインスタンス化する方法について説明します。

5 本以上のトランシーバ・チャンネルを持つトランシーバ・インスタンスを作成するとき（そのインスタンスは非 Basic (PMA Direct) 機能モードで作成され、通常チャンネルを必要とすることを仮定）、Quartus II ソフトウェアは複数のトランシーバ・ブロック内でトランシーバ・チャンネルの結合を試みます。これを以下の例で示します。

例 4

表 3-7 に示す 2 つの ALTX インスタンスを持つデザイン例を検討してみましょう。

表 3-7. 例 4 の 2 つの ALTX インスタンス

インスタンス名	トランシーバ・チャンネル数	コンフィギュレーション	シリアル・データ・レート	入力基準クロック
inst0	7	Receiver and Transmitter	4.25 Gbps	125 MHz、refclk0 から
inst1	1	Receiver and Transmitter	4.25 Gbps	125 MHz、refclk0 から (inst0 と同じ)

Quartus II ソフトウェアは、3-5 ページの「複数のチャンネルによる 1 個の CMU PLL の共有」で規定されるすべての必須パラメータが inst0 と inst1 で同じとみなして、inst0 と inst1 を 2 つのトランシーバ・ブロックに収容します。

図 3-5 および図 3-6 に、コンパイルの前および後のトランシーバ・チャンネル・インスタンスを示します。

図 3-5. 例 4 のコンパイル前のトランシーバ・チャンネル・インスタンス

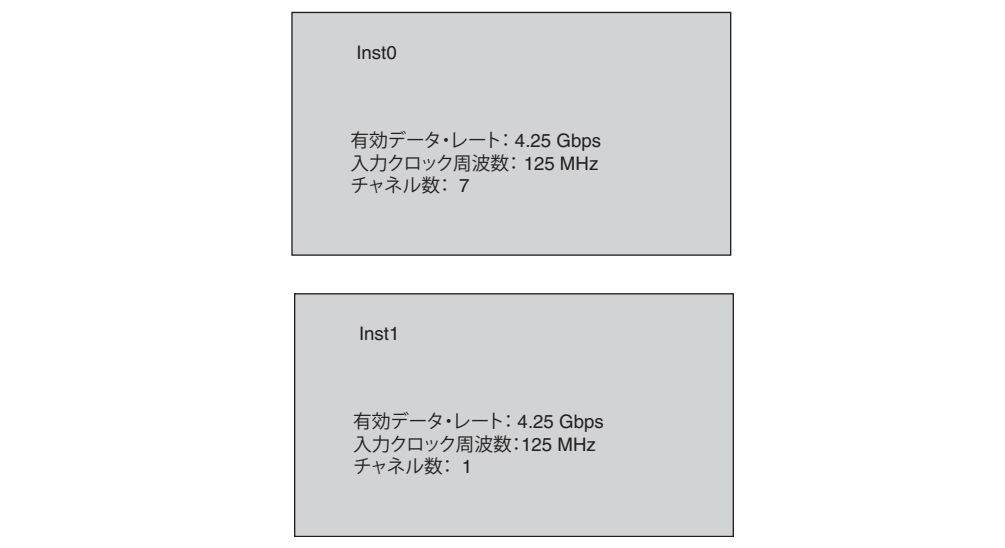
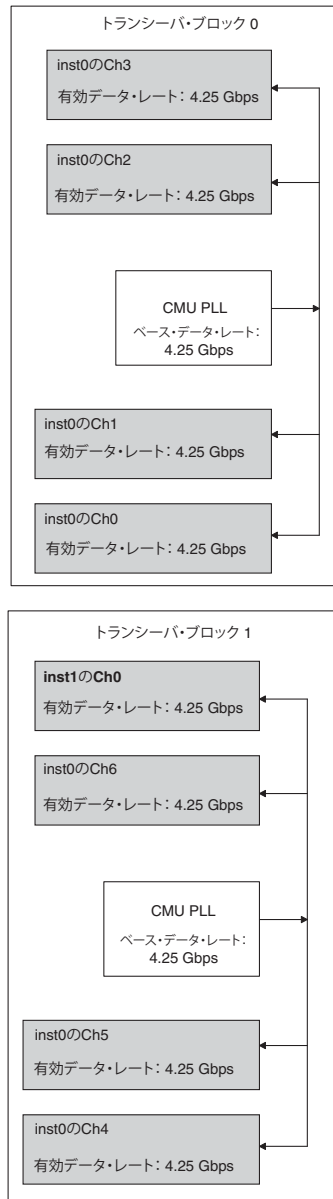



図 3-6 に、コンパイル後のトランシーバ・チャネル・インスタンスを示します。

図 3-6. 例 4 のコンパイル後に結合したトランシーバ・インスタンス



inst0とinst1のtx_dataoutポートとrx_datainポートにピンを割り当てることにより、複数のトランシーバ・チャネルを特定のトランシーバ・バンクに強制的に配置することができます。

inst0が7本のトランシーバ・チャネルをインスタンス化しても、ALTGX MegaWizard Plug-In Managerは、inst0に1ビット幅のpll_inclkポートしか提供しません。デザインで、pll_inclkポートに1つのクロック入力のみ提供します。Quartus II ソフトウェアは、2つのトランシーバ・ブロックを使用して7本のチャネルを収容し、入力基準クロック（デザインのpll_inclkポートに接続）を内部で2つのトランシーバ・ブロックのCMU PLLに接続します。


 inst1 に対して、ALTGX MegaWizard Plug-In Manager は pll_inclnk ポートを提供します。この例では、inst0 と inst1 に 1 つの基準クロックが提供されると仮定しています。したがって、inst0 と inst1 の pll_inclnk ポートを同じ入力基準クロック・ピンに接続します。これにより、Quartus II ソフトウェアで、inst0 の 3 本のチャンネルと inst1 の 1 本のチャンネルを持つトランシーバ・ブロック 1 で 1 個の CMU PLL を共用できます (図 3-6 に、トランシーバ・ブロック 1 の Ch4、Ch5、および Ch6 として示されています)。

inst0 の RX CDR について、ALTGX MegaWizard Plug-In Manager は、rx_cruclk ポートに 7 ビットを提供します (PLL/Ports 画面の **Train Receiver CDR from pll_inclnk** オプションが選択されていない場合)。これにより、各チャンネルの RX CDR への個別の入力基準クロックが許可されます。

PLL カスケード・クロックを使用するトランシーバ・インスタンスの結合

Stratix IV GX トランシーバは、汎用 PLL (PLL_L および PLL_R) の出力を CMU PLL、ATX PLL、およびレシーバ CDR にカスケード接続する能力を持っています。左側の PLL は、デバイスの左側のトランシーバにのみカスケード接続できます。同様に、右側の PLL はデバイスの右側のトランシーバにのみカスケード接続できます。

Stratix IV GX デバイスの各サイドに、PLL カスケード・クロック・ネットワークがあります。このネットワークは、PLL カスケード・クロックをトランシーバ・ブロックに接続するシングル・ライン・ネットワークです。このクロック・ラインは、異なる PLL カスケード・クロックでトランシーバの CMU PLL、ATX PLL、および RX CDR をドライブできるように、セグメント化されています。同じセグメント内に、1 つの PLL_L/PLL_R のみこれらのトランシーバ PLL/CDR をドライブすることができます。したがって、異なる PLL によってカスケードする 2 つのインスタンスを作成する場合、これらのインスタンスをトランシーバ・ブロックに配置することはできません。セグメント化の位置は、デバイス・ファミリーによって異なります。

 PLL カスケード・クロックの使用およびセグメント化について詳しくは、*「Stratix IV Transceiver Clocking」* の章の「Dedicated Left and Right PLL Cascade Lines Network」の項を参照してください。

プロトコル機能モードでコンフィギュレーションされたチャンネルの結合

この項では、さまざまなプロトコル機能モードでチャンネルを結合する方法について説明します。

結合機能モードでコンフィギュレーションされたチャンネルの結合

この項では、トランシーバ PCS ブロックを使用する 2 つのバリエーションの結合機能モードの結合要件について説明します。2 つの結合機能モードは：

- 3-18 ページの「結合 x4 機能モード」 - 結合 x4 モードの例：
 - サブプロトコルが x4 に設定した Basic モード
 - XAUI
 - サブプロトコルが Gen1x4 または Gen2x4 に設定した PCI Express (PIPE) モード

- 3-21 ページの「結合 x8 機能モード」-結合 x8 モードの例：
 - サブプロトコル x8 の Basic モード
 - サブプロトコル x8 の PCI Express (PIPE) モード

結合 x4 機能モード

Basicx4、Deterministic Latencyx4、および PCI Express (PIPE) x4 機能モード (PCI Express ハード IP ブロックが使用されていない場合) の結合要件は似ています。

このモードでは、スキューを低減するためにトランスミッタ・チャンネルが同期されています。Quartus II ソフトウェアでは、フィジカル・トランスミッタ・チャンネル 0 からのコントロールがトランシーバ・ブロック内のほかのトランスミッタ・チャンネルに共用されています。したがって、このモードでインスタンスを作成するとき、論理送信チャンネル 0 (インスタンス内の tx_dataout [0]) をトランシーバ・ブロック内の物理チャンネル位置 0 によって割り当てる必要があります。

CMU0 チャンネル内のセントラル・クロック・ディバイダ・ブロックは、トランスミッタ・チャンネルに高速シリアル・クロックおよび低速パラレル・クロックを転送します。



このクロック方式については、「*Stratix IV Transceiver Clocking*」の章の「Bonded Channel Configurations」の項で説明されています。

セントラル・クロック・ディバイダを使用するため、チャンネル結合に 2 つの制約が生じます。

1. チャンネルを結合 x4 機能モードでコンフィギュレーションすると、トランシーバ・ブロック内の残りのトランスミッタ・チャンネル (通常チャンネルまたは CMU チャンネル) は Basic (PMA Direct)x1 または xN モードでしか使用できないようになります。

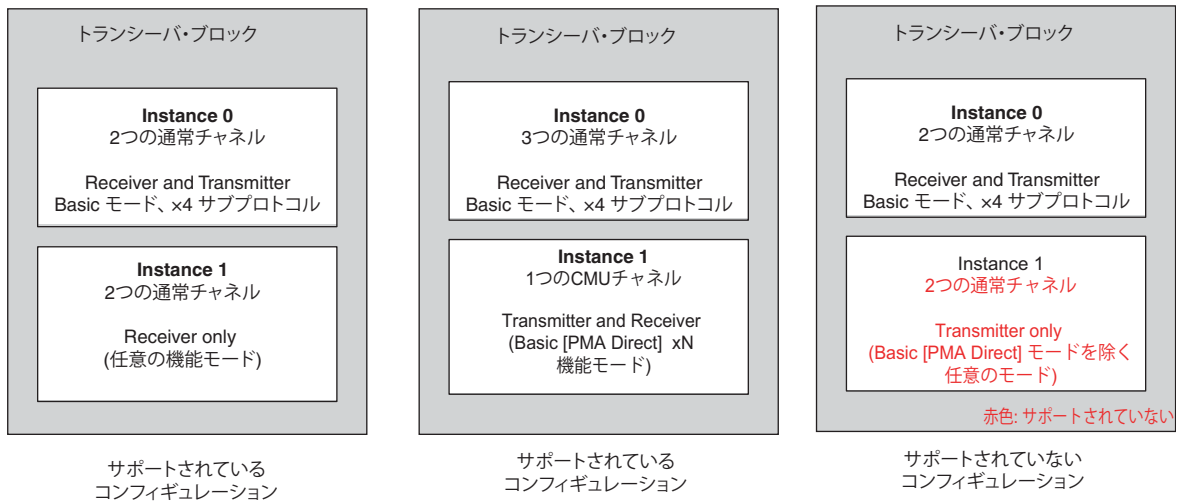


PCI Express (PIPE)機能モードがPCI ExpressハードIPブロックを使用する場合に、結合要件は異なります。詳細は 3-25 ページの「**PCI Express ハード IP ブロックを使用するチャンネルとその他のチャンネルの結合**」を参照してください。

レシーバ・チャンネルは個別にクロックされます。したがって、トランシーバ・ブロック内の未使用レシーバ・チャンネルを許可される任意のコンフィギュレーションに設定することができます。

図 3-7 に、サポートされている組合せおよびサポートされていない組合せの例を示します。


図3-7. Basic × 4 モードのインスタンスを結合するサポートされているコンフィギュレーションとサポートされていないコンフィギュレーションの例



CMU0 PLL または CMU1 PLL は、CMU0 チャンネル内のセントラル・クロック・ディバイダ・ブロックをドライブすることができます。CMU1 PLL を結合 ×4 モードで使用する場合、CMU0 チャンネルの一部（セントラル・クロック・ディバイダ）が結合 ×4 機能モードに使用されたため、Quartus II ソフトウェアでは、CMU0 PLL をほかのコンフィギュレーションで使用することはできません。

次の条件に応じて、残りのチャンネルを Basic (PMA Direct) ×1 または ×N モードで使用します。

1. CMU1 PLL がクロック生成に使用可能な場合、トランシーバ・ブロック内の残りのトランスミッタ・チャンネルを Basic (PMA Direct) ×1 コンフィギュレーションで使用できます。
2. 残りのトランスミッタ・チャンネルを結合 ×4 機能モードと同じデータ・レートにコンフィギュレーションしたい場合に、残りのトランスミッタ・チャンネルを Basic (PMA Direct) ×1 に設定できます。3-5 ページの「CMU PLL の共有」および 3-3 ページの「チャンネルを結合するための一般要件」に、要件について説明します。
3. すべての通常チャンネルが結合 ×4 機能モードでコンフィギュレーションされる場合、CMU0 チャンネルのトランスミッタ側を Basic (PMA Direct) ×N でコンフィギュレーションすることができます。(single-width コンフィギュレーションのみです。double-width コンフィギュレーションはサポートされていません。) CMU1 チャンネルを Basic (PMA Direct) ×N の single-width コンフィギュレーションまたは double-width コンフィギュレーションに使用することができます。

 これは CMU チャンネルのレシーバ側ではなく、トランスミッタ側에만適用されます。

4. CMU チャンネルのレシーバ側の使用は、CMU1 PLL または CMU0 PLL が結合 ×4 機能モードへのクロック生成に使用されるかどうかによって依存します。対応する CMU チャンネル内の CMU PLL が CDR 機能を実行できない場合に、レシーバとしてコンフィギュレーションすることはできません。

5. ATX PLL を使用して x4 結合機能モードにクロックを生成する場合に、CMU0 と CMU1 のトランスミッタ側およびレシーバ側の両方が使用できます。3 の要件を満たす必要があります。

図 3-8 に、トランシーバ・ブロック内のすべてのトランスミッタ・チャンネルが使用されたコンフィギュレーションを示します。


 XAUI の場合には、ATX PLL を選択するオプションがありません。

図 3-8 に、Basic (PMA Direct) xN モードと Basic/PCI Express (PIPE) x4 機能モードの同じトランシーバ・ブロックにおける結合を示します。

図 3-8. チャンネル結合時の Basicx4 機能モードコンフィギュレーション (注 4)

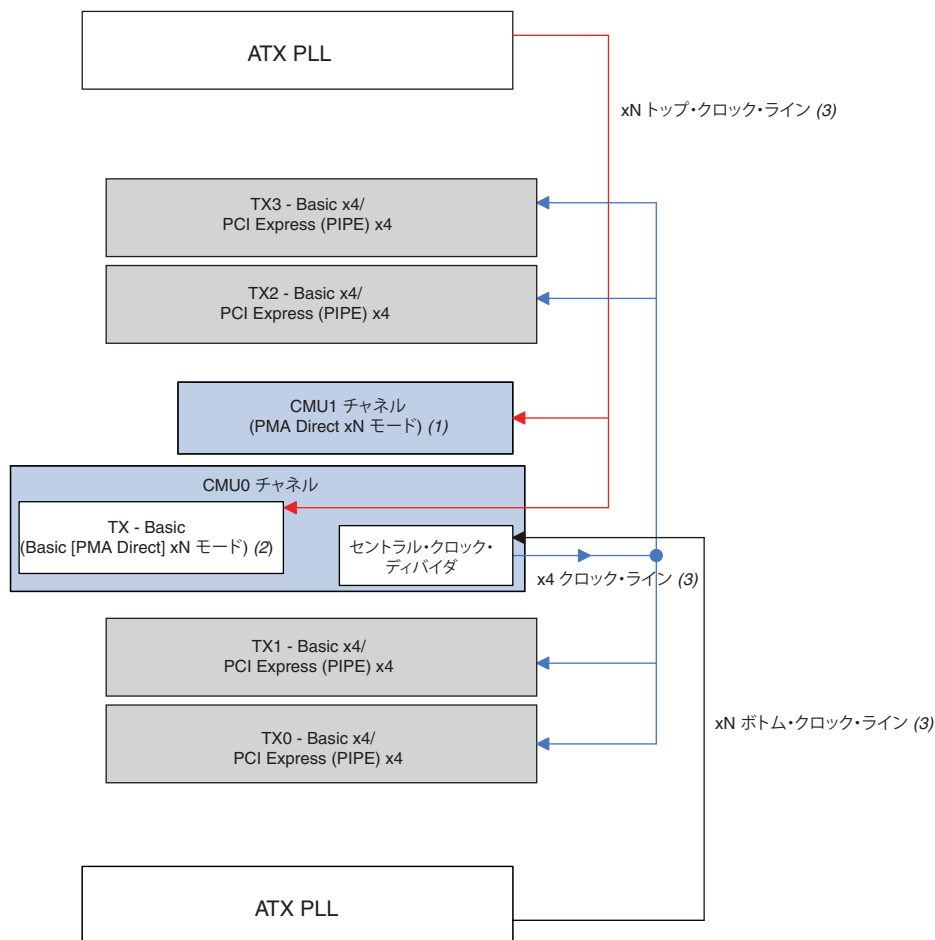


図 3-8 の注:

- (1) このチャンネルは **Basic (PMA Direct) single-width** モードまたは **double-width** モードでコンフィギュレーションできます。
- (2) このチャンネルは **Basic (PMA Direct) single-width** モードでのみコンフィギュレーションできます。
- (3) 赤い線は xN トップ・クロック・ライン、青い線は x4 クロック・ライン、そして黒い線は xN ボトム・クロック・ラインを表します。
- (4) 図を簡素化するために、トランスミッタ側のみが表示されます。PCI Express (PIPE) x4 は、サブプロトコルが Gen1 x4 および Gen2 x4 に設定した PCI Express (PIPE) を指します。

結合 x8 機能モード

結合 x8 機能モードは、コントロールがマスタ・トランシーバ・ブロックの物理チャンネル 0 から共有されることを除き、結合 x4 機能モードによく似ています。マスタは x8 コンフィギュレーションのために選ばれた 2 つの隣接トランシーバ・ブロックの低い方です。したがって、このモードでインスタンスを作成するとき、論理送信チャンネル 0 (インスタンス内の tx_dataout [0]) をトランシーバ・ブロック内の物理チャンネル位置 0 に割り当てる必要があります。



特定のトランシーバ・ブロックは、x8 コンフィギュレーションにおけるマスタ / スレーブ・ペアにすることができます。



マスタは隣接トランシーバ・ブロックの低い方です。位置要件については、*「Stratix IV Transceiver Clocking」* の章の「Bonded Channel Configurations」の項を参照してください。

Basicx8 機能モードでは、**General** 画面の **What is the number of channels?** オプションを設定することで、8 未満のチャンネル数を選択することができます。このインスタンスで、残りのトランスミッタ・チャンネルは Basic (PMA Direct) x1 または xN モードのみに使用できます。PCI Express (PIPE) Gen1x8 および Gen2x8 機能モードで、使用される通常チャンネルの数は常に 8 となります。

以下に説明するように、Basic (PMA Direct)x1 または xN モードで使用可能な 2 つのトランシーバ・ブロック内の残りのトランスミッタ・チャンネル数は、x8 機能モードが CMU PLL または ATX PLL のどちらかを使用したことに依存します。



PCI Express (PIPE) 機能モードが PCI Express ハード IP ブロックを使用する場合に、結合要件は異なります。詳細は 3-25 ページの「**PCI Express ハード IP ブロックを使用するチャンネルとその他のチャンネルの結合**」を参照してください。



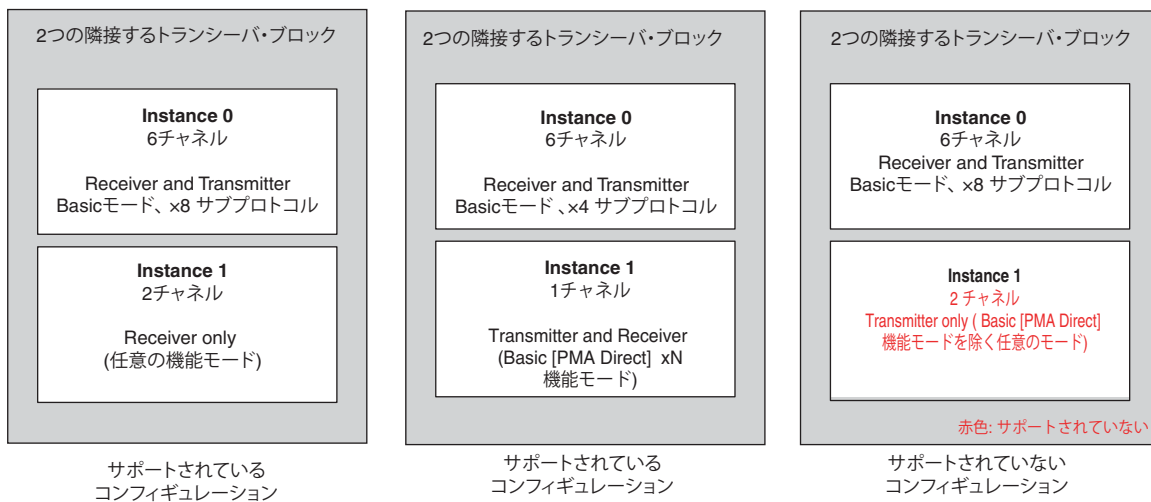
 Basic x8 機能モードでコンフィギュレーションされる各レシーバ・チャンネルは、そのレシーバ CDR からのリカバリ・クロックにより、個別にクロックされます。使用可能なレシーバ・チャンネルを任意のコンフィギュレーションで使用できます。 3-9 に、Basicx8 モードでサポートされているコンフィギュレーションとサポートされていないコンフィギュレーションの例を示します。

図 3-9. Basicx8 モードのインスタンスを結合するサポートされているコンフィギュレーションとサポートされていないコンフィギュレーションの例



結合 x8 機能モードで、8 本の通常チャンネルがすべて使用されたとき：


- ATX PLL が  3-10 に示す x8 機能モードへのクロック生成に使用される場合に、4 本の CMU チャンネル（マスタ・トランシーバ・ブロックおよびスレーブ・トランシーバ・ブロックからそれぞれ 2 本）を Basic (PMA Direct)xN モードで使用することができます。Basic (PMA Direct)xN モードでは、マスタおよびスレーブ・トランシーバ・ブロック内の CMU0 チャンネルは single-width モードにのみコンフィギュレーションできます（**General** 画面の **single-width mode** オプションを使用）。CMU1 チャンネルまたは通常チャンネルが使用可能な場合、それらのチャンネルを single-width コンフィギュレーションあるいは double-width コンフィギュレーションの Basic (PMA Direct) xN モードで使用できます。

図 3-10. チャンネル (ATX PLL) 結合時の Basic x8/PCI Express (PIPE) x8 機能モード・コンフィギュレーション (注 4)

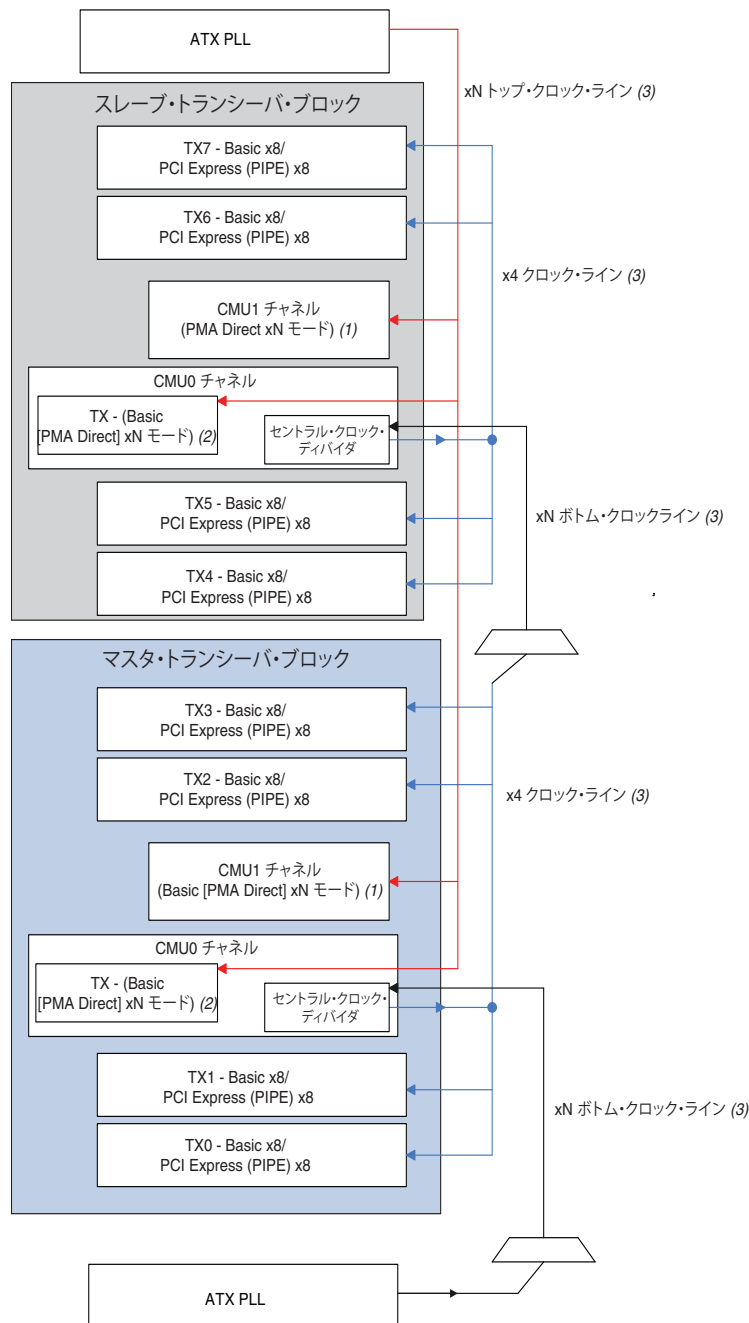


図 3-10 の注:

- (1) このチャンネルは **Basic (PMA Direct) single-width** または **double-width** モードにコンフィギュレーションできます。
- (2) このチャンネルは **Basic (PMA Direct) single-width** のみにコンフィギュレーションできます。
- (3) 赤い線は xN トップ・クロック・ライン、青い線は x4 クロック・ライン、そして黒い線は xN ボトム・クロック・ラインを表します。
- (4) 図を簡素化するために、トランスミッタ側のみが表示されます。PCI Express (PIPE) x8 は、サブプロトコルが Gen1x8 および Gen2x8 に設定した PCI Express (PIPE) を指します。

- CMU PLL が x8 結合機能モードのクロック生成に使用される場合に、スレーブ・トランシーバ・ブロック内の CMU0 チャンネルは single-width の Basic (PMA Direct) xN モードのみで使用できます。マスタまたはスレーブ・トランシーバ・ブロック内の CMU1 チャンネルは、single-width コンフィギュレーションあるいは double-width コンフィギュレーションの Basic (PMA Direct) xN モードで使用できます。

図 3-11 に、CMU PLL を使用する際の結合制約に対する Basic x8 機能モード・コンフィギュレーションを示します。

図 3-11. チャンネル (CMU PLL) 結合時の Basicx8/PCI Express (PIPE)x8 機能モード・コンフィギュレーション (注 4)

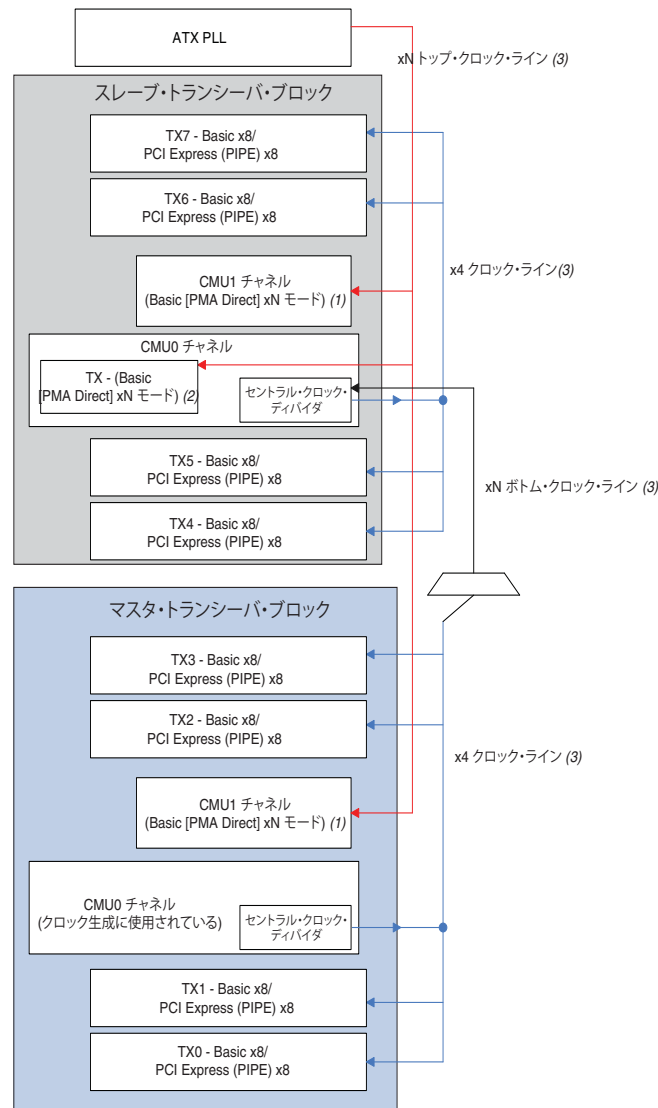


図 3-11 の注:

- (1) このチャンネルは **Basic (PMA Direct)single-width** または **double-width** モードにコンフィギュレーションできます。
- (2) このチャンネルは **Basic (PMA Direct)single-width** モードのみにコンフィギュレーションできます。
- (3) 赤い線は xN トップ・クロック・ライン、青い線は x4 クロック・ライン、そして黒い線は xN ボトム・クロック・ラインを表します。
- (4) 図を簡素化するために、トランスミッタ側のみが表示されます。PCI Express (PIPE) x8 は、サブプロトコルが Gen1x8 および Gen2x8 に設定した PCI Express (PIPE) を指します。

Deterministic Latency モードでコンフィギュレーションされたチャネルの結合

ALTX MegaWizard Plug-In Manager は、Deterministic Latency モードを2つのバリエーション (x1 と x4) で提供して、トランシーバ・データ・パスの不確実性を除去します。この機能モードは **PLL/Ports** 画面において **Enable Phase Frequency Detector (PFD) feed back ...** オプションを提供します。このオプションで x1 を選択すると、トランスミッタ・シリアルライザからの低速パラレル・クロックは CMU PLL の PFD 入力にフィードバックされます ; x4 の場合、セントラル・クロック・ディバイダからの低速パラレル・クロックの出力はフィードバックとして提供されます。

x1 バリエーションの場合に、インスタンス内のトランスミッタ・チャネルごとに1つの CMU PLL が必要とされます。その結果、x1 モードで、トランシーバ・ブロックの内の2本のチャネルのみがこのモードでコンフィギュレーションできます。x4 モードの Deterministic Latency モードでの制約と bonded x4 機能モードでの制約は同じです。詳細は 3-18 ページの「[結合 x4 機能モード](#)」を参照してください。

PCI Express ハード IP ブロックを使用するチャネルとその他のチャネルの結合

Stratix IV GX デバイスは、PCI Express (PIPE) Base Specification 2.0 で規定される PhyMAC、データリンク、およびトランザクション・レイヤ機能を実行するエンベデッド PCI Express ハード IP ブロックを内蔵しています。各 PCI Express ハード IP ブロックは、2つのトランシーバ・ブロックで共用されます。PCI Express (PIPE) Compiler Wizard は、PCI Express ハード IP ブロックをコンフィギュレーションするためのオプションを提供します。このブロックがイネーブルされると、このブロックに関連付けられたトランシーバ・チャネルもイネーブルされます。

PCI Express ハード IP ブロックを使用するチャネルを備えた2つの隣接するトランシーバ・ブロック内で、異なる機能モードやプロトコル・モード (例えば、Basic モード) を持つ複数のトランシーバ・チャネルを結合する場合は制約があります。これらの制約は、使用チャネル数 (x1 または x4) および PCI Express コンパイラ MegaWizard Plug-In Manager で選択されたバーチャル・チャネル (VC) 数によって異なります。表 3-8 に制約を示します。



PCI Express ハード IP ブロックを使用するとき、トランシーバ・チャネル上の位置では配置の制約があります。



これらのチャネル配置の制約については、[「PCI Express Compiler User Guide」](#) を参照してください。

表 3-8. 異なる機能モードやプロトコル・モードを持つ複数のトランシーバ・チャンネルを結合する場合の PCI Express ハード IP ブロックの制約 (注 1), (2), (7)

PCI Express(PIPE) コンフィギュレーション (PCIE コンパイラ・ウィザードでイネーブルされた PCI Express ハード IP オプション) (3)			トランシーバ・ブロック 0 (4)				トランシーバ・ブロック 1 (5)			
リンク幅	レーン (データ・インタフェース幅)	バーチャル・チャンネル (VC)	Ch0 (6)	Ch1	Ch2	Ch3	Ch4	Ch5	Ch6	Ch7
x1	64 ビット	1	PCIe x1	Avail.	Avail.	Avail.	Avail.	Avail.	Avail.	Avail.
		2	PCIe x1	—	—	—	Avail.	Avail.	Avail.	Avail.
x4	64 ビット	1	PCIe x4				Avail.	Avail.	Avail.	Avail.
		2	PCIe x4				Avail.	Avail.	Avail.	Avail.
x4	128 ビット	1	PCIe x4				Avail.	Avail.	Avail.	Avail.
		2	PCIe x4				—	—	Avail.	Avail.
x8	—	—	PCIe x8							

表 3-8 の注:


- (1) Avail. は、このチャンネルを他のコンフィギュレーションで使用できることを示します。
- (2) 長いダッシュ (—) は、このチャンネルが使用できないことを示します。
- (3) この表では、CMU PLL はチャンネルのトランスミッタ側に使用されます。
- (4) トランシーバ・ブロック 0 - PCI Express (PIPE) x4 または x8 コンフィギュレーションで、高速シリアル・クロックおよび低速パラレル・クロックを供給するマスタ・トランシーバ・ブロックです。
- (5) トランシーバ・ブロック 1 - トランシーバ・ブロック 0 と同じ PCI Express ハード IP ブロックを共用する隣接トランシーバ・ブロックです。
- (6) トランシーバ・ブロック内の物理チャンネル 0 です。PCI Express(PIPE) 機能モードでのフィジカル-ロジカル・チャンネル・マッピングについて詳しくは、「Stratix IV デバイス・ハンドブック Volume 2」の「Stratix IV Transceiver Clocking」の章の「x8 Channel Configuration」の項を参照してください。
- (7) PCI Express ハード IP ブロックを使用するとき、トランシーバ・ブロック内の CMU チャンネルをトランシーバ・チャンネルとしてコンフィギュレーションできません。

 PCI Express(PIPE) コンパイラ MegaCore ファンクションおよびハード IP の実装について詳しくは、「PCI Express Compiler User Guide」を参照してください。


トランシーバ・チャンネルを PCI Express (PIPE) コンフィギュレーションでコンフィギュレーションし、そして ATX PLL がチャンネルのトランスミッタ側にクロックを提供する場合、同一トランシーバ・ブロック内の残りのトランスミッタ・チャンネルは Basic (PMA Direct) x1 または xN モードでしか使用できなくなります。

Basic (PMA Direct) コンフィギュレーションのトランシーバ・チャンネルを結合

このコンフィギュレーションでは、トランシーバ・チャンネルのトランスミッタおよびレシーバの PCS ブロックがバイパスされ、トランシーバ・チャンネルは最大 6.5 Gbps で動作できます。


 Basic (PMA Direct) モードのデータ・レート制約に関しては、『*DC and Switching Characteristics*』の章の「Transceiver Performance Specifications」の項を参照してください。

Quartus II ソフトウェアにより、2 本の CMU チャンネルおよび通常のトランシーバ・チャンネルを Basic (PMA Direct) モードでコンフィギュレーションできます。次の項では、Basic (PMA Direct) モードとほかのトランシーバ・コンフィギュレーションの結合に関するさまざまな状況について説明します。

 FPGA ファブリック-トランシーバ・インタフェースについては、『*Stratix IV Transceiver Clocking*』の章の「Non - Bonded Basic (PMA Direct) Mode Channel Configurations」の項を参照してください。

Basic(PMA Direct)x1 コンフィギュレーションでコンフィギュレーションされた複数のトランシーバ・チャンネルを結合

トランシーバ・チャンネルを Basic (PMA Direct) x1 コンフィギュレーションでコンフィギュレーションするとき、Quartus II ソフトウェアでは、同一トランシーバ・ブロック内 2 つの CMU PLL の 1 つがチャンネルのトランスミッタ側に高速クロックを提供する必要があります (ATX PLL は使用できません)。したがって、トランシーバ・ブロック内においては、Basic (PMA Direct) x1 モードでコンフィギュレーションされるトランシーバ・チャンネル (トランスミッタとレシーバ両方を使用) が最大 5 本まで結合できます (1 つの CMU チャンネルがクロック・マルチプライヤ・ユニットの機能を実行する)。

自身の CMU PLL によってクロックを生成する CMU チャンネルのトランスミッタ側は、single-width または double-width コンフィギュレーションの Basic (PMA Direct) x1 モードでコンフィギュレーションできます。(3-33 ページの  3-17 を参照)

同じトランシーバ・ブロック内の Basic (PMA Direct)x1 モードでコンフィギュレーションされたチャンネルを結合する方法は複数あります。

- 3-28 ページの「インスタンスごとに 1 本のチャンネルを持つ複数の Basic (PMA Direct) x1 コンフィギュレーション・インスタンス」
- 3-28 ページの「複数のトランシーバ・チャンネルを持つ 1 つの Basic (PMA Direct) x1 コンフィギュレーション・インスタンス」
- 3-30 ページの「Basic (PMA Direct) x1 モードの TX Only および RX Only コンフィギュレーションを持つ複数のインスタンスを結合」
- 3-30 ページの「Basic (PMA Direct) x1 モードのチャンネルを非 Basic (PMA Direct) モードのチャンネルに結合」

インスタンスごとに 1 本のチャンネルを持つ複数の Basic (PMA Direct) x1 コンフィギュレーション・インスタンス

インスタンスごとに 1 本のチャンネルを持つ複数の Basic (PMA Direct) x1 コンフィギュレーション・インスタンスを作成する場合、それらを同じトランシーバ・ブロックに結合することができます。この結合を実現するには、3-5 ページの「複数のチャンネルによる 1 個の CMU PLL の共有」と 3-3 ページの「チャンネルを結合するための一般要件」に説明される要件を参照してください。トランシーバ・ブロック内の 1 つの CMU PLL はチャンネルのトランスミッタ側に高速クロックを提供しなければなりません。その故、トランシーバ・ブロック内では、このモードでコンフィギュレーションされるチャンネルに高速シリアル・クロックおよび低速パラレル・クロックを生成するための (CMU PLL を含む) CMU チャンネルを最低 1 つ確保する必要があります。このコンフィギュレーションを持つ個別のインスタンスを別々のトランシーバ・ブロックに配置することもできます。この配置に対して、Quartus II ソフトウェアはインスタンスごとに 1 つの CMU PLL をイネーブルします。

複数のトランシーバ・チャンネルを持つ 1 つの Basic (PMA Direct) x1 コンフィギュレーション・インスタンス

このケースでは、このインスタンスで選択されたチャンネル数は 6 未満の場合、Quartus II ソフトウェアはデフォルトでこれらのチャンネルを同じトランシーバ・ブロックに結合し、1 つの CMU PLL を使用して高速クロックを提供します。チャンネル数が 6 以上の場合、Quartus II ソフトウェアは 2 つのトランシーバ・ブロックと 2 つの CMU PLL (各トランシーバ・ブロックごとに 1 つ) を必要とします。

次の 2 つの例では、2 つの異なる条件による結合を示します。

例 5

ALTGX MegaWizard Plug-In Manager でチャンネル数を 7 に設定する Basic (PMA Direct) x1 インスタンスを持つコンフィギュレーション例を検討してみましょう。この設定で、ALTGX MegaWizard Plug-In Manager は 7 ビットの `gxb_powerdown`、`rx_analogreset`、および `p11_powerdown` ポートを提供します。

このケースでは、Quartus II ソフトウェアはインスタンス内の 5 本のチャンネルを 1 つのトランシーバ・ブロックに、そして残りの 2 本のチャンネルを 2 番目のトランシーバ・ブロックに結合することを試みます (5 本のチャンネルの `gxb_powerdown` と `p11_powerdown` ポートは同じロジックからドライブされることを仮定)。図 3-12 および図 3-13 に、コンパイルの前および後の状況を示します。

図 3-12. 例 5 の 7 本のチャンネルを持つインスタンスのコンパイル前のロジック図

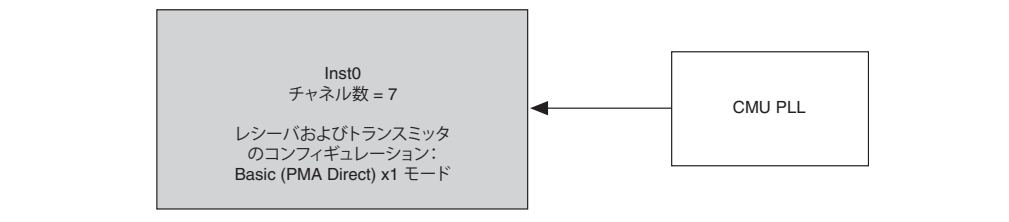
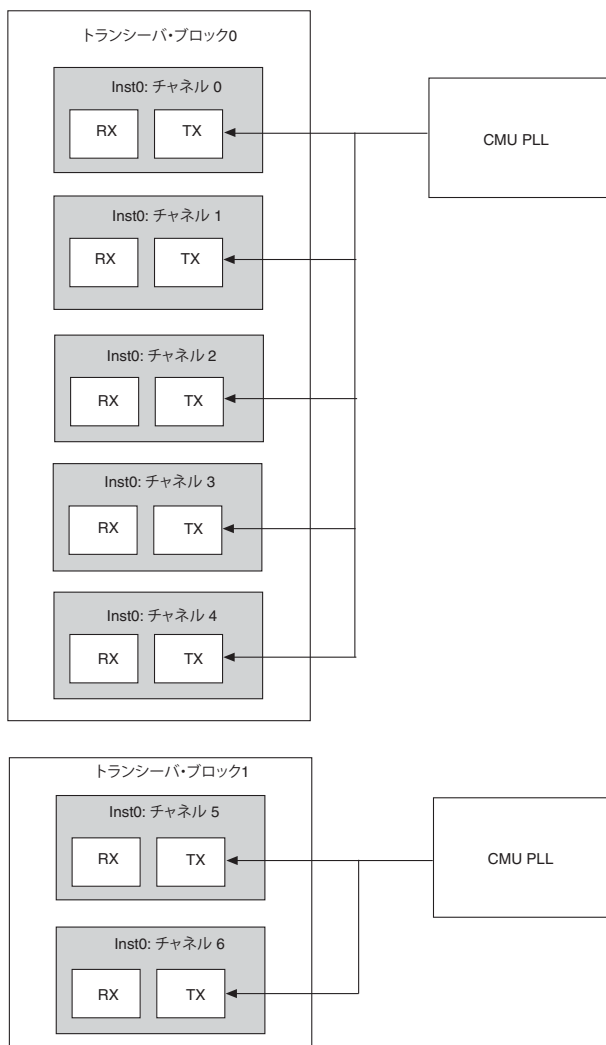


図 3-13 に、コンパイル後の状況を示します。この例では、チャンネル 0～4 およびチャンネル 5～6 の gxb_powerdown と pll_powerdown ポートは同じロジックからドライブされます。

図 3-13. 例 5 のコンパイル後に結合したチャンネル



7 ビットの gxb_powerdown と pll_powerdown ポートをそれぞれ異なるリセット・コントロール・ロジックに接続する場合、インスタンス内の 7 本のチャンネルを結合するために、Quartus II ソフトウェアは 7 つのトランシーバ・ブロックを必要とします。

Basic (PMA Direct) x1 モードの TX Only および RX Only コンフィギュレーションを持つ複数のインスタンスを結合

Quartus II ソフトウェアでは、Basic (PMA Direct) x1 モードでの TX Only および RX Only コンフィギュレーションを持つインスタンスを結合することができます。

同じ物理チャンネルにおける、非 Basic (PMA Direct) x1 コンフィギュレーション（非結合のみ）での TX only インスタンスおよび Basic (PMA Direct) コンフィギュレーションでの RX only インスタンス（逆の場合も同じ）を結合することもできます。Basic (PMA Direct) x1 コンフィギュレーションのインスタンスの結合要件は非 Basic (PMA Direct) コンフィギュレーションの結合要件と同じです。詳細は、3-11 ページの「トランスミッタ・チャンネル・インスタンスとレシーバ・チャンネル・インスタンスの結合」を参照してください。

Basic (PMA Direct) x1 モードのチャンネルを非 Basic (PMA Direct) モードのチャンネルに結合

Basic (PMA Direct) x1 コンフィギュレーションでコンフィギュレーションされたトランシーバ・チャンネル・インスタンスを、非 Basic (PMA Direct) コンフィギュレーションで設定されたインスタンス（例えば、同じトランシーバ・ブロック内の GIGE および SDI）に結合することができます。

Basic (PMA Direct) x1 コンフィギュレーションおよび非 Basic (PMA Direct) コンフィギュレーション・インスタンスの CMU PLL コンフィギュレーションが 3-5 ページの「複数のチャンネルによる 1 個の CMU PLL の共有」および 3-3 ページの「チャンネルを結合するための一般要件」で説明される要件を満たす場合、Quartus II ソフトウェアはこの 2 つのインスタンスに対して 1 つの CMU PLL を使用します。また、2 つのインスタンスが同じ CMU PLL を共有する場合は、非 Basic (PMA Direct) コンフィギュレーションのインスタンス・セットアップでは、チャンネル・リコンフィギュレーション・オプションをイネーブルしないでください。

例 6

表 3-9 に示すような、同じデータ・レートの Basic (PMA Direct) x1 および非 Basic (PMA Direct) コンフィギュレーションのデザイン例を検討してください。

表 3-9. 例 6 の同じデータ・レートの Basic (PMA Direct) x1 および非 Basic (PMA Direct) コンフィギュレーション

インスタンス	コンフィギュレーション	CMU PLL ベース・データ・レート	トランスミッタ・チャンネルの有効データ・レート	入力基準クロック周波数
inst0	GIGE	1.25 Gbps	1.25 Gbps	125 MHz (refclk0 を仮定)
inst1	Basic (PMA Direct) x1 (4 チャンネル)	1.25 Gbps	1.25 Gbps	inst0 と同じ

図 3-14 に、コンパイル前の Basic (PMA Direct) ×1 および非 Basic (PMA Direct) コンフィギュレーションを示します。

図 3-14. 例 6 のコンパイル前の Basic (PMA Direct) ×1 および非 Basic (PMA Direct) コンフィギュレーションを持つインスタンスのロジック図

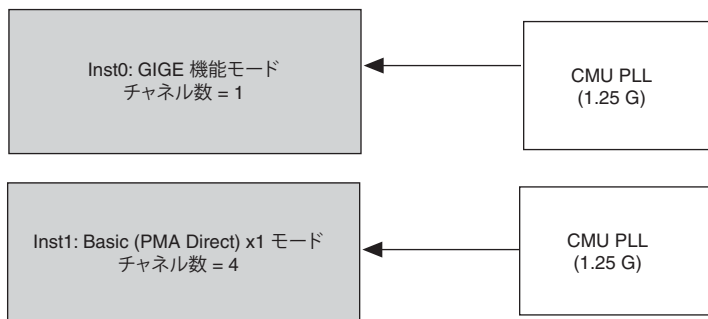
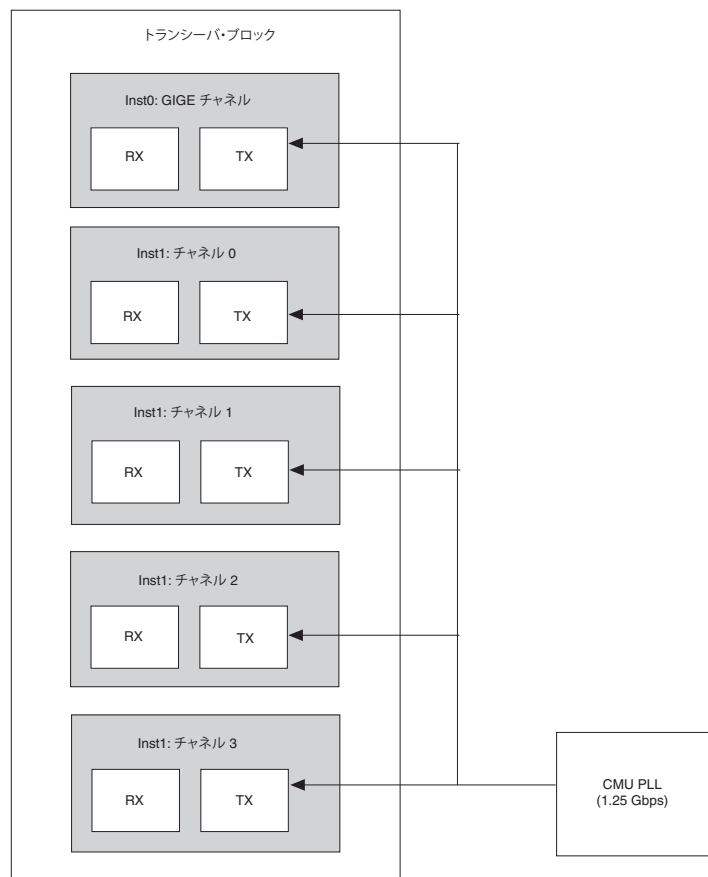


図 3-15 に、コンパイル後の Basic (PMA Direct) ×1 および非 Basic (PMA Direct) コンフィギュレーションを示します。

図 3-15. 例 6 のコンパイル後の Basic (PMA Direct) ×1 および非 Basic (PMA Direct) コンフィギュレーションの結合



例 7

表 3-10 に示すような、異なるデータ・レートの Basic (PMA Direct) ×1 および非 Basic (PMA Direct) コンフィギュレーションのデザイン例を検討してください。

表 3-10. 例 7 の異なるデータ・レートの Basic (PMA Direct) ×1 および非 Basic (PMA Direct) コンフィギュレーション

インスタンス	コンフィギュレーション	CMU PLL ベース・データ・レート	トランスミッタ・チャンネルの有効データ・レート	入力基準クロック周波数
inst0	GIGE	1.25 Gbps	1.25 Gbps	125 MHz (refclk0 を仮定)
inst1	Basic (PMA Direct) ×1 (Receiver and Transmitter コンフィギュレーション の 3 つのチャンネル)	2 Gbps	2 Gbps	refclk1
inst2	Basic (PMA Direct) ×1 (Transmitter Only コン フィギュレーションの 1 つのチャンネル)	2 Gbps	2 Gbps	refclk1

図 3-16 に、コンパイル前の Basic (PMA Direct) ×1 および非 Basic (PMA Direct) コンフィギュレーションを示します。


 2 つの CMU PLL のデータ・レートのコンフィギュレーションは異なります。

図 3-16. 例 7 のコンパイル前の Basic (PMA Direct) × 1 および非 Basic (PMA Direct) コンフィギュレーションを持つインスタンスのロジック図

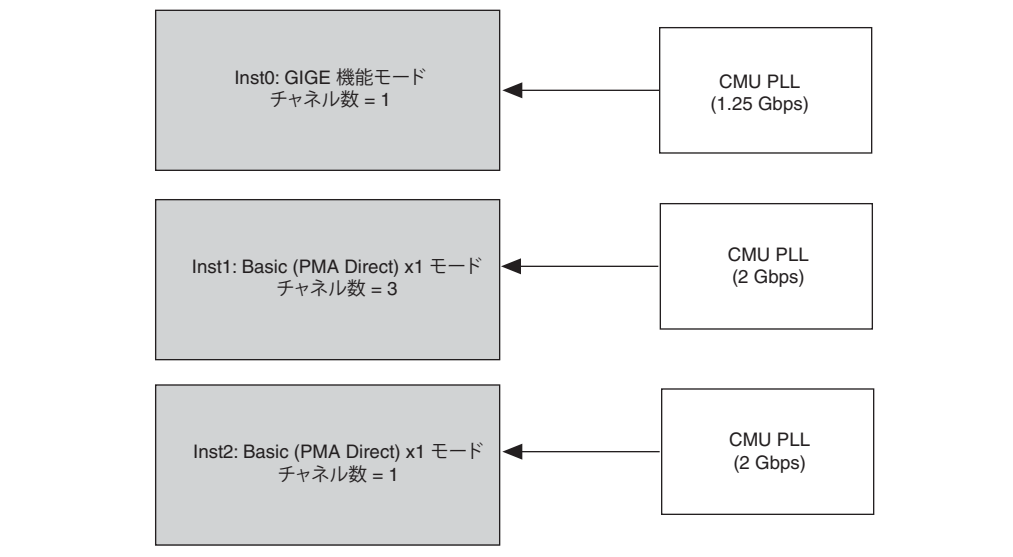
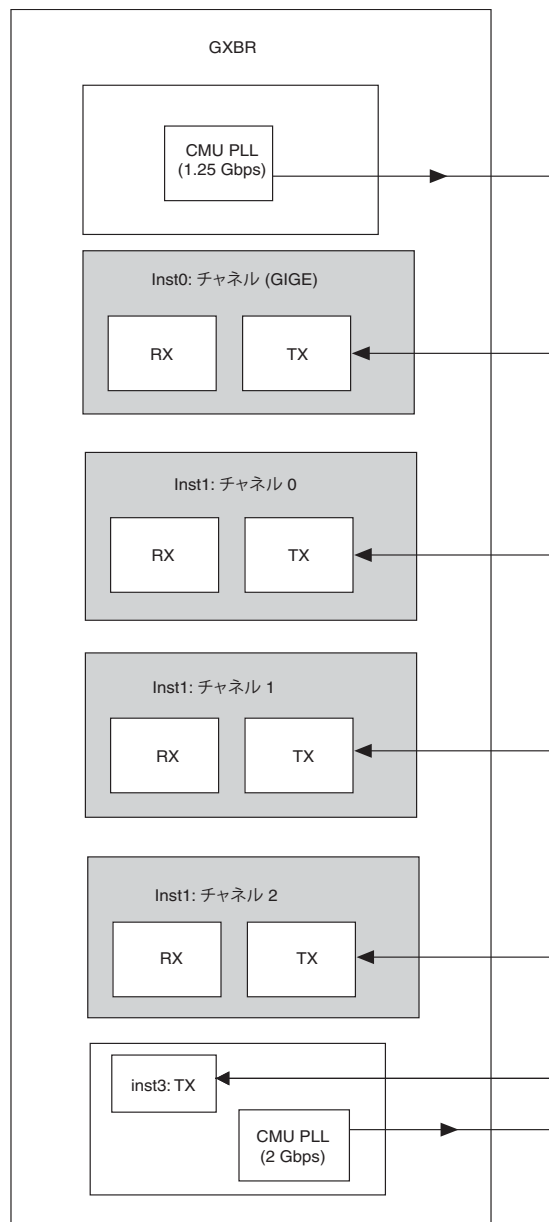


図 3-17 に、コンパイル後の Basic (PMA Direct) ×1 および非 Basic (PMA Direct) コンフィギュレーションを示します。

図 3-17. 例 7 のコンパイル後の Basic (PMA Direct) ×1 および非 Basic (PMA Direct) インスタンスを 1 つのトランシーバ・ブロックに結合



主な注目点




データ・レートが異なるため、これらのインスタンスを結合するには 2 つの CMU PLL が必要です。したがって、それぞれの CMU PLL をイネーブルするための 2 本の使用可能な CMU チャンネルは必要とされます。inst3 は CMU PLL によってクロックを生成する CMU チャンネルの送信側を使用します。

Basic(PMA Direct)xN コンフィギュレーション

トランシーバ・チャンネルを Basic (PMA Direct) xN コンフィギュレーションでコンフィギュレーションするとき、Quartus II ソフトウェアを [図 3-18](#) に示すように、xN ラインを使用してトランスミッタ・チャンネルにクロックを提供するように設定できます。

次は xN クロック・ラインをドライブする可能なソースです。

- CMU0 チャンネル内の CMU0 セントラル・ディバイダ。CMU0 クロック・ディバイダ・ブロックのみが xN クロック・ラインをドライブできます。CMU0 PLL または CMU1 PLL のいずれかにもセントラル・クロック・ディバイダ・ブロックをドライブできます。

 セントラル・クロック・ディバイダ・ブロックへの入力クロックの接続を理解するには、[『Stratix IV Transceiver Architecture』](#) の章の「CMU0 Channel」の項を参照してください。

- ATX PLL ブロック

Basic (PMA Direct) xN モードのインスタンスにおけるチャンネル配置

Basic (PMA Direct) xN モードでコンフィギュレーションされたトランシーバ・インスタンスが含まれるデザインをコンパイルするとき、Quartus II ソフトウェアはデフォルトでこれらのチャンネルを連続して配置します。

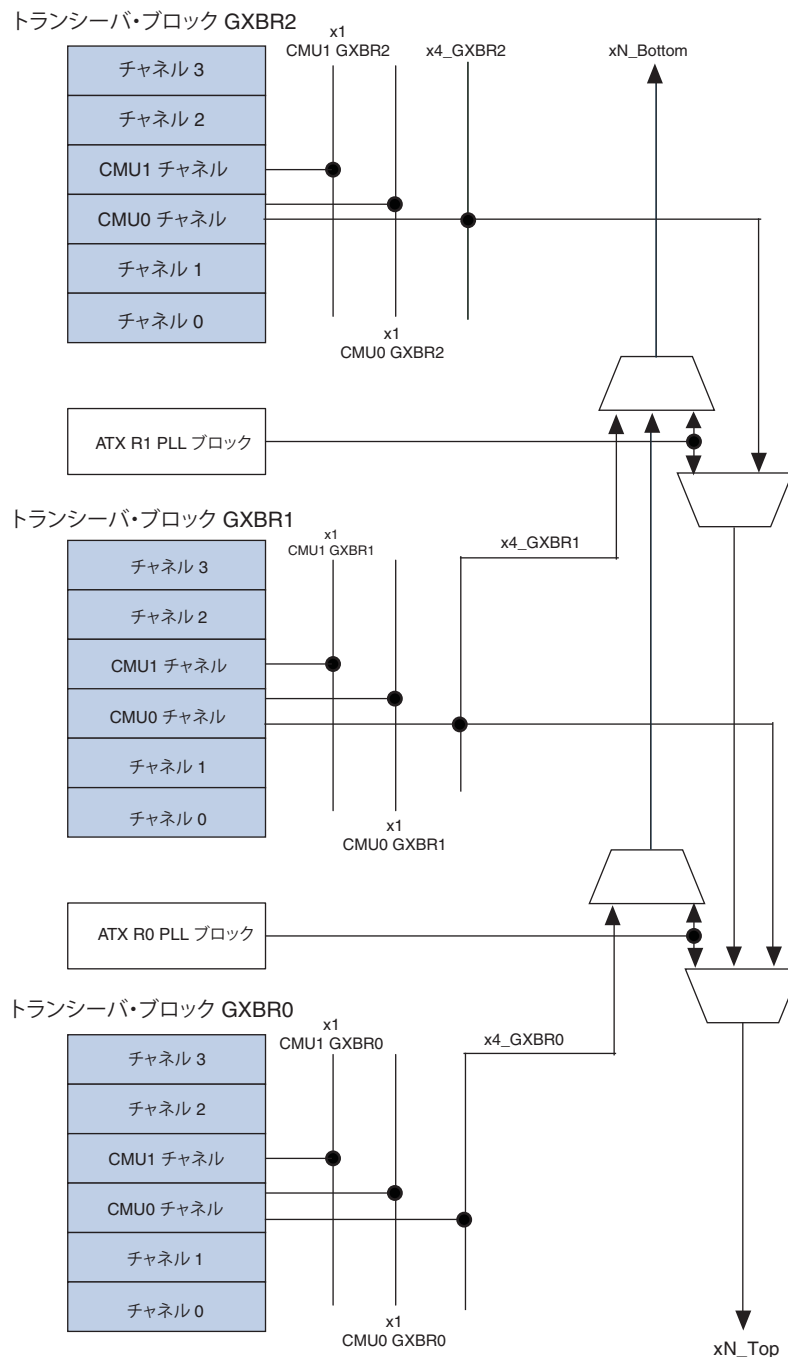
トランスミッタとレシーバのシリアル・ポートにピンを割り当てることで、複数のトランシーバ・ブロック内のトランシーバ・チャンネルをデバイスの同じ側に強制的に配置することができます。

Basic (PMA Direct) xN モードの論理チャンネル 0 はトランシーバ・ブロックの物理チャンネル 0 に割り当てる必要はありません。複数のチャンネルを持つインスタンスのロジック・チャンネル 0 は tx_dataout[0] または rx_datain[0] です。これらのポートは ALTGX MegaWizard Plug-In Manager から提供されるシリアル送信ポートおよび受信ポートです。ピンを割り当てる時、デザインをコンパイルするためには、tx_dataout[0] をトランシーバ・ブロック内の物理チャンネルの位置に割り当てる必要がありません。

tx_dataout[0] および rx_datain[0] がトランシーバ・ブロックの物理チャンネル 0 に割り当てられなければならない PCI Express (PIPE) x4 コンフィギュレーションの場合、上記のケースには当てはまりません。

図 3-18 に、xN_Top および xN_Bottom クロック・ラインの異なるドライバを示します。

図 3-18. xN_Top および xN_Bottom クロック・ラインの接続



Basic (PMA Direct) xN モードの複数のインスタンスを結合する例

次の項では、Basic (PMA Direct) xN モードの複数のトランシーバ・チャンネル・インスタンスの結合について説明します。コンフィギュレーション例は、データ・レートが異なるトランシーバ・チャンネル、Basic (PMA Direct) xN モードのコンフィギュレーションと非 Basic (PMA Direct) および ATX PLL、およびサポートされていないコンフィギュレーションが含まれています。

例 8

異なるデータ・レートを持つ Basic (PMA Direct) xN モードのトランシーバ・チャンネルを結合する際、表 3-11 に示す 2 つのインスタンスのコンフィギュレーションを検討してください。

表 3-11. 例 8 の異なるデータ・レートを持つ Basic (PMA Direct) x N コンフィギュレーションのトランシーバ・チャンネルの結合

ユーザー定義インスタンス名	チャンネル数	有効データ・レート	コンフィギュレーション
inst 0	6	1.5 Gbps	Receiver and transmitter
inst 1	5	1.25 Gbps	Receiver and transmitter

図 3-19 に示すように、チャンネルをインスタンス内に非連続に配置することができます。

図 3-19. 例 8 の異なる CMU PLL によるチャンネルの非連続配置

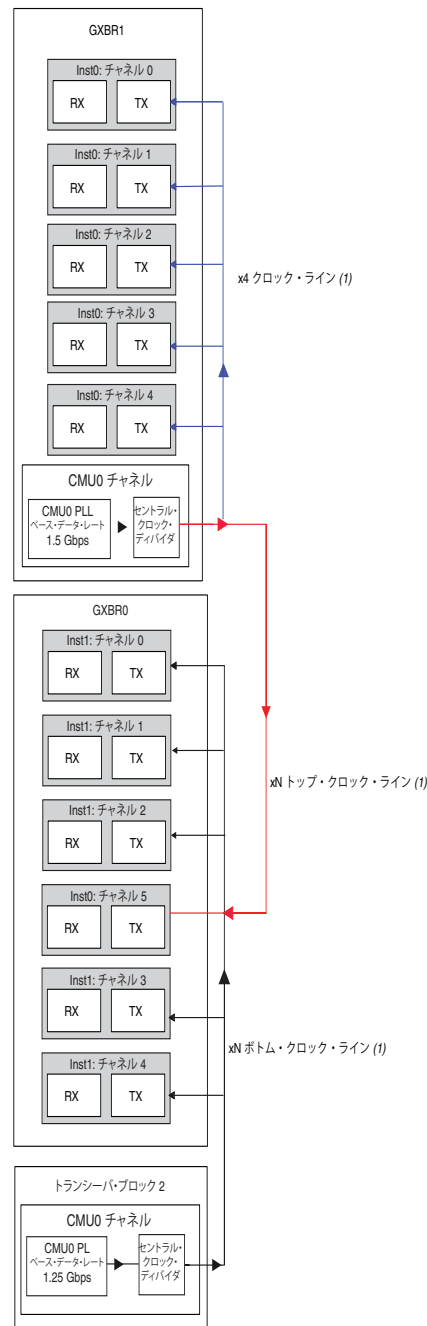


図 3-19 の注:

- (1) 赤い線は xN トップ・クロック・ライン、青い線は x4 クロック・ライン、そして黒い線は xN ボトム・クロック・ラインを表します。

主な注目点：

- inst0 のチャンネル 5 はトランシーバ・ブロック 1 に配置され、xN_Top クロック・ラインを介して高速クロックを受け取ります。
- トランシーバ・ブロック 1 内の一部のチャンネルは xN_Bottom クロック・ラインから高速クロックを受け取ります。xN_Top および xN_Bottom ラインは別々であるため、このシナリオが実現できます。xN クロック・ラインにおけるクロック・マルチプレクサを理解するには、3-35 ページの 図 3-18 を参照してください。

Basic (PMA Direct) × N コンフィギュレーションでコンフィギュレーションされたチャンネルを非 Basic (PMA Direct) コンフィギュレーションでコンフィギュレーションされたチャンネルに結合

Quartus II ソフトウェアでは、Basic (PMA Direct) ×N モードでコンフィギュレーションされたインスタンスと非 Basic (PMA Direct) コンフィギュレーションのインスタンスの組合せのみが使用できます；例えば、GIGE および SDI。

例 9

1つの CMU PLL を使用して Basic (PMA Direct) ×N モードを非 Basic (PMA Direct) に結合する際、表 3-12 に示す 2 つのインスタンスのデザイン例を検討してみましょう。

表 3-12. 例 9 の Basic (PMA Direct) ×N コンフィギュレーションと非 Basic (PMA Direct) コンフィギュレーションの結合

ユーザー定義 インスタンス名	チャンネル数	有効データ・レート	コンフィギュレーション	機能モード
inst 0	9	1.5 Gbps	Receiver and transmitter	Basic (PMA Direct) ×N
inst 1	1	1.25 Gbps	Receiver and transmitter	GIGE

図 3-20 に示すように、これらの 2 つのインスタンスを 2 つのトランシーバ・ブロックに配置できます。

図 3-20. 例 9 の 2 つのトランシーバ・ブロック内の CMU PLL を使用する Basic (PMA Direct) xN コンフィギュレーションおよび非 Basic (PMA Direct) の結合

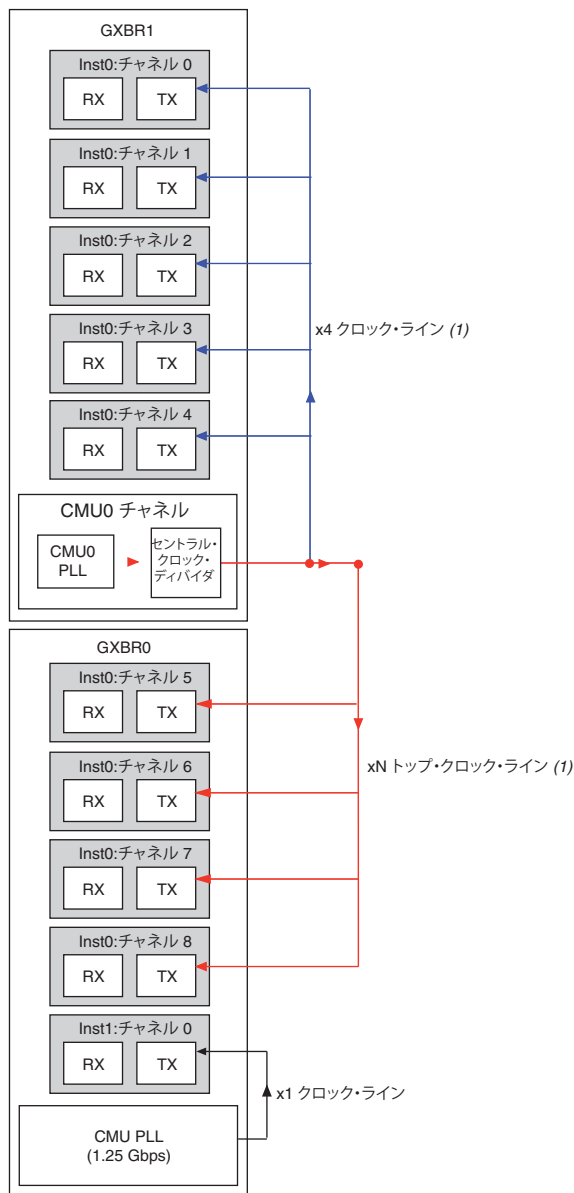


図 3-20 の注：

- (1) 赤い線は xN トップ・クロック・ライン、青い線は x4 クロック・ライン、そして黒い線は xN ボトム・クロック・ラインを表します。

例 10

ATX PLLを使用してBasic (PMA Direct) ×Nモードを非Basic (PMA Direct)に結合する際、表 3-13 に示すデザイン例を検討してみましょう。

表 3-13. 例 10 の ATX PLL による Basic (PMA Direct) ×N コンフィギュレーションと非 Basic (PMA Direct) の結合

ユーザー定義 インスタンス名	チャンネル数	有効データ・レート	コンフィギュレーション	機能モード
inst 0	10	1.5 Gbps	Receiver and transmitter	Basic (PMA Direct) ×N コンフィギュレーション
inst 1	1	5 Gbps	Receiver and transmitter	ATX PLL 使用の Basic モード (PCS+PMA)

この場合では、ATX PLL は inst 1 のトランスミッタ・チャンネルに高速クロックを提供します。したがって、図 3-21 に示すように、inst 0 の 10 本のチャンネルおよび inst 1 の 1 本のチャンネルを 2 つのトランシーバ・ブロックに結合することができます。

図 3-21. 例 10 の ATX PLL による Basic (PMA Direct) xN コンフィギュレーションと非 Basic (PMA Direct) コンフィギュレーションの結合 (注 1)

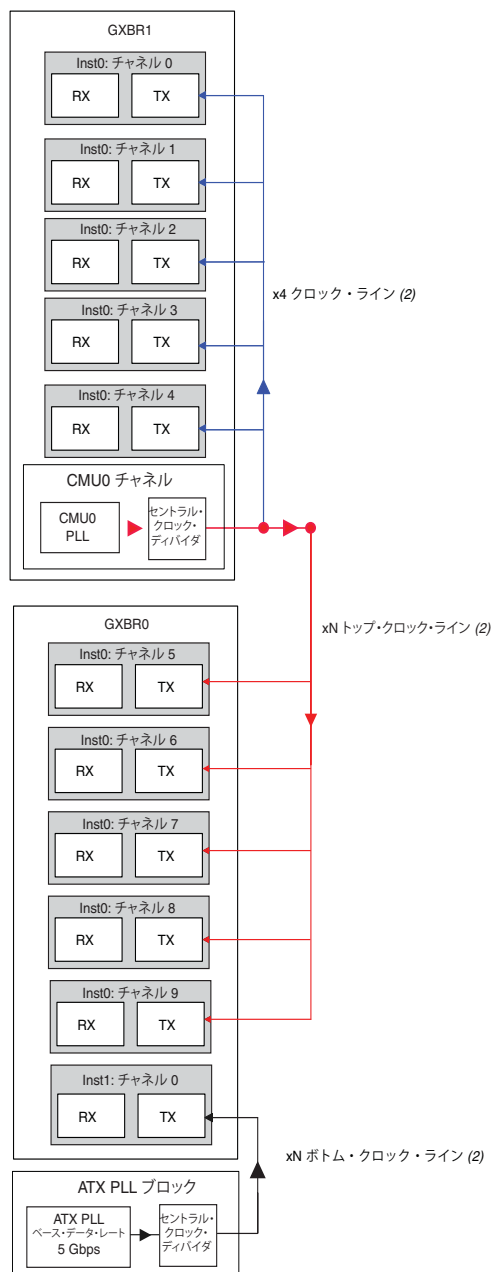


図 3-21 の注：

- (1) ATX PLL は inst 1 のチャンネル 0 に高速クロックを提供します。
- (2) 赤い線は xN トップ・クロック・ライン、青い線は x4 クロック・ライン、そして黒い線は xN ボトム・クロック・ラインを表します。

また、Basic (PMA Direct) $\times N$ モードでコンフィギュレーションされたチャンネルを結合 $\times 4$ と結合 $\times 8$ 機能モードでコンフィギュレーションされたチャンネルに結合することもできます。シナリオ例については、3-20 ページの 図 3-8 および 3-23 ページの 図 3-10 を参照してください。

例 11

図 3-22 に示すサポートされていない配置デザインの例を検討してみましょう。トランシーバ・ブロック 0 内の ATX PLL および CMU0 PLL の間に xN_Top クロック・ラインの競合が起こるため、この配置はサポートされていません。

図 3-22. 例 11 の xN クロック・ラインの競合によるサポートされていない配置

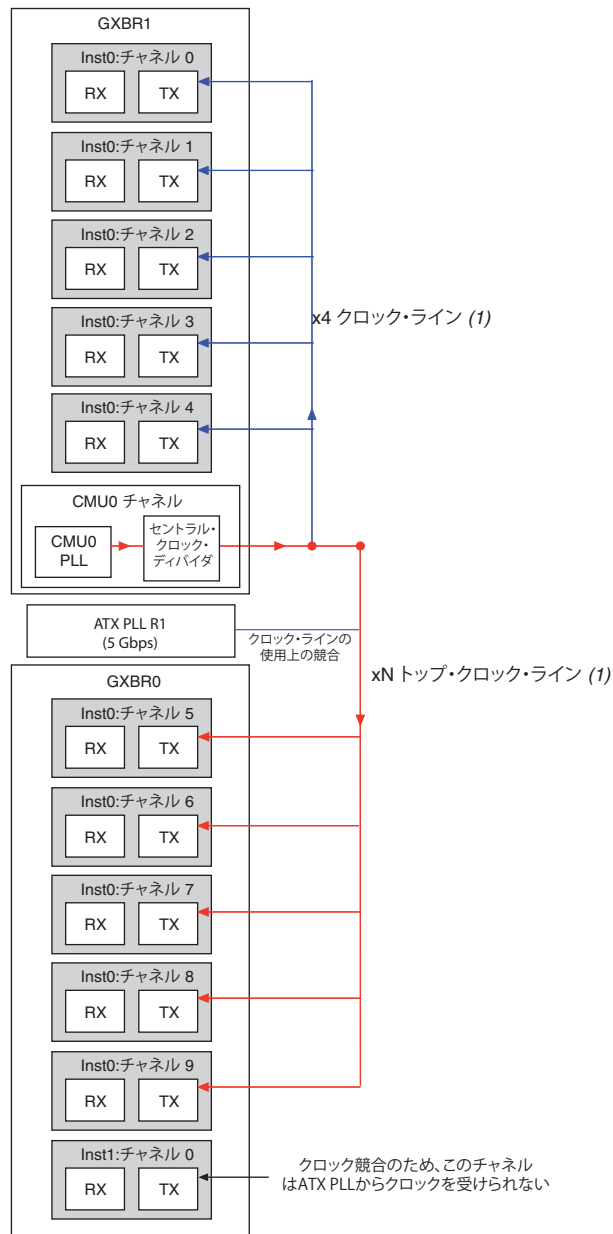


図 3-22 の注：

(1) 赤い線は xN トップ・クロック・ラインを表し、青い線は $\times 4$ クロック・ラインを表します。

チャンネル・リコンフィギュレーションがイネーブルされる時の結合要件

トランスミッタ・チャンネルは：

- 同じトランシーバ・ブロック内にある代替 CMU PLL に切り換えすようにコンフィギュレーションできます。
- トランシーバ・ブロックの外部にある複数の TX PLL (CMU または ATX PLL) に切り換えすようにコンフィギュレーションできます。

 上記の 3 つのオプションの 1 つをイネーブルするためのトランシーバ設定について詳しくは、[「Stratix IV Dynamic Reconfiguration」](#) の章を参照してください。

この項では、上記の 3 つのオプションの 1 つにコンフィギュレーションされたインスタンスをほかのインスタンスに結合する要件について説明します。

Use Alternate CMU PLL オプションが選択されたときの結合要件

Use Alternate CMU PLL オプションを選択してトランシーバ・インスタンスを作成する場合、Quartus II ソフトウェアは 2 つの CMU PLL を使用します。同じトランシーバ・ブロックにはほかのトランスミッタ・インスタンスを結合する場合、CMU PLL は複数のインスタンスに共用される必要があります。Quartus II ソフトウェアを、CMU PLL がこれらのインスタンスに共用されるように設定するには：

1. すべてのインスタンスに **user alternate CMU PLL** オプションを選択します。
2. 2 つのインスタンス間の同様な PLL を同じ **PLL logical reference index** の値に設定します。(同様な PLL は、同じデータ・レート、入力クロック周波数、および帯域幅設定を持つ PLL です)
3. Assignment Editor で **GXB TX PLL Reconfiguration** グループ設定を作成し、両方のインスタンスに同じ値を割り当てます。

表 3-14 に、1 番目のインスタンス (インスタンス 1) のためのアサインメントをリストします。

表 3-14. 1 番目のインスタンス (インスタンス 1) のためのアサインメント

アサインメント	設定
To	<provide the tx_dataout port name of first instance>
Assignment Name	GXB TX PLL Reconfiguration group setting
Value	<any number>

表 3-15 に、2 番目のインスタンス (インスタンス 2) のためのアサインメントをリストします。

表 3-15. 2 番目のインスタンス (インスタンス 2) のためのアサインメント

アサインメント	設定
To	<provide the tx_dataout port name of first instance>

表 3-15. 2 番目のインスタンス (インスタンス 2) のためのアサインメント

アサインメント	設定
Assignment Name	GXB TX PLL Reconfiguration group setting
Value	<same number as that of the first instance>



3-3 ページの「チャンネルを結合するための一般要件」および 3-5 ページの「CMU PLL の共有」の項で説明された要件は満たされていることを確認してください。

例 12 にその要件を示します。

例 12

GIGE および SONET OC48 データ・レートの間で切り換えできるようにトランシーバ内の 4 本のチャンネルを動作させるケースを検討してみましょう。デフォルトで、2 本のチャンネルが GIGE データ・レートで動作し、ほかの 2 本のチャンネルが SONET OC48 データ・レートで動作することを仮定します。

表 3-16 に示すように、2 つの GIGE データ・レートで動作するチャンネルを持つインスタンス 1 がそのコンフィギュレーションにより作成されることを仮定します。

表 3-16. Use Alternate CMU PLL オプションがイネーブルされるとき結合要件 — 例 12 のインスタンス 1

PLL	データ・レート	入力基準クロック	PLL 論理基準 インデックス
メイン PLL	1.25 Gbps	125 MHz	0
代替 PLL	2.488 Gbps	155.5 MHz	1

Quartus II ソフトウェアが 2 つのインスタンス間に CMU PLL を共有するように、次のパラメータによってインスタンス 2 を作成してください。

表 3-17 に、インスタンス 2 に設定する必須なパラメータをリストします。

表 3-17. Use Alternate CMU PLL オプションがイネーブルされるとき結合要件 — 例 12 のインスタンス 2

PLL	データ・レート	入力基準クロック	PLL 論理基準 インデックス
メイン PLL	2.488 Gbps	155.5 MHz	1
代替 PLL	1.25 Gbps	125 MHz	0

表 3-18 に、デザインのコンパイル時のインスタンス 1 の GXB TX PLL Reconfiguration グループのためのアサインメントをリストします。

表 3-18. インスタンス 1 の GXB TX PLL Reconfiguration グループのためのアサインメント

アサインメント	設定
To	tx_dataout_instance1 [0] このインスタンスのチャンネル数は 2 です。このインスタンス内のチャンネル・ポート名のいずれかもこのアサインメントに使用できます。

表3-18. インスタンス 1 の GXB TX PLL Reconfiguration グループのためのアサインメント

アサインメント	設定
Assignment Name	GXB TX PLL Reconfiguration group setting
Value	6

表3-19 に、デザインのコンパイル時のインスタンス 2 の GXB TX PLL Reconfiguration グループのためのアサインメントをリストします。

表3-19. インスタンス 2 の GXB TX PLL Reconfiguration グループのためのアサインメント

アサインメント	設定
To	tx_dataout_instance2 [1] このインスタンス内のチャンネル・ポート名のいずれかもこのアサインメントに使用できます。
Assignment Name	GXB TX PLL Reconfiguration group setting
Value	6


主な注目点


- 一番目のインスタンスが GIGE データ・レートで実行されるため、インスタンス 1 内のメイン PLL は GIGE データ・レートによってコンフィギュレーションされています。
- 二番目のチャンネルが SONET OC48 データ・レートで実行されるため、インスタンス 2 内のメイン PLL は SONET OC48 データ・レートによってコンフィギュレーションされています。
- インスタンス 1 およびインスタンス 2 内にある同様な PLL の PLL 論理基準インデックス値は同じです。
- インスタンス 1 とインスタンス 2 の tx_dataout の GXB TX PLL Reconfiguration グループ設定値は同じです。

複数の TX PLL を使用したときの結合要件

このシナリオでは、**reconfig screen** の **use additional CMU/ATX Transmitter PLLs from outside the transceiver block** オプションがイネーブルされるトランシーバ・コンフィギュレーションを説明します。

上記のオプションを使用してトランシーバ・インスタンスを作成し、そして **CMU PLL** または **ATX PLL** をほかのインスタンスと共用させる場合には、以下の要件が満たされていることを確認してください。

- ほかのインスタンスに **use additional CMU/ATX Transmitter PLLs from outside the transceiver block** オプションを選択します。
-  (How many additional PLLs are used オプションで) 選択される追加 PLL の数はインスタンスごとに異なることがあります。
- 結合しようとするインスタンスの同様な PLL の PLL 論理基準インデックス値はすべてのインスタンスにおいて同じでなければなりません。

 同様な PLL とは、同じデータ・レート、入力クロック周波数、および帯域幅設定を持つ PLL です。

- すべてのインスタンスに同じ **GXB TX PLL Reconfiguration** グループ設定値を割り当てます。これについては、3-43 ページの「**Use Alternate CMU PLL オプション**が選択されたときの結合要件」で説明します。
- 3-3 ページの「チャンネルを結合するための一般要件」、3-5 ページの「**CMU PLL の共有**」および 3-10 ページの「**ATX PLL の共有**」の項で説明された要件は満たされていることを確認してください。

use additional CMU/ATX Transmitter PLLs from outside the transceiver block オプションを使用してインスタンスを生成し、トランシーバ・チャンネルを 1 つのトランシーバ・ブロック（例えば、QL1）に配置し、そしてほかのトランシーバ・ブロック（例えば、QL0）からの CMU/ATX PLL を使用した場合、QL0 のチャンネル（使用された場合）を QL1 と同じのリコンフィギュレーション・コントローラに接続する必要があります。例 13 に、複数の PLL を使用するインスタンスを示します。

例 13

次の 12 チャンネルのデザインは 1 サイドあたり 3 つのトランシーバ・ブロックを含むデバイスを対象としています。このデザインの要件は、以下のとおりです。

1. 4 種のデータ・レート（SONET OC48、FC 2G、GIGE および OTU1）に独立して切り換える 4 本のトランシーバ・チャンネル
2. SONET OC48 データ・レートで動作する 4 本のトランシーバ・チャンネル
3. GIGE データ・レートで動作する 4 本のトランシーバ・チャンネル

ステップ 1 を実行するために、4 つの TX PLL が必要です。4 本のチャンネルを中央のトランシーバ・ブロック（QL1 – 説明のために左側が選択された）に配置し、QL0 からの 1 つの CMU PLL を SONET OC48 データ・レートに使用し、QL2 からの 1 つの CMU PLL を GIGE データ・レートに使用します。QL1 からの 2 つの CMU PLL を FC 2G および OTU1 データ・レートに使用します。

QL0 内の CMU PLL はすでに SONET OC48 データ・レートを提供しています。したがって、ステップ 2 を実行するために、QL0 内の 4 本のチャンネルを使用して SONET OC48 データ・レートを実行します。

QL2 内の CMU PLL はすでに GIGE データ・レートを提供しています。したがって、ステップ 3 を実行するために、QL2 内の 4 本のチャンネルを使用して GIGE データ・レートを実行します。

図 3-23 に、例 13 のコンフィギュレーションを示します。

図 3-23. 例 13 の 3 本のトランシーバ・ブロックのコンフィギュレーション

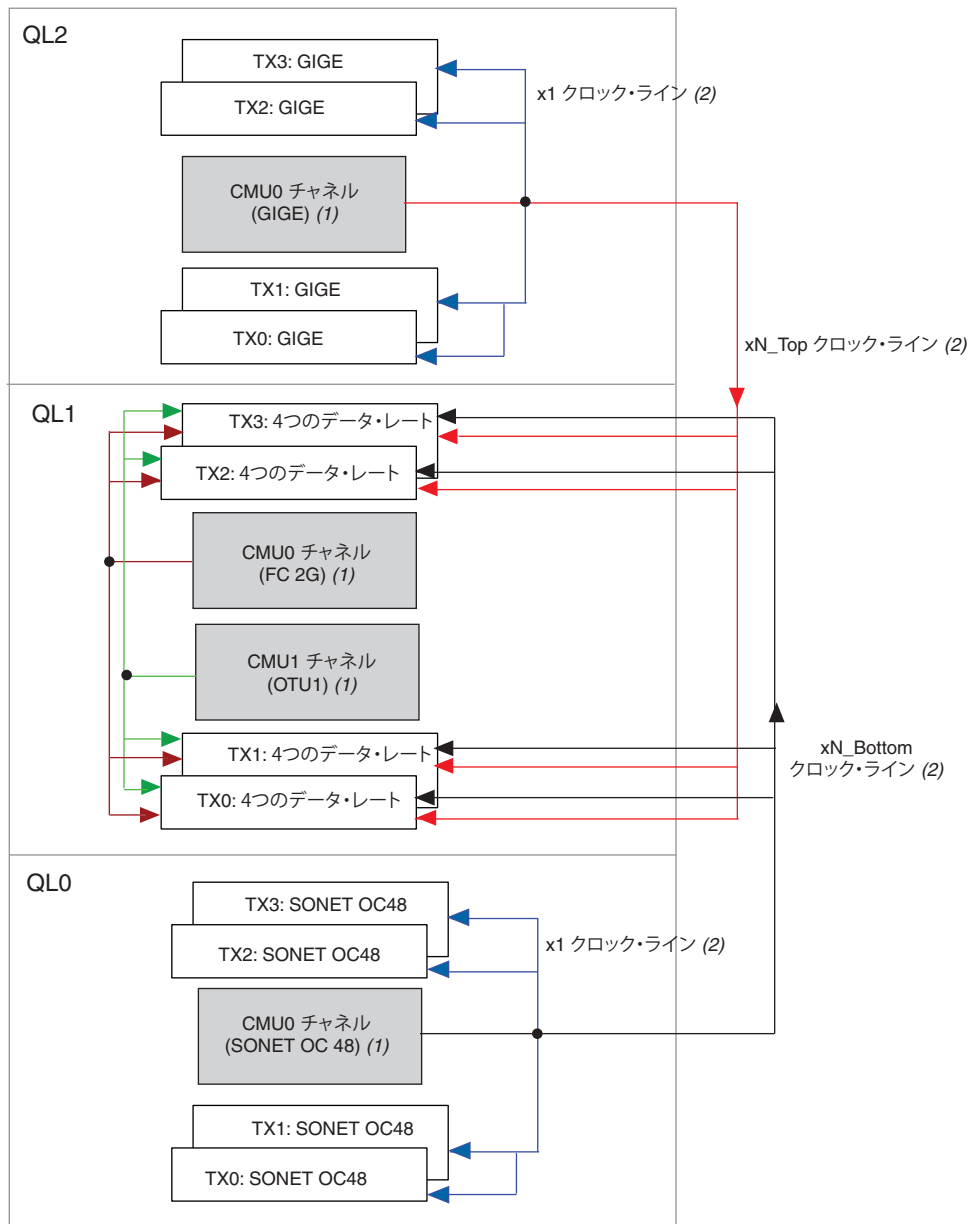


図 3-23 :

- (1) CMU チャンネルはクロック生成に使用されます。
- (2) 赤い線は xN トップ・クロック・ライン、青い線は x1 クロック・ライン、黒い線は xN ボトム・クロック・ライン、緑の線は CMU1 チャンネル、そして茶色の線は CMU0 を表します。

次のパラメータにより、ステップ 1、ステップ 2 およびステップ 3 のインスタンスを作成します。

インスタンス 1

- **use additional CMU/ATX Transmitter PLLs from outside the transceiver block** オプションを選択します。
- 追加 PLL の数：3 (表 3-20)

表 3-20. 例 13 のインスタンス 1

PLL	データ・レート	PLL 論理基準インデックス
メイン PLL	FC 2G	0
PLL1	OTU1	1
PLL2	GIGE	2
PLL3	SONET OC48	3

インスタンス 2

- **use additional CMU/ATX Transmitter PLLs from outside the transceiver block** オプションを選択します。
- 追加 PLL の数：0 (表 3-21)

表 3-21. 例 13 のインスタンス 2

PLL	データ・レート	PLL 論理基準インデックス
メイン PLL	SONET OC48	3

インスタンス 3

- **use additional CMU/ATX Transmitter PLLs from outside the transceiver block** オプションを選択します。
- 追加 PLL の数：0 (表 3-22)

表 3-22. 例 13 のインスタンス 3

PLL	データ・レート	PLL 論理基準インデックス
メイン PLL	GIGE	2

詳細は 3-43 ページの「[Use Alternate CMU PLL オプションが選択されるとき時の結合要件](#)」を参照してください。

アダプティブ・イコライゼーション (AEQ) がイネーブルされるとき時のトランシーバ・チャンネルの結合

トランシーバ・チャンネルで AEQ 機能をイネーブルするには、ALTGX MegaWizard Plug-In Manager の **Reconfig** 画面の **Enable Adaptive Equalization** オプションを選択してください。このオプションを選択すると、`aeq_fromgxb` および `aeq_togxb` ポートがイネーブルされます。

 AEQ 機能の起動について詳しくは、「[Stratix IV Dynamic Reconfiguration](#)」の章の「Adaptive Equalization (AEQ)」の項を参照してください。

この項では、AEQ 機能がイネーブルされるとき時にトランシーバを結合する要件について説明します。

インスタンスを同じトランシーバ・ブロック内に結合するには、すべてのインスタンスに AEQ をイネーブルする必要がありません。リコンフィギュレーション・コントローラ (ALTGX_Reconfig) をインスタンス化する際、`aeq_fromgxb` および `aeq_togxb` ポートは **what is the number of channels controlled by the reconfig controller** オプションでの設定次第で使用可能になります。AEQ が同じリコンフィギュレーション・コントローラに接続される一部のトランシーバ・チャンネルでイネーブルされるコンフィギュレーションにおいては、リコンフィギュレーション・コントローラ・インスタンスには追加の `aeq_fromgxb` ポートがあります。デザインを正常にコンパイルするには、未使用の `aeq_fromgxb` ポートを 0 に接続します。「例 14」に、コンフィギュレーションを示します。

例 14

2つの ALTGX インスタンス、インスタンス 1 およびインスタンス 2 のケースを検討してみましよう。インスタンス 1 でのみ **Enable adaptive equalization** オプションがイネーブルされることを仮定します。

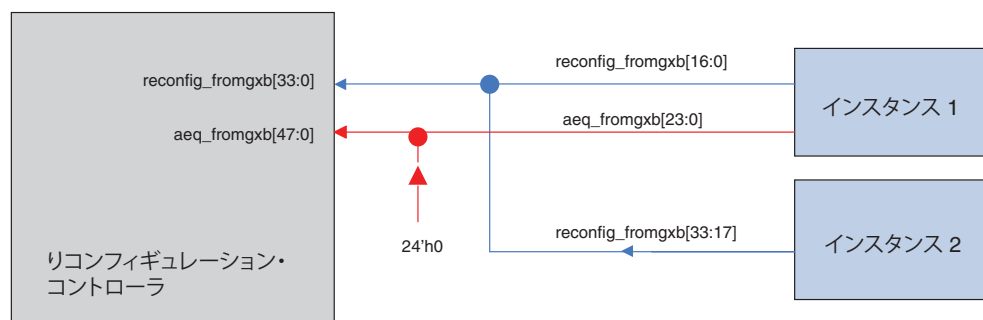
インスタンスが 2 つあるため、インスタンス 1 およびインスタンス 2 の開始チャンネル番号に 4 単位の間隔があります (それぞれ 0 と 4)。


ALTGX_Reconfig インスタンスにおいて、**what is the number of channels controlled by the reconfig controller** オプションを 8 に設定します。ALTGX_Reconfig インスタンスは `aeq_fromgxb` ポートに対して 48 ビットがあります (4 チャンネルあたり 24 ビット)。AEQ がイネーブルされるため、インスタンス 1 には `aeq_fromgxb[23:0]` ポートがあります。インスタンス 2 にはこのポートがありません。インスタンス 1 の開始チャンネル番号が 0 であるため、インスタンス 1 の `aeq_fromgxb` を ALTGX_Reconfig インスタンスの `aeq_fromgxb[23:0]` に接続し、`aeq_fromgxb[47:24]` を 0 に接続します。

 このパラメータの設定については、「*Stratix IV Dynamic Reconfiguration*」の章を参照してください。

図 3-24 に、`aeq_fromgxb` ポートに必要とされる接続を示します。

図 3-24. `aeq_fromgxb` ポートに必要とされる接続



 `aeq_fromgxb` の最初の 24 ビットは 0 に接続します。これはインスタンス 1 の論理チャンネル・アドレスが 4 から開始するためです。したがって、`aeq_fromgxb` の最初の 24 ビットは インスタンス 2 に相当します。

Stratix IV GT デバイスの結合要件

Stratix IV GT デバイスでは、同じトランシーバ・ブロック内に複数のプロトコルまたはデータ・レートをコンフィギュレーションすることが可能です。Stratix IV GX および Stratix IV GT デバイスの両方でサポートされる共通プロトコル、および 2.488 Gbps ~ 8.5 Gbps のデータ・レートでの Basic 機能モードの場合、Stratix IV GT デバイスは Stratix IV GX デバイスと同様なトランシーバ・チャンネル配置ルールに従います。

9.9 Gbps ~ 10.3125 Gbps のトランシーバの配置ルール

CMU PLL または 10G ATX PLL を使用して、9.9 Gbps ~ 10.3125 Gbps のデータ・レートでコンフィギュレーションされるチャンネルにトランシーバ・クロックを生成することができます。

10G ATX PLL を使用して 9.9 Gbps ~ 10.3125 Gbps のデータ・レートでコンフィギュレーションされるトランシーバ・ブロック内の任意のチャンネルにトランシーバ・クロックを生成する場合には、同じトランシーバ・ブロック内の残りのチャンネルは未使用にしたり、または同じデータ・レートでコンフィギュレーションされ、同じ 10G ATX PLL によってクロックされる必要があります。

CMU PLL を使用して 8.5 Gbps ~ 10.3125 Gbps のデータ・レートでコンフィギュレーションされるトランシーバ・ブロック内の任意のチャンネルにトランシーバ・クロックを生成する場合には、同じトランシーバ・ブロック内の残りのチャンネルは異なるデータ・レートでコンフィギュレーションし、ほかの CMU PLL または 6G ATX PLL によってクロックされてもかまいません。この場合、Stratix IV GT デバイスは Stratix IV GX デバイスと同様なトランシーバ・チャンネル配置ルールに従います。

トランシーバ・ブロック内のほかの PLL によってクロックされるトランシーバ・チャンネルを 10G チャンネルとして配置すると、10G チャンネルではより高いトランスミッタ出力ジッタが発生することがあります。追加のジッタの量は特性評価待ちです。

まとめ

以下は、1つのトランシーバ・ブロックにおける複数のプロトコルおよびデータ・レートのコンフィギュレーションについての要約です。

- 各トランシーバ・チャンネルは、個別のデータ・レートまたは個別のプロトコル機能モードで動作できます。
- 各トランシーバ・ブロックは、トランシーバ・ブロック内のトランスミッタ・チャンネルを動作させるためのクロックを供給する 2 個の CMU PLL で構成されています。
- Quartus II ソフトウェアがトランシーバ・チャンネルの複数のインスタンスを 1 つのトランシーバ・ブロック内で結合できるように、3-3 ページの「チャンネルを結合するための一般要件」および 3-5 ページの「CMU PLL の共有」に規定される規則に従ってください。
- トランシーバ・ブロック内の各 CMU PLL は、p11_powerdown 信号でリセットできます。各トランシーバ・インスタンスに対して、ALTGX MegaWizard Plug-In Manager は p11_powerdown ポートを選択するためのオプションを提供します。複数のチャンネル間で同じ CMU PLL を共用する場合は、インスタンスの p11_powerdown ポートを接続し、同じロジックからドライブします。

- PCI Express(PIPE) コンパイラを使用して PCI Express(PIPE) ハード IP ブロックをイネーブルにする場合、Quartus II ソフトウェアには、トランシーバ・ブロック内の残りのトランシーバ・チャンネルを他のコンフィギュレーションで使用することに関して、特定の要件があります。詳細は、3-25 ページの「PCI Express ハード IP ブロックを使用するチャンネルとその他のチャンネルの結合」を参照してください。
- Quartus II ソフトウェアは 2 種類の Basic (PMA Direct) コンフィギュレーションをサポートします (x1 および xN)。
- Basic (PMA Direct) x1 コンフィギュレーションを使用する場合、同じトランシーバ・ブロック内の CMU PLL を使用する必要があります。

改訂履歴

表 3-23 に、本資料の改訂履歴を示します。

表 3-23. 改訂履歴 (その 1)

日付およびドキュメント・バージョン	変更内容	概要
2009 年 11 月 v4.0	<ul style="list-style-type: none"> ■ 3-10 ページの「ATX PLL の共有」、3-43 ページの「チャンネル・リコンフィギュレーションがイネーブルされるとき結合要件」、3-48 ページの「アダプティブ・イコライゼーション (AEQ) がイネーブルされるときトランシーバ・チャンネルの結合」、および 3-50 ページの「Stratix IV GT デバイスの結合要件」を追加。 ■ 図 3-8、図 3-10、図 3-11、図 3-23 および図 3-24 を追加 ■ ほかのすべての項を更新。 ■ Stratix IV GT デバイスに関する情報を追加。 ■ 図を更新。 ■ テキストのマイナーな編集。 	—
2009 年 6 月 v3.1	<ul style="list-style-type: none"> ■ 表 3-7 を更新。 ■ テキストのマイナーな編集。 	—
2009 年 3 月 v3.0	<ul style="list-style-type: none"> ■ 3-25 ページの「PCI Express ハード IP ブロックを使用するチャンネルとその他のチャンネルの結合」、3-21 ページの「使用される規則」、3-22 ページの PMA Direct モードの制約、3-22 ページの「インスタンスごとに 1 本のチャンネルを持つ複数の PMA Direct x1 コンフィギュレーション・インスタンス」、3-26 ページの「PMA Direct x1 モードの TX Only および RX Only コンフィギュレーションを持つ複数のインスタンスを結合」、3-21 ページの「PMA Direct コンフィギュレーションを持つトランシーバ・チャンネルを結合」の項を更新。 ■ 表 3-7 を更新。 ■ 図 3-19 を更新。 	—

表 3-23. 改訂履歴 (その 2)

2008 年 11 月 v2.0	<ul style="list-style-type: none"> ■ ページ 3-2 の「Transmitter Buffer Voltage (VCCH)」を更新 ■ 3-3 ページの「reconfig_fromgxb および reconfig_togxb ポート」を更新 ■ 図 3-7 を更新 ■ ページ 3-15 の「Basic x8 モード」を追加 ■ 図 3-8 を追加 ■ 表 3-7 を更新 	—
2008 年 5 月 v1.0	初版	—