

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIV51013-2.2

Stratix®IV デバイスは、低消費電力動作のためのプログラマブル・パワー・テクノロジーを提供します。これらの機能はスピード・グレードの選択と併せて、さまざまな順列で使用して、消費電力と性能の最適な組み合わせを得ることができます。

Stratix IV 温度検知ダイオードは、放熱管理のために、アナログ / デジタル・コンバータ（以下 ADC）を使用しており、設計者はこの機能をデザインに容易に組み込むことができます。デバイスのジャンクション温度をいつでもモニタできるため、デバイスへの空気流量が制御できるようになり、システム全体の消費電力の節約も可能になります。

はじめに

この章では、Stratix IV FPGA がハイエンド・アプリケーション向けのブレイクスルー的なシステム帯域幅と電力効率によって妥協のない技術革新を実現することについて説明します。Stratix IV デバイスは先進的な消費電力管理技術により、集積度と性能両方を向上させる同時に、消費電力の減少も実現できます。

FPGA の全消費電力には、スタティック消費電力とダイナミック消費電力が含まれます。スタティック消費電力とは、FPGA がコンフィギュレーションされているが、クロックが動作していないときに FPGA が消費する電力です。ダイナミック電力とは、デバイスがコンフィギュレーションされ、動作しているときのスイッチング消費電力です。ダイナミック消費電力は、式 13-1 に示す式で計算されます。

式 13-1. ダイナミック消費電力を求める式

$$P = \frac{1}{2} CV^2 \times \text{周波数}$$

式 13-1 に示すように、周波数とトグル・レートはデザインに依存します。ただし、ダイナミック消費電力値は電圧差の 2 乗によって変化するため、電圧の変更でダイナミック消費電力を低減することができます。Stratix IV デバイスは、高度なプロセス最適化およびプログラマブル・パワー・テクノロジーによって、スタティック消費電力とダイナミック消費電力を最小限に抑えます。これらのテクノロジーにより、Stratix IV のデザインは、可能な最小消費電力でデザイン固有の性能要件を最適な形で満たすことができます。

Quartus II ソフトウェアは、Stratix IV パワー・テクノロジーによってすべてのデザインを最適化し、最小消費電力で性能要件を満たします。この自動プロセスにより、設計者はデザインの消費電力を気にすることなく、デザインの機能に集中することができます。

消費電力は放熱管理にも影響を与えます。Stratix IV デバイスは、デバイスのジャンクション温度を自己モニターし、FPGA への空気流量の制御などを行うために外部回路を付加して使用する温度検知ダイオード（以下 TSD）を備えています。

この章は、以下の項で構成されています。


- 「はじめに」
- 「Stratix IV パワー・テクノロジー」
- 「Stratix IV 外部電源要件」
- 「温度検知ダイオード」

Stratix IV パワー・テクノロジー

以下の項では、Stratix IV プログラマブル・パワー・テクノロジーについて詳細に説明します。

プログラマブル・パワー・テクノロジー

Stratix IV デバイスでは、ユーザの介入なしで Quartus II ソフトウェアによってタイルと呼ばれるコアの一部を、高速モードまたは低消費電力モードに設定することができます。タイルを高速モードまたは低消費電力モードに設定する動作はオンチップ回路で完成させるため、Stratix IV デバイスに電源を追加する必要はありません。デザインのコンパイルにおいて、Quartus II ソフトウェアはデザインのタイミング制約に基づき、タイルを高速モードまたは低消費電力モードのいずれにする必要があるかを判断します。

 デザイン・コンパイル時に Quartus II ソフトウェアがどのようにプログラマブル・パワー・テクノロジーを使用するかについて詳しくは、[「AN 514: Stratix IV FPGA における消費電力の最適化」](#)を参照してください。

Stratix IV のタイルは、以下のもので構成できます。

- ペアへの配線を持つ MLAB/LAB ペア
- ペアおよび隣接する DSP/ メモリ・ブロック 配線への配線を持つ MLAB/LAB ペア
- TriMatrix メモリ・ブロック
- DSP ブロック

タイルに関連するすべてのブロックおよび配線は、高速または低消費電力のいずれかで同じ設定を共有します。DSP ブロックまたはメモリ・ブロックを含むタイルは、デザインで使用されるときに最適な性能を達成するために、デフォルトでは高速モードに設定されます。未使用の DSP ブロックおよびメモリ・ブロックは、スタンバイ消費電力を低減するために低消費電力モードに設定されます。クロック・ネットワークは、プログラマブル・パワー・テクノロジーをサポートしません。

プログラマブル・パワー・テクノロジーにより、高スピード・グレードの FPGA は、低スピード・グレードの FPGA に比べて高速 MLAB および LAB ペア数が少なくなるため、より少ない消費電力で動作することもあります。低スピード・グレードのデバイスでは性能要件を満たすためにより多くの高速 MLAB および LAB ペアが必要ですが、高スピード・グレードのデバイスでは MLAB および LAB ペアが低消費電力モードで性能要件を満たすことができます。

Quartus II ソフトウェアでは、デザイン内の未使用デバイス・リソースを低消費電力モードに設定して、スタティック消費電力およびダイナミック消費電力を低減することができます。Quartus II ソフトウェアでは、デザインで使用しない場合は以下のリソースを低消費電力モードに設定することができます。

- LAB および MLAB
- TriMatrix メモリ・ブロック
- DSP ブロック

デザインで PLL がインスタンス化される場合は、リセット信号を High にアサートして PLL を低消費電力モードに維持します。

表 13-1 に、Stratix IV デバイスのプログラマブル・パワー機能を示します。スピード・グレードの選択を考慮することにより、システムの設計における柔軟性を向上させることが可能です。

表 13-1. Stratix IV プログラマブル・パワー機能

機能	プログラマブル・パワー・テクノロジー
LAB	使用可
配線	使用可
メモリ・ブロック	固定設定 (1)
DSP ブロック	固定設定 (1)
グローバル・クロック・ネットワーク	使用不可

表 13-1 の注：

- (1) デザインで使用される DSP ブロックおよびメモリ・ブロックを含むタイルは、常に高速モードに設定されます。未使用の DSP ブロックおよびメモリ・ブロックはデフォルトで低消費電力モードに設定されます。

Stratix IV 外部電源要件

この項では、Stratix IV デバイスに電力を供給するのに必要な各種外部電源について説明します。表 13-2 には、Stratix IV デバイスの外部電源ピンを示します。電源ピンが同じ電圧を必要とされる場合には、それらのピンに同一電源で給電することが可能です。

 電源ピン接続に関するガイドラインおよび電源レギュレータの共有については、[「Stratix IV GX Device Family Pin Connection Guidelines」](#) を参照してください。


 アルテラが推奨した電源の動作条件については、「Stratix IV デバイス・ハンドブック Volume 4」の [「DC and Switching Characteristics」](#) の章を参照してください。

表 13-2. Stratix IV 外部電源ピン (1 / 2)

電源ピン	電源レベル (V)	説明
VCC	0.9	コア電圧および周辺回路電源電圧
VCCD_PLL	0.9	PLL デジタル電源電圧
VCCA_PLL	2.5	PLL アナログ電源電圧

表 13-2. Stratix IV 外部電源ピン (2 / 2)

電源ピン	電源レベル (V)	説明
VCCAUX	2.5	プログラマブル・パワー・テクノロジー用補助電源電圧
VCCPT	1.5	プログラマブル・パワー・テクノロジー用電源電圧
VCCPGM	1.8/2.5/3.0	コンフィギュレーション・ピン電源電圧
VCCPD	2.5/3.0	I/O プリドライバ電源電圧
VCCIO	1.2/1.5/1.8/2.5/3.0	I/O 電源電圧
VCC_CLKIN	2.5	差動クロック入力ピン用電源電圧 (トップおよびボトム I/O バンクのみ)
VCCBAT	1.2 – 3.0	デザイン・セキュリティ揮発性キー・レジスタ用バッテリー・バックアップ電源電圧
VREF	VCCIO / 2	電圧リファレンス形式の I/O 規格用電源電圧
GND	GND	グラウンド
VCCHIP_L	0.9	トランシーバ HIP デジタル電源電圧 (左側)
VCCHIP_R	0.9	トランシーバ HIP デジタル電源電圧 (右側)
VCCT_L	1.1	トランスミッタ電源電圧 (左側)
VCCT_R	1.1	トランスミッタ電源電圧 (右側)
VCCR_L	1.1	レシーバ電源電圧 (左側)
VCCR_R	1.1	レシーバ電源電圧 (右側)
VCCA_L	2.5/3.0	トランシーバ高電圧電源電圧 (左側)
VCCA_R	2.5/3.0	トランシーバ高電圧電源電圧 (右側)
VCCH_GXBL [#] (1)	1.4/1.5	トランシーバ・ブロック # のトランシーバ出力バッファ電源電圧 (左側)
VCCH_GXBR [#] (1)	1.4/1.5	トランシーバ・ブロック # のトランシーバ出力バッファ電源電圧 (右側)
VCCL_GXBL [#] (1)	1.1	トランシーバ・ブロック # のトランシーバ・クロック電源電圧 (左側)
VCCL_GXBR [#] (1)	1.1	トランシーバ・ブロック # のトランシーバ・クロック電源電圧 (右側)

表 13-2 の注：

(1) V_{CCH} と V_{CCL} 電源電圧はトランシーバ・ブロックごとに示されます。

温度検知ダイオード

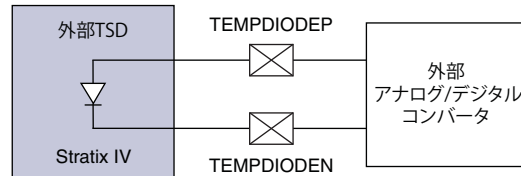
Stratix IV TSD (温度検知ダイオード) は、PN ジャンクション・ダイオードの特性を使用してダイ温度を決定します。放熱管理にとっては、ジャンクション温度を把握することが非常に重要です。従来、ジャンクション温度は、周囲温度またはケース温度、ジャンクションから周囲まで (ja) の熱抵抗、またはジャンクションからケースまで (jc) の熱抵抗、およびデバイスの消費電力を使用して計算されていました。Stratix IV デバイスは、TSD を外部 ADC と併用して、ダイ温度をモニタできます。これにより、デバイスへの空気流量が制御可能です。

外部 ADC は Stratix IV デバイスの TSD を流れるバイアス電流を操作して、順方向電圧を測定し、この測定値を 8 ビット符号付数値 (7 ビットと符号) の形式で温度に変換します。この 8 ビットの出力値は、Stratix IV デバイスのジャンクション温度を表し、インテリジェント電源管理に使用されることができます。

外部ピン接続

Stratix IV TSDには電圧リファレンス用の2本のピンが必要とされます。図13-1に示すように、TSDに外部ADCデバイスを接続することができます。例えば、MAX1619、MAX1617A、MAX6627、およびADT 7411などの外部温度検知デバイスを2本のTSDピンに接続して温度を読み取ることができます。

図 13-1. Stratix IV TSD 外部ピン接続



TSDは、ボード上ほかのトレースから混入されたノイズ（デバイスの使用によってデバイス・パッケージ自体にも起こり得る）に影響される恐れがある、非常に敏感な回路です。インタフェース・デバイスは温度をTSDでの電圧差のミリボルト(mV)として記録します。TSDピン付近にあるスイッチングI/Oは温度の読み取りに影響することがあります。そのため、アルテラはデバイスが動作していない期間に温度を読み取することを推奨しています。

次はTSD外部ピン接続のボード接続ガイドラインです。

- TEMPDIODEP/TEMPDIODENの最大トレース長は8インチ以下でなければなりません
- 両トレースを平行で配線し、各側にグラウンドされたガード・トラックを付けて、お互いに近接して配置します。
- アルテラは両トレースの間に10ミルの幅とスペースをすることを推奨しています。
- トレースを最小数のビアおよびクロスアンダーで配線して、熱電対効果を最小限に抑えます。
- 両トレースのビアは同数であることを確認します
- 両トレースのトレース長がほぼ一致であることを確認します
- ダイオードのトレースおよび高周波数信号の間にGNDプレーンを配置して、トグルする信号（例えば、クロック信号およびI/O信号）との結合を避けます。
- 高周波ノイズをフィルタするには、TEMPDIODEP/TEMPDIODENトレースの間に外部コンデンサを（外部チップに近づけるよう）配置します。
- Maxim デバイスの場合には、2200 pF ~ 3300 pF の外部コンデンサを使用します。
- 外部デバイスの近くに0.1 uFのバイパス・コンデンサを配置します。



デバイス仕様および接続ガイドラインについては、デバイス・メーカーからの外部ADC/温度センサー・デバイスのデータシートを参照してください。

改訂履歴

表 13-3 に、本資料の改訂履歴を示します。

表 13-3. 改訂履歴

日付およびドキュメント・バージョン	変更内容	概要
2009 年 6 月 v2.2	<ul style="list-style-type: none"> ■ 「外部ピン接続」の項を更新 ■ 導入段落の追加により検索機能を向上 ■ 「まとめ」の項を削除 	—
2009 年 3 月 v2.1	<ul style="list-style-type: none"> ■ 「温度検知ダイオード」および「外部ピン接続」の項を更新 ■ 図 13-1 を更新 ■ 「参考資料」の項を削除 	—
2008 年 11 月 v2.0	テキストのマイナーな編集	—
2008 年 5 月 v1.0	初版	—