

Stratix IV デバイスで利用可能な IEEE 1149.1 規格の BST 回路は、リード・スペースが狭いデバイスを含むシステムをテストするための、コスト効果が高く効率的な方法を提供します。アルテラおよび他の IEEE 1149.1 規格準拠のデバイスを搭載した回路ボードは、EXTEST、SAMPLE/PRELOAD、および BYPASS モードを使用して、デバイス間のピン接続を内部的にテストしてデバイス動作をチェックするシリアル・パターンを作成することができます。


はじめに

この章では、Stratix IV デバイスの IEEE 1149.1 規格 BST 回路の使用方法について説明します。本資料で述べられない限り、その機能は Stratix III デバイスに似ています。この章は、以下の項で構成されています。

- 12-1 ページの「BST アーキテクチャ」
- 12-1 ページの「BST 動作コントロール」
- 12-3 ページの「JTAG チェインでの I/O 電圧のサポート」
- 12-3 ページの「BST 回路」
- 12-4 ページの「BSDL のサポート」

BST アーキテクチャ

IEEE 1149.1 規格の BST モードで動作するデバイスは、TDI、TDO、TMS、および TCK の 4 本の要求ピン、および TRST の 1 本のオプション・ピンを使用します。TCK ピンは内部ウィーク・プルダウン抵抗を備えていて、TDI、TMS および TRST ピンは内部ウィーク・プルアップ抵抗を備えています。TDO 出力ピンおよびすべての JTAG 入力ピンは、I/O バンク 1A の 2.5 V/3.0 V V_{CCPD} 電源で駆動されます。JTAG コンフィギュレーション実行中、すべてのユーザー I/O ピンはトライ・ステートになります。

 すべての JTAG ピンに関する説明と機能、IEEE 1149.1 規格の BST 回路に使用されるレジスタ、および TAP (Test Access Port) コントローラについて詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの IEEE 1149.1 (JTAG) バウンダリ・スキャン・テスト」の章を参照してください。

BST 動作コントロール

表 12-1 は Stratix IV デバイスのバウンダリ・スキャン・レジスタ長を示します。

表 12-1. Stratix IV デバイスのバウンダリ・スキャン・レジスタ長 (1 / 2)

デバイス	バウンダリ・スキャン・レジスタ長
EP4SGX70	1506
EP4SGX110	1506
EP4SGX180	2274
EP4SGX230	2274

表 12-1. Stratix IV デバイスのバウンダリ・スキャン・レジスタ長 (2 / 2)

デバイス	バウンダリ・スキャン・レジスタ長
EP4SGX290 (1)	2682
EP4SGX360 (1)	2682
EP4SGX530	2970
EP4SE110	1506
EP4SE230	2274
EP4SE290	2682
EP4SE360	2682
EP4SE530	2970
EP4SE680	2997

表 12-1 の注:

- (1) EP4SGX290 および EP4GX360 デバイスの F1932 パッケージの場合、バウンダリ・スキャン・レジスタ長は 2970 となります。


表 12-2 は Stratix IV デバイスの IDCODE 情報を示します。

表 12-2. Stratix IV デバイスの IDCODE

デバイス	IDCODE (32 ビット) (1)			
	バージョン (4 ビット)	パート・ナンバー (16 ビット)	メーカー ID (11 ビット)	LSB (1 ビット) (2)
EP4SGX70	0000	0010 0100 0010 0000	000 0110 1110	1
EP4SGX110	0000	0010 0100 0000 0000	000 0110 1110	1
EP4SGX180	0000	0010 0100 0010 0001	000 0110 1110	1
EP4SGX230	0000	0010 0100 0000 1001	000 0110 1110	1
EP4SGX290 (3)	0000	0010 0100 0010 0010	000 0110 1110	1
EP4SGX290 (4)	0000	0010 0100 0100 0011	000 0110 1110	1
EP4SGX360 (3)	0000	0010 0100 0000 0010	000 0110 1110	1
EP4SGX360 (4)	0000	0010 0100 1000 0011	000 0110 1110	1
EP4SGX530	0000	0010 0100 0000 0011	000 0110 1110	1
EP4SE110	0000	0010 0100 0001 0000	000 0110 1110	1
EP4SE230	0000	0010 0100 0001 0001	000 0110 1110	1
EP4SE290	0000	0010 0100 0100 0010	000 0110 1110	1
EP4SE360	0000	0010 0100 0001 0010	000 0110 1110	1
EP4SE530	0000	0010 0100 0001 0011	000 0110 1110	1
EP4SE680	0000	0010 0100 0000 0100	000 0110 1110	1

表 12-2 の注:

- (1) 左側が最上位ビット (MSB) です。
- (2) IDCODE の最下位ビット (LSB) は常に 1 です。
- (3) IDCODE は F1932 を除くすべてのパッケージに適用されます。
- (4) IDCODE は F1932 にのみ適用されます。

 IDCODE を正確的に読み出すために、初期化後 (nSTATUS ピンが high になったとき) に IDCODE 命令を発行する必要があります。

次の項目について詳しくは、「StratixIII デバイス・ハンドブック Volume 1」の「Stratix III デバイスの IEEE 1149.1 (JTAG) バウンダリ・スキャン・テスト」の章を参照してください。

- JTAG 命令コードおよびその説明
- TAP コントローラ・ステート・マシン
- IEEE 1149.1 規格の信号のタイミング要件
- インストラクション・モード
- 必須の JTAG 命令 (SAMPLE/PRELOAD, EXTEST, および BYPASS)
- オプションの JTAG 命令 (IDCODE, USERCODE, CLAMP, および HIGHZ)

JTAG チェインでの I/O 電圧のサポート

JTAG チェインはいくつかのデバイスをサポートしています。ただし、チェーンに異なる V_{CCIO} レベルを持つデバイスが含まれる場合は注意が必要です。

JTAG チェインでの I/O 電圧のサポートについて詳しくは、「StratixIII デバイス・ハンドブック Volume 1」の「Stratix III デバイスの IEEE 1149.1 (JTAG) バウンダリ・スキャン・テスト」の章を参照してください。

BST 回路

IEEE 1149.1 規格の BST 回路は、デバイスのパワーアップ時にイネーブルされます。Stratix IV FPGA では、コンフィギュレーションの実行前と実行後だけでなく、コンフィギュレーションの実行中にも BST を実行することができます。Stratix IV FPGA は、コンフィギュレーション中にコンフィギュレーションを中断せずに、BYPASS、IDCODE、および SAMPLE 命令をサポートします。それ以外の JTAG 命令を送出するには、CONFIG_IO 命令を使用してコンフィギュレーションを中断しなければなりません。

JTAG またはバウンダリ・スキャン・テストについて詳しくは、「AN 39: IEEE Std. 1149.1 (JTAG) Boundary-Scan Testing in Altera Devices」を参照してください。

CONFIG_IO JTAG 命令によるダイナミック I/O バッファのコンフィギュレーション、コンフィギュレーションされたデバイスに BST を実行する時の検討事項、および BST 回路をマスクアウト用の JTAG ピン接続について詳しくは、「StratixIII デバイス・ハンドブック Volume 1」の「Stratix III デバイスの IEEE 1149.1 (JTAG) バウンダリ・スキャン・テスト」の章を参照してください。

IEEE 1149.1 規格の回路の使用によるデバイス・コンフィギュレーションについて詳しくは「StratixIV デバイス・ハンドブック Volume 1」の「Configuration, Design Security, Remote System Upgrades」の章を参照してください。

コンフィギュレーションされたデバイスに BST を実行する必要がある場合は、Quartus® II ソフトウェア v8.1 以降を使用してデザイン固有の BSDL ファイルを生成する必要があります。Quartus II ソフトウェアでポストコンフィギュレーションの BSDL ファイルを生成する手順については、アルテラのウェブサイト (www.altera.co.jp) を参照してください。

BSDL のサポート

VHDL のサブセットである BSDL (Boundary-Scan Description Language) は、テスト可能な IEEE 1149.1 規格の BST 対応デバイスの機能を記述できる構文を提供します。

 IEEE 1149.1 規格準拠の Stratix IV デバイス用 BSDL ファイルについては、アルテラのウェブサイト (www.altera.co.jp) を参照してください。

 IEEE 1149.1 規格準拠の Stratix IV デバイス用 BSDL ファイルは Quartus II v8.0 以降でも生成できます。Quartus II ソフトウェアで BSDL ファイルを生成する手順については、アルテラのウェブサイト (www.altera.co.jp) を参照してください。

改訂履歴

表 12-3 に、このドキュメントの改訂履歴を示します。

表 12-3. 改訂履歴

日付 & ドキュメント・バージョン	変更内容	概要
2009 年 6 月, v2.3	<ul style="list-style-type: none"> ■ 導入段落の追加により検索機能を向上 ■ 「まとめ」の項を削除 ■ テキストのマイナーな編集 	—
2009 年 4 月 v2.2	<ul style="list-style-type: none"> ■ 表 12-1 を更新 	—
2009 年 4 月 v2.1	<ul style="list-style-type: none"> ■ 表 12-1 と表 12-2 を更新 ■ 「参考資料」の項を削除 	—
2008 年 11 月 v2.0	<ul style="list-style-type: none"> ■ テキストのマイナーな編集 	—
2008 年 5 月 v1.0	<ul style="list-style-type: none"> ■ 初版 	—