

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIV51010-3.0

この章では、Stratix®IV デバイスのコンフィギュレーション、デザインのセキュリティ、およびリモート・システム・アップグレードについて説明します。Stratix IV デバイスは、コンフィギュレーション・メモリ・スペースおよび時間を節減するコンフィギュレーション・データの圧縮復元を提供します。IP の盗用やコンフィギュレーション・ファイルの改ざんからデザインを保護するようにビルトイン・デザイン・セキュリティ機能を提供します。

Stratix IV デバイスは、ネットワークを経由してリアルタイムでシステムのアップグレードが可能なりモート・システム・アップグレード機能も提供しています。これは機能強化やバグ修正を行うことができ、エラー検出、回復、およびステータス情報を提供し、信頼性の高い再コンフィギュレーションを実現します。

概要

この章では、Stratix IV でサポートされているコンフィギュレーション手法、またその実行方法、およびピン設定について説明します。

Stratix IV デバイスは、SRAM セルを使用してコンフィギュレーション・データを格納します。SRAM は揮発性のため、電源が投入されるたびに Stratix IV デバイスにコンフィギュレーション・データをダウンロードする必要があります。Stratix IV デバイスは、4 種類のコンフィギュレーション手法のいずれか 1 つを使用してコンフィギュレーションできます。

- ファスト・パッシブ・パラレル (FPP)
- ファスト・アクティブ・シリアル (AS)
- パッシブ・シリアル (PS)
- JTAG (Joint Test Action Group)

すべてのコンフィギュレーション手法では、外部コントローラ (MAX®II デバイスまたはマイクロプロセッサなど)、コンフィギュレーション・デバイス、またはダウンロード・ケーブルを使用します。詳細は、10-4 ページの「コンフィギュレーション機能」を参照してください。


この章は、以下の項で構成されています。


- 10-2 ページの「コンフィギュレーション手法」
- 10-4 ページの「コンフィギュレーション機能」
- 10-6 ページの「ファスト・パッシブ・パラレル・コンフィギュレーション」
- 10-17 ページの「ファスト・アクティブ・シリアル・コンフィギュレーション (シリアル・コンフィギュレーション・デバイス)」
- 10-26 ページの「パッシブ・シリアル・コンフィギュレーション」
- 10-37 ページの「JTAG コンフィギュレーション」
- 10-42 ページの「デバイス・コンフィギュレーション・ピン」
- 10-51 ページの「コンフィギュレーション・データ圧縮復元」

- 10-53 ページの「リモート・システム・アップグレード」
- 10-57 ページの「リモート・システム・アップグレード・モード」
- 10-60 ページの「専用リモート・システム・アップグレード回路」
- 10-65 ページの「Quartus II ソフトウェア・サポート」
- 10-66 ページの「デザイン・セキュリティ」

コンフィギュレーション・デバイス

アルテラのシリアル・コンフィギュレーション・デバイスは、Stratix IV デバイスのシングル・デバイスおよびマルチ・デバイス・ソリューションをサポートしており、ファスト AS コンフィギュレーション手法に使用されます。シリアル・コンフィギュレーション・デバイスは、低コストでピン数の少ないコンフィギュレーション・ソリューションを提供します。

 シリアル・コンフィギュレーション・デバイスについて詳しくは、「コンフィギュレーション・ハンドブック Volume 2」の「*Serial Configuration Devices (EPCS1, EPCS4, EPCS16, EPCS64, and EPCS128) Data Sheet*」を参照してください。

 この章の最小タイミング情報は、Stratix IV ファミリ全体を対象としています。プロセス変動により、いくつかのデバイスはこのハンドブックで示される最小タイミング値よりも低く動作する場合があります。

コンフィギュレーション手法

表 10-1 に示すように、コンフィギュレーション手法を選択するには、Stratix IV デバイスの MSEL ピンを High または Low にドライブします。MSEL 入力バッファは、 V_{CC} 電源から供給されます。アルテラでは、MSEL [] ピンを V_{CCPGM} および GND を接続することを推奨しています。MSEL [2..0] ピンには、常にアクティブな 5-k Ω 内部プルダウン抵抗があります。パワー・オン・リセット (POR) およびコンフィギュレーション中、MSEL ピンがロジック Low およびロジック High と判定されるには、 V_{CCPGM} 電圧の V_{IL} および V_{IH} レベルであることが必要です。


 不正なコンフィギュレーション手法の検出の問題を回避するために、MSEL [] ピンを V_{CCPGM} および GND にプルアップ抵抗またはプルダウン抵抗なしで接続してください。MSEL [] ピンをマイクロプロセッサや他のデバイスでドライブしてはいけません。

表 10-1. Stratix IV のコンフィギュレーション手法 (その 1)

コンフィギュレーション・モード	MSEL2	MSEL1	MSEL0
ファストパッシブ・パラレル	0	0	0
パッシブ・シリアル	0	1	0
ファスト AS (40 MHz) (1)	0	1	1
リモート・システム・アップグレード・ファスト AS (40 MHz) (1)	0	1	1
デザイン・セキュリティおよび / または圧縮復元機能がイネーブルされた FPP (2)	0	0	1

表 10-1. Stratix IV のコンフィギュレーション手法 (その2)

コンフィギュレーション・モード	MSEL2	MSEL1	MSEL0
JTAG ベースのコンフィギュレーション (4)	(3)	(3)	(3)

表 10-1 の注:

- (1) Stratix IV は、ファスト AS コンフィギュレーションのみサポートしています。ファスト AS モードで Stratix IV デバイスをコンフィギュレーションするには、EPCS64 または EPCS128 デバイスのいずれかを使用する必要があります。
- (2) これらのモードは、コンフィギュレーションに MAX II デバイスまたはマイクロプロセッサとフラッシュ・メモリを使用する場合にのみサポートされます。これらのモードでは、ホスト・システムはデータ・レートの 4 倍の DCLK を出力する必要があります。
- (3) MSEL ピンはフローティング状態にしないで、V_{CCPGM} または GND に直接接続してください。これらのピンは、生産時に使用される JTAG 以外のコンフィギュレーション手法をサポートします。JTAG コンフィギュレーションしか使用しない場合は、MSEL ピンを GND に接続します。
- (4) JTAG ベースのコンフィギュレーションは、他のコンフィギュレーション手法よりも優先されます。つまり MSEL ピンの設定は無視されます。JTAG ベースのコンフィギュレーションは、デザイン・セキュリティまたは圧縮復元機能をサポートしません。

表 10-2 に、Stratix IV デバイスの圧縮されていないロウ・バイナリ・ファイル (.rbf) のサイズを示します。

表 10-2. Stratix IV の非圧縮ロウ・バイナリ・ファイル (.rbf) のサイズ (注 1)

デバイス	データ・サイズ (ビット)
EP4SE230	94,600,000
EP4SE360	128,400,000
EP4SE530	171,800,000
EP4SE820	241,700,000
EP4SGX70	47,900,000
EP4SGX110	47,900,000
EP4SGX180	94,600,000
EP4SGX230	94,600,000
EP4SGX290	128,400,000
EP4SGX360	128,400,000
EP4SGX530	171,800,000
EP4S40G2	94,600,000
EP4S40G5	171,800,000
EP4S100G2	94,600,000
EP4S100G3	171,800,000
EP4S100G4	171,800,000
EP4S100G5	171,800,000

表 10-2 の注:

- (1) これらの値は暫定仕様です。

表 10-2 のデータを使用して、デザインをコンパイルする前のファイル・サイズを見積もります。16 進 (.hex) フォーマットや表形式テキスト・ファイル (.tff) フォーマットなど、コンフィギュレーション・ファイルフォーマットごとにファイル・サイズが異なります。コンフィギュレーション・ファイルのタイプおよびファイル・サイズについては、Quartus®II ソフトウェアを参照してください。ただし、Quartus II ソフトウェアの特定のバージョンでは、同じデバイスを対象としたデザインの非圧縮コンフィギュレーション・ファイルのサイズは同じになります。圧縮を使用した場合、圧縮率はデザインに依存するため、ファイル・サイズはコンパイルするたびに変わる可能性があります。



デバイスのコンフィギュレーション・オプションの設定またはコンフィギュレーション・ファイルの生成について詳しくは、「コンフィギュレーション・ハンドブック Volume 2」の「*Device Configuration Options*」および「*Configuration File Formats*」の章を参照してください。

コンフィギュレーション機能

Stratix IV デバイスは、デザイン・セキュリティ、圧縮復元、およびリモート・システム・アップグレード機能を提供しています。コンフィギュレーション・ビットストリーム暗号化を使用した Stratix IV のデザイン・セキュリティは、ユーザーのデザインを保護します。Stratix IV デバイスは、圧縮されたコンフィギュレーション・ビットストリームを受信して、このデータをリアルタイムで復元することができるため、必要なメモリおよびコンフィギュレーション時間を低減します。リモート・システム・アップグレード機能を使用して、Stratix IV デザインに対して遠隔地からのリアルタイム・システム・アップグレードを行うことができます。

表 10-3 に、各コンフィギュレーション手法で使用可能なコンフィギュレーション機能を示します。

表 10-3. Stratix IV デバイスのコンフィギュレーション機能

コンフィギュレーション・モード	コンフィギュレーション方法	圧縮復元	デザイン・セキュリティ	リモート・システム・アップグレード
FPP	MAX II デバイスまたはマイクロプロセッサとフラッシュ・メモリ	✓ (1)	✓ (1)	—
ファスト AS	シリアル・コンフィギュレーション・デバイス	✓	✓	✓
PS	MAX II デバイスまたはマイクロプロセッサとフラッシュ・メモリ	✓	✓	—
	ダウンロード・ケーブル	✓	✓	—
JTAG	MAX II デバイスまたはマイクロプロセッサとフラッシュ・メモリ	—	—	—
	ダウンロード・ケーブル	—	—	—

表 10-3 の注：

(1) これらのモードでは、ホスト・システムは 4 倍のデータ・レートの DCLK を送信する必要があります。

また、以下の項も参照できます。

- コンフィギュレーション・データの圧縮復元機能について詳しくは、10-51 ページの「[コンフィギュレーション・データ圧縮復元](#)」を参照してください。
- リモート・システム・アップグレード機能について詳しくは、10-53 ページの「[リモート・システム・アップグレード](#)」を参照してください。
- デザイン・セキュリティ機能について詳しくは、10-66 ページの「[デザイン・セキュリティ](#)」を参照してください。

システムに既にコモン・フラッシュ・インタフェース (CFI) 対応フラッシュ・メモリが内蔵されている場合は、それを Stratix IV デバイスのコンフィギュレーション・ストレージにも利用できます。MAX II デバイスの MAX II 平行フラッシュ・ローダ (PFL) 機能は、JTAG インタフェースを介して CFI フラッシュ・メモリ・デバイスをプログラムする効率的な方法、および Stratix IV デバイスに対するフラッシュ・メモリ・デバイスからのコンフィギュレーションを制御するロジックを提供します。この PFL 機能を使用して、PS および FPP 両方のコンフィギュレーション・モードがサポートされます。

 PFL について詳しくは、[\[AN 386: Using the MAX II Parallel Flash Loader with the Quartus II Software\]](#) を参照してください。

アルテラのシリアル・コンフィギュレーション・デバイスのプログラミングについて詳しくは、10-24 ページの「[シリアル・コンフィギュレーション・デバイスのプログラミング](#)」を参照してください。

パワー・オン・リセット回路

POR 回路は、電源投入時に電源電圧レベルが安定するまでシステム全体をリセット状態に維持します。電源投入後に V_{CCPT} 、 V_{CC} 、 V_{CCPD} 、および V_{CCPGM} がデバイスの POR トリップ・ポイントを上回るまで、 $nSTATUS$ を解放しません。電源投入時に、 V_{CC} または V_{CCPT} が POR トリップ・ポイントより下に下降する場合、 V_{CC} 、 V_{CCPD} 、または V_{CCPGM} がホット・ソケット回路のスレッシュホールドレベルよりも下回る場合にブラウン・アウトが発生します。

Stratix IV デバイスでは、スタンダード POR 時間またはファスト POR 時間から選択することのできるピン選択オプション (PORSEL) が提供されています。PORSEL が Low にドライブされているときには、スタンダード POR 時間は $100\text{ ms} < T_{POR} < 300\text{ ms}$ であり、低いパワー・ランプ・レートです。PORSEL が High にドライブされているときには、ファスト POR 時間は $4\text{ ms} < T_{POR} < 12\text{ ms}$ です。

V_{CCPGM} ピン


Stratix IV デバイスは、すべての専用コンフィギュレーション・ピンおよび兼用ピンのための電源 V_{CCPGM} を提供しています。サポートされているコンフィギュレーション電圧は、1.8、2.5、および 3.0 V です。Stratix IV デバイスは、1.5 V コンフィギュレーションはサポートしていません。


すべての専用コンフィギュレーション入力ピン、専用コンフィギュレーション出力ピン、専用コンフィギュレーション双方向ピン、およびコンフィギュレーションに使用する兼用ピンに電力を供給するために、 V_{CCPGM} ピンを使用します。 V_{CCPGM} により、コンフィギュレーション入力バッファは、Stratix IV デバイスで電源ラインを通常の I/O バッファと共有する必要がなくなります。

コンフィギュレーション中、コンフィギュレーション入力ピンの動作電圧は、I/O バンク電源 V_{CCIO} から独立しています。したがって、 V_{CCIO} のコンフィギュレーション電圧の制約は Stratix IV デバイスでは必要ありません。

V_{CCPD} ピン

Stratix IV デバイスには、専用のプログラミング電源 V_{CCPD} がありますが、これは I/O プリドライバおよび JTAG I/O ピン (TCK、TMS、TDI、TDO、および TRST) に電源を供給するために 3.0 V/2.5 V に接続する必要があります。

 V_{CCPGM} および V_{CCPD} は、PORSEL が Low ときには 100 ms または PORSEL が High ときには 4 ms 以内に、0 V から希望の電圧レベルまで上昇しなければなりません。これらの電源がこの規定時間内に上昇しない場合、Stratix IV デバイスは正しくコンフィギュレーションされません。システムが 100 ms または 4 ms 以内に電源を上昇できない場合、すべての電源が安定するまで nCONFIG を Low に保持する必要があります。

 V_{CCPD} は、同じバンクの V_{CCIO} と等しいかそれ以上でなければなりません。バンクの V_{CCIO} は 3.0 V に設定される場合、 V_{CCPD} は 3.0 V にパワーアップする必要があります。バンクの V_{CCIO} は 2.5 V または以下に駆動される場合、 V_{CCPD} は 2.5 V にパワーアップする必要があります。

コンフィギュレーション・ピン電源電圧については、10-42 ページの「デバイス・コンフィギュレーション・ピン」を参照してください。


ファスト・パッシブ・パラレル・コンフィギュレーション

Stratix IV デバイスのファスト・パッシブ・パラレルコンフィギュレーションは、ますます強まる高速コンフィギュレーション時間の要求に応えるように設計されています。Stratix IV デバイスは、クロック・サイクルごとにバイト幅のコンフィギュレーション・データを受信できるように設計されています。

Stratix IV デバイスの FPP コンフィギュレーションは、MAX II デバイス、またはマイクロプロセッサなどのインテリジェント・ホストを使用して実行できます。

MAX II デバイスを外部ホストとして使用した FPP コンフィギュレーション

圧縮と外部ホストを使用した FPP コンフィギュレーションは、Stratix IV デバイスをコンフィギュレーションする最速の方法です。このコンフィギュレーション手法では、MAX II デバイスは、フラッシュ・メモリなどのストレージ・デバイスからターゲットの Stratix IV デバイスへのコンフィギュレーション・データの転送を制御するインテリジェント・ホストとして使用できます。コンフィギュレーション・データは、.rbf、.hex、または .tff フォーマットで保存できます。MAX II デバイスをインテリジェント・ホストとして使用する場合、データをフラッシュ・メモリから読み込んでデバイスに送信するといったコンフィギュレーション・プロセスを制御するデザインを MAX II デバイスに格納する必要があります。

 Stratix IV の圧縮復元機能やデザイン・セキュリティ機能を使用する場合、外部ホストはデータ・レートの 4 倍の DCLK 周波数を送信する必要があります。

4 DCLK 信号は、追加ピンの必要がなく、DCLK ピン上で送信されます。最大 DCLK 周波数は 125 MHz で、これは 250 Mbps の最大データ・レートになります。Stratix IV の圧縮復元機能やデザイン・セキュリティ機能を使用しない場合、データ・レートは DCLK 周波数の 8 倍になります。

図 10-1 に、シングル・デバイス・コンフィギュレーションでの Stratix IV デバイスと MAX II デバイス間のコンフィギュレーション・インタフェース接続を示します。

図 10-1. 外部ホストを使用したシングル・デバイス FPP コンフィギュレーション

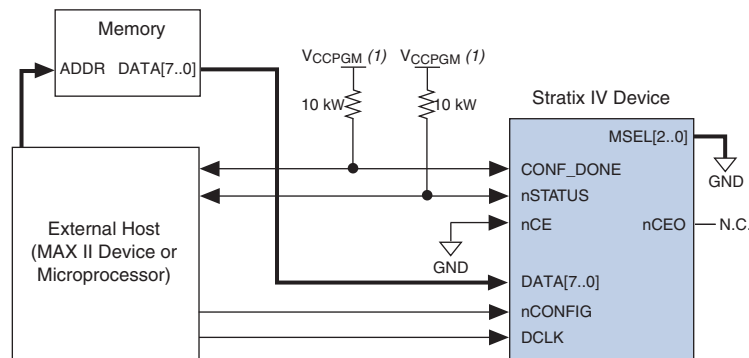



図 10-1 の注：

- (1) Stratix IV デバイスに許容される入力信号を供給する電源に抵抗を接続します。V_{CCPGM} は、デバイスおよび外部ホスト上の I/O の V_{IH} 仕様に適合するよう十分に高くなければなりません。アルテラでは、V_{CCPGM} ですべてのコンフィギュレーション・システム I/O を電源投入することを推奨しています。

電源投入後は、Stratix IV デバイスで POR が実行されます。POR 遅延は、PORSEL ピンの設定によって異なります。PORSEL ピンが Low にドライブされているとき、スタンダード POR 時間は 100 ms < T_{POR} < 300 ms です。PORSEL ピンが High にドライブされているとき、ファスト POR 時間は 4 ms < T_{POR} < 12 ms です。POR の間、デバイスはリセットされ、nSTATUS が Low に保持され、すべてのユーザー I/O ピンがトライ・ステートになります。デバイスが正常に POR を終了すると、すべてのユーザー I/O ピンはトライ・ステートを維持します。電源投入時およびコンフィギュレーション中に nIO_pullup が Low にドライブされた場合、ユーザー I/O ピンおよび兼用 I/O ピンはウィーク・プルアップ抵抗を持ち、(POR 後の) コンフィギュレーションの実行前および実行中にオンになります。nIO_pullup が High にドライブされた場合、ウィーク・プルアップ抵抗はディセーブルされます。

コンフィギュレーション・サイクルは、リセット、コンフィギュレーション、および初期化の 3 つのステージで構成されています。nCONFIG または nSTATUS が Low の間、デバイスはリセット・ステージになっています。コンフィギュレーションを開始するには、MAX II デバイスは nCONFIG ピンを Low から High にドライブする必要があります。

 コンフィギュレーション・プロセスを開始するには、コンフィギュレーション・ピンが存在するバンクの V_{CCPT}、V_{CC}、V_{CCPD}、および V_{CCPGM} が適切な電圧レベルで完全に駆動されている必要があります。

nCONFIG が High になると、デバイスはリセット状態を終了し、オープン・ドレインの nSTATUS ピンを解放します。このピンは 10-k Ω の外部プルアップ抵抗で High にプルアップされます。nSTATUS が解放されると、デバイスはコンフィギュレーション・データを受信可能な状態になり、コンフィギュレーション・ステージが開始されます。nSTATUS が High にプルアップされると、MAX II デバイスはコンフィギュレーション・データを 1 バイトずつ DATA [7..0] ピンに送信します。



Stratix IV デバイスは、DATA [7..0] ピンでコンフィギュレーション・データを受信し、DCLK ピンでクロックを受信します。データは、DCLK の立ち上がりエッジでデバイスにラッチされます。Stratix IV の圧縮復元機能やデザイン・セキュリティ機能を使用している場合、コンフィギュレーション・データは 4 DCLK サイクルごとの立ち上がりエッジでラッチされます。コンフィギュレーション・データは、ラッチされた後の 3 DCLK サイクル中に処理されます。したがって、最終データが Stratix IV デバイスにラッチされた 3 クロック・サイクル後でのみ DCLK が停止できます。


CONF_DONE が High になるまで、データは継続してターゲット・デバイスに送られます。FPP モードでは、CONF_DONE ピンは 1 バイト早く High になります。最後のバイトは AS および PS モードで必要になります。デバイスは、コンフィギュレーション・データの最後から 2 番目のバイトを正常に受信すると、10-k Ω の外部プルアップ抵抗で High にプルアップされたオープン・ドレインの CONF_DONE ピンを解放します。CONF_DONE の Low から High への遷移は、コンフィギュレーションが完了し、デバイスの初期化を開始できることを示します。デバイスを初期化するには、CONF_DONE ピンに 10-k Ω の外部プルアップ抵抗が必要です。

Stratix IV デバイスでは、初期化クロック・ソースは内部オシレータまたはオプションの CLKUSR ピンになります。デフォルトでは、内部オシレータが初期化用のクロック・ソースです。内部オシレータを使用する場合、Stratix IV は、自身で初期化を正しく実行するのに必要なクロック・サイクルを供給します。したがって、内部オシレータが初期化クロック・ソースの場合、コンフィギュレーション・ファイル全体をデバイスに送信するだけで十分にデバイスをコンフィギュレーションし初期化できます。コンフィギュレーションの完了後にデバイスに DCLK をドライブしても、デバイス動作には影響しません。

CLKUSR オプションを使用して、複数のデバイスの初期化を同期させたり、初期化を遅らせることもできます。Enable user-supplied start-up clock (CLKUSR) オプションは、Quartus II ソフトウェアの Device and Pin Options ダイアログ・ボックスの General タブでオンにすることができます。CLKUSR にクロックを供給しても、コンフィギュレーション・プロセスには影響しません。FPP モードでは、CONF_DONE ピンは 1 バイト早く High になります。最後のバイトは AS および PS モードで必要になります。CONF_DONE が High に遷移した後、 t_{CD2CU} の規定時間後に CLKUSR がイネーブルされます。この期間の経過後、Stratix IV デバイスは正しく初期化を実行してユーザー・モードに入るために 8,532 クロック・サイクルを必要とします。Stratix IV デバイスは、125 MHz の CLKUSR f_{MAX} をサポートしています。


オプションの INIT_DONE ピンは、初期化の終了とユーザー・モードの開始を Low から High への遷移で知らせます。Quartus II ソフトウェアでは、Device and Pin Options ダイアログ・ボックスの General タブから Enable INIT_DONE Output オプションを設定できます。INIT_DONE ピンを使用する場合、このピンは nCONFIG が Low のとき、およびコンフィギュレーションの開始時に 10-k Ω の外部プルアップ抵抗によって High になります。INIT_DONE を有効にするオプション・ビットが、(コンフィギュレーション・データの最初のフレーム時に) デバイスにプログラムされると、INIT_DONE ピンは Low になります。初期化が完了すると、INIT_DONE ピンは解放さ

れて High にプルアップされます。MAX II デバイスは、デバイスがユーザー・モードに入ったことを示すこの Low から High への遷移を検出できることは必要です。初期化が完了すると、デバイスはユーザー・モードに入ります。ユーザー・モードでは、ユーザー I/O ピンにウィーク・プルアップ抵抗がなくなり、デザインで割り当てられたとおりに機能します。

 FPP に非圧縮および圧縮ビットストリームの両方のデバイスの初期化を開始するように、CONF_DONE が High になった後 2 つの DCLK 立ち下がりエッジが必要です。

コンフィギュレーションの最後に DCLK と DATA [7..0] をフローティング状態のままにしないために、MAX II デバイスはこれらを High か Low のいずれかボードで都合がよい方にドライブする必要があります。コンフィギュレーション後、DATA [7..0] ピンはユーザー I/O ピンとして使用できます。Quartus II ソフトウェアで FPP 手法を選択した場合、これらの I/O ピンはユーザー・モードではデフォルトでトライ・ステートになります。Quartus II ソフトウェアでこのデフォルト・オプションを変更するには、**Device and Pin Options** ダイアログ・ボックスの **Dual-Purpose Pins** タブを選択します。

コンフィギュレーションを正しく行うには、コンフィギュレーション・クロック (DCLK) 速度が規定周波数以下でなければなりません。DCLK には最大周期はありません。これは DCLK を無制限に停止することによってコンフィギュレーションを休止できることを意味します。


 DCLK を停止する必要がある場合：

- 圧縮復元機能および / またはデザイン・セキュリティ機能を使用しているとき、最終データ・バイトが Stratix IV デバイスにラッチされた次に、3 クロック・サイクル後で停止できます。
- そして、Stratix IV の圧縮復元機能および / またはデザイン・セキュリティ機能を使用していないとき、最終データ・バイトが Stratix IV デバイスにラッチされた次に、2 クロック・サイクル後で停止できます。

DCLK を停止させると、コンフィギュレーション回路はラッチされたコンフィギュレーション・データの最終バイトを処理するのに十分なクロック・サイクルを経過させます。クロックがリスタートしたら、MAX II デバイスは最初の DCLK の立ち上がりエッジを送信する前に、DATA [7..0] ピンにデータを供給しなければなりません。

コンフィギュレーション実行中にエラーが発生した場合、デバイスは nSTATUS ピンを Low にドライブし、内部で自身をリセットします。nSTATUS ピンの Low 信号はまた、MAX II デバイスにエラーがあることを警告します。**Auto-restart configuration after error** オプション (Quartus II ソフトウェアの **Device and Pin Options** ダイアログ・ボックスの **General** タブで選択可能) がオンの場合、デバイスはリセット・タイムアウト期間 (最大 500 μ s) 後に nSTATUS を解放します。nSTATUS が解放され、プルアップ抵抗により High にプルアップされると、MAX II デバイスは nCONFIG の Low パルスを与えることなく、ターゲット・デバイスのリコンフィギュレーションを試みることができます。このオプションがオフの場合、MAX II デバイスは、nCONFIG で Low から High への遷移 (2 μ s 以上の Low パルス) を生成して、コンフィギュレーション・プロセスを再開する必要があります。

MAX II デバイスは CONF_DONE ピンと INIT_DONE ピンをモニタすることによっても、コンフィギュレーションの成功を確認できます。MAX II デバイスは、CONF_DONE ピンをモニタして、エラーを検出し、プログラミングの完了を判断する必要があります。すべてのコンフィギュレーション・データが送信されたが、CONF_DONE または INIT_DONE 信号が High になっていない場合、MAX II デバイスはターゲット・デバイスを再コンフィギュレーションします。

 オプションの CLKUSR ピンが使用されているとき、nCONFIG を Low にプルダウンしてデバイスの初期化中にコンフィギュレーションを再開する場合は、nSTATUS が Low の間（最大 500 μs）、CLKUSR がトグルし続けているのを確認してください。

デバイスがユーザー・モードのとき、nCONFIG ピンを Low から High に遷移させることによって、再コンフィギュレーションを開始できます。nCONFIG ピンは、最低 2 μs の間 Low でなければなりません。nCONFIG が Low にプルダウンされると、デバイスは nSTATUS と CONF_DONE も Low にプルダウンし、すべての I/O ピンがトライ・ステートになります。nCONFIG がロジック High レベルに復帰し、nSTATUS がデバイスによって解放されると、再コンフィギュレーションが開始されます。

図 10-2 に、MAX II デバイスを使用して複数の Stratix IV デバイスをコンフィギュレーションする方法を示します。この回路はシングル・デバイスの FPP コンフィギュレーション回路に類似していますが、マルチ・デバイスのコンフィギュレーションのためにデバイスがカスケード接続されています。

図 10-2. 外部ホストを使用したマルチ・デバイス FPP コンフィギュレーション

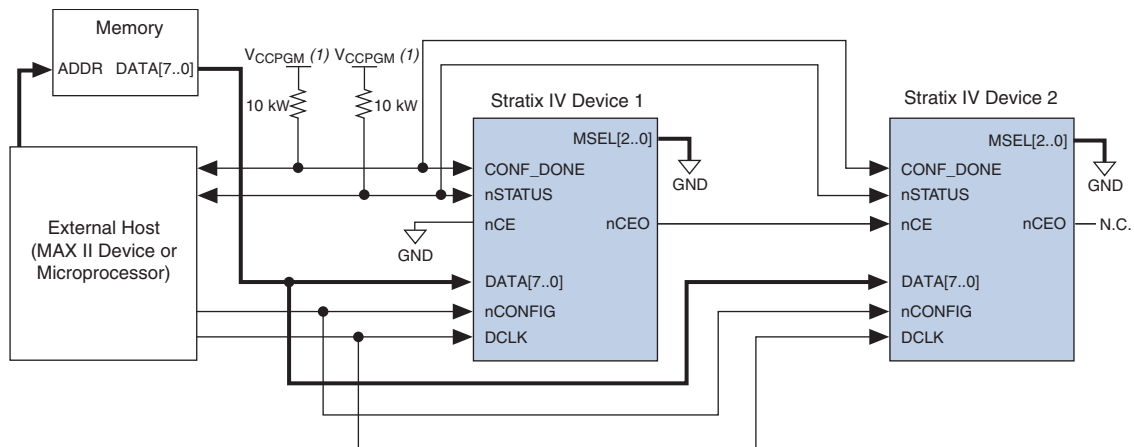


図 10-2 の注：

- (1) チェイン内のすべての Stratix IV デバイスの許容入力信号を供給する電源にプルアップ抵抗を接続します。V_{CCPGM} は、デバイスおよび外部ホスト上の I/O の V_{IH} 仕様に適合するよう十分に高くなければなりません。アルテラでは、V_{CCPGM} ですべてのコンフィギュレーション・システム I/O を電源投入することを推奨しています。

マルチ・デバイス FPP コンフィギュレーションでは、最初のデバイスの nCE ピンは GND に接続され、nCEO ピンはチェイン内の次のデバイスの nCE ピンに接続されます。最後のデバイスの nCE 入力、1 つ前のデバイスから供給され、その nCEO ピンはフロート状態のままです。複数デバイスのコンフィギュレーション・チェイン内の最初のデバイスがコンフィギュレーションを完了した後、その nCEO ピンは Low にドライブされ、2 番目のデバイスの nCE ピンをアクティブにし、2 番目のデバイスがコンフィギュレーションを開始します。チェイン内の 2 番目のデバイスは、1 クロック・サイクル以内にコンフィギュレーションを開始するため、データの転送先は MAX II デバイスには分かりません。他のすべてのコンフィギュレーション・ピン

(nCONFIG、nSTATUS、DCLK、DATA[7..0]、CONF_DONE) は、チェーン内のすべてのデバイスに接続されます。コンフィギュレーション信号は、シグナル・インテグリティを確実にし、クロック・スキュー問題を回避するためにバッファリングが必要になる場合があります。4 個目のデバイスごとに、DCLK 及び DATA ラインをバッファされるように確認することが必要です。すべてのデバイスの CONF_DONE ピンは連結されているため、すべてのデバイスは初期化とユーザー・モードに入るのは同期しています。

すべての nSTATUS および CONF_DONE ピンは連結されており、いずれかのデバイスがエラーを検出した場合、チェーン全体のコンフィギュレーションを停止して、チェーン全体を再コンフィギュレーションする必要があります。例えば、最初のデバイスが nSTATUS でエラーを示すと、nSTATUS ピンを Low にプルダウンしてチェーンをリセットします。この動作はシングル・デバイスでエラーを検出するのに似ています。

Auto-restart configuration after error のオプションをオンにすると、デバイスはリセット・タイムアウト期間 (最大 500 μ s) 後に nSTATUS ピンを解放します。すべての nSTATUS ピンが解放され、High にプルアップされると、MAX II デバイスは nCONFIG の Low パルスを要せずにチェーンの再コンフィギュレーションを試みることができます。このオプションがオフの場合、MAX II デバイスは、nCONFIG で Low から High への遷移 (2 μ s 以上の Low パルス) を生成して、コンフィギュレーション・プロセスを再開する必要があります。

マルチ・デバイス FPP コンフィギュレーション・チェーンでは、チェーン内にあるすべての Stratix IV デバイスは圧縮復元機能やデザイン・セキュリティ機能をイネーブルまたはディセーブルのいずれかにしておく必要があります。DATA と DCLK の関係のため、チェーン内の特定のデバイスだけを圧縮復元やデザイン・セキュリティ機能をイネーブルすることは出来ません。チェーン内にデザイン・セキュリティを対応しないデバイスが存在する場合は、シリアル・コンフィギュレーション手法を使用します。

システムに同じコンフィギュレーション・データを持つ複数のデバイスが搭載されている場合、すべてのデバイスの nCE 入力を GND に接続し、nCEO ピンをフローティング状態のままにします。他のすべてのコンフィギュレーション・ピン (nCONFIG、nSTATUS、DCLK、DATA[7..0]、CONF_DONE) は、チェーン内のすべてのデバイスに接続されます。コンフィギュレーション信号は、シグナル・インテグリティを確実にし、クロック・スキュー問題を回避するためにバッファリングが必要になる場合があります。DCLK ラインと DATA ラインが 4 個目のデバイスごとにバッファリングされるようにします。デバイスの集積度とパッケージは同じでなければなりません。すべてのデバイスは、コンフィギュレーションを同時に開始し、同時に終了します。

図 10-3 に、両方の Stratix IV デバイスが同じコンフィギュレーション・データを受信しているときのマルチ・デバイス FPP コンフィギュレーションを示します。

図 10-3. 両方のデバイスが同じデータを受信する場合の外部ホストを使用したマルチ・デバイス FPP コンフィギュレーション

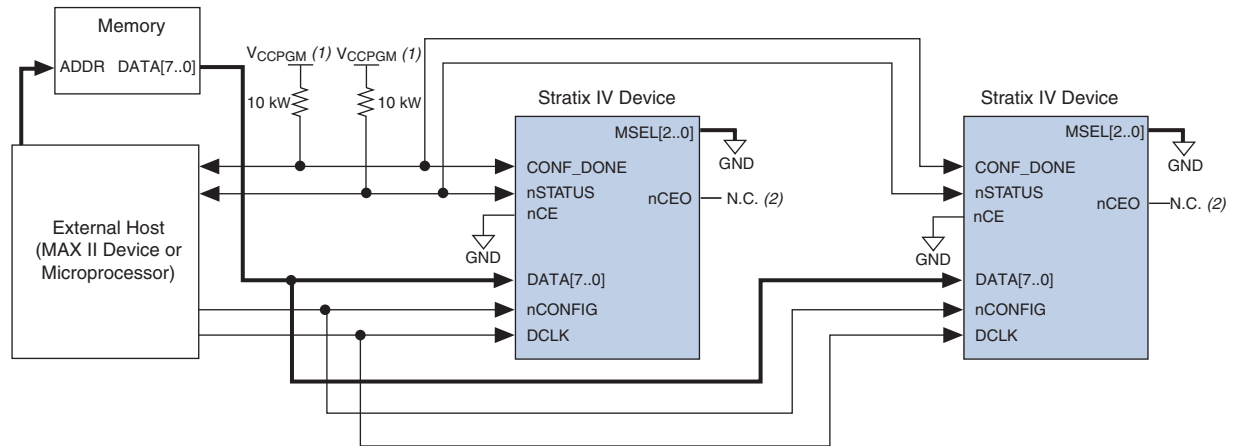


図 10-3 の注：

- (1) チェイン内のすべての Stratix IV デバイスの許容入力信号を供給する電源に抵抗を接続します。V_{CCPGM} は、デバイスおよび外部ホスト上の I/O の V_{IH} 仕様に適合するよう十分に高くなければなりません。アルテラでは、V_{CCPGM} ですべてのコンフィギュレーション・システム I/O を電源投入することを推奨しています。
- (2) 同じコンフィギュレーション・データを複数の Stratix IV デバイスにコンフィギュレーションするときには、それぞれのデバイスの nCEO ピンは未接続のままにします。

1 つのコンフィギュレーション・チェーンを使用して、Stratix IV デバイスと FPP コンフィギュレーションに対応する Stratix タイプ以外の他のアルテラデバイスをコンフィギュレーションすることが出来ます。チェーン内にすべてのデバイスが同時にコンフィギュレーションを完了させることと、任意のデバイスがエラーが発生したため、すべてのデバイスが再コンフィギュレーションを開始させるには、すべてのデバイスの CONF_DONE ピンおよび nSTATUS ピンを連結します。

同じコンフィギュレーション・チェーン内の複数のアルテラ・デバイスのコンフィギュレーションについては、「コンフィギュレーション・ハンドブック Volume 2」の「*Configuring Mixed Altera FPGA Device Chains*」を参照してください。

FPP コンフィギュレーション・タイミング

図 10-4 に、MAX II デバイスを外部ホストとして使用されるときの、FPP コンフィギュレーションのタイミング波形を示します。この波形は、圧縮復元機能およびデザイン・セキュリティ機能がイネーブルされていないときのタイミングを示します。

図 10-4. FPP コンフィギュレーション・タイミング波形 (注 1), (2)

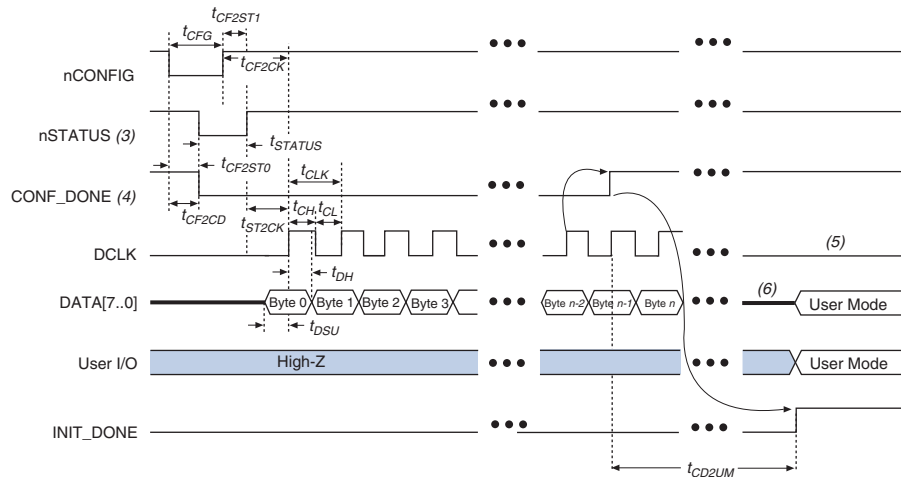


図 10-4 の注：

- (1) このタイミング波形は、圧縮復元機能およびデザイン・セキュリティ機能がイネーブルされていないときに利用してください。
- (2) この波形の開始はデバイスがユーザー・モードにあることを示します。ユーザー・モードでは、nCONFIG、nSTATUS、および CONF_DONE はロジック High レベルにあります。nCONFIG が Low にプルダウンされると、リコンフィギュレーション・サイクルが開始します。
- (3) 電源投入後、Stratix IV デバイスは POR 遅延時間の間、nSTATUS を Low に保持します。
- (4) 電源投入後、コンフィギュレーションの実行前と実行中、CONF_DONE は Low になります。
- (5) コンフィギュレーション後、DCLK をフローティング状態のままにしないでください。High または Low のいずれかの都合の良いレベルにドライブできます。
- (6) Stratix IV GT のいくつかの例外を除いて、コンフィギュレーション後には、DATA [7..0] はユーザー I/O ピンとして使用できます。これらのピンの状態は兼用ピンの設定によって異なります。

表 10-4 は、圧縮復元機能およびデザイン・セキュリティ機能がイネーブルされていないときに、FPP コンフィギュレーションを行うための Stratix IV デバイスのタイミング・パラメータをリストしています。

表 10-4. Stratix IV デバイスの FPP タイミング・パラメータ (その 1) (注 1), (2)

シンボル	パラメータ	Min	Max	単位
t _{CF2CD}	nCONFIG Low から CONF_DONE Low	—	800	ns
t _{CF2ST0}	nCONFIG Low から nSTATUS Low	—	800	ns
t _{CFG}	nCONFIG Low パルス幅	2	—	μs
t _{STATUS}	nSTATUS Low パルス幅	10	500 (3)	μs
t _{CF2ST1}	nCONFIG High から nSTATUS High	—	500 (3)	μs
t _{CF2CK}	nCONFIG High から DCLK の最初の立ち上がりエッジ	500	—	μs
t _{ST2CK}	nSTATUS High から DCLK の最初の立ち上がりエッジ	2	—	μs
t _{DSU}	DCLK の立ち上がりエッジ前のデータ・セットアップ時間	4	—	ns
t _{DH}	DCLK の立ち上がりエッジ後のデータ・ホールド時間	0	—	ns

表 10-4. Stratix IV デバイスの FPP タイミング・パラメータ (その 2) (注 1), (2)

シンボル	パラメータ	Min	Max	単位
t_{CH}	DCLK High 時間 (5)	3.2	—	ns
t_{CL}	DCLK Low 時間 (5)	3.2	—	ns
t_{CLK}	DCLK 週期 (5)	8	—	ns
f_{MAX}	DCLK 周波数	—	125	MHz
t_R	入力立ち上がり時間	—	40	ns
t	入力立ち下がり時間	—	40	ns
t_{CD2UM}	CONF_DONE High からユーザー・モード (4)	55	150	μ s
t_{CD2CU}	CONF_DONE High から CLKUSR イネーブル	4 × max DCLK 周期	—	—
t_{CD2UMC}	CONF_DONE High から CLKUSR オプションがオンの ユーザー・モード	$t_{CD2CU} + (8,532$ × CLKUSR 周期)	—	—

表 10-4 の注:

- (1) この情報は暫定仕様です。
- (2) これらのタイミング・パラメータは、圧縮復元機能およびデザイン・セキュリティ機能がイネーブルされていないときに利用してください。
- (3) この値は、ユーザーが nCONFIG または nSTATUS の Low パルス幅を拡張して、コンフィギュレーションを遅延しない場合に得ることができます。
- (4) 最小値および最大値は、デバイスを起動させるためのクロック・リソースとして内部オシレータが選択された場合にのみ適用されます。
- (5) t_{CH} と t_{CL} を合計すると、 t_{CLK} になります。 t_{CH} は 3.2 ns (最小値) のとき、 t_{CL} は 4.8 ns およびその逆でなければなりません。

図 10-5 に、MAX II デバイスを外部ホストとして使用するときの、FPP コンフィギュレーションのタイミング波形を示します。この波形は、圧縮復元機能やデザイン・セキュリティ機能がイネーブルされているときのタイミングを示します。

図 10-5. 圧縮復元機能またはデザイン・セキュリティ機能がイネーブルされた FPP コンフィギュレーション・タイミング波形 (注 1), (2)

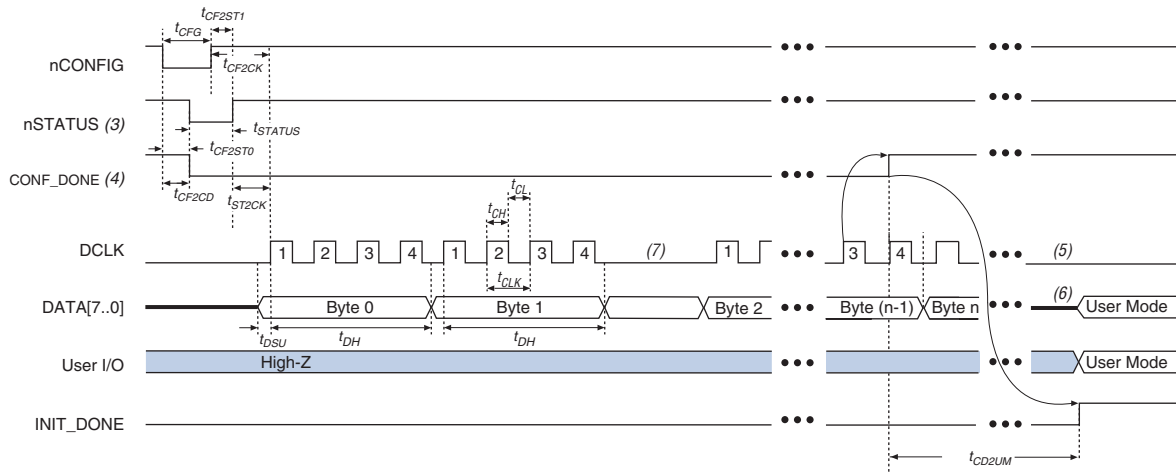


図 10-5 の注：

- (1) このタイミング波形は、圧縮復元機能および / またはデザイン・セキュリティ機能がイネーブルされているときに利用してください。
- (2) この波形の開始はデバイスがユーザー・モードにあることを示します。ユーザー・モードでは、nCONFIG、nSTATUS、および CONF_DONE はロジック High レベルにあります。nCONFIG が Low にプルダウンされると、リコンフィギュレーション・サイクルが開始します。
- (3) 電源投入後、Stratix IV デバイスは POR 遅延時間の間、nSTATUS を Low に保持します。
- (4) 電源投入後、コンフィギュレーションの実行前と実行中、CONF_DONE は Low になります。
- (5) コンフィギュレーション後、DCLK をフローティング状態のままにしないでください。High または Low のいずれかの都合の良いレベルにドライブできます。
- (6) Stratix IV GT のいくつかの例外を除いて、コンフィギュレーション後には、DATA [7..0] はユーザー I/O ピンとして使用できます。これらのピンの状態は兼用ピンの設定によって異なります。
- (7) 必要な場合、DCLK は Low に保持して休止することができます。DCLK がリスタートしたら、外部ホストは最初の DCLK の立ち上がりエッジを送信する前に、DATA [7..0] ピンにデータを供給しなければなりません。

表 10-5 は、圧縮復元機能やデザイン・セキュリティ機能がイネーブルされているときに、FPP コンフィギュレーションを行うための Stratix IV デバイスのタイミング・パラメータを示しています。

表 10-5. 圧縮復元機能および / またはデザイン・セキュリティ機能がイネーブルされた Stratix IV デバイスに対する FPP タイミング・パラメータ (注 1), (2) (その 1)


シンボル	パラメータ	Min	Max	単位
t_{CF2CD}	nCONFIG Low から CONF_DONE Low	—	800	ns
t_{CF2ST0}	nCONFIG Low から nSTATUS Low	—	800	ns
t_{CFG}	nCONFIG Low パルス幅	2	—	μ s
t_{STATUS}	nSTATUS Low パルス幅	10	500 (3)	μ s
t_{CF2ST1}	nCONFIG High から nSTATUS High	—	500 (3)	μ s
t_{CF2CK}	nCONFIG High から DCLK の最初の立ち上がりエッジ	500	—	μ s
t_{ST2CK}	nSTATUS High から DCLK の最初の立ち上がりエッジ	2	—	μ s

表 10-5. 圧縮復元機能および / またはデザイン・セキュリティ機能がイネーブルされた Stratix IV デバイスに対する FPP タイミング・パラメータ (注 1), (2) (その 2)

シンボル	パラメータ	Min	Max	単位
t_{DSU}	DCLK の立ち上がりエッジ前のデータ・セットアップ時間	4	—	ns
t_{DH}	DCLK の立ち上がりエッジ前のデータ・ホールドアップ時間	24	—	ns
t_{CH}	DCLK High 時間 (5)	3.2	—	ns
t_{CL}	DCLK Low 時間 (5)	3.2	—	ns
t_{CLK}	DCLK 周期 (5)	8	—	ns
f_{MAX}	DCLK 周波数	—	125	MHz
t_{DATA}	データ・レート	—	250	Mbps
t_R	入力立ち上がり時間	—	40	ns
t	入力立ち下がり時間	—	40	ns
t_{CD2UM}	CONF_DONE High からユーザー・モード (4)	55	150	μ s
t_{CD2CU}	CONF_DONE High から CLKUSR イネーブル	$4 \times \max$ DCLK 周期	—	—
t_{CD2UMC}	CONF_DONE High から CLKUSR オプションがオンのユーザー・モード (4)	$t_{CD2CU} + (8,532$ $\times \text{CLKUSR}$ 期間)	—	—

表 10-5 の注:

- (1) この情報は暫定仕様です。
- (2) このタイミング波形は、圧縮復元機能および / またはデザイン・セキュリティ機能がイネーブルされているときに利用してください。
- (3) この値は、ユーザーが nCONFIG または nSTATUS の Low パルス幅を拡張して、コンフィギュレーションを遅延しない場合に得ることができます。
- (4) 最小値および最大値は、デバイスを起動させるためのクロック・リソースとして内部オシレータが選択された場合にのみ適用されます。
- (5) t_{CH} と t_{CL} を合計すると、 t_{CLK} になります。 t_{CH} は 3.2 ns (最小値) のとき、 t_{CL} は 4.8 ns およびその逆でなければなりません。

 デバイス・コンフィギュレーション・オプションおよびコンフィギュレーション・ファイルの作成方法については、「コンフィギュレーション・ハンドブック Volume 2」の「*Device Configuration Options*」および「*Configuration File Formats*」の章を参照してください。

マイクロプロセッサを使用した FPP コンフィギュレーション


このコンフィギュレーション手法では、マイクロプロセッサがフラッシュ・メモリなどのストレージ・デバイスからターゲットの Stratix IV デバイスへのコンフィギュレーション・データの転送を制御できます。

マイクロプロセッサを外部ホストとして使用する場合、10-6 ページの「MAX II デバイスを外部ホストとして使用した FPP コンフィギュレーション」のすべての情報も適用できます。すべてのコンフィギュレーションおよびタイミング情報については、この項を参照してください。


ファスト・アクティブ・シリアル・コンフィギュレーション (シリアル・コンフィギュレーション・デバイス)

ファスト AS コンフィギュレーション手法では、Stratix IV デバイスはシリアル・コンフィギュレーション・デバイスを使用してコンフィギュレーションされます。これらのコンフィギュレーション・デバイスは、単純な 4 ピン・インタフェースとスモール・フォーム・ファクタを特長とする不揮発性メモリを備えた低コスト・デバイスです。

最大規模のシリアル・コンフィギュレーション・デバイスは、現在、128 M ビットのコンフィギュレーション・ビットストリームをサポートしています。EP4SE360、EP4SGX290、EP4S40G5、EP4S100G3、および大容量のデバイスに対して、Stratix IV の圧縮復元機能を使用し、または FPP それとも PS コンフィギュレーション手法を選択します。

 シリアル・コンフィギュレーション・デバイスについて詳しくは、「コンフィギュレーション・ハンドブック Volume 2」の「*Serial Configuration Devices (EPCS1, EPCS4, EPCS16, EPCS64, and EPCS128) Data Sheet*」の章を参照してください。

シリアル・コンフィギュレーション・デバイスは、コンフィギュレーション・データにアクセスするためのシリアル・インタフェースを提供します。デバイス・コンフィギュレーションの間、Stratix IV デバイスはシリアル・インタフェースを通してコンフィギュレーション・データを読み出し、必要に応じてデータを圧縮復元し、SRAM セルをコンフィギュレーションします。この手法は、Stratix IV デバイスがコンフィギュレーション・インタフェースを制御するため、AS コンフィギュレーションと呼ばれます。この手法は、コンフィギュレーション・デバイスがインタフェースを制御する PS コンフィギュレーション手法とは対照的です。

 Stratix IV の圧縮復元およびデザイン・セキュリティ機能は、ファスト AS モードを使用して Stratix IV デバイスをコンフィギュレーションするときに完全に利用できます。

シリアル・コンフィギュレーション・デバイスは、シリアル・クロック入力 (DCLK)、シリアル・データ出力 (DATA)、AS データ入力 (ASDI)、およびアクティブ Low のチップ・セレクト (nCS) の 4 ピン・インタフェースを備えています。図 10-6 に示すように、この 4 ピン・インタフェースは Stratix IV デバイス・ピンに接続されます。

図 10-6. シングル・デバイスのファスト AS コンフィギュレーション

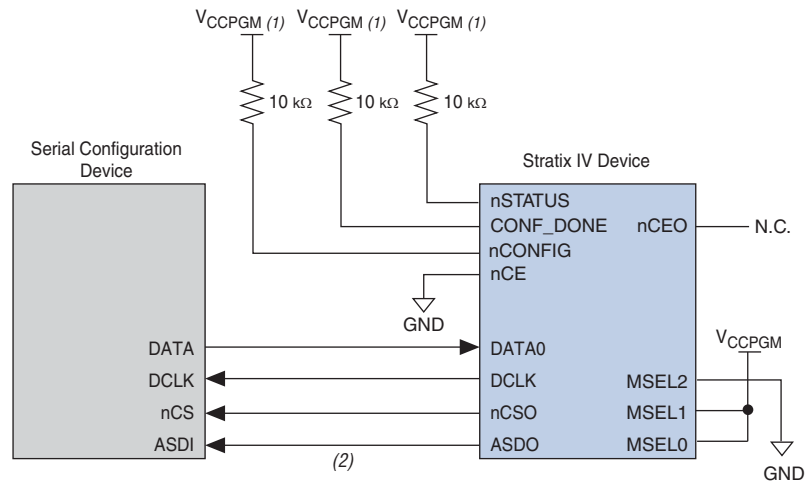



図 10-6 の注：

- (1) プルアップ抵抗を 3.3-V の電源 V_{CCPGM} に接続します。
- (2) Stratix IV デバイスは、ASDO から ASDI までのパスを使用して、コンフィギュレーション・デバイスを制御します。

アクティブ・シリアル (AS) コンフィギュレーション・モードで Stratix IV FPGA をコンフィギュレーションする場合、EPCS シリアル・コンフィギュレーション・デバイスを 3.0 V に駆動することができます。EPCS デバイスへの電源は 2.7 V ~ 3.6 V の範囲があるので、これは実現可能です。EPCS デバイスを駆動するのに、専用 3.0 V の電源が必要がありません。Stratix IV デバイスの EPCS デバイスおよび VCCPGM ピンは同じ 3.0 V の電源を共用することがあります。

電源投入時に、Stratix IV デバイスは POR を実行します。POR 遅延は、PORSEL ピンの設定によって異なります。PORSEL ピンが Low にドライブされているとき、スタンダード POR 時間は $100 \text{ ms} < T_{\text{POR}} < 300 \text{ ms}$ です。PORSEL ピンが High にドライブされているとき、ファスト POR 時間は $4 \text{ ms} < T_{\text{POR}} < 12 \text{ ms}$ です。POR の間、デバイスはリセットされ、nSTATUS および CONF_DONE が Low に保持され、すべてのユーザー I/O ピンがトライ・ステートになります。デバイスが正常に POR を終了すると、すべてのユーザー I/O ピンはトライ・ステートを維持します。電源投入時およびコンフィギュレーション中に nIO_pullup が Low にドライブされた場合、ユーザー I/O ピンおよび兼用 I/O ピンはウィーク・プルアップ抵抗を持ち、(POR 後の) コンフィギュレーションの実行前および実行中にオンになります。nIO_pullup が High にドライブされた場合、ウィーク・プルアップ抵抗はディセーブルされます。

コンフィギュレーション・サイクルは、リセット、コンフィギュレーション、および初期化の 3 つのステージで構成されています。nCONFIG または nSTATUS が Low のとき、デバイスはリセット状態です。POR の後、Stratix IV デバイスは nSTATUS を解放すると、このピンは外部 10-kΩ プルアップ抵抗により High にプルアップされ、デバイスはコンフィギュレーション・モードに入ります。

 コンフィギュレーションを開始するには、(コンフィギュレーション・ピンが存在するバンクの) V_{CC} 、 V_{CCIO} 、 V_{CCPGM} 、および V_{CCPD} 電圧を適切な電圧レベルに駆動します。

Stratix IV デバイスで生成されるシリアル・クロック (DCLK) は、コンフィギュレーション・サイクル全体を制御し、シリアル・インタフェースに対するタイミングを提供します。Stratix IV デバイスは、内部オシレータを使用して DCLK を生成します。MSEL [] ピンを使用して、40 MHz オシレータを使用するように選択できます。

ファスト AS コンフィギュレーション手法では、Stratix IV デバイスは DCLK の立ち下がりエッジでコントロール信号をドライブ・アウトします。シリアル・コンフィギュレーション・デバイスは、DCLK の立ち下がりエッジでコンフィギュレーション・データを出力して、これらのインストラクションに応答します。そしてこのデータは、DCLK の次の立ち下がりエッジで Stratix IV デバイスにラッチされます。

コンフィギュレーション・モードでは、Stratix IV デバイスが nCSO 出力ピンを Low にドライブすることによって、シリアル・コンフィギュレーション・デバイスをイネーブルし、それによってコンフィギュレーション・デバイスのチップ・セレクト (nCS) ピンが接続されます。Stratix IV デバイスは、シリアル・クロック (DCLK) およびシリアル・データ出力 (ASDO) ピンを使用して、オペレーション・コマンドやリード・アドレス信号をシリアル・コンフィギュレーション・デバイスに送信します。コンフィギュレーション・デバイスは、データをシリアル・データ出力 (DATA) ピンに供給し、このピンは Stratix IV デバイスの DATA0 入力に接続されます。

すべてのコンフィギュレーション・ビットが Stratix IV デバイスで受信されると、オープン・ドレインの CONF_DONE ピンが解放され、10-k Ω の外部抵抗で High にされます。初期化は、CONF_DONE 信号が High レベルに達してから開始されます。すべての AS コンフィギュレーション・ピン (DATA0、DCLK、nCSO、および ASDO) には、常時アクティブな内部ウィーク・プルアップ抵抗があります。コンフィギュレーション後に、これらのピンは入力トライ・ステートとして設定され、内部ウィーク・プルアップ抵抗で High にドライブされます。デバイスを初期化するには、CONF_DONE ピンに 10-k Ω の外部プルアップ抵抗が必要です。

Stratix IV デバイスでは、初期化クロック・ソースは内部オシレータまたはオプションの CLKUSR ピンになります。デフォルトでは、内部オシレータが初期化用のクロック・ソースです。内部オシレータを使用する場合、Stratix IV は、自身で初期化を正しく実行するのに必要なクロック・サイクルを供給します。CLKUSR オプションを使用して複数のデバイスの初期化を同期させたり、初期化を遅らせるといった柔軟性を得ることもできます。Enable user-supplied start-up clock (CLKUSR) オプションは、Quartus II ソフトウェアの **Device and Pin Options** ダイアログ・ボックスの **General** タブでオンにすることができます。Enable user supplied start-up clock オプションを選択すると、CLKUSR ピンが初期化クロック・ソースになります。CLKUSR にクロックを供給しても、コンフィギュレーション・プロセスには影響しません。すべてのコンフィギュレーション・データが受け入れられ、CONF_DONE が High になると、DCLK の 4 クロック・サイクル後に CLKUSR がイネーブルされます。この期間の経過後、Stratix IV デバイスは正しく初期化を実行してユーザー・モードに入るために 8,532 クロック・サイクルを必要とします。Stratix IV デバイスは、125 MHz の CLKUSR f_{MAX} をサポートしています。

オプションの INIT_DONE ピンは、初期化の終了とユーザー・モードの開始を Low から High への遷移で知らせます。Quartus II ソフトウェアでは、**Device and Pin Options** ダイアログ・ボックスの **General** タブから **Enable INIT_DONE Output** オプションを設定できます。INIT_DONE ピンを使用する場合、このピンは nCONFIG が Low のとき、およびコンフィギュレーションの開始時に 10-k Ω の外部プルアップ抵抗によつ

て High になります。INIT_DONE を有効にしたオプション・ビットが、(コンフィギュレーション・データの最初のフレーム時に) デバイスにプログラムされると、INIT_DONE ピンは Low になります。初期化が完了すると、INIT_DONE ピンは解放されて High にプルアップされます。この Low から High への遷移は、デバイスがユーザー・モードに入ったことを示します。初期化が完了すると、デバイスはユーザー・モードに入ります。ユーザー・モードでは、ユーザー I/O ピンにウィーク・プルアップ抵抗がなくなり、デザインで割り当てられたとおりに機能します。

コンフィギュレーション中にエラーが発生した場合は、Stratix IV デバイスは nSTATUS 信号を Low にアサートしてデータ・フレーム・エラーがあったことを示し、CONF_DONE 信号は Low レベルを維持した状態になります。**Auto-restart configuration after error** オプション (Quartus II ソフトウェアの **Device and Pin Options** ダイアログ・ボックスの **General** タブで選択可能) がオンの場合、Stratix IV デバイスは nCSO にパルスを生じてコンフィギュレーションをリセットし、リセット・タイムアウト期間 (最大 500 μ s) 後に nSTATUS を解放し、コンフィギュレーションを再試行します。このオプションがオフになっている場合は、システムが nSTATUS でエラーを監視し、nCONFIG に最低 2 μ s の Low パルスを出力してコンフィギュレーションを再開する必要があります。

Stratix IV デバイスがユーザー・モードのとき、nCONFIG ピンを Low にすることによって、再コンフィギュレーションを開始できます。nCONFIG ピンは、最低 2 μ s の間 Low でなければなりません。nCONFIG が Low にプルダウンされると、デバイスは nSTATUS と CONF_DONE も Low にプルダウンし、すべての I/O ピンがトライ・ステートになります。nCONFIG がロジック High レベルに復帰し、nSTATUS が Stratix IV デバイスによって解放されると、再コンフィギュレーションが開始されます。

1 個のシリアル・コンフィギュレーション・デバイスを使用して、複数の Stratix IV デバイスをコンフィギュレーションすることができます。チップ・イネーブル (nCE) およびチップ・イネーブル出力 (nCEO) ピンを使用して、複数の Stratix IV デバイスをカスケード接続することが可能です。チェーン内の最初のデバイスでは、nCE ピンを GND に接続しなければなりません。そして、nCEO ピンをチェーン内の次のデバイスの nCE ピンに接続します。最初のデバイスがビットストリームからすべてのコンフィギュレーション・データを完全に読み込むと、nCEO ピンを Low にドライブし、チェーン内の次のデバイスをイネーブルします。最後のデバイスの nCEO ピンは接続しないでおきます。チェーン内の各デバイスの nCONFIG、nSTATUS、CONF_DONE、DCLK、および DATA0 ピンは接続されます (図 10-7 を参照)。

チェーン内の最初の Stratix IV デバイスは、コンフィギュレーション・マスタであり、チェーン全体のコンフィギュレーションを制御します。MSEL ピンを接続して、AS コンフィギュレーション手法を選択する必要があります。残りの Stratix IV デバイスはコンフィギュレーション・スレーブです。MSEL ピンを接続して、PS コンフィギュレーション手法を選択する必要があります。PS コンフィギュレーションを対応するその他のどのアルテラ・デバイスでも、コンフィギュレーション・スレーブとしてチェーンの一部に含めることができます。

図 10-7 にマルチ・デバイス・ファスト AS コンフィギュレーションのピン接続を示します。

図 10-7. マルチ・デバイス・ファスト AS コンフィギュレーション

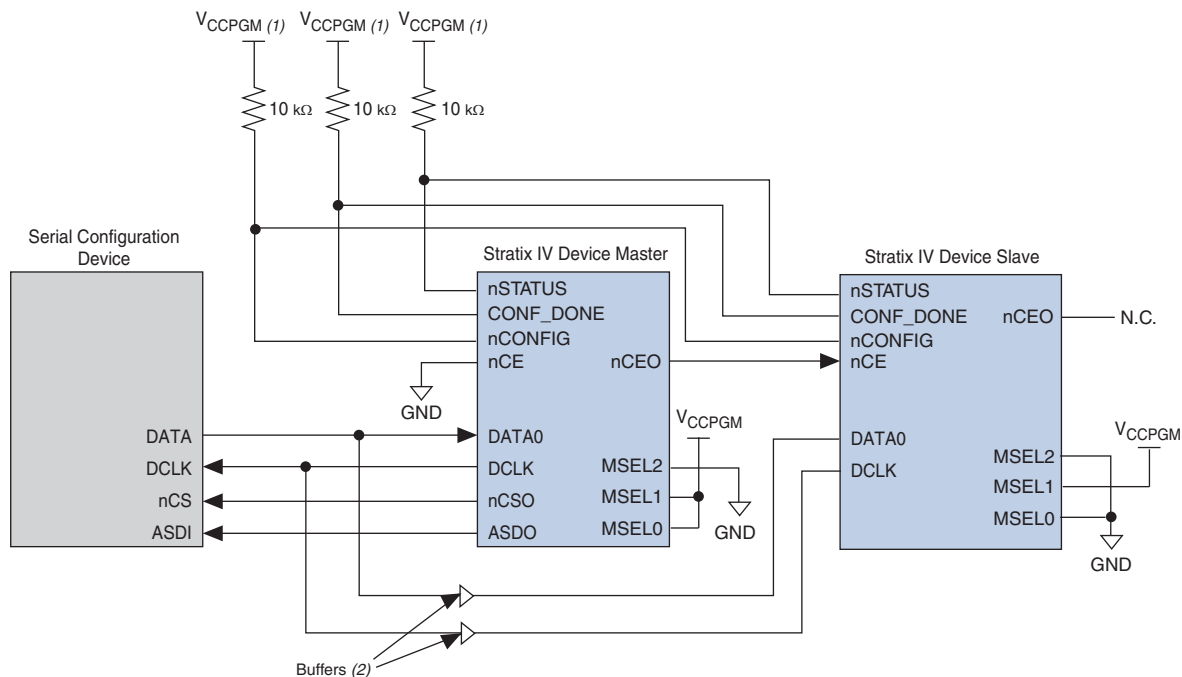


図 10-7 の注：

- (1) プルアップ抵抗を 3.0 V の V_{CCPGM} 電源に接続します。
- (2) DATA [0] と DCLK に対して、Stratix IV のマスタ・デバイスとスレーブ・デバイス間にリピータ・バッファを接続します。これはシグナル・インテグリティおよびクロック・スキュー問題を回避するためです。

図 10-7 に示すように、すべてターゲット・デバイスの nSTATUS ピンおよび CONF_DONE ピンは、まとめて外部プルアップ抵抗に接続されています。デバイスでは、これらのピンはオープン・ドレインの双方向ピンです。最初のデバイスが、(コンフィギュレーション・データをすべて受信した後) nCEO をアサートすると、CONF_DONE ピンをリリースします。しかし、チェーン内の後続のデバイスはそれぞれのコンフィギュレーション・データを受信するまで、この共有 CONF_DONE ラインを Low に保持します。チェーン内のすべてのターゲット・デバイスがそれぞれのコンフィギュレーション・データを受信して CONF_DONE を開放すると、プルアップ抵抗がこのライン上で High レベルをドライブし、すべてのデバイスが同時に初期化モードに入ります。

コンフィギュレーション実行中のどの時点でもエラーが発生した場合、nSTATUS ラインは障害のあるデバイスによって Low にドライブされます。**Auto-restart configuration after error** オプションをイネーブルにすると、リセット・タイムアウト期間 (最大 500 μs) 後にチェーン全体の再コンフィギュレーションが開始されます。**Auto-restart configuration after error** オプションがイネーブルされていない場合、外部システムは nSTATUS でエラーを監視し、nCONFIG に Low パルスを生成してコンフィギュレーションを再開します。外部システムでの制御を可能にするために、nCONFIG を V_{CCPGM} に接続するのではなく、システムからの制御信号を接続する必要があります。



Stratix IV デバイスはカスケード接続できますが、シリアル・コンフィギュレーション・デバイスはカスケード接続やチェーンで連結することはできません。

コンフィギュレーション・ビット・ストリームのサイズがシリアル・コンフィギュレーション・デバイスの容量を超えた場合は、さらに大容量のコンフィギュレーション・デバイスを選択して、あるいは圧縮機能をイネーブルにする必要があります。複数のデバイスをコンフィギュレーションするとき、ビットストリームのサイズは個々のデバイスのコンフィギュレーション・ビットストリームの合計になります。

1つのシステムで同じコンフィギュレーション・データを含む複数のデバイスを持つことができます。アクティブ・シリアル・チェーンでは、シリアル・コンフィギュレーション・デバイスに **.sof** のコピーを1つ格納することによってこれを実現します。**.sof** の同じコピーは、マスタの Stratix IV デバイスおよび残りすべてのスレーブ・デバイスを同時にコンフィギュレーションします。すべて Stratix IV のデバイスは、同じ集積度とパッケージでなければなりません。

4個の同じ Stratix IV デバイスを同じ **.sof** でコンフィギュレーションするには、[図10-8](#)に示すようなチェーンをセットアップすることができます。最初のデバイスはマスタ・デバイスであり、その MSEL ピンは AS コンフィギュレーションを選択するように設定しなくてはなりません。他の 3 つのスレーブ・デバイスは、同時コンフィギュレーション用にセットアップし、MSEL ピンは PS コンフィギュレーションを選択するように設定します。マスタおよびスレーブからの nCE 入力ピンは GND に接続され、DATA ピンおよび DCLK ピンは、4 つすべてのデバイスに平行に接続されます。コンフィギュレーション・サイクルの間、マスタ・デバイスは、シリアル・コンフィギュレーション・デバイスからコンフィギュレーション・データを読み出し、3 個すべてのスレーブ・デバイスに送信して、スレーブ・デバイスを同時にコンフィギュレーションします。

図 10-8 にデバイスが単一の .sof を使用して同じデータを受信するときのマルチ・デバイス・ファスト AS コンフィギュレーションを示します。

図 10-8. デバイスが単一の .sof を使用して同じデータを受信するときのマルチ・デバイス・ファスト AS コンフィギュレーション

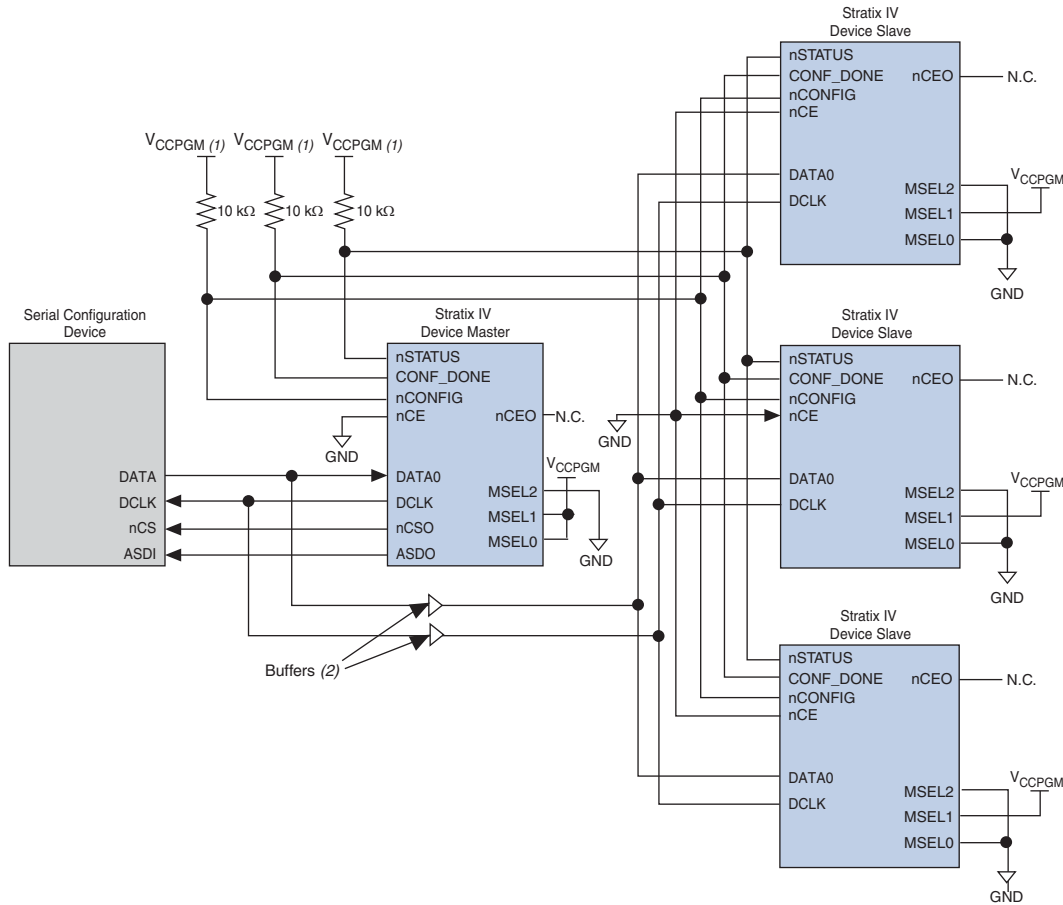


図 10-8 の注：


- (1) プルアップ抵抗を 3.0 V の V_{CCPGM} 電源に接続します。
- (2) DATA[0] と DCLK に対して、Stratix IV のマスタとスレーブ・デバイス間にリピータ・バッファを接続します。これはシグナル・インテグリティおよびクロック・スキュー問題を回避するためです。

アクティブ・シリアル・コンフィギュレーション時間の見積り

アクティブ・シリアル・コンフィギュレーション時間は、シリアル・コンフィギュレーション・デバイスから Stratix IV デバイスへのデータ転送に要する時間によって左右されます。このシリアル・インタフェースは、Stratix IV の DCLK 出力（内部オシレータから生成される）でクロックが供給され、**40 MHz (25 ns)** にセット必要があります。したがって、EP4SE230 デバイスの最小コンフィギュレーション時間の見積り（94,600,000 ビットの非圧縮データ）は、以下のとおりです。

.rbf サイズ（最小 DCLK 周期/DCLK サイクルあたり 1 ビット） = 推定最小コンフィギュレーション時間

$$94,600,000 \text{ ビット} \times (25 \text{ ns} / 1 \text{ ビット}) = 2,365 \text{ ms}$$

 上記の計算は暫定的な圧縮されていない .rbf のサイズに基づいています。Quartus II ソフトウェアが .rbf を生成できた後に、最終の .rbf のサイズが提供されます。


圧縮をイネーブルにすると、Stratix IV デバイスに送信されるコンフィギュレーション・データ量が削減され、これによってもコンフィギュレーション時間が短縮されます。一般的には、デザイン次第で圧縮によってコンフィギュレーション時間を短縮できます。

シリアル・コンフィギュレーション・デバイスのプログラミング

シリアル・コンフィギュレーション・デバイスは、不揮発性のフラッシュ・メモリをベースにしたデバイスです。これらのデバイスは、USB-Blaster™、EthernetBlaster™、または ByteBlaster™ II ダウンロード・ケーブルを使用して、イン・システムでプログラムすることができます。あるいは、APU (Altera Programming Unit) がサポートされているサードパーティのプログラマまたは SRRunner ソフトウェア・ドライバを搭載したマイクロプロセッサを使用してプログラムできます。

AS プログラミング・インタフェースまたは JTAG インタフェース・ソリューションを介して、シリアル・コンフィギュレーション・デバイスのイン・システム・プログラミングを実行することができます。

シリアル・コンフィギュレーション・デバイスは JTAG インタフェースをサポートしないので、これらのデバイスをプログラムする通常の方法は、AS プログラミング・インタフェースを経由して行うことです。シリアル・コンフィギュレーション・デバイスのプログラムに使用されるコンフィギュレーション・データは、プログラミング・ハードウェアを介してダウンロードされます。

イン・システム・プログラミング中に、ダウンロード・ケーブルは nCE ピンを High にして、AS インタフェースへのデバイス・アクセスをディセーブルします。また、Stratix IV デバイスは、nCONFIG が Low レベルでもリセット状態に保持されます。プログラミングの完了後、ダウンロード・ケーブルが nCE と nCONFIG を解放するため、プルダウン抵抗とプルアップ抵抗でそれぞれ GND と V_{CCPGM} をドライブできます。 10-9 に、シリアル・コンフィギュレーション・デバイスへのダウンロード・ケーブルの接続を示します。

アルテラは、JTAG インタフェースを使用するシリアル・コンフィギュレーション・デバイス用のイン・システム・プログラミング・ソリューションであるシリアル・フラッシュ・ローダ (SFL) を開発しました。このソリューションでは、Stratix IV デバイスが JTAG インタフェースとシリアル・コンフィギュレーション・デバイスのブリッジになる必要があります。

 SFL について詳しくは、[「AN 370: Using the Serial FlashLoader with Quartus II Software」](#) を参照してください。

 USB-Blaster ダウンロード・ケーブルについて詳しくは、[「USB-Blaster Download Cable User Guide」](#) を参照してください。ByteBlaster II ケーブルについて詳しくは、[「ByteBlaster II Download Cable User Guide」](#) を参照してください。EthernetBlaster ダウンロード・ケーブルについて詳しくは、[「EthernetBlaster Communications Cable User Guide」](#) を参照してください。

図 10-9. シリアル・コンフィギュレーション・デバイスのイン・システム・プログラミング

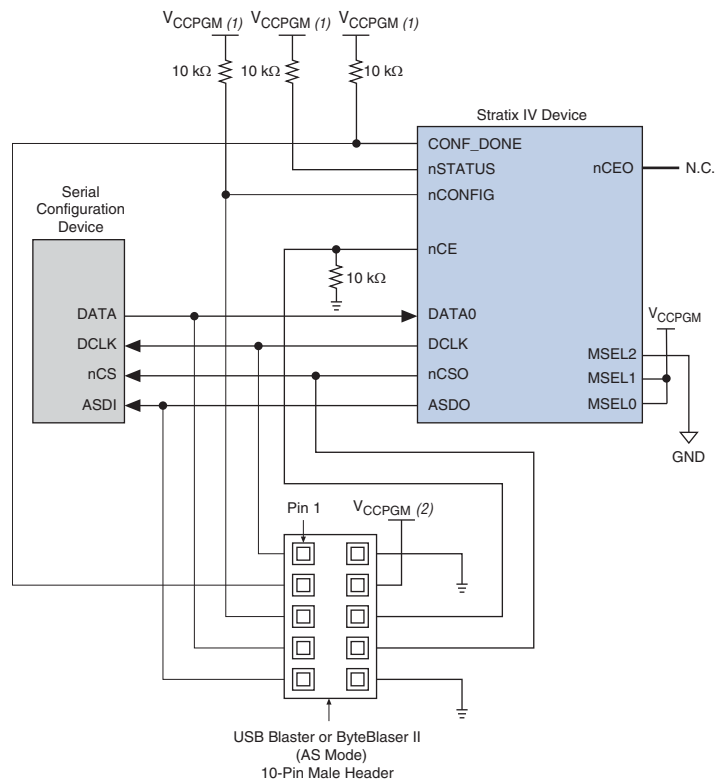



図 10-9 の注：


- (1) プルアップ抵抗を 3.0 V の V_{CCPGM} 電源に接続します。
- (2) USB-ByteBlaster、ByteBlaster II、または EthernetBlaster ケーブルの $V_{CC(Trgt)}$ を V_{CCPGM} でパワーアップします。

Quartus II ソフトウェアをアルテラのプログラミング・ハードウェアおよび適切なコンフィギュレーション・デバイス・プログラミング・アダプタと共に使用して、シリアルコンフィギュレーション・デバイスをプログラムすることができます。

生産環境では、シリアル・コンフィギュレーション・デバイスは複数の方法でプログラムできます。アルテラのプログラミング・ハードウェアまたはサードパーティのプログラミング・ハードウェアを使用して、ブランクのシリアル・コンフィギュレーション・デバイスを PCB に実装する前にプログラムすることができます。あるいは、オンボード・マイクロプロセッサを使用し、アルテラが提供する C ベースのソフトウェア・ドライバを利用して、シリアル・コンフィギュレーション・デバイスをイン・システムでプログラムすることができます。


シリアル・コンフィギュレーション・デバイスは、SRrunner を使用した外部マイクロプロセッサにより、イン・システムでプログラムすることができます。SRrunner は、異なるエンベデッド・システムにフィットするよう簡単にカスタマイズ可能なエンベデッド・シリアル・コンフィギュレーション・デバイス・プログラミングを構築するソフトウェア・ドライバです。SRrunner は、ロウ・プログラミング・データ (.rpd) を読み込むことができ、シリアル・コンフィギュレーション・デバイスに書き込むことができます。SRrunner を使用したシリアル・コンフィギュレーション・デバイスのプログラミング時間は、Quartus II ソフトウェアでのプログラミング時間に相当します。

 SRRunner について詳しくは、「*AN 418: SRRunner: An Embedded Solution for EPCS Programming*」およびアルテラ・ウェブサイト www.altera.com のソース・コードを参照してください。

 シリアル・コンフィギュレーション・デバイスについて詳しくは、「コンフィギュレーション・ハンドブック Volume 2」の「*Serial Configuration Devices (EPCS1, EPCS4, EPCS16, EPCS64, and EPCS128) Data Sheet*」の章を参照してください。

パッシブ・シリアル・コンフィギュレーション

Stratix IV デバイスの PS コンフィギュレーションは、フラッシュ・メモリと MAX II デバイスまたはマイクロプロセッサ、またはダウンロード・ケーブルなどのインテリジェント・ホストを使用して実行できます。PS 手法では、外部ホスト (MAX II デバイス、エンベデッド・プロセッサ、またはホスト PC) がコンフィギュレーションを制御します。コンフィギュレーション・データは、DCLK の各立ち上がりエッジで DATA0 ピンを介して、ターゲットの Stratix IV デバイスに送られます。

 Stratix IV の圧縮復元およびデザイン・セキュリティ機能は、PS モードを使用して Stratix IV デバイスをコンフィギュレーションするときに完全に利用できます。

MAX II デバイスを外部ホストとして使用した PS コンフィギュレーション

このコンフィギュレーション手法では、MAX II デバイスは、フラッシュ・メモリなどのストレージ・デバイスからターゲットの Stratix IV デバイスへのコンフィギュレーション・データの転送を制御するインテリジェント・ホストとして使用できます。コンフィギュレーション・データは、**.rbf**、**.hex**、または **.tff** フォーマットで保存できます。


 図 10-10 に、シングル・デバイス・コンフィギュレーションでの Stratix IV デバイスと MAX II デバイス間のコンフィギュレーション・インタフェース接続を示します。

図 10-10. 外部ホストを使用した単一デバイスの PS コンフィギュレーション

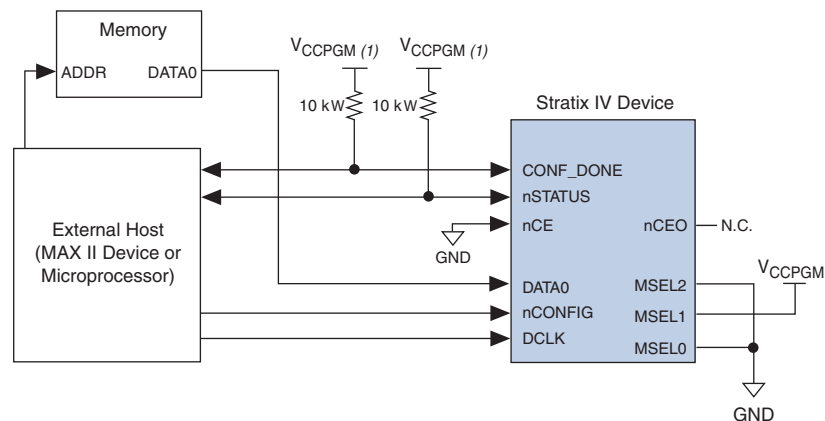


図 10-10 の注：

- (1) Stratix IV デバイスに許容される入力信号を供給する電源に抵抗を接続します。V_{CCPGM} は、デバイスおよび外部ホスト上の I/O の V_H 仕様に適合するよう十分に高くなければなりません。アルテラでは、V_{CCPGM} ですべてのコンフィギュレーション・システム I/O を電源投入することを推奨しています。

電源投入後に、Stratix IV デバイスは POR を実行します。POR 遅延は、PORSEL ピンの設定によって異なります。PORSEL ピンが Low にドライブされているとき、スタンダード POR 時間は $100 \text{ ms} < T_{\text{POR}} < 300 \text{ ms}$ です。PORSEL ピンが High にドライブされているとき、ファスト POR 時間は $4 \text{ ms} < T_{\text{POR}} < 12 \text{ ms}$ です。POR の間、デバイスはリセットされ、nSTATUS が Low に保持され、すべてのユーザー I/O ピンがトライ・ステートになります。デバイスが正常に POR を終了すると、すべてのユーザー I/O ピンはトライ・ステートを維持します。電源投入時およびコンフィギュレーション中に nIO_pullup が Low にドライブされた場合、ユーザー I/O ピンおよび兼用 I/O ピンはウィーク・プルアップ抵抗を持ち、(POR 後の) コンフィギュレーションの実行前および実行中にオンになります。nIO_pullup が High にドライブされた場合、ウィーク・プルアップ抵抗はディセーブルされます。

コンフィギュレーション・サイクルは、リセット、コンフィギュレーション、および初期化の 3 つのステージで構成されています。nCONFIG または nSTATUS が Low のとき、デバイスはリセット状態です。コンフィギュレーションを開始するには、MAX II デバイスは nCONFIG ピンに Low から High の遷移を生成する必要があります。



コンフィギュレーション・プロセスを開始するには、コンフィギュレーション・ピンが存在するバンクの V_{CC} 、 V_{CCIO} 、 V_{CCPGM} 、および V_{CCPD} が適切な電圧レベルで完全に駆動されている必要があります。

nCONFIG が High になると、デバイスはリセット状態を終了し、オープン・ドレインの nSTATUS ピンを解放します。このピンは $10\text{-k}\Omega$ の外部プルアップ抵抗で High にプルアップされます。nSTATUS が解放されると、デバイスはコンフィギュレーション・データを受信可能な状態になり、コンフィギュレーション・ステージが開始されます。nSTATUS が High にプルアップされると、MAX II デバイスはコンフィギュレーション・データを 1 ビットずつ DATA0 ピンに送信します。コンフィギュレーション・データを .rbf、.hex、または .tff フォーマットで使用する場合は、各データ・バイトの LSB を最初に送信しなければなりません。例えば、.rbf にバイト・シーケンス 02 1B EE 01 FA が含まれている場合、デバイスに送信する必要があるシリアル・ビットストリームは 0100-0000 1101-1000 0111-0111 1000-0000 0101-1111 です。

Stratix IV デバイスは、DATA0 ピンでコンフィギュレーション・データを受信し、DCLK ピンでクロックを受信します。データは、DCLK の立ち上がりエッジでデバイスにラッチされます。CONF_DONE が High になるまで、データは継続してターゲット・デバイスに送られます。デバイスは、すべてのコンフィギュレーション・データを正常に受信すると、 $10\text{-k}\Omega$ の外部プルアップ抵抗で High にプルアップされたオープン・ドレインの CONF_DONE ピンを解放します。CONF_DONE の Low から High への遷移は、コンフィギュレーションが完了し、デバイスの初期化を開始できることを示します。デバイスを初期化するには、CONF_DONE ピンに $10\text{-k}\Omega$ の外部プルアップ抵抗が必要です。

Stratix IV デバイスでは、初期化クロック・ソースは内部オシレータまたはオプションの CLKUSR ピンになります。デフォルトでは、内部オシレータが初期化用のクロック・ソースです。内部オシレータを使用する場合、Stratix IV は、自身で初期化を正しく実行するのに必要なクロック・サイクルを供給します。したがって、内部オシレータが初期化クロック・ソースの場合、コンフィギュレーション・ファイル全体をデバイスに送信するだけで十分にデバイスをコンフィギュレーションし初期化できます。コンフィギュレーションの完了後にデバイスに DCLK をドライブしても、デバイス動作には影響しません。

CLKUSR オプションを使用して複数のデバイスの初期化を同期させたり、初期化を遅らせるといった柔軟性を得ることもできます。 **Enable user-supplied start-up clock (CLKUSR)** オプションは、Quartus II ソフトウェアの **Device and Pin Options** ダイアログ・ボックスの **General** タブでオンにすることができます。CLKUSR にクロックを供給しても、コンフィギュレーション・プロセスに影響することはありません。すべてのコンフィギュレーション・データが受け入れられ、CONF_DONE が High になると、 t_{CD2CU} の規定時間後に CLKUSR がイネーブルされます。この期間の経過後、Stratix IV デバイスは正しく初期化を実行してユーザー・モードに入るために 8、532 クロック・サイクルを必要とします。Stratix IV デバイスは、125 MHz の CLKUSR f_{MAX} をサポートしています。

オプションの INIT_DONE ピンは、初期化の終了とユーザー・モードの開始を Low から High への遷移で知らせます。Quartus II ソフトウェアでは、**Device and Pin Options** ダイアログ・ボックスの **General** タブから **Enable INIT_DONE Output** オプションを設定できます。INIT_DONE ピンを使用する場合、このピンは nCONFIG が Low のとき、およびコンフィギュレーションの開始時に 10-k Ω の外部プルアップ抵抗によって High になります。INIT_DONE を有効にするオプション・ビットが、(コンフィギュレーション・データの最初のフレーム時に) デバイスにプログラムされると、INIT_DONE ピンは Low になります。初期化が完了すると、INIT_DONE ピンは解放されて High にプルアップされます。MAX II デバイスは、デバイスがユーザー・モードに入ったことを示すこの Low から High への遷移を検出できなければなりません。初期化が完了すると、デバイスはユーザー・モードに入ります。ユーザー・モードでは、ユーザー I/O ピンにウィーク・プルアップ抵抗がなくなり、デザインで割り当てられたとおりに機能します。



PS に非圧縮および圧縮ビットストリームの両方のデバイスの初期化を開始するように、CONF_DONE が High になった後、2 つの DCLK 立ち下がりエッジが必要です。

コンフィギュレーションの終了時に DCLK および DATA0 をフローティング状態にしないために、MAX II デバイスはこれらを High か Low のいずれかボードで都合の良い方にドライブする必要があります。コンフィギュレーション後、DATA[0] ピンはユーザー I/O ピンとして使用できます。Quartus II ソフトウェアで PS 手法が選択されると、デフォルトでこの I/O ピンはユーザー・モードではトライ・ステートになるため、MAX II デバイスでドライブしなければなりません。Quartus II ソフトウェアでこのデフォルト・オプションを変更するには、**Device and Pin Options** ダイアログ・ボックスの **Dual-Purpose Pins** タブを選択します。

コンフィギュレーションを正しく行うには、コンフィギュレーション・クロック (DCLK) 速度が規定周波数以下でなければなりません。DCLK には最大周期はありません。これは DCLK を無制限に停止することによってコンフィギュレーションを休止できることを意味します。

コンフィギュレーション実行中にエラーが発生した場合、デバイスは nSTATUS ピンを Low にドライブし、内部で自身をリセットします。nSTATUS ピンの Low 信号はまた、MAX II デバイスにエラーがあることを警告します。 **Auto-restart configuration after error** オプション (Quartus II ソフトウェアの **Device and Pin Options** ダイアログ・ボックスの **General** タブで選択可能) がオンの場合、Stratix IV デバイスはリセット・タイムアウト期間 (最大 500 μ s) 後に nSTATUS を解放します。nSTATUS が解放され、プルアップ抵抗により High にプルアップされると、MAX II デバイスは nCONFIG の Low パルスを与えることなく、ターゲット・デバイスの再コンフィギュレーションを試みることができます。このオプションがオフの場合、MAX II デバイスは、nCONFIG で Low から High への遷移 (2 μ s 以上の Low パルス) を生成して、コンフィギュレーション・プロセスを再開する必要があります。

デバイスにはデータの転送先は分かりません。他のすべてのコンフィギュレーション・ピン (nCONFIG、nSTATUS、DCLK、DATA0、CONF_DONE) は、チェーン内のすべてのデバイスに接続されます。コンフィギュレーション信号の生成には、シグナル・インテグリティを保証し、クロック・スキュー問題を防止するバッファリングが必要になる場合があります。DCLK ラインと DATA ラインがデバイス 4 個ごとにバッファリングされるようにします。すべてのデバイスの CONF_DONE ピンは連結されているため、すべてのデバイスは同時に初期化され、ユーザー・モードに入ります。

すべての nSTATUS および CONF_DONE ピンは連結されており、いずれかのデバイスがエラーを検出した場合、チェーン全体のコンフィギュレーションを停止して、チェーン全体を再コンフィギュレーションする必要があります。例えば、最初のデバイスが nSTATUS でエラーを示すと、nSTATUS ピンを Low にプルダウンしてチェーンをリセットします。この動作はシングル・デバイスでエラーを検出するのに似ています。

Auto-restart configuration after error オプションをオンにすると、デバイスはリセット・タイムアウト期間 (最大 500 μ s) 後に nSTATUS ピンを解放します。すべての nSTATUS ピンが解放され、High にプルアップされた後、MAX II デバイスは nCONFIG の Low パルスを要せず、チェーンの再コンフィギュレーションを試みることができます。このオプションがオフの場合、MAX II デバイスは、nCONFIG で Low から High への遷移 (2 μ s 以上の Low パルス) を生成して、コンフィギュレーション・プロセスを再開する必要があります。

ユーザー・システムでは、同じコンフィギュレーション・データを含む複数のデバイスを持つことができます。このコンフィギュレーション手法をサポートするには、すべてのデバイスの nCE 入力を GND に接続し、nCEO ピンはフローティング状態のままにします。他のすべてのコンフィギュレーション・ピン (nCONFIG、nSTATUS、DCLK、DATA0、CONF_DONE) は、チェーン内のすべてのデバイスに接続されます。

コンフィギュレーション信号の生成には、シグナル・インテグリティを保証し、クロック・スキュー問題を防止するバッファリングが必要になる場合があります。DCLK ラインと DATA ラインが 4 個の目デバイスごとにバッファリングされるようにします。デバイスの集積度とパッケージは同じでなければなりません。すべてのデバイスは、同時にコンフィギュレーションを開始し、終了します。

図 10-12 に、両方の Stratix IV デバイスが同じコンフィギュレーション・データを受信しているときのマルチ・デバイス PS コンフィギュレーションを示します。

図 10-12. 両方のデバイスが同じデータを受信するときのマルチ・デバイス PS コンフィギュレーション

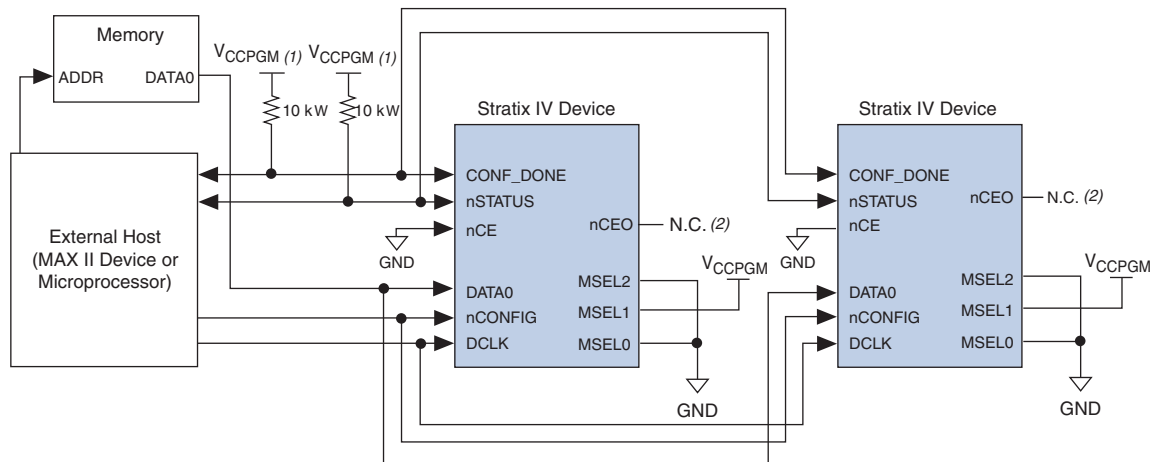


図 10-12 の注：

- (1) チェイン内のすべてのデバイスの許容入力信号を供給する電源に抵抗を接続してください。V_{CCPGM} は、デバイスおよび外部ホスト上の I/O の V_{IH} 仕様に適合するよう十分に高くなければなりません。アルテラでは、V_{CCPGM} ですべてのコンフィギュレーション・システム I/O を電源投入することを推奨しています。
- (2) 同じコンフィギュレーション・データを複数のデバイスにコンフィギュレーションするときには、それぞれのデバイスの nCEO ピンは未接続のままにします。

1 つのコンフィギュレーション・チェーンを使用して、Stratix IV デバイスを他のアルテラ・デバイスでコンフィギュレーションすることができます。チェーン内のすべてのデバイスが同時にコンフィギュレーションを完了させることと、任意のデバイスがエラーが発生したため、すべてのデバイスが再コンフィギュレーションを開始させるには、すべてのデバイスの CONF_DONE ピンおよび nSTATUS ピンを連結しなければなりません。

 同じコンフィギュレーション・チェーン内の複数のアルテラ・デバイスのコンフィギュレーションについて詳しくは、「コンフィギュレーション・ハンドブック Volume 2」の「*Configuring Mixed Altera Device Chains*」の章を参照してください。

PS コンフィギュレーション・タイミング

図 10-13 に、MAX II デバイスを外部ホストとして使用するときの、PS コンフィギュレーションのタイミング波形を示します。

図 10-13. PS コンフィギュレーションのタイミング波形 (注 1)

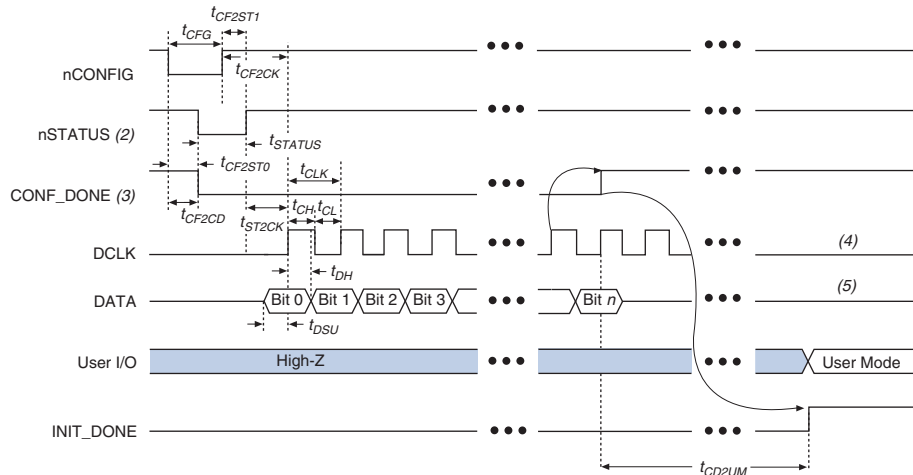


図 10-13 の注：

- (1) この波形の開始はデバイスがユーザー・モードにあることを示します。ユーザー・モードでは、nCONFIG、nSTATUS、および CONF_DONE はロジック High レベルにあります。nCONFIG が Low にプルダウンされると、リコンフィギュレーション・サイクルが開始します。
- (2) 電源投入後、Stratix IV デバイスは POR 遅延時間の間、nSTATUS を Low に保持します。
- (3) 電源投入後、コンフィギュレーションの実行前と実行中、CONF_DONE は Low になります。
- (4) コンフィギュレーション後、DCLK をフローティング状態のままにしないでください。High または Low のいずれかの都合の良いレベルにドライブができます。
- (5) コンフィギュレーション後、DATA [0] ピンはユーザー I/O ピンとして使用できます。このピンの状態は兼用ピンの設定によって異なります。

表 10-6 に、Stratix IV デバイスの PS コンフィギュレーションのためのタイミング・パラメータをリストします。

表 10-6. Stratix IV デバイスの PS タイミング・パラメータ (その 1) (注 1)


シンボル	パラメータ	Min	Max	単位
t _{CF2CD}	nCONFIG Low から CONF_DONE Low	—	800	ns
t _{CF2ST0}	nCONFIG Low から nSTATUS Low	—	800	ns
t _{CFG}	nCONFIG Low パルス幅	2	—	μs
t _{STATUS}	nSTATUS Low パルス幅	10	500 (2)	μs
t _{CF2ST1}	nCONFIG High から nSTATUS High	—	500 (2)	μs
t _{CF2CK}	nCONFIG High から DCLK の最初の立ち上がりエッジ	500	—	μs
t _{ST2CK}	nSTATUS High から DCLK の最初の立ち上がりエッジ	2	—	μs
t _{DSU}	DCLK の立ち上がりエッジ前のデータ・セットアップ時間	4	—	ns
t _{DH}	DCLK の立ち上がりエッジ後のデータ・ホールド時間	0	—	ns
t _{CH}	DCLK High 時間 (4)	3.2	—	ns
t _{CL}	DCLK Low 時間 (4)	3.2	—	ns

表 10-6. Stratix IV デバイスの PS タイミング・パラメータ (その2) (注 1)

シンボル	パラメータ	Min	Max	単位
t_{CLK}	DCLK 周期 (4)	8	—	ns
f_{MAX}	DCLK 周波数	—	125	MHz
t_R	入力立ち上がり時間	—	40	ns
t_F	入力立ち下がり時間	—	40	ns
t_{CD2UM}	CONF_DONE High からユーザー・モード (3)	55	150	μs
t_{CD2CU}	CONF_DONE High から CLKUSR イネーブル	4 × 最大 DCLK 周期	—	—
t_{CD2UMC}	CONF_DONE High から CLKUSR オプションがオンのユーザー・モード	$t_{CD2CU} + (8532 \text{ CLKUSR 周期})$	—	—

表 10-6 の注：

- (1) この情報は暫定仕様です。
- (2) この値は、ユーザーが nCONFIG または nSTATUS の Low パルス幅を拡張して、コンフィギュレーションを遅延しない場合に適用されます。
- (3) 最小値および最大値は、デバイスを起動させるためのクロック・リソースとして内部オシレータが選択された場合にのみ適用されます。
- (4) t_{CH} と t_{CL} を合計すると、 t_{CLK} になります。 t_{CH} は 3.2 ns (最小値) のとき、 t_{CL} は 4.8 ns およびその逆でなければなりません。


 デバイス・コンフィギュレーション・オプションおよびコンフィギュレーション・ファイルの作成方法については、「コンフィギュレーション・ハンドブック Volume 2」の「*Device Configuration Options*」および「*Configuration File Formats*」の章を参照してください。

マイクロプロセッサを使用した PS コンフィギュレーション

PS コンフィギュレーション手法では、マイクロプロセッサがフラッシュ・メモリなどのストレージ・デバイスからターゲットの Stratix IV デバイスへのコンフィギュレーション・データの転送を制御できます。

コンフィギュレーションおよびタイミング情報について詳しくは、10-26 ページの「MAX II デバイスを外部ホストとして使用した PS コンフィギュレーション」を参照してください。マイクロプロセッサを外部ホストとして使用する場合も、この項を適用できます。

ダウンロード・ケーブルを使用した PS コンフィギュレーション

 この項で使用する「ダウンロード・ケーブル」という用語には、アルテラの USB-Blaster ユニバーサル・シリアル・バス (USB) ポート・ダウンロード・ケーブル、MasterBlaster シリアル/USB 通信ケーブル、ByteBlaster II パラレル・ポート・ダウンロード・ケーブル、ByteBlasterMV パラレル・ポート・ダウンロード・ケーブル、EthernetBlaster ダウンロード・ケーブルが含まれます。

ダウンロード・ケーブルを使用した PS コンフィギュレーションでは、インテリジェント・ホスト (PC など) のストレージ・デバイスから USB Blaster、MasterBlaster、ByteBlaster II、EthernetBlaster、または ByteBlasterMV ケーブルを介して、データをデバイスに転送します。

電源投入後に、Stratix IV デバイスは POR を実行します。POR 遅延は、PORSEL ピンの設定によって異なります。PORSEL ピンが Low にドライブされているとき、スタンダード POR 時間は $100 \text{ ms} < T_{\text{POR}} < 300 \text{ ms}$ です。PORSEL ピンが High にドライブされているとき、ファスト POR 時間は $4 \text{ ms} < T_{\text{POR}} < 12 \text{ ms}$ です。POR の間、デバイスはリセットされ、nSTATUS が Low に保持され、すべてのユーザー I/O ピンがトライ・ステートになります。デバイスが正常に POR を終了すると、すべてのユーザー I/O ピンはトライ・ステートを維持します。電源投入時およびコンフィギュレーション中に nIO_pullup が Low にドライブされた場合、ユーザー I/O ピンおよび兼用 I/O ピンはウィーク・プルアップ抵抗を持ち、(POR 後の) コンフィギュレーションの実行前および実行中にオンになります。nIO_pullup が High にドライブされた場合、ウィーク・プルアップ抵抗はディセーブルされます。

コンフィギュレーション・サイクルは、リセット、コンフィギュレーション、および初期化の 3 つのステージで構成されています。nCONFIG または nSTATUS が Low のとき、デバイスはリセット状態です。この手法でコンフィギュレーションを開始するために、ダウンロード・ケーブルは nCONFIG ピンに Low から High への遷移を生成します。



コンフィギュレーションを開始するには、(コンフィギュレーション・ピンおよび JTAG ピンが存在するバンクの) V_{CC} 、 V_{CCIO} 、 V_{CCPGM} 、および V_{CCPD} 電圧を適切な電圧レベルに駆動します。

nCONFIG が High になると、デバイスはリセット状態を終了し、オープン・ドレインの nSTATUS ピンを解放します。このピンは 10-k Ω の外部プルアップ抵抗で High にプルアップされます。nSTATUS が解放されると、デバイスはコンフィギュレーション・データを受信可能な状態になり、コンフィギュレーション・ステージが開始されます。次に、プログラミング・ハードウェアまたはダウンロード・ケーブルが、コンフィギュレーション・データを 1 ビットずつデバイスの DATA0 ピンに送信します。コンフィギュレーション・データは、CONF_DONE が High になるまでターゲット・デバイスに送られます。デバイスを初期化するには、CONF_DONE ピンに 10-k Ω の外部プルアップ抵抗が必要です。

エラーが発生したときには Quartus II ソフトウェアで手動によってコンフィギュレーションを再開しなければならないので、ダウンロード・ケーブルを使用するときには、**Auto-restart configuration after error** オプションを設定してもコンフィギュレーション・サイクルには影響を与えません。また、Quartus II プログラムおよびダウンロード・ケーブルを使用してデバイスをプログラムするとき、**Enable user-supplied start-up clock (CLKUSR)** オプションは .sof でディセーブルされるため、このオプションがデバイスの初期化に影響を与えることはありません。したがって、CLKUSR オプションをオンにした場合、Quartus II プログラムとダウンロード・ケーブルを使用してデバイスをコンフィギュレーションする際に、CLKUSR にクロックを供給する必要はありません。

図 10-14 に、USB Blaster、EthernetBlaster、MasterBlaster、ByteBlaster II、または ByteBlasterMV ケーブルを使用した Stratix IV デバイスの PS コンフィギュレーションを示します。

図 10-14. USB-Blaster、EthernetBlaster、MasterBlaster、ByteBlaster II、または ByteBlasterMV ケーブルを使用した PS コンフィギュレーション

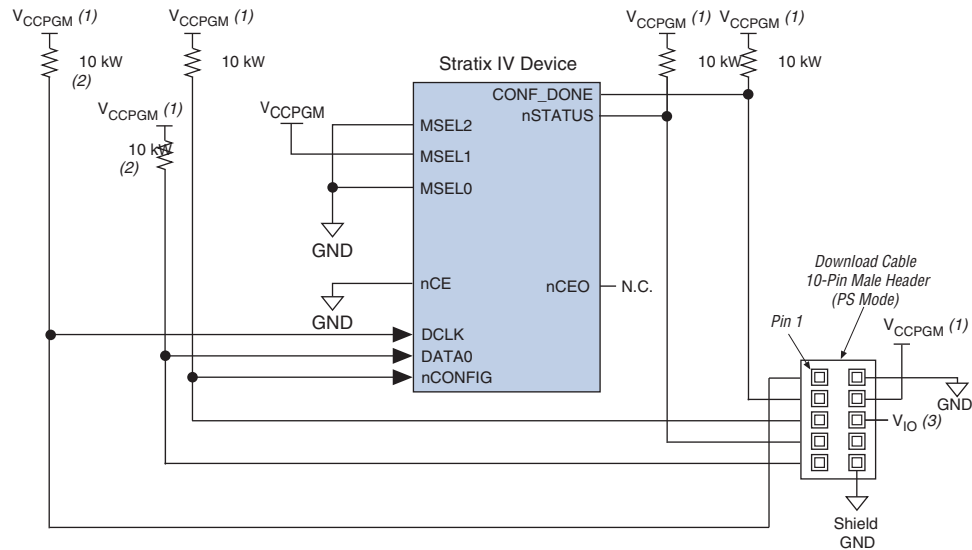


図 10-14 の注：

- (1) プルアップ抵抗は、**USB-Blaster、MasterBlaster (V_{IO} ピン)、ByteBlaster II、ByteBlasterMV、または EthernetBlaster ケーブルと同じ電源電圧 (V_{CCPGM}) に接続してください。**
- (2) **DATA0 および DCLK のプルアップ抵抗は、ボードで使用されるコンフィギュレーション手法がダウンロード・ケーブルだけの場合に限り必要です。**これにより、DATA0 および DCLK がコンフィギュレーション後にフローティング状態のままにならないようにしています。例えば、コンフィギュレーション・デバイスも使用する場合、DATA0 および DCLK のプルアップ抵抗は不要です。
- (3) ヘッダのピン 6 は、**MasterBlaster 出力ドライバの V_{IO} リファレンス電圧**です。V_{IO} は、デバイスの V_{CCPGM} に一致する必要があります。この値について詳しくは、[『MasterBlaster Serial/USB Communications Cable User Guide』](#) を参照してください。**USB-Blaster、ByteBlaster II、および ByteBlasterMV ケーブルでは、このピンは接続されていません。**

ダウンロード・ケーブルを使用して、各デバイスの nCEO ピンを後続のデバイスの nCEO ピンに接続することによって、複数の Stratix IV デバイスをコンフィギュレーションすることができます。最初のデバイスの nCE ピンは GND に接続され、nCEO ピンはチェーン内の次のデバイスの nCE ピンに接続されます。最後のデバイスの nCE 入力、1 つ前のデバイスから供給され、その nCEO ピンはフロート状態のままです。他のすべてのコンフィギュレーション・ピン (nCONFIG、nSTATUS、DCLK、DATA0、および CONF_DONE) は、チェーン内のすべてのデバイスに接続されます。すべてのデバイスの CONF_DONE ピンは連結されているため、チェーン内のすべてのデバイスは同時に初期化され、同時にユーザー・モードに入ります。

また、nSTATUS ピンも連結されているため、いずれかのデバイスがエラーを検出すると、チェーン全体でコンフィギュレーションを停止します。エラーが発生したときには Quartus II ソフトウェアでコンフィギュレーションを手動で再開しなければならないので、**Auto-restart configuration after error** オプションを設定してもコンフィギュレーション・サイクルには影響を与えません。

図 10-15 に、1 本のダウンロード・ケーブルで複数の Stratix IV デバイスをコンフィギュレーションする方法を示します。

図 10-15. USB Blaster、EthernetBlaster、MasterBlaster、ByteBlaster II、または ByteBlasterMV ケーブルを使用したマルチ・デバイス PS コンフィギュレーション

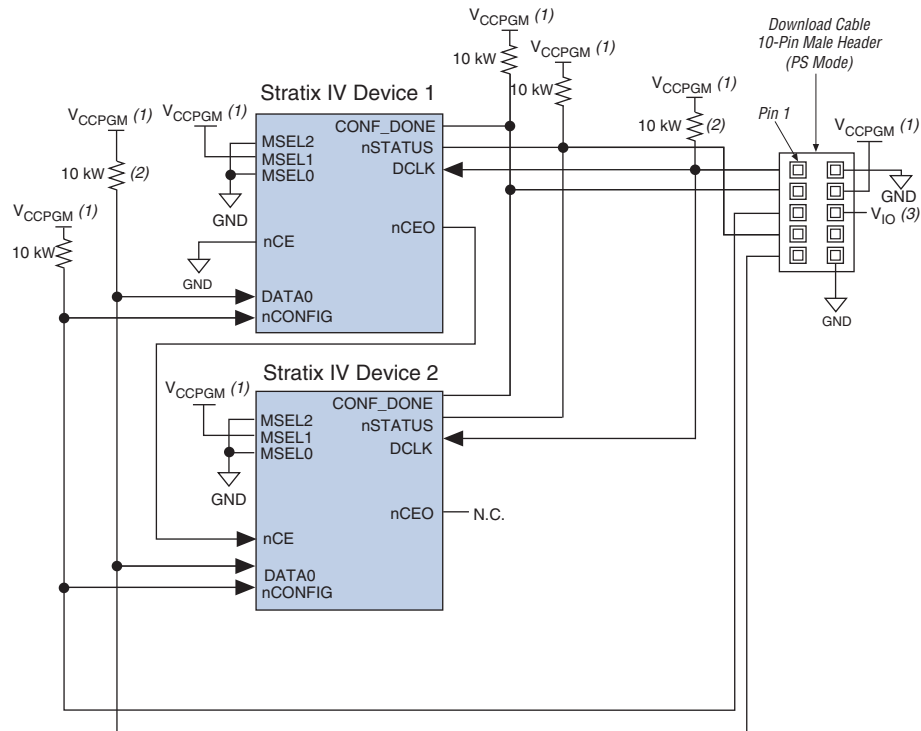



図 10-15 の注：


- (1) プルアップ抵抗は、USB-Blaster、MasterBlaster (V_{IO} ピン)、ByteBlaster II、ByteBlasterMV、または EthernetBlaster ケーブルと同じ電源電圧 (V_{CCPGM}) に接続してください。
- (2) DATA0 および DCLK のプルアップ抵抗は、ボードで使用されるコンフィギュレーション手法がダウンロード・ケーブルだけの場合限り必要です。これにより、DATA0 および DCLK がコンフィギュレーション後にフローティング状態のままにならないようにしています。例えば、コンフィギュレーション・デバイスも使用する場合、DATA0 および DCLK のプルアップ抵抗は不要です。
- (3) ヘッダのピン 6 は、MasterBlaster 出力ドライバの V_{IO} リファレンス電圧です。V_{IO} は、デバイスの V_{CCPGM} に一致する必要があります。この値について詳しくは、『MasterBlaster Serial/USB Communications Cable User Guide』を参照してください。USB-Blaster、ByteBlaster II、および ByteBlasterMV ケーブルでは、このピンは接続されていません。

 USB-Blaster、MasterBlaster、ByteBlaster II、または ByteBlasterMV ケーブルについて詳しくは、以下のユーザーガイドを参照してください。

- [USB-Blaster Download Cable User Guide](#)
- [MasterBlaster Serial/USB Communications Cable User Guide](#)
- [ByteBlaster II Download Cable User Guide](#)
- [ByteBlasterMV Download Cable User Guide](#)
- [EthernetBlaster Communications Cable User Guide](#)


JTAG コンフィギュレーション


JTAG はバウンダリ・スキャン・テストの仕様として開発されました。このバウンダリ・スキャン・テスト (BST) アーキテクチャは、PCB 上に狭いリード間隔で実装されているコンポーネントを効率的にテストする機能を提供します。BST アーキテクチャでは、物理的なテスト・プローブを使用せずにピンの接続をテストすることができます。また、デバイスの通常動作中に機能データをキャプチャできます。また、JTAG 回路を使用してコンフィギュレーション・データをデバイスにシフトすることができます。Quartus II ソフトウェアは、Quartus II プログラマでダウンロード・ケーブルによる JTAG コンフィギュレーションに使用可能な .sof を自動的に生成します。

 Stratix IV デバイスで提供されている JTAG バウンダリ・スキャン・テストおよびコマンドについて詳しくは、以下のドキュメントを参照してください。


- [「JTAG Boundary Scan Testing」](#) の章
- [「Programming Support for Jam STAPL Language」](#)

Stratix IV デバイスは、JTAG インストラクションがどのデバイス・コンフィギュレーション・モードよりも優先されるように設計されています。したがって、JTAG コンフィギュレーションを他のコンフィギュレーション・モードの完了を待たずに実行することができます。例えば、PS コンフィギュレーション実行中に Stratix IV デバイスの JTAG コンフィギュレーションを試みた場合、PS コンフィギュレーションは終了し、JTAG コンフィギュレーションが開始されます。

 JTAG ベースのコンフィギュレーションを使用中に、Stratix IV デバイスをコンフィギュレーションする場合、Stratix IV の圧縮復元またはデザイン・セキュリティ機能は使用できません。

 JTAG モードで動作するデバイスは、TDI、TDO、TMS、および TCK の 4 本の専用ピン、および TRST の 1 本のオプション・ピンを使用します。TCK ピンは内部ウィーク・プルダウン抵抗を備えています。TDI ピン、TMS ピン、および TRST ピンは内部ウィーク・プルアップ抵抗 (標準 25 kΩ) を備えています。JTAG 出力ピン TDO およびすべての JTAG 入力ピンは、2.5-V/3.0-V の V_{CCPD} 電源で駆動します。すべての JTAG ピンは、LVTTTL I/O 規格のみをサポートします。

JTAG コンフィギュレーション実行中、すべてのユーザー I/O ピンはトライ・ステートになります。

 TDO 出力は、I/O バンク 1A の V_{CCPD} 電源で駆動されます。チェーン内のデバイスに対して複数の電圧の JTAG チェインを接続するための方法については、[「JTAG Boundary Scan Testing」](#) の章を参照してください。

JTAG コンフィギュレーション実行中に、USB-Blaster、MasterBlaster、ByteBlaster II、EthernetBlaster、または ByteBlasterMV ダウンロード・ケーブルを介して PCB 上のデバイスにデータをダウンロードすることができます。ケーブルを使用したデバイスのコンフィギュレーションは、TRST ピンを V_{CCPD} に接続しなければならないことを除いて、システム内でのデバイスのプログラミングと同様です。これは、TAP コントローラがリセットされないようにするためです。

図 10-16 にダウンロード・ケーブルを使用したシングル・Stratix IV デバイスの JTAG コンフィギュレーションを示します。

図 10-16. ダウンロード・ケーブルを使用したシングル・デバイスの JTAG コンフィギュレーション

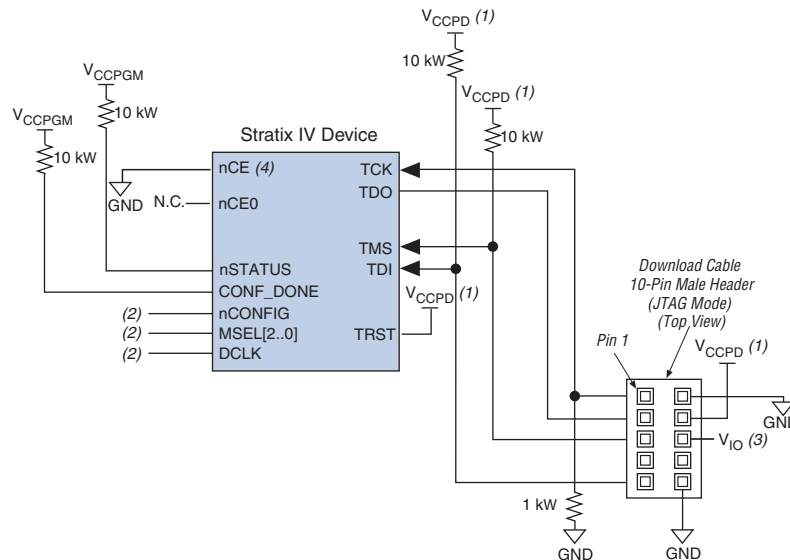


図 10-16 の注：

- (1) プルアップ抵抗は、USB-Blaster、MasterBlaster (V_{IO} ピン)、ByteBlaster II、ByteBlasterMV、または EthernetBlaster ケーブルと同じ電源電圧に接続してください。電源はデバイスの V_{CCPD} に接続することができます。
- (2) JTAG 以外のコンフィギュレーション手法をサポートするためには、nCONFIG ピンと MSEL [2..0] ピンを接続してください。JTAG コンフィギュレーションのみを使用する場合は、nCONFIG を V_{CCPGM} に、MSEL [2..0] を GND に接続してください。DCLK を High または Low のいずれかボード上で都合の良いレベルにプルアップまたはプルダウンします。
- (3) ヘッダのピン 6 は、MasterBlaster 出力ドライバの V_{IO} リファレンス電圧です。V_{IO} は、デバイスの V_{CCPD} に一致する必要があります。この値について詳しくは、*MasterBlaster Serial/USB Communications Cable User Guide* を参照してください。USB-Blaster、ByteBlaster II、ByteBlasterMV ケーブルでは、このピンは接続されていません。
- (4) JTAG コンフィギュレーションを成功させるには、nCE を GND に接続するか、Low にドライブしなければなりません。

JTAG チェイン内の 1 つのデバイスをコンフィギュレーションするために、プログラミング・ソフトウェアは他のすべてのデバイスをバイパス・モードにします。バイパス・モードでは、デバイスは 1 個のレジスタを通して、内部的に影響を受けることなく、TDI ピンからのプログラミング・データを TDO ピンに渡します。この手法により、プログラミング・ソフトウェアはターゲット・デバイスをプログラムまたは検証することができます。デバイスにドライブされたコンフィギュレーション・データは、1 サイクル・クロック後に TDO ピンに出力されます。

Quartus II ソフトウェアは、完了時に JTAG コンフィギュレーションの成功を検証します。コンフィギュレーション終了時に、ソフトウェアは JTAG ポートを介して CONF_DONE の状態をチェックします。Quartus II がマルチ・デバイス・チェーン用の JAM ファイル (.jam) を生成すると、それにはチェーン内のすべてのデバイスを同時に初期化するための命令が格納されています。CONF_DONE が High でない場合、Quartus II ソフトウェアはコンフィギュレーションが失敗したことを示します。CONF_DONE が High の場合、ソフトウェアはコンフィギュレーションが成功したことを示します。コンフィギュレーション・ビット・ストリームが JTAG TDI ポートを介してシリアルに送信された後、TCK ポートに追加の 1,094 サイクルがクロックされ、デバイスの初期化が実行されます。

Stratix IV デバイスには、常時 JTAG として機能する専用の JTAG ピンがあります。Stratix IV デバイスでは、コンフィギュレーションの実行前と実行後だけでなく、コンフィギュレーションの実行中にも JTAG テストを実行できます。他のデバイス・ファミリは、コンフィギュレーション中の JTAG テストをサポートしていませんが、Stratix IV デバイスはコンフィギュレーションを中断することなく、コンフィギュレーション中にバイパス、IDCODE、およびサンプル命令を実行できます。他の JTAG 命令はすべて、最初にコンフィギュレーションを中断し、CONFIG_IO 命令を使用して I/O ピンを再プログラミングしなければ発行できません。

CONFIG_IO 命令を使用すると、JTAG ポートを介して I/O バッファをコンフィギュレーションすることができ、この命令が発行されるとコンフィギュレーションを中断します。この命令により、Stratix IV デバイスのコンフィギュレーションの実行前、またはコンフィギュレーション・デバイスがコンフィギュレーションを完了するのを待っている間にボード・レベルのテストを実行できます。一度コンフィギュレーションが中断されると、JTAG テストが完了した場合は、JTAG (PULSE_CONFIG 命令) を使用するか、nCONFIG に Low パルスを与えてデバイスをリコンフィギュレーションする必要があります。

Stratix IV デバイスのチップ・ワイドのリセット (DEV_CLRn) ピンとチップ・ワイドの出力イネーブル (DEV_OE) ピンは、JTAG バウンダリ・スキャンまたはコンフィギュレーション動作に影響を与えません。これらのピンを切り替えても、JTAG 動作 (通常のバウンダリ・スキャン動作以外) に影響を与えません。

Stratix IV デバイスの JTAG コンフィギュレーション用ボードの設計時には、専用コンフィギュレーション・ピンを検討します。表 10-7 に、JTAG コンフィギュレーション時におけるこれらのピンの接続された方法をリストします。

表 10-7. JTAG コンフィギュレーション中の専用コンフィギュレーション・ピンの接続 (その 1)

信号	説明
nCE	チェーン内のすべての Stratix IV デバイスでは、nCE をグラウンドに接続するか、抵抗を通して Low にプルダウンするか、あるいは何らかのコントロール回路でドライブすることによって、Low にドライブする必要があります。さらに、マルチ・デバイス FPP、AS、または PS コンフィギュレーション・チェーン内にあるデバイスの場合、JTAG コンフィギュレーション実行中またはコンフィギュレーション・チェーンと同じ順序でコンフィギュレーションされた JTAG 実行中は、nCE ピンは GND に接続しなければなりません。
nCEO	チェーン内のすべての Stratix IV デバイスでは、nCEO はフローティング状態にしておくか、または次のデバイスの nCE に接続することができます。
MSEL	これらのピンをフローティング状態のままにしないでください。これらのピンは、生産時に使用される JTAG 以外のコンフィギュレーション手法をサポートします。JTAG コンフィギュレーションしか使用しない場合は、これらのピンを GND に接続してください。
nCONFIG	V _{CCPGM} に接続して High にドライブするか、抵抗を通してプルアップするか、またはコントロール回路をドライブすることで High にドライブします。
nSTATUS	10-kΩ 抵抗を通して V _{CCPGM} にプルアップします。同じ JTAG チェイン内の複数のデバイスをコンフィギュレーションするときには、各 nSTATUS ピンを個別に V _{CCPGM} にプルアップしなければなりません。

表 10-7. JTAG コンフィギュレーション中の専用コンフィギュレーション・ピンの接続 (その 2)

信号	説明
CONF_DONE	10-kΩ 抵抗を通して V_{CCPGM} にプルアップします。同じ JTAG チェイン内の複数のデバイスをコンフィギュレーションするときには、各 CONF_DONE ピンを個別に V_{CCPGM} にプルアップしなければなりません。CONF_DONE が JTAG コンフィギュレーションの終了時に High になると、コンフィギュレーションが成功したことを示します。
DCLK	DCLK はフローティング状態のままにしないでください。Low または High のいずれかボード上で都合の良いレベルにドライブします。

JTAG デバイス・チェーンのプログラミング時には、1 つの JTAG 互換ヘッダが複数のデバイスに接続されます。JTAG チェイン内のデバイス数は、ダウンロード・ケーブルのドライブ能力によってのみ制限されます。JTAG チェインに 4 つ以上のデバイスが接続されている場合、アルテラは TCK、TDI、および TMS ピンをオンボード・バッファでバッファすることを推奨しています。

JTAG チェイン・デバイスのプログラミングは、システムに複数のデバイスが含まれている場合や JTAG BST 回路を使用してシステムをテストする場合に理想的です。

図 10-17 に、ダウンロード・ケーブルを使用するときにマルチ・デバイス JTAG コンフィギュレーションを示します。

図 10-17. ダウンロード・ケーブルを使用した複数のデバイスの JTAG コンフィギュレーション

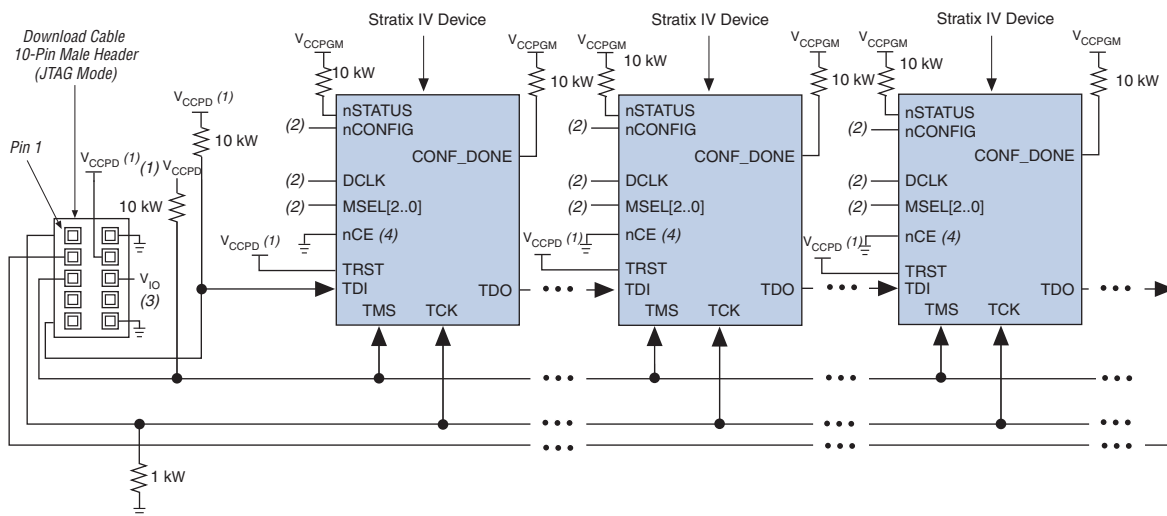


図 10-17 の注：


- (1) プルアップ抵抗は、USB Blaster、MasterBlaster (V_{IO} ピン)、ByteBlaster II、ByteBlasterMV、または EthernetBlaster ケーブルと同じ電源電圧に接続してください。電源はデバイスの V_{CCPD} に接続します。
- (2) JTAG 以外のコンフィギュレーション手法をサポートする場合は、nCONFIG ピンと MSEL[2..0] ピンを接続します。JTAG コンフィギュレーションのみを使用する場合は、nCONFIG を V_{CCPGM} に、MSEL[2..0] をグラウンドに接続します。DCLK を High または Low のいずれかボード上で都合の良いレベルにプルアップまたはプルダウンします。
- (3) ヘッダのピン 6 は、MasterBlaster 出力ドライバの V_{IO} リファレンス電圧です。 V_{IO} は、デバイスの V_{CCPD} に一致する必要があります。この値について詳しくは、[MasterBlaster Serial/USB Communications Cable User Guide](#) を参照してください。USB Blaster、ByteBlaster II、および ByteBlasterMV ケーブルでは、このピンは接続されていません。
- (4) JTAG コンフィギュレーションを成功させるには、nCE を GND に接続するか、Low にドライブしなければなりません。

JTAG コンフィギュレーション実行中は、nCE を GND に接続するか、Low にドライブしなければなりません。マルチ・デバイス FPP、AS、および PS コンフィギュレーション・チェーンでは、最初のデバイスの nCE ピンは GND に接続され、nCEO ピンはチェーン内の次のデバイスの nCE ピンに接続されます。最後のデバイスの nCE 入力、1 つ前のデバイスから供給され、その nCEO ピンはフロート状態のままです。さらに、CONF_DONE および nSTATUS 信号はすべて、マルチ・デバイス FPP、AS、または PS コンフィギュレーション・チェーンで共有されるため、コンフィギュレーションが完了するとデバイスは同時にユーザー・モードに入ることができます。CONF_DONE および nSTATUS 信号がすべてのデバイスで共有される場合、JTAG コンフィギュレーション実行時にはすべてのデバイスをコンフィギュレーションする必要があります。

JTAG コンフィギュレーションのみ使用する場合には、アルテラは図 10-17 に示すとおり回路を接続することを推奨しています。ここで、CONF_DONE 信号と nSTATUS 信号はそれぞれ分離されているので、各デバイスは個別にユーザー・モードに入ることができます。

複数デバイスのコンフィギュレーション・チェーン内の最初のデバイスがコンフィギュレーションを完了した後、その nCEO ピンは Low にドライブされ、2 番目のデバイスの nCE ピンをアクティブにし、2 番目のデバイスがコンフィギュレーションを開始します。したがって、これらのデバイスが JTAG チェインにも含まれる場合は、JTAG コンフィギュレーション実行中に nCE ピンが GND に接続されるか、デバイスがコンフィギュレーション・チェーンと同じ順序で JTAG コンフィギュレーションされるかを確認してください。デバイスがマルチ・デバイス・コンフィギュレーション・チェーンと同じ順序で JTAG コンフィギュレーションされていれば、前のデバイスの nCEO はそのデバイスが正しく JTAG コンフィギュレーションされると、次のデバイスの nCE を Low にドライブします。

JTAG をサポートするアルテラの他のデバイスを同じ JTAG チェイン内に配置して、デバイスのプログラミングとコンフィギュレーションを実行することができます。

 JTAG コンフィギュレーションのサポートが強化され、1 つの JTAG チェイン内で 17 個以上の Stratix IV デバイスをカスケード接続できます。

 同じコンフィギュレーション・チェーン内の複数のアルテラ・デバイスのコンフィギュレーションについては、「コンフィギュレーション・ハンドブック Volume 2」の「*Configuring Mixed Altera device Chains*」の章を参照してください。

Stratix IV デバイスは同じボード上で複数のコンフィギュレーション手法を使用することでコンフィギュレーションできます。FPGA に複数の方法でコンフィギュレーションできるように、プロトタイプ環境でボード上での AS コンフィギュレーションに JTAG コンフィギュレーションを組み合わせるのは有用です。


 JTAG コンフィギュレーションに他のコンフィギュレーション手法の組み合わせることについては詳しくは、「コンフィギュレーション・ハンドブック Volume 2」の「*Combining Different Configuration Schemes*」の章を参照してください。

図 10-18 マイクロプロセッサを使用した Stratix IV デバイスの JTAG コンフィギュレーションを示します。

図 10-18. マイクロプロセッサを使用したシングル・デバイスの JTAG コンフィギュレーション

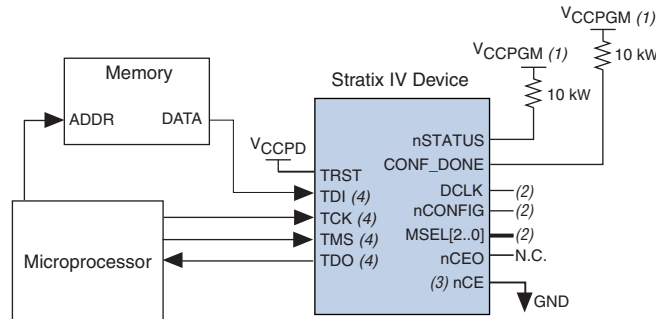


図 10-18 の注：

- (1) チェイン内のすべての Stratix IV デバイスの許容入力信号を供給する電源にプルアップ抵抗を接続します。VCCPGM は、デバイスの I/O の V_{IH} 仕様に適合するよう十分に高くなければなりません。
- (2) JTAG 以外のコンフィギュレーション手法をサポートする場合は、nCONFIG ピンと MSEL[2..0] ピンを接続します。JTAG コンフィギュレーションのみを使用する場合は、nCONFIG を VCCPGM に、MSEL[2..0] を GND に接続します。DCLK を High または Low のいずれかボード上で都合の良いレベルにプルアップまたはプルダウンします。
- (3) JTAG コンフィギュレーションを成功させるには、nCE を GND に接続するか、Low にドライブします。
- (4) JTAG ピンをドライブするために、マイクロプロセッサは VCCPD のように同じ I/O 規格を使用しなければなりません。

Jam STAPL

Jam™STAPL、JEDEC 規格 JESD-71 は、イン・システム・プログラマビリティ (ISP) のための標準ファイル・フォーマットです。Jam STAPL は、IEEE 1149.1 JTAG インタフェースを使用したプログラマブル・デバイスのプログラミングまたはコンフィギュレーション、および電子システムのテストをサポートします。Jam STAPL は、ライセンス・フリーのオープン・スタンダードです。

Jam Player は、IEEE Std. 1149.1 JTAG TAP ステート・マシンを操作するためのインタフェースを提供します。

エンベデッド環境での JTAG および Jam STAPL については、[AN 122: Using Jam STAPL for ISP and ICR via an Embedded Processor] を参照してください。Jam Player をダウンロードするには、アルテラ・ウェブサイト www.altera.co.jp にアクセスしてください。

デバイス・コンフィギュレーション・ピン

以下の表では、Stratix IV デバイスのすべてのコンフィギュレーション関連ピンの接続と機能をリストしています。表 10-8 に、Stratix IV のコンフィギュレーション・ピンとそれらの電源をリストします。

表 10-8. Stratix IV コンフィギュレーション・ピンの概要 (注 1)

説明	入力 / 出力	専用	電源供給元	コンフィギュレーション・モード
TDI	入力	使用可	V _{CCPD}	JTAG
TMS	入力	使用可	V _{CCPD}	JTAG
TCK	入力	使用可	V _{CCPD}	JTAG
TRST	入力	使用可	V _{CCPD}	JTAG
TDO	出力	使用可	V _{CCPD}	JTAG
CRC_ERROR	出力	—	ブルアップ	オプション、すべてのモード
DATA0	入力	—	V _{CCPGM} /V _{CCIO} (3)	JTAG 以外のすべてのモード
DATA [7..1]	入力	—	V _{CCPGM} /V _{CCIO} (3)	FPP
INIT_DONE	出力	—	ブルアップ	オプション、すべてのモード
CLKUSR	入力	—	V _{CCPGM} /V _{CCIO} (3)	オプション
nSTATUS	双方向	使用可	V _{CCPGM} / ブルアップ	すべてのモード
nCE	入力	使用可	V _{CCPGM}	すべてのモード
CONF_DONE	双方向	使用可	V _{CCPGM} / ブルアップ	すべてのモード
nCONFIG	入力	使用可	V _{CCPGM}	すべてのモード
PORSEL	入力	使用可	V _{CC} (2)	すべてのモード
ASDO	出力	使用可	V _{CCPGM}	AS
nCSO	出力	使用可	V _{CCPGM}	AS
DCLK	入力	使用可	V _{CCPGM}	PS、FPP
	出力	使用可	V _{CCPGM}	AS
nIO_PULLUP	入力	使用可	V _{CC} (2)	すべてのモード
nCEO	出力	使用可	V _{CCPGM}	すべてのモード
MSEL [2..0]	入力	使用可	V _{CC} (2)	すべてのモード

表 10-8 の注 :

- (1) ピンの総数は 29 本です。専用ピンの総数は 19 本です。
- (2) MSEL [2..0]、PORSEL、および nIO_PULLUP が V_{CC} によってパワーアップされても、アルテラでは、これらのピンはブルアップまたはプルダウン抵抗を使用せず、V_{CCPGM} または GND に直接接続することを推奨しています。
- (3) これらのピンはコンフィギュレーション中に V_{CCPGM} でパワーアップされます。ユーザー・モードでは、通常の I/O として使用されている場合に、これらのピンは V_{CCIO} でパワーアップされます。

表 10-9 に専用コンフィギュレーション・ピンをリストします。コンフィギュレーションを成功させるために、これらのピンをボード上で正しく接続する必要があります。コンフィギュレーション手法によっては、必要でないピンもあります。

表 10-9. Stratix IV デバイスの専用コンフィギュレーション・ピン (その 1)

ピン名	ユーザー・モード	コンフィギュレーション・モード	ピン・タイプ	説明
VCCPGM	N/A	すべて	電源	<p>専用電源ピン。すべての専用コンフィギュレーション入力ピン、専用コンフィギュレーション出力ピン、専用コンフィギュレーション双方向ピン、およびコンフィギュレーションに使用する兼用ピンに電力を供給するためにこのピンを使用します。</p> <p>このピンは、1.8 V、2.5 V、または 3.0 V に接続する必要があります。PORSEL が Low のときには 100 ms または PORSEL が High のときには 4 ms 以内に、V_{C_{CPGM}} は 0 V から V_{C_{CPGM}} に上昇しなければなりません。V_{C_{CPGM}} がこの規定時間内に上昇しない場合、Stratix IV デバイスは正しくコンフィギュレーションされません。V_{C_{CPGM}} が 100 ms または 4 ms 以内に上昇することをシステムが許容していない場合は、すべての電源が安定するまで nCONFIG を Low に保持する必要があります。</p>
VCCPD	N/A	すべて	電源	<p>専用電源ピン。このピンは、I/O プリドライバ、JTAG 入力および出力ピン、およびデザイン・セキュリティ回路を駆動するために使用します。</p> <p>このピンは、選択した I/O 規格に応じて、2.5 V または 3.0 V に接続する必要があります。3.0-V I/O 規格の場合、V_{C_{CPD}} = 3.0 V です。2.5-V または以下の I/O 規格の場合、V_{C_{CPD}} = 2.5 V です。</p> <p>PORSEL が Low のときには 100 ms または PORSEL が High のときには 4 ms 以内に、V_{C_{CPD}} は 0 V から 2.5 V/3.0 V に上昇しなければなりません。V_{C_{CPD}} がこの規定時間内に上昇しない場合、Stratix IV デバイスは正しくコンフィギュレーションされません。V_{C_{CPD}} が 100 ms または 4 ms 以内に上昇することをシステムが許容していない場合は、すべての電源が安定するまで nCONFIG を Low に保持する必要があります。</p>
PORSEL	N/A	すべて	入力	<p>スタンダード POR 時間またはファスト POR 時間を選択する専用入力。ロジック Low は 100 ms < T_{POR} < 300 ms のスタンダード POR 時間設定を選択し、ロジック High は 4 ms < T_{POR} < 12 ms のファスト POR 時間を選択します。</p> <p>PORSEL 入力バッファは V_{CC} で動作し、常時アクティブな 5-kΩ の内部プルダウン抵抗を備えています。</p> <p>PORSEL ピンは、V_{C_{CPGM}} または GND に直接接続します。</p>

表 10-9. Stratix IV デバイスの専用コンフィギュレーション・ピン (その 2)

ピン名	ユーザー・モード	コンフィギュレーション・モード	ピン・タイプ	説明
nIO_PULLUP	N/A	すべて	入力	<p>コンフィギュレーション実行前および実行中に、ユーザー I/O および兼用 I/O ピン (nCSO、nASDO、DATA [7..0]、CLKUSR、および INIT_DONE) の内部プルアップ抵抗をオンまたはオフにするか選択する専用入力。ロジック High は内部ウィーク・プルアップ抵抗をオフにし、ロジック Low はオンにします。</p> <p>nIO-PULLUP 入力バッファは V_{CC} で動作し、常時アクティブな 5-kΩ の内部プルダウン抵抗を備えています。nIO-PULLUP は、V_{CCPGM} または GND に直接接続します</p>
MSEL [2..0]	N/A	すべて	入力	<p>Stratix IV デバイスのコンフィギュレーション手法を設定する 3 ビットのコンフィギュレーション入力。正しい接続は、10-2 のページ表 10-1 を参照してください。</p> <p>これらのピンは、V_{CCPGM} または GND に配線されていなければなりません。</p> <p>MSEL [2..0] ピンは、常時アクティブな 5-kΩ 内部プルダウン抵抗を備えています。</p>
nCONFIG	N/A	すべて	入力	<p>コンフィギュレーション・コントロール入力。ユーザー・モード中にこのピンを Low にすると、デバイスはコンフィギュレーション・データを失い、リセット状態に入り、すべての I/O ピンをトライ・ステートにします。このピンをロジック High レベルに戻すと、再コンフィギュレーションが開始されます。</p> <p>コンフィギュレーションは、nCONFIG が無視されるとき JTAG プログラミング・モードを除いて、このピンが High の場合にのみ可能です。</p>

表 10-9. Stratix IV デバイスの専用コンフィギュレーション・ピン (その 3)

ピン名	ユーザー・モード	コンフィギュレーション・モード	ピン・タイプ	説明
nSTATUS	N/A	すべて	双方向オープン・ドレイン	<p>デバイスは電源投入直後に nSTATUS を Low にドライブし、POR 時間経過後に解放します。</p> <p>ユーザー・モード時および通常のコンフィギュレーション時には、このピンは外部 10-kΩ 抵抗で High にプルアップされます。</p> <p>このピンは、Stratix IV デバイスで Low にドライブされると、コンフィギュレーション中にエラーが発生したことを示します。</p> <ul style="list-style-type: none"> ■ ステータス出力では、コンフィギュレーション実行中にエラーが発生した場合、nSTATUS がターゲット・デバイスによって Low にプルダウンされます。 ■ ステータス入力では、外部ソースがコンフィギュレーション実行中または初期化中に nSTATUS を Low にドライブした場合、ターゲット・デバイスはエラー状態に入ります。 <p>コンフィギュレーションおよび初期化の実行後に、nSTATUS を Low にドライブしても、コンフィギュレーションされたデバイスには影響ありません。コンフィギュレーション・デバイスを使用する場合、nSTATUS を Low にドライブすると、コンフィギュレーション・デバイスはデバイスのコンフィギュレーションを試みますが、ユーザー・モードではデバイスは nSTATUS での遷移を無視するので、再コンフィギュレーションを行いません。再コンフィギュレーションを開始するには、nCONFIG を Low にプルダウンする必要があります。</p>
nSTATUS (続き)	—	—	—	<p>V_{CCPGM} が完全にパワーアップされていない場合、以下のことが起こる可能性があります。</p> <ul style="list-style-type: none"> ■ nSTATUS バッファが正しく動作するには、V_{CCPGM} が十分高い電圧レベルに駆動され、nSTATUS が Low にドライブされます。V_{CCPGM} が上昇すると、POR がトリップし、POR が満了した後、nSTATUS が解放されます。 ■ nSTATUS バッファが正しく動作するには、V_{CCPGM} が十分高い電圧レベルに駆動されません。この状況では、nSTATUS がロジック High になって、コンフィギュレーション試行が開始される可能性があります。POR がトリップしていないため失敗します。V_{CCPD} がパワーアップされても、POR がまだトリップしていないため、nSTATUS は Low にプルダウンされます。V_{CCPGM} がパワーアップされた後で POR がトリップすると、nSTATUS が解放されて High にプルアップされます。この時点で、再コンフィギュレーションが開始され、デバイスがコンフィギュレーションされます。

表 10-9. Stratix IV デバイスの専用コンフィギュレーション・ピン (その 4)

ピン名	ユーザー・モード	コンフィギュレーション・モード	ピン・タイプ	説明
CONF_DONE	N/A	すべて	双方向 オープン・ドレイン	<p>ステータス出力。コンフィギュレーションの実行前および実行中に、ターゲット・デバイスは CONF_DONE ピンを Low にドライブします。すべてのコンフィギュレーション・データをエラーなしで受信し、初期化サイクルが開始されると、ターゲット・デバイスは CONF_DONE を解放します。</p> <p>ステータス入力。すべてのデータの受信後、CONF_DONE が High になると、ターゲット・デバイスは初期化を行いユーザー・モードに入ります。デバイスを初期化するには、CONF_DONE ピンに 10-kΩ の外部プルアップ抵抗が必要です。</p> <p>コンフィギュレーションおよび初期化の実行後に、CONF_DONE を Low にドライブしても、コンフィギュレーションされたデバイスには影響ありません。</p>
nCE	N/A	すべて	入力	<p>アクティブ Low のチップ・イネーブル。nCE ピンは、Low 信号でデバイスをアクティブにして、コンフィギュレーションを可能にします。nCE ピンは、コンフィギュレーション実行中、初期化中、およびユーザー・モードでは Low に保持する必要があります。シングル・デバイス・コンフィギュレーションでは、Low に接続しなければなりません。マルチ・デバイス・コンフィギュレーションでは、最初のデバイスの nCE は Low に接続され、nCEO ピンはチェーン内の次のデバイスの nCE に接続されます。</p> <p>デバイスの JTAG プログラミングを成功させるには、nCE ピンも Low に保持する必要があります。</p>
nCEO	N/A	すべて	出力	<p>デバイスのコンフィギュレーション完了時に Low をドライブする出力。シングル・デバイス・コンフィギュレーションでは、このピンはフローティング状態のままです。マルチ・デバイス・コンフィギュレーションでは、このピンは次のデバイスの nCE ピンに供給します。チェーン内の最後のデバイスの nCEO は、フローティング状態のままです。</p> <p>nCEO ピンは、V_{CCPGM} で駆動されます。</p>
ASDO	N/A	AS	出力	<p>コンフィギュレーション・データを読み出すのに使用される、Stratix IV デバイスから AS モードのシリアル・コンフィギュレーション・デバイスへのコントロール信号。</p> <p>AS モードでは、ASDO は常時アクティブな内部プルアップ抵抗を備えています。</p>
nCSO	N/A	AS	出力	<p>コンフィギュレーション・デバイスをイネーブルする、Stratix IV デバイスから AS モードのシリアル・コンフィギュレーション・デバイスへの出力コントロール信号。</p> <p>AS モードでは、nCSO は常時アクティブな内部プルアップ抵抗を備えています。</p>

表 10-9. Stratix IV デバイスの専用コンフィギュレーション・ピン (その 5)

ピン名	ユーザー・モード	コンフィギュレーション・モード	ピン・タイプ	説明
DCLK	N/A	同期コンフィギュレーション手法 (PS、FPP、AS)	入力 (PS、FPP) 出力 (AS)	<p>PS および FPP コンフィギュレーションでは、DCLK は外部ソースからターゲット・デバイスにデータを送るのに使用されるクロック入力です。データは、DCLK の立ち上がりエッジでデバイスにラッチされます。</p> <p>AS モードでは、DCLK はコンフィギュレーション・インタフェースにタイミングを供給する Stratix IV デバイスからの出力です。AS モードでは、DCLK は常時アクティブな内部プルアップ抵抗 (標準 25 kΩ) を備えています。</p> <p>コンフィギュレーション後、このピンはトライ・ステートになります。コンフィギュレーション・デバイスを使用する方法では、コンフィギュレーションが完了した後に DCLK は Low にドライブされます。コントロール・ホストを使用する手法では、DCLK は High または Low のうち都合の良いレベルにドライブしなければなりません。コンフィギュレーション後にこのピンを切り替えても、コンフィギュレーションされたデバイスには影響ありません。</p>
DATA0	AS モードでは N/A。 PS または FPP モードでは I/O。	PS, FPP, AS	入力	<p>データ入力。シリアル・コンフィギュレーション・モードでは、ビット・ワイドのコンフィギュレーション・データがターゲット・デバイスの DATA0 ピンに送られます。</p> <p>AS モードでは、DATA0 は常時アクティブな内部プルアップ抵抗を備えています。</p> <p>PS または FPP コンフィギュレーション後は、DATA0 はユーザー I/O ピンとして使用可能です。このピンの状態は Dual-Purpose Pin の設定によって異なります。</p>
DATA [7..1]	I/O	パラレル・コンフィギュレーション手法 (FPP)	入力	<p>データ入力。バイト幅のコンフィギュレーション・データが DATA [7..0] のターゲット・デバイスに送られます。</p> <p>シリアル・コンフィギュレーション手法では、これらのピンはコンフィギュレーション中にはユーザ I/O ピンとして機能し、トライ・ステートになります。</p> <p>FPP コンフィギュレーション後、DATA [7..1] はユーザー I/O ピンとして使用可能です。これらのピンの状態は Dual-Purpose Pin の設定によって異なります。</p>

表 10-10 にオプションのコンフィギュレーション・ピンをリストします。これらのオプションのコンフィギュレーション・ピンは、Quartus II ソフトウェアでイネーブルされていない場合には、汎用ユーザ I/O ピンとして使用可能です。したがって、コンフィギュレーション中は、これらのピンはユーザー I/O ピンとして機能し、ウィーク・プルアップ抵抗でトライ・ステートになります。


表 10-10. オプションのコンフィギュレーション・ピン

ピン名	ユーザー・モード	ピン・タイプ	説明
CLKUSR	オプションがオンの場合は N/A。 オプションがオフの場合は I/O。	入力	オプションのユーザー供給クロック入力は、1 つまたは複数のデバイスの初期化を同期させます。このピンは、Quartus II ソフトウェアで、 Enable user-supplied start-up clock (CLKUSR) オプションをオンにするとイネーブルされます。
INIT_DONE	オプションがオンの場合は N/A。 オプションがオフの場合は I/O。	オープン・ドレイン出力	デバイスが初期化されユーザー・モードになったことを示すステータス・ピンとして使用できます。nCONFIG ピンが Low のとき、コンフィギュレーションの開始時に INIT_DONE ピンはトライ・ステートになり、10-kΩ の外部プルアップ抵抗によって High にプルアップされます。INIT_DONE を有効にするオプション・ビットが、(コンフィギュレーション・データの最初のフレイム時に) デバイスにプログラムされると、INIT_DONE ピンは Low になります。初期化が完了すると、INIT_DONE ピンは解放されて High にプルアップされ、デバイスはユーザー・モードに入ります。したがって、監視回路は Low から High への遷移を検出できなければなりません。このピンは、Quartus II ソフトウェアで、 Enable INIT_DONE output オプションをオンにするとイネーブルされます。
DEV_OE	オプションがオンの場合は N/A。 オプションがオフの場合は I/O。	入力	ユーザーがデバイスのすべてのトライ・ステートを無効にできるオプション・ピンです。このピンが Low にドライブされるとすべての I/O ピンはトライ・ステートになります。このピンが High にドライブされると、すべての I/O ピンはプログラムされたとおりに動作します。このピンは、Quartus II ソフトウェアで、 Enable device-wide output enable (DEV_OE) オプションをオンにするとイネーブルされます。
DEV_CLRn	オプションがオンの場合は N/A。 オプションがオフの場合は I/O。	入力	ユーザーがデバイス・レジスタのすべてのクリアを無効にできるオプション・ピンです。このピンが Low にドライブされると、すべてのレジスタがクリアされます。このピンが High にドライブされると、すべてのレジスタはプログラムされたとおりに動作します。このピンは、Quartus II ソフトウェアで、 Enable device-wide reset (DEV_CLRn) オプションをオンにするとイネーブルされます。

表 10-11 に専用 JTAG ピンをリストします。JTAG ピンは、コンフィギュレーション実行前または実行中は、JTAG 命令が誤ってロードされないように安定状態に維持しなければなりません。TDI、TMS、および TRST ピンは内部ウィーク・プルアップ抵抗（標準 25 k Ω ）を備えています。TCK は内部ウィーク・プルダウン抵抗を備えています。SignalTap[®] エンベデッド・ロジック・アレイ・アナライザを使用する計画がある場合は、Stratix IV デバイスの JTAG ピンをボードの JTAG ヘッドに接続する必要があります。

表 10-11. 専用 JTAG ピン

ピン名	ユーザー・モード	ピン・タイプ	説明
TDI	N/A	テスト・データ入力	命令、テストおよびプログラミング・データ用のシリアル入力ピン。データは TCK の立ち上がりエッジでシフト・インされます。TDI ピンは 2.5-V/3.0-V の V_{CCPD} 電源で駆動されます。 ボードに JTAG インタフェースが必要ない場合は、このピンを 1-k Ω 抵抗でロジック High に接続して JTAG 回路をディセーブルできます。
TDO	N/A	テスト・データ出力	命令、テストおよびプログラミング・データ用のシリアル出力ピン。データは TCK の立ち下がりエッジでシフト・アウトされます。このピンは、データがデバイスからシフト・アウトされない場合はトライ・ステートになります。このピンは、 V_{CCPD} で駆動されます。チェーン内のデバイスに複数の電圧を印加する JTAG チェインでの接続に関する推奨事項は、『 <i>JTAG Boundary Scan Testing</i> 』の章を参照してください。 ボードに JTAG インタフェースが必要ない場合は、このピンを接続しないでよく JTAG 回路をディセーブルできます。
TMS	N/A	テスト・モードの選択	TAP コントローラ・ステート・マシンの遷移を決定するコントロール信号を提供する入力ピン。TMS は、TCK の立ち上がりエッジで評価されます。このため、ユーザーは TCK の立ち上がりエッジの前に TMS を設定する必要があります。ステート・マシン内での遷移は、信号は TMS に印加された後、TCK の立ち下がりエッジで発生します。TMS ピンは 2.5-V/3.0-V V_{CCPD} 電源で駆動されます。 ボードに JTAG インタフェースが必要ない場合は、このピンを 1-k Ω 抵抗でロジック High に接続して JTAG 回路をディセーブルできます。
TCK	N/A	テスト・クロック入力	BST 回路へのクロック入力。立ち上がりエッジで発生する動作と、立ち下がりエッジで発生する動作があります。TCK ピンは 2.5-V/3.0-V V_{CCPD} 電源で駆動されます。 クロック入力波形は、標準 50% のデューティ・サイクルが期待されます。 ボードに JTAG インタフェースが必要ない場合は、TCK を GND に接続して JTAG 回路をディセーブルできます。
TRST	N/A	テスト・リセット入力 (オプション)	バウンダリ・スキャン回路を非同期でリセットするアクティブ Low 入力。TRST ピンは IEEE Std. 1149.1 に準じたオプションです。TRST ピンは 2.5-V/3.0-V V_{CCPD} 電源で駆動されます。 TRST が 0 から 1 に変化している間は、TMS を 1 に保持するか、TCK を固定します。 ボードに JTAG インタフェースが必要ない場合は、TRST を GND に接続して JTAG 回路をディセーブルできます。

 ピン接続の推奨事項について詳しくは、『*Stratix IV GX Device Family Pin Connection Guidelines*』を参照してください。

コンフィギュレーション・データ圧縮復元

Stratix IV デバイスは、コンフィギュレーション・メモリ・スペースおよび時間を節減するコンフィギュレーション・データの圧縮復元をサポートします。この機能により、圧縮されたコンフィギュレーション・データをコンフィギュレーション・デバイスまたはその他のメモリに格納し、この圧縮されたビットストリームを Stratix IV デバイスに送信することができます。コンフィギュレーションの間、Stratix IV デバイスはリアルタイムでビットストリームを復元し、SRAM セルをプログラムします。



暫定データでは、圧縮によってコンフィギュレーション・ビット・ストリームのサイズが使用されたデザインをベースに通常 35 ~ 55% に縮小しています。

Stratix IV デバイスは、FPP (MAX II デバイス / マイクロプロセッサ + フラッシュを用いた)、ファスト AS および PS コンフィギュレーション手法で圧縮復元をサポートしています。Stratix IV の復元機能は、JTAG コンフィギュレーション手法では提供されていません。

PS モードでは、圧縮されたコンフィギュレーション・データを送信するとコンフィギュレーション時間が短縮されるため、Stratix IV の復元機能を使用します。

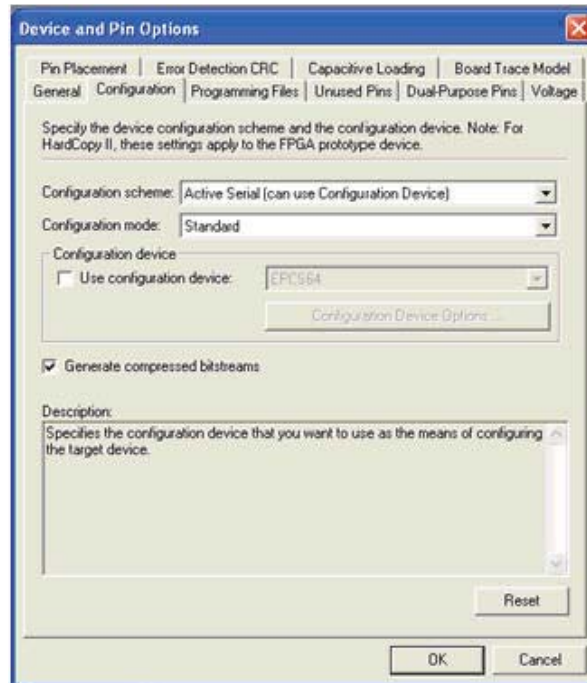
圧縮機能をイネーブルにすると、Quartus II ソフトウェアは圧縮されたコンフィギュレーション・データでコンフィギュレーション・ファイルを生成します。この圧縮ファイルは、コンフィギュレーション・デバイスまたはフラッシュ・メモリに必要な容量を低減し、Stratix IV デバイスにビットストリームを送信するのに必要な時間を短縮します。Stratix IV デバイスがコンフィギュレーション・ファイルを復元するのに必要な時間は、コンフィギュレーション・データをデバイスに送信するのに必要な時間よりも短くなっています。

Stratix IV のビットストリームの圧縮をイネーブルするには、デザイン・コンパイル前 (Compiler Settings メニュー) とデザイン・コンパイル後 (Convert Programming Files ウィンドウ) の 2 つの方法があります。

プロジェクトのコンパイラ設定で圧縮をイネーブルするには、以下のステップを実行します。

1. Assignments メニューで、**Device** をクリックして、**Settings** ダイアログ・ボックスを表示します。
2. Stratix IV デバイスを選択した後、**Device and Pin Options** ウィンドウを開きます。
3. **Configuration** 設定タブで、**Generate compressed bitstreams** をオンにします (図 10-9 を参照)。

図 10-19. コンパイラ設定で Stratix IV のビットストリームの圧縮をイネーブ



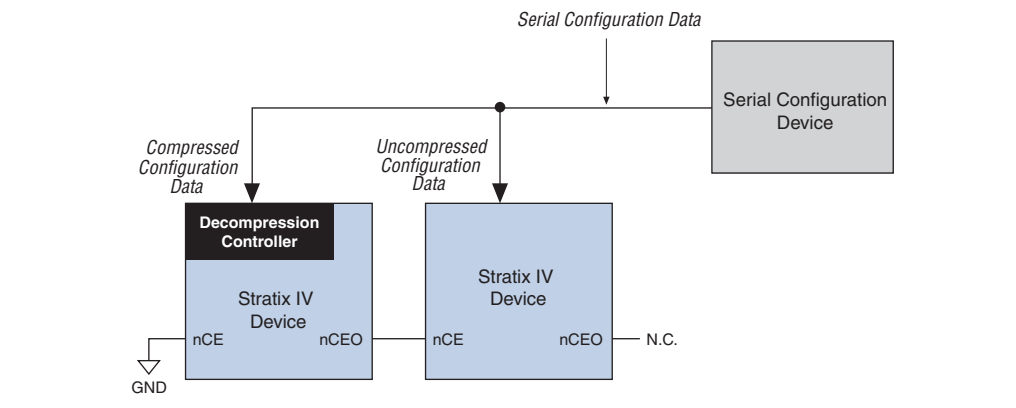
プログラミング・ファイルを **Convert Programming Files** ウィンドウから作成するとき、圧縮をイネーブにすることもできます。これを行うには、以下のステップを実行します。

1. File メニューの **Convert Programming Files** をクリックします。
2. プログラミング・ファイル・タイプ (.pof、.sram、.hex、.rbf、または .tff) を選択します。
3. .pof 出力ファイルの場合は、コンフィギュレーション・デバイスを選択します。
4. **Input files to convert** ボックスで、**SOF Data** を選択します。
5. **Add File** を選択し、Stratix IV デバイスの .sof ファイルを追加します。
6. **SOF Data** 領域に追加したファイル名を選択し、**Properties** をクリックします。
7. **Compression** チェック・ボックスをオンにします。

複数の Stratix IV デバイスがカスケード接続されているときに、シリアル・コンフィギュレーション手法を使用している場合は、チェーン内の各デバイスに対して圧縮機能を選択的に有効にすることができます。図 10-20 に、2 個の Stratix IV デバイスのチェーンを示します。最初の Stratix IV デバイスは圧縮がイネーブされているため、コンフィギュレーション・デバイスから圧縮されたビットストリームを受信します。2 番目の Stratix IV デバイスは、圧縮機能がディセーブされているので非圧縮データを受信します。

(MAX II デバイスまたはマイクロプロセッサ + フラッシュを用いた) マルチ・デバイス FPP コンフィギュレーション・チェーンでは、チェーン内のすべての Stratix IV デバイスは、復元機能をイネーブまたはディセーブしておく必要があります。DATA と DCLK の関係のために、チェーン内の各デバイスに対して圧縮機能を選択的にイネーブすることはできません。

図 10-20. 同じコンフィギュレーション・ファイル内の圧縮および非圧縮コンフィギュレーション・データ



Quartus II ソフトウェアで File メニューの **Convert Programming Files** をクリックして、このセットアップのプログラミング・ファイルを生成できます。

リモート・システム・アップグレード

この章では専用リモート・システム・アップグレード回路の機能と実装について説明します。また、ファクトリ・コンフィギュレーション、アプリケーション・コンフィギュレーション、リモート・アップデート・モード、およびユーザー・ウォッチドッグ・タイマを含むリモート・システム・アップグレードのコンセプトについても定義します。さらに、このセクションはサポートされるコンフィギュレーション手法を使用してリモート・システム・アップグレードを実装するためのデザイン・ガイドラインについて説明します。

システム設計者は、短いデザイン・サイクル、進化する規格、遠隔地でのシステム配置など、時として困難な課題に直面することがあります。Stratix IV デバイスは、独自のリプログラマビリティとリモート・システム・アップグレードを実行する専用回路により、これらの課題を克服します。リモート・システム・アップグレードは、経費のかかる製品回収を行わずに機能強化やバグ修正を行うことができ、製品の市場投入の短縮や製品寿命の延長に役立ちます。

Stratix IV デバイスは専用のリモート・システム・アップグレード回路を備えています。Stratix IV デバイスに実装されたソフト・ロジック (Nios® II エンベデッド・プロセッサまたはユーザー・ロジック) は、遠隔地から新しいコンフィギュレーション・イメージをダウンロードし、それをコンフィギュレーション・メモリに格納し、さらに専用リモート・システム・アップグレード回路に再コンフィギュレーション・サイクルの開始を指示することもできます。この専用回路は、コンフィギュレーション・プロセス中およびプロセス後にエラー検出を実行し、安全なコンフィギュレーション・イメージに戻ることによってエラー状態から回復し、エラー・ステータス情報を提供します。

リモート・システム・アップグレードは、ファスト AS Stratix IV コンフィギュレーション手法でサポートされています。リモート・システム・アップグレードは、コンフィギュレーション・データのリアルタイム復元や安全で効率的なフィールド・アップグレードのための AES (Advanced Encryption Standard) を使用したデザイン・セキュリティなど、Stratix IV の先進機能と併せて実装することも可能です。最大規模のシリアル・コンフィギュレーション・デバイスは、現在、128 M ビットのコンフィギュレーション・ビットストリームをサポートしています。

☞ Stratix IV デバイスでは、リモート・システム・アップデートは単一デバイスのファスト AS コンフィギュレーション手法でのみサポートされます。最大規模のシリアル・コンフィギュレーション・デバイスは、現在、128 M ビットのコンフィギュレーション・ビットストリームをサポートしているため、EP4SGX290、EP4SE360、および大容量のデバイスには、リモート・システム・アップグレード機能がサポートされていません。

☞ マルチ・デバイスチェーン内では、リモート・システム・アップグレード機能がサポートされていません。

機能の説明

Stratix IV デバイスの専用リモート・システム・アップグレード回路は、リモート・コンフィギュレーションを管理し、エラー検出、回復、およびステータス情報を提供します。Stratix IV デバイスのロジック・アレイに実装されるユーザー・ロジックまたは Nios II プロセッサから、リモート・コンフィギュレーション・データ・ソースおよびシステムのコンフィギュレーション・メモリへのインタフェースにアクセスすることができます。

Stratix IV デバイスのリモート・システム・アップグレード・プロセスでは、以下のステップを実行します。

1. Stratix IV デバイスのロジック・アレイに実装される Nios II プロセッサ（またはユーザー・ロジック）は、遠隔地から新しいコンフィギュレーション・データを受信します。リモート・ソースへの接続には、TCP/IP (Transmission Control Protocol/Internet Protocol) などの通信プロトコル、PCI (Peripheral Component Interconnect)、UDP (User Datagram Protocol)、UART (Universal Asynchronous Receiver/Transmitter)、または独自のインタフェースを使用します。
2. Nios II プロセッサ（またはユーザー・ロジック）は、この新しいコンフィギュレーション・データを不揮発性コンフィギュレーション・メモリに格納します。
3. Nios II プロセッサ（またはユーザー・ロジック）は、新しいコンフィギュレーション・データまたはアップデートされたコンフィギュレーション・データで再コンフィギュレーション・サイクルを開始します。
4. 専用リモート・システム・アップグレード回路は、リコンフィギュレーション・サイクル中またはサイクルの後に発生する可能性のあるエラーの検出およびエラー状態からの回復を実行し、ユーザー・デザインにエラー・ステータス情報を提供します。

図 10-21 に、リモート・コンフィギュレーション・アップデートを実行するのに必要なステップを示します。（図 10-21 中の番号は上記のステップと一致します）。

図 10-21. Stratix IV リモート・システム・アップグレードの機能図

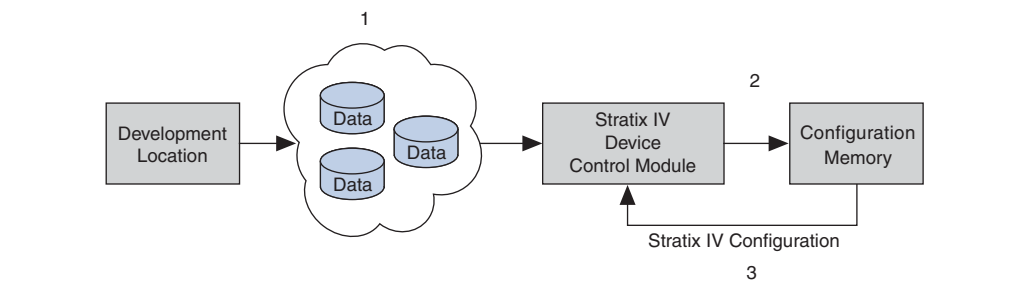
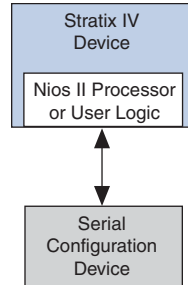


図 10-22 に、Stratix IV ファスト AS コンフィギュレーション手法によるリモート・システム・アップグレードを実装するためのブロック図を示します。

図 10-22. Stratix IV AS コンフィギュレーション手法のためのリモート・システム・アップグレードのブロック図



システムでリモート・システム・アップグレードを使用するには、モード選択ピン (MSEL[2..0]) をファスト AS モードに設定する必要があります。表 10-12 に、標準コンフィギュレーション・モードおよびリモート・システム・アップグレード・モードの Stratix IV デバイスの MSEL ピン設定を示します。以下では、リモート・システム・アップグレード・モードのリモート・アップデートを説明します。


Stratix IV デバイスでサポートされている標準コンフィギュレーション手法について詳しくは、10-2 ページの「コンフィギュレーション手法」を参照してください。

表 10-12. Stratix IV リモート・システム・アップグレード・モード

コンフィギュレーション・モード	MSEL[2..0]	リモート・システム・アップグレード・モード
ファスト AS (40 MHz)	011	規格
	011	リモート・アップデート (1)

表 10-12 の注：

- (1) EPCS64 および EPCS128 の各シリアル・コンフィギュレーション・デバイスは、最大 40 MHz の DCLK をサポートします。詳細は、「コンフィギュレーション・ハンドブック Volume 2」の「Serial Configuration Devices (EPCS1, EPCS4, EPCS16, EPCS64, and EPCS128) Data Sheet」の章を参照してください。

 ファスト AS モードを使用するときは、Quartus II ソフトウェアでリモート・アップデート・モードを選択し、ALTREMOTE_UPDATE メガファンクションを挿入して回路にアクセスする必要があります。詳細は、10-65 ページの「ALTREMOTE_UPDATE メガファンクション」を参照してください。

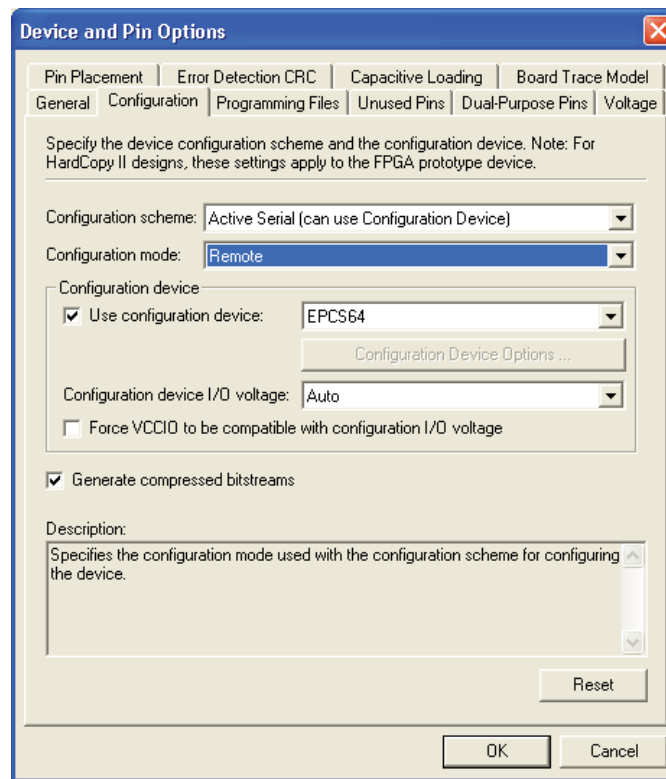
リモート・アップデートのイネーブル

Stratix IV デバイスのリモート・アップデートは、デザインをコンパイルする前に Quartus II ソフトウェア (Compiler Settings メニュー) でイネーブルできます。リモート・アップデート・モードでは、**auto-restart configuration after error** オプションが常にイネーブルされます。プロジェクトのコンパイラ設定でリモート・アップデートをイネーブルするには、Quartus II ソフトウェアで以下のステップを実行します。

1. Assignments メニューの **Device** をクリックします。**Settings** ダイアログ・ボックスが表示されます。

2. **Device and Pin Options** をクリックします。**Device and Pin Options** ダイアログ・ボックスが表示されます。
3. **Configuration** タブをクリックします。
4. **Configuration scheme** リストから **Active Serial** (**Configuration Device** も使用可能) を選択します (図 10-23)。
5. **Configuration Mode** リストから **Remote** を選択します (図 10-23)。
6. **OK** をクリックします。
7. **Settings** ダイアログ・ボックスで、**OK** をクリックします。

図 10-23. コンパイラ設定メニューで Stratix IV デバイスのリモート・アップデートをイネーブ



コンフィギュレーション・イメージのタイプ

リモート・システム・アップグレードを使用する場合、Stratix IV デバイスのコンフィギュレーション・ビットストリームはファクトリ・コンフィギュレーション・イメージまたはアプリケーション・コンフィギュレーション・イメージに分類されます。イメージ (コンフィギュレーションとも呼ばれる) とは、特定のユーザー定義機能を実行する Stratix IV デバイスにロードされるデザインのことです。

システムの各 Stratix IV デバイスでは、1つのファクトリ・イメージまたは1つ以上のアプリケーション・イメージの追加が必要になります。ファクトリ・イメージはユーザー定義のフォールバックまたは安全なコンフィギュレーションで、専用回路と共にリモート・アップデートを管理します。アプリケーション・イメージは、ターゲットの Stratix IV デバイスにユーザー定義機能を実装します。ファクトリ・イメージにデフォルトのアプリケーション・イメージ機能を含めることができます。

リモート・システム・アップグレードでは、リモート通信インタフェースを介して新しいアプリケーション・コンフィギュレーション・イメージの保存または既存のアプリケーション・コンフィギュレーション・イメージのアップデートが行われます。アプリケーション・コンフィギュレーション・イメージがリモートで保存またはアップデートされると、Stratix IV デバイスのユーザー・デザインは、新しいイメージで再コンフィギュレーション・サイクルを開始します。このサイクルの実行中または実行後に発生するエラーは、専用のリモート・システム・アップグレード回路で検出され、デバイスは自動的にファクトリ・イメージに戻ります。続いてファクトリ・イメージはエラー処理および回復を実行します。ファクトリ・コンフィギュレーションは、システム・メーカーによって一度だけシリアル・コンフィギュレーション・デバイスに書き込まれるもので、リモート・アップデートを行ってはなりません。他方、アプリケーション・コンフィギュレーションはシステムでリモート・アップデートすることができます。両方のイメージ共システム・再コンフィギュレーションを開始することができます。

リモート・システム・アップグレード・モード

リモート・システム・アップグレードには、1つの動作モード、すなわちリモート・アップデート・モードがあります。リモート・アップデート・モードでは、パワーアップ時にシステムの機能を決定することができ、いくつかの機能を提供します。

リモート・アップデート・モード

リモート・アップデート・モードでは、Stratix IV デバイスはパワーアップ後にファクトリ・コンフィギュレーション・イメージをロードします。ユーザー定義ファクトリ・コンフィギュレーションは、ロードするアプリケーション・コンフィギュレーションを決定し、リコンフィギュレーション・サイクルを開始します。ファクトリ・コンフィギュレーションには、アプリケーション・ロジックを含めることもできます。

シリアル・コンフィギュレーション・デバイスと共に使用した場合、リモート・アップデート・モードでは任意のフラッシュ・セクタ境界でアプリケーション・コンフィギュレーションを開始することができます。例えば、EPCS64 デバイスでは最大 128 セクタ、EPCS16 デバイスでは最大 32 セクタになり、各ページの最小サイズは 512 K ビットです。アルテラでは、2つのイメージがある場合、シリアル・コンフィギュレーション・デバイスで同じページを使用しないことを推奨しています。さらに、リモート・アップデート・モードは、アプリケーション・コンフィギュレーションの有効性を判断するユーザー・ウォッチドッグ・タイマを備えています。

Stratix IV デバイスは最初のパワーアップ時にはリモート・アップデート・モードになり、ページ・ゼロ（ページ・レジスタ $PGM[23:0] = 24'b0$ ）の位置にあるファクトリ・コンフィギュレーションをロードします。システムのファクトリ・コンフィギュレーション・イメージは、必ずページ・アドレス・ゼロに格納します。これはシリアル・コンフィギュレーション・デバイスの開始アドレス位置 0×000000 に対応します。

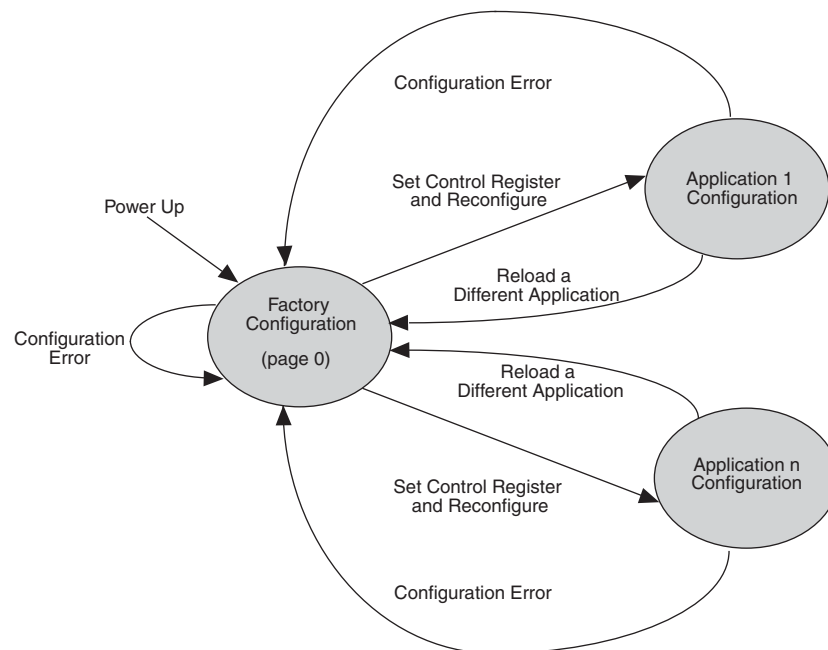
ファクトリ・イメージはユーザーがデザインしたもので、以下の動作を行うためのソフト・ロジックを備えています。

- 専用のリモート・システム・アップグレード回路からのステータス情報に基づくエラーの処理

- リモート・ホストとの通信、新しいアプリケーション・コンフィギュレーションの受信、およびこの新しいコンフィギュレーション・データのローカル不揮発性メモリ・デバイスへの保存
- Stratix IV デバイスにロードするアプリケーション・コンフィギュレーションの決定
- ユーザー・ウォッチドッグ・タイマのイネーブルまたはディセーブル、およびそのタイムアウト値のロード（オプション）
- 専用リモート・システム・アップグレード回路に対するリコンフィギュレーション・サイクル開始の指示

図 10-24 に、リモート・アップデート・モードでのファクトリ・コンフィギュレーションとアプリケーション・コンフィギュレーション間の遷移を示します。

図 10-24. リモート・アップデート・モードでのコンフィギュレーション間の遷移



パワーアップまたはコンフィギュレーション・エラーの後、ファクトリ・コンフィギュレーション・ロジックが自動的にロードされます。ファクトリ・コンフィギュレーションは、アプリケーション・コンフィギュレーションに対してユーザー・ウォッチドッグ・タイマをイネーブルするかどうか指定し、イネーブルする場合はタイマ設定情報も含めます。

ユーザー・ウォッチドッグ・タイマは、アプリケーション・コンフィギュレーションが有効で正常に機能するかどうか確認します。ユーザー・ウォッチドッグ・タイマは、アプリケーション・コンフィギュレーションのユーザー・モード動作中は、一定時間内に絶えずリセットしなければなりません。有効なアプリケーション・コンフィギュレーションにのみ、ユーザー・モード時にタイマをリセットするロジックが含まれています。このタイマ・リセット・ロジックは、エラーのないシステム動作を示すユーザー設計のハードウェアおよび / またはソフトウェア動作モニタ信

号でなければなりません。例えば、タイマが一定時間内にリセットされない場合、ユーザー・アプリケーション・コンフィギュレーションで動作上の問題が検出されるか、またはシステムがハング・アップした場合、専用回路がリモート・システム・アップグレード・ステータス・レジスタをアップデートして、ファクトリ・コンフィギュレーションのロードを開始させます。



ユーザー・ウォッチドッグ・タイマは、ファクトリ・コンフィギュレーションでは自動的にディセーブルにされます。ユーザー・ウォッチドッグ・タイマについて詳しくは、10-64 ページの「ユーザー・ウォッチドッグ・タイマ」を参照してください。

アプリケーション・コンフィギュレーションのロード中にエラーが発生した場合、専用回路が再コンフィギュレーションの原因をリモート・システム・アップグレード・ステータス・レジスタに書き込みます。以下の動作により、リモート・システム・アップグレード・ステータス・レジスタへの書き込みが行われます。

- nSTATUS が外部で Low にドライブされる
- 内部 CRC エラー
- ユーザー・ウォッチドッグ・タイマのタイム・アウト
- コンフィギュレーション・リセット (ロジック・アレイ nCONFIG 信号または外部 nCONFIG ピンの Low アサーション)

Stratix IV は、ページ・アドレス・ゼロにあるファクトリ・コンフィギュレーションを自動的にロードします。このユーザー設計のファクトリ・コンフィギュレーションは、リモート・システム・アップグレード・ステータス・レジスタを読み出して、再コンフィギュレーションの理由を判断します。次にファクトリ・コンフィギュレーションは適切なエラー回復処理を行い、リモート・システム・アップグレード・コントロール・レジスタに書き込んで、次にロードするアプリケーション・コンフィギュレーションを決定します。

Stratix IV デバイスは、正常にアプリケーション・コンフィギュレーションをロードするとユーザー・モードに入ります。ユーザー・モードでは、ソフト・ロジック (Nios II プロセッサまたはステート・マシンおよびリモート通信インタフェース) がリモート・システム・アップグレードの要求を判断できるように Stratix IV デバイスを支援します。リモート・システム・アップグレードが要求されると、ソフト・ロジックはデータを受信してそれをコンフィギュレーション・メモリ・デバイスに書き込みます。次に、デバイスはファクトリ・コンフィギュレーションのロードを開始します。ファクトリ・コンフィギュレーションは、リモート・システム・アップグレード・ステータス・レジスタおよびコントロール・レジスタを読み出し、ロードする有効なアプリケーション・コンフィギュレーションを決定し、それに応じてリモート・システム・アップグレード・コントロール・レジスタに書き込んで、システムの再コンフィギュレーションを開始します。

専用リモート・システム・アップグレード回路

この項では、Stratix IV リモート・システム・アップグレード専用回路の実装について説明します。リモート・システム・アップグレード回路は、ハード・ロジックで実装されます。この専用回路は、Stratix IV デバイス・ロジック・アレイに実装されるユーザー定義ファクトリおよびアプリケーション・コンフィギュレーションにインタフェースし、完全なリモート・コンフィギュレーション・ソリューションを提供します。リモート・システム・アップグレード回路は、リモート・システム・アップグレード・レジスタ、ウォッチドッグ・タイマ、およびこれらのコンポーネントを制御するステート・マシンを内蔵しています。

図 10-25 に、リモート・システム・アップグレード・ブロックのデータ・パスを示します。

図 10-25. リモート・システム・アップグレード回路のデータ・パス (注 1)

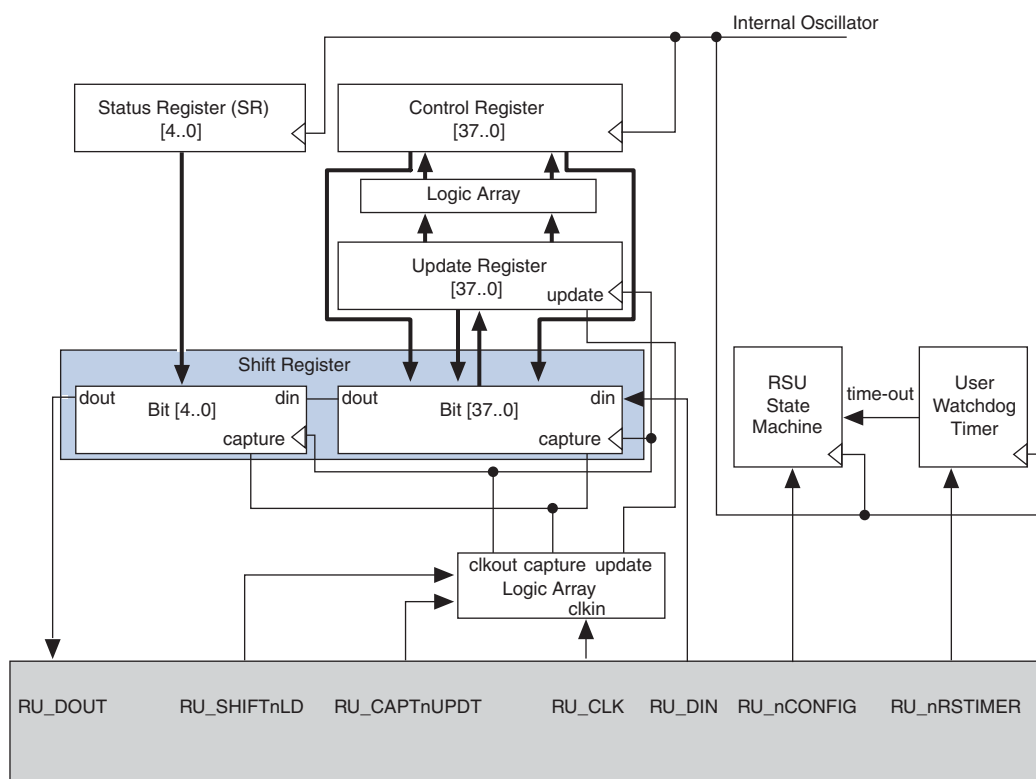


図 10-25 の注 :

- (1) RU_DOUT、RU_SHIFTnLD、RU_CAPTnUPDT、RU_CLK、RU_DIN、RU_nCONFIG、および RU_nRSTIMER 信号は、ALTRMOTE_UPDATE メガファンクションによって内部で制御されます。

リモート・システム・アップグレード・レジスタ

リモート・システム・アップグレード・ブロックは、ページ・アドレス、ウォッチドッグ・タイマ設定、およびステータス情報を格納するレジスタを備えています。表 10-13 に、これらのレジスタをリストします。

表 10-13. リモート・システム・アップグレード・レジスタ

レジスタ	説明
シフト・レジスタ	このレジスタはロジック・アレイからアクセスでき、ユーザー・ロジックによるアップデート・レジスタ、ステータス・レジスタ、およびコントロール・レジスタへの書き込みとサンプリングを可能にします。
コントロール・レジスタ	このレジスタには、現在のページ・アドレス、ユーザー・ウォッチドッグ・タイマ設定、および現在のコンフィギュレーションがファクトリ・コンフィギュレーションまたはアプリケーション・コンフィギュレーションかを指定する 1 ビットが含まれています。アプリケーション・コンフィギュレーションでのリード動作時に、このレジスタはシフト・レジスタに読み出されます。リコンフィギュレーション・サイクルが開始されると、アップデート・レジスタの内容がコントロール・レジスタに書き込まれます。
アップデート・レジスタ	このレジスタはコントロール・レジスタと同様のデータを保持します。ただし、アップデート・レジスタはデータをシフト・レジスタにシフトし、アップデート動作を発行することによって、ファクトリ・コンフィギュレーションでのみ更新することができます。リコンフィギュレーション・サイクルがファクトリ・コンフィギュレーションによってトリガされると、コントロール・レジスタはアップデート・レジスタの内容で更新されます。ファクトリ・コンフィギュレーションでのキャプチャ動作時に、このレジスタはシフト・レジスタに読み出されます。
ステータス・レジスタ	このレジスタは、再コンフィギュレーションの原因を記録するために、リモート・システム・アップグレード回路によってすべての再コンフィギュレーションで書き込まれます。この情報は再コンフィギュレーション後の適切な処理を決定するために、ファクトリ・コンフィギュレーションで使用されます。このレジスタはキャプチャ・サイクル時にシフト・レジスタに読み出されます。

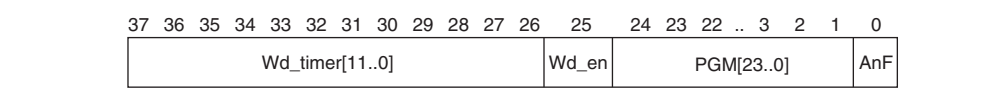
リモート・システム・アップグレードのコントロール・レジスタとステータス・レジスタは、10-MHz の内蔵オシレータ（ユーザー・ウォッチドッグ・タイマを制御するオシレータと同じ）でクロックされます。ただし、リモート・システム・アップグレード・シフトおよびアップグレード・レジスタは、ユーザー・クロック入力 (RU_CLK) でクロックされます。

リモート・システム・アップグレード・コントロール・レジスタ

リモート・システム・アップグレード・コントロール・レジスタは、アプリケーション・コンフィギュレーションのページ・アドレスとユーザー・ウォッチドッグ・タイマ設定を格納します。コントロール・レジスタの機能は、リモート・システム・アップグレード・モードの選択によって異なります。リモート・アップデート・モードでは、コントロール・レジスタのページ・アドレス・ビットは、ファクトリ・コンフィギュレーションをロードするために、電源投入時にはすべてゼロに設定されます (24'b0 = 0x000000)。リモート・アップデート・モードのファクトリ・コンフィギュレーションにはこのレジスタへのライト・アクセスがあります。

図 10-26 および表 10-14 に、コントロール・レジスタのビット位置を指定します。図中の数字は、レジスタ内の設定のビット位置を示します。例えば、ビット番号 25 はウォッチドッグ・タイマのイネーブル・ビットです。

図 10-26. リモート・システム・アップグレード・コントロール・レジスタ



Application-not-factory (AnF) ビットは、Stratix IV デバイスにロードされた現在のコンフィギュレーションがファクトリ・コンフィギュレーションまたはアプリケーション・コンフィギュレーションのいずれであるかを示します。このビットは、エラー状態によってファクトリ・コンフィギュレーションへのフォールバックが発生すると、リモート・システム・アップグレード回路によって Low に設定されます。AnF ビットが High のとき、コントロール・レジスタへのアクセスはリード動作に制限されます。AnF ビットが Low のとき、レジスタはライト動作を許可し、ウォッチドッグ・タイマをディセーブルにします。

リモート・アップデート・モードでは、アップデート・レジスタの内容をアプリケーション・ページのアドレス設定およびウォッチドッグ・タイマ設定で更新するときに、ファクトリ・コンフィギュレーションのデザインがこのビットを High (1'b1) に設定します。

表 10-14 に、リモート・システム・アップグレード・コントロール・レジスタの内容をリストします。

表 10-14. リモート・システム・アップグレード・コントロール・レジスタの内容

コントロール・レジスタ・ビット	リモート・システム・アップグレード・モード	値 (2)	定義
AnF (1)	リモート・アップデート	1'b0	Application-not-factory
PGM[23..0]	リモート・アップデート	24'b0 × 000000	AS コンフィギュレーション開始アドレス (StAdd[23..0])
Wd_en	リモート・アップデート	1'b0	ユーザー・ウォッチドッグ・タイマ・イネーブル・ビット
Wd_timer[11..0]	リモート・アップデート	12'b000000000000	ユーザー・ウォッチドッグ・タイムアウト値 (29 ビット・カウンタ値の最上位 12 ビット： {Wd_timer[11..0], 17'b0})

表 10-14 の注：

- (1) リモート・アップデート・モードでは、リモート・コンフィギュレーション・ブロックは AnF ビットを自動的に更新しません (マニュアルで更新可能です)。
- (2) これはコントロール・レジスタ・ビットのデフォルト値です。

リモート・システム・アップグレード・ステータス・レジスタ

リモート・システム・アップグレード・ステータス・レジスタは、再コンフィギュレーション・トリガ条件を指定します。トリガ条件およびエラー状態には以下があります。

- アプリケーション・コンフィギュレーション時に発生する CRC (Cyclic Redundancy Check) エラー
- エラー発生時の外部デバイスによる nSTATUS アサーション

- Stratix IV デバイスのロジック・アレイがリコンフィギュレーション・サイクルをトリガしたとき（新しいアプリケーション・コンフィギュレーション・イメージをダウンロードした後）
- 外部コンフィギュレーション・リセット（nCONFIG）アサーション
- ユーザー・ウォッチドッグ・タイマのタイム・アウト

図 10-27 および表 10-15 に、ステータス・レジスタの内容を指定しています。図中の数字は、5 ビット・レジスタ内のビット位置を示します。

図 10-27. リモート・システム・アップグレード・ステータス・レジスタ

	4	3	2	1	0
	Wd	nCONFIG	Core_nCONFIG	nSTATUS	CRC

表 10-15. リモート・システム・アップグレード・ステータス・レジスタの内容

ステータス・レジスタ・ビット	定義	POR リセット値
CRC (コンフィギュレーションからの)	CRC エラーによる再コンフィギュレーション	1 bit '0'
nSTATUS	nSTATUS による再コンフィギュレーション	1 bit '0'
CORE_nCONFIG (1)	デバイス・ロジック・アレイによる再コンフィギュレーション	1 bit '0'
nCONFIG	nCONFIG による再コンフィギュレーション	1 bit '0'
Wd	ウォッチドッグ・タイマによる再コンフィギュレーション	1 bit '0'


表 10-15 の注：

- (1) ロジック・アレイの再コンフィギュレーションにより、システムはアプリケーション・コンフィギュレーション・データを強制的に Stratix IV デバイスにロードします。これは、ファクトリ・コンフィギュレーションがアップデート・レジスタを更新して、適切なアプリケーション・コンフィギュレーション・ページ・アドレスを指定した後で行われます。

リモート・システム・アップグレード・ステート・マシン

リモート・システム・アップグレード・コントロール・レジスタとアップデート・レジスタのビット定義は同じですが、役割は異なります(10-61 のページ表 10-13 参照)。両方のレジスタともデバイスにファクトリ・コンフィギュレーション・イメージがロードされたときのみ更新できますが、アップデート・レジスタ・ライトはユーザー・ロジックで制御され、コントロール・レジスタ・ライトはリモート・システム・アップグレード・ステート・マシンで制御されます。

ファクトリ・コンフィギュレーションでは、ユーザー・ロジックから次のアプリケーション・コンフィギュレーション・ビット用に AnF ビット (High に設定)、ページ・アドレス、およびウォッチドッグ・タイマ設定をアップデート・レジスタに送信します。ロジック・アレイのコンフィギュレーション・リセット (RU_nCONFIG) が Low になると、リモート・システム・アップグレード・ステート・マシンは、コントロール・レジスタをアップデート・レジスタの内容で更新し、新しいアプリケーション・ページからシステム・コンフィギュレーションを開始します。

 ページの間にコンフィギュレーションを成功させるには、最小 250 ns の RU_nCONFIG 信号をアサートします。これは再コンフィギュレーション入力の最小 250 ns の ALTREMOTE_UPDATE メガファンクションを高くストローブすることに相当します。

エラーまたはリコンフィギュレーション・トリガ条件が発生した場合、リモート・システム・アップグレード・ステータス・マシンは状況に従ってコントロール・レジスタを設定し、システムにファクトリ・コンフィギュレーションまたはアプリケーション・コンフィギュレーション（モードおよびエラー状態に基づき、ページ 0 またはページ 1）をロードするよう指示します。表 10-16 に、可能なすべてのエラー状態またはトリガ条件でこのようなイベントが発生した後のコントロール・レジスタの内容をリストします。

エラー状態が発生すると、リモート・システム・アップグレード・ステータス・レジスタはファクトリ・コンフィギュレーションがロードされる前に、専用のエラー監視回路によって更新されます。

表 10-16. エラーまたはリコンフィギュレーション・トリガ条件発生後のコントロール・レジスタの内容

リコンフィギュレーション・エラー / トリガ	コントロール・レジスタの設定 リモート・アップデート
nCONFIG リセット	すべてのビットが 0
nSTATUS エラー	すべてのビットが 0
CORE トリガ・リコンフィギュレーション	アップデート・レジスタ
CRC エラー	すべてのビットが 0
wd タイム・アウト	すべてのビットが 0

ファクトリ・コンフィギュレーション中のキャプチャ動作では、アップデート・レジスタの内容にアクセスします。この機能は、ユーザー・ロジックがページ・アドレスおよびウォッチドッグ・タイマ設定が正しく書き込まれていることを検証するために使用します。アプリケーション・コンフィギュレーションのリード動作では、コントロール・レジスタの内容にアクセスします。この情報はアプリケーション・コンフィギュレーションでユーザー・ロジックにより使用されます。

ユーザー・ウォッチドッグ・タイマ

ユーザー・ウォッチドッグ・タイマは、誤ったアプリケーション・コンフィギュレーションによってデバイスが停止したままになるのを防止します。アプリケーション・コンフィギュレーションが Stratix IV デバイスに正常にロードされると、システムはタイマを使用して動作エラーを検出します。

ユーザー・ウォッチドッグ・タイマは、ファクトリ・コンフィギュレーションによってリモート・システム・アップグレード・コントロール・レジスタにロードされた初期値からカウント・ダウンするカウンタです。このカウンタは 29 ビット幅で、最大カウント値は 2^{29} です。ユーザー・ウォッチドッグ・タイマの値を指定するときには、最上位 12 ビットのみ指定します。タイマ設定の精度は 2^{15} サイクルです。サイクル時間は 10-MHz の内部オシレータ周波数に基づきます。表 10-17 に、10-MHz 内部オシレータの動作範囲をリストします。


表 10-17. 10-MHz 内部オシレータの仕様（注 1）

Min	Typ	Max	単位
4.3	5.3	10	MHz


表 10-17 の注：

(1) これらの値は暫定仕様です。

ユーザー・ウォッチドッグ・タイマは、アプリケーション・コンフィギュレーションがデバイス・ユーザー・モードに入るとカウントを開始します。このタイマは、満了になる前に RU_nRSTIMER をアサートして、アプリケーション・コンフィギュレーションで定期的にリロードまたはリセットする必要があります。アプリケーション・コンフィギュレーションがカウントの満了前にユーザー・ウォッチドッグ・タイマをリロードしない場合、リモート・システム・アップグレード専用回路でタイムアウト信号が生成されます。タイムアウト信号は、リモート・システム・アップグレード回路に対して、リモート・システム・アップグレード・ステータス・レジスタ内のユーザー・ウォッチドッグ・タイマのステータス・ビット (wd) を設定するよう指示し、ファクトリ・コンフィギュレーションをロードして、デバイスをリコンフィギュレーションします。

 リモート・システム・アップグレードの専用回路はウォッチドッグ・タイマをリセットできるために、最小 250 ns の RU_nRSTIMER アクティブ信号をアサートしなければなりません。これは reset_timer 入力の最小 250 ns の ALTREMOTE_UPDATE メガファンクションを高くストロブすることに相当します。

ユーザー・ウォッチドッグ・タイマは、デバイスのコンフィギュレーション・サイクル中はイネーブルされません。コンフィギュレーション時に発生したエラーは CRC エンジンによって検出されます。また、このタイマはファクトリ・コンフィギュレーションではディセーブルされます。ファクトリ・コンフィギュレーションは、生産時に格納および検証され、リモートで更新されることはないため、機能エラーが存在しないようにしてください。

 ユーザー・ウォッチドッグ・タイマはファクトリ・コンフィギュレーション、およびアプリケーション・コンフィギュレーションのコンフィギュレーション・サイクル中にはディセーブルされます。アプリケーション・コンフィギュレーションがユーザー・モードに入るとイネーブルされます。

Quartus II ソフトウェア・サポート

Quartus II ソフトウェアは、Stratix IV デバイスのロジック・アレイと専用回路間へのリモート・システム・アップグレード・インタフェースの配置、製造用コンフィギュレーション・ファイルの生成、システム・コンフィギュレーション・メモリのリモート・プログラミングを実行する柔軟性を提供します。

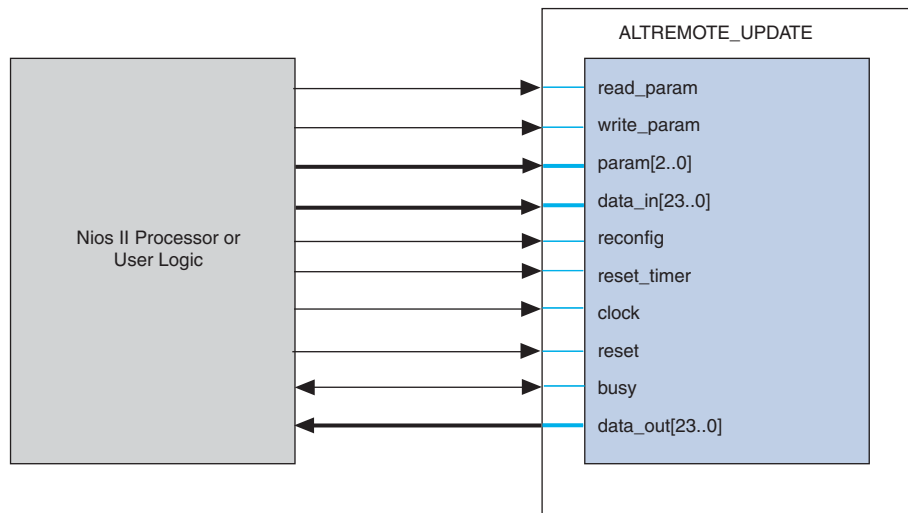
ALTREMOTE_UPDATE メガファンクションは Quartus II ソフトウェアの実装オプションであり、リモート・システム・アップグレード回路とデバイス・ロジック・アレイ・インタフェース間のインタフェース用です。独自のロジックを作成する代わりにメガファンクション・ブロックを使用すると、デザイン時間が短縮され、より効率的なロジック合成とデバイスの実装が可能になります。

ALTREMOTE_UPDATE メガファンクション

ALTREMOTE_UPDATE メガファンクションは、メモリに類似したリモート・システム・アップグレード回路へのインタフェースを提供し、Stratix IV デバイス・ロジックでのシフト・レジスタのリード/ライト・プロトコルを処理します。この実装は、デバイスで Nios II プロセッサまたはユーザー・ロジックを使用して、ファクトリ・コンフィギュレーション機能を実装するデザインに最適です。

図 10-28 に、AL TREMOTE_UPDATE メガファンクションと Nios II プロセッサ / ユーザー・ロジック間のインタフェース信号を示します。

図 10-28. AL TREMOTE_UPDATE メガファンクションと Nios II プロセッサ間のインタフェース信号



AL TREMOTE_UPDATE メガファンクションおよび図 10-28 にリストされるポートの説明については、[「AL TREMOTE_UPDATE Megafunction User Guide」](#)を参照してください。

デザイン・セキュリティ

この項では、高度暗号化規格（Advanced Encryption Standard、略称：AES）を使用して、デザイン・セキュリティ機能と Stratix IV デバイスへの実装の概要を示します。Stratix IV デバイスで使用できる新しいセキュリティ・モードについても説明します。


Stratix IV デバイスは、競争の激しい一般用および軍用環境におけるより大規模かつ条件の厳しいデザインで、その役割を果たし続けており、複製、リバース・エンジニアリング、および改ざんからデザインを保護することがますます重要になっています。

Stratix IV デバイスはこれらの問題に対処しており、揮発性および不揮発性の両方のセキュリティ機能をサポートします。Stratix IV デバイスは、FIPS-197 認定済みの業界標準の暗号化アルゴリズムである AES アルゴリズムを使用して、コンフィギュレーション・ビットストリームを復号化する機能を備えています。Stratix IV デバイスは、256 ビットのセキュリティ・キーを利用したデザイン・セキュリティ機能を備えています。

Stratix IV デバイスは、デバイスの動作中に SRAM コンフィギュレーション・セルに、コンフィギュレーション・データを格納します。SRAM は揮発性のため、デバイスに電源を投入するたびにコンフィギュレーション・データを SRAM セルにロードする必要があります。コンフィギュレーション・データがメモリ・ソース（Flash メモリまたはコンフィギュレーション・デバイス）からデバイスに転送されているときに、それを傍受することができます。傍受されたコンフィギュレーション・データは、別のデバイスをコンフィギュレーションするのに使用できます。

Stratix IV のデザイン・セキュリティ機能を使用しているとき、セキュリティ・キーは Stratix IV デバイ스에格納されます。Stratix IV デバイスは、セキュリティ・モードに応じて、同じキーで暗号化されたコンフィギュレーション・ファイル、またはボード・テストの場合は通常のコンフィギュレーション・ファイルでを使用してコンフィギュレーションすることができます。

デザイン・セキュリティ機能を使用できるのは、FPP コンフィギュレーション・モードと外部ホスト (MAX II デバイスまたはマイクロプロセッサ) を使用して Stratix IV をコンフィギュレーションする場合、または AS または PS コンフィギュレーション手法を使用する場合です。デザイン・セキュリティ機能は、ファスト AS コンフィギュレーション・モードでのリモート・アップデートのときにも使用できます。JTAG ベースのコンフィギュレーションと一緒に使用して、Stratix IV デバイスをコンフィギュレーションする場合、デザイン・セキュリティ機能は使用できません。詳細は、10-72 ページの「サポートされているコンフィギュレーション手法」を参照してください。

 PS またはファスト AS などのシリアル・コンフィギュレーション手法を使用する場合、コンフィギュレーション時間はデザイン・セキュリティがイネーブルされていてもされていなくても同じです。デザイン・セキュリティまたは復元機能で FPP 手法を使用する場合、 $a \times 4$ DCLK が必要になります。これにより、デザイン・セキュリティと圧縮復元機能のどちらもイネーブルされていない場合と比べて、Stratix IV のコンフィギュレーション時間は長くなります。

Stratix IV のセキュリティ保護

Stratix IV デバイスのデザインは、コンフィギュレーション・ビットストリーム暗号化機能により、複製、リバース・エンジニアリング、および改ざんから保護されています。

複製に対するセキュリティ

セキュリティ・キーは Stratix IV デバイ스에安全に格納され、いかなるインタフェースを介してもこれを読み出すことはできません。さらに、Stratix IV デバイスではコンフィギュレーション・ファイルのリード・バックはサポートされていないので、デザイン情報を複製することはできません。

リバース・エンジニアリングに対するセキュリティ

Stratix IV のコンフィギュレーション・ファイル・フォーマットは独自のものであり、ファイルには特定の復号化を必要とする数百万ビットが収められているので、暗号化されたコンフィギュレーション・ファイルからのリバース・エンジニアリングは非常に困難で長時間を要します。Stratix IV デバイスのリバース・エンジニアリングも同様に困難です。これは、このデバイスが最先端の 40-nm プロセス・テクノロジーに基づいて製造されているためです。

改ざんに対するセキュリティ

不揮発性キーはワンタイム・プログラマブルです。Quartus II ソフトウェアで生成されるキー・プログラミング・ファイルに改ざん保護ビットが一度セットされると、同じキーで暗号化されたコンフィギュレーション・ファイルを使用しない限り、Stratix IV デバイスをコンフィギュレーションすることはできません。

AES 復号化ブロック

AES 復号化ブロックの主な目的は、圧縮データの復元またはコンフィギュレーションが開始される前に、コンフィギュレーション・ビットストリームを復号化することです。

暗号化されたデータを受信する前に、256 ビットのセキュリティ・キーをデバイス内に入力および格納しなければなりません。不揮発性セキュリティ・キーと、バッテリー・バックアップ付き揮発性セキュリティ・キーのいずれかを選択することができます。

セキュリティ・キーはスクランブルしてからキー・ストレージに格納されるので、格納されたキーをデバイスの開封を行って読み出すことが一層困難になります。

柔軟性の高いセキュリティ・キー・ストレージ

Stratix IV デバイスは、揮発性キーと不揮発性キーの 2 種類のセキュリティ・キーのプログラミングをサポートしています。表 10-18 に、揮発性キーと不揮発性キーの相違点をリストします。

表 10-18. セキュリティ・キーのオプション


オプション	揮発性キー	不揮発性キー
キーのプログラマビリティ	再プログラム可能かつ消去可能	ワンタイム・プログラマブル
外部バッテリー	必須	不要
キーのプログラミングの方法 (1)	オンボード	オンボードおよびオフボード
デザインの保護	複製およびリバース・エンジニアリングに対するセキュリティ保護	複製およびリバース・エンジニアリングに対するセキュリティ保護。改ざん保護ビットがセットされる場合、改ざん防止

表 10-18 の注：

(1) キーのプログラミングは JTAG インタフェースを介して実行されます。


不揮発性キーは、外部バッテリーなしで Stratix IV デバイスにプログラムすることができます。また、Stratix IV の電源に追加の要件はありません。

V_{CCBAT} は揮発性キー・ストレージ専用の電源で、 V_{CCIO} や V_{CC} など、その他のオンチップ電源とは共有されません。 V_{CCBAT} は、オンチップ電源の状態に関係なく、揮発性レジスタに電源を供給し続けます。

 電源投入後、 V_{CCBAT} が確実にその最大レール電圧で安定するように、300 ms ($PORSEL = 0$) または 12 ms ($PORSEL = 1$) 待機してからキーのプログラミングを開始する必要があります。

 揮発性キーの格納には使用されたバッテリーのキー・リテンション・タイムの計算方法について詳しくは、『Stratix IV PowerPlay Early Power Estimator』を参照してください。

 バッテリーの仕様について詳しくは、『DC and Switching Characteristics』の章を参照してください。

 V_{CCBAT} ピン接続の推奨事項について詳しくは、『*Stratix IV GX Device Family Pin Connection Guidelines*』を参照してください。

Stratix IV デザイン・セキュリティ・ソリューション

Stratix IV デバイスは SRAM ベースのデバイスです。Stratix IV デバイスは、デザイン・セキュリティを提供するために、コンフィギュレーション・ビットストリーム暗号化に 256 ビットのセキュリティ・キーを必要とします。

図 10-29 に示す以下のステップに従って、安全なコンフィギュレーションを行うことができます。

1. セキュリティ・キーを Stratix IV デバイ스에 プログラムします。
2. JTAG インタフェースを介して、ユーザー定義の 256 ビット AES キーを Stratix IV デバイ스에 プログラムします。
3. コンフィギュレーション・ファイルを暗号化して外部メモリ内に格納します。
4. Stratix IV デバイスをプログラムするのに使用するのと同じ 256 ビットのキーで、コンフィギュレーション・ファイルを暗号化します。Quartus II ソフトウェアを使用して、コンフィギュレーション・ファイルの暗号化が行われます。暗号化されたコンフィギュレーション・ファイルは、コンフィギュレーション・デバイスやフラッシュ・デバイスなどの外部メモリ内にロードされます。
5. Stratix IV デバイスをコンフィギュレーションします。

システムのパワーアップ時に、外部メモリ・デバイスから暗号化されたコンフィギュレーション・ファイルが Stratix IV デバイ스에 送られます。

図 10-29. デザイン・セキュリティ (注 1)

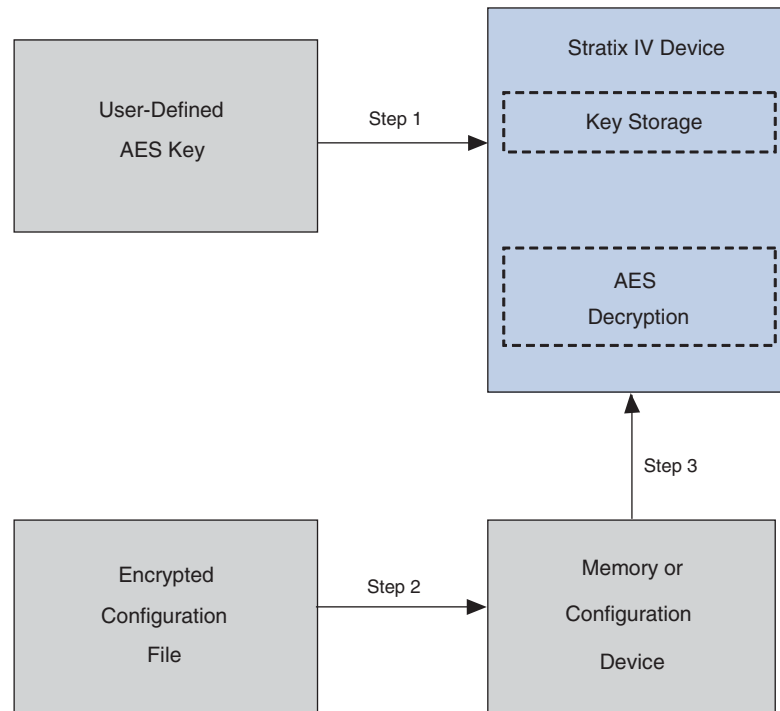


図 10-29 の注：

(1) ステップ 1、ステップ 2、およびステップ 3 は、10-66 ページの「デザイン・セキュリティ」に詳述した手順に対応します。

使用可能なセキュリティ・モード

以下のセキュリティ・モードは Stratix IV デバイスで使用可能です。

揮発性キー

プログラムされた揮発性キーと必要な外部バッテリーによるセキュリティ保護動作：このモードでは、暗号化されたコンフィギュレーション・ビットストリームと暗号化されていないコンフィギュレーション・ビットストリームの両方を受け入れます。暗号化されていないコンフィギュレーション・ビットストリームは、ボードレベルのテストにのみ使用します。

不揮発性キー

プログラムされたワンタイム・プログラマブル (OTP) セキュリティ・キーによるセキュリティ保護動作：このモードでは、暗号化されたコンフィギュレーション・ビットストリームと暗号化されていないコンフィギュレーション・ビットストリームの両方を受け入れます。暗号化されていないコンフィギュレーション・ビットストリームは、ボードレベルのテストにのみ使用します。

改ざん保護ビットがセットされた不揮発性キー

プログラムされた OTP セキュリティ・キーによる改ざん防止モードでのセキュリティ保護動作：デバイスのコンフィギュレーションには、暗号化されたコンフィギュレーション・ビットストリームのみ許可されます。改ざん保護は暗号化されていないコンフィギュレーション・ビットストリームで JTAG コンフィギュレーションをディセーブします。



改ざん保護ビットをイネーブルすると、Stratix IV デバイスのテスト・モードはディセーブになります。このプロセスは不可逆ですので、アルテラはテスト・モードをディセーブ場合に、実行された故障解析のキャリー・アウトを防止します。改ざん保護ビットをイネーブルするために、アルテラ・テクニカル・サポートにお問い合わせください。

キーなしでの動作

デバイスのコンフィギュレーションには、暗号化されていないコンフィギュレーション・ビットストリームのみ許可されます。

表 10-19 に、各種のセキュリティ・モードと、各モードにサポートされているコンフィギュレーション・ビットストリームをリストします。

表 10-19. サポートされるセキュリティ・モード

モード (1)	機能	コンフィギュレーション・ファイル
揮発性キー	セキュリティ保護	暗号化
	ボードレベル・テスト	暗号化なし
不揮発性キー	セキュリティ保護	暗号化
	ボードレベル・テスト	暗号化なし
改ざん保護ビットがセットされた不揮発性キー	セキュリティ保護 (改ざん防止) (2)	暗号化

表 10-19 の注：

- (1) キーなしでの動作では、暗号化されていないコンフィギュレーション・ファイルのみサポートされます。
- (2) 改ざん保護ビットをセットしても、デバイスが再コンフィギュレーションされなくなることはありません。

サポートされているコンフィギュレーション手法

Stratix IV デバイスは、暗号化する際に選択したセキュリティ・モードによっては、選択されたコンフィギュレーション手法しかサポートしない場合があります。

図 10-30 に、Stratix IV デバイスを暗号化する際の各セキュリティ・モードの制約を示します。

図 10-30. Stratix IV のセキュリティ・モード-シーケンスと制約

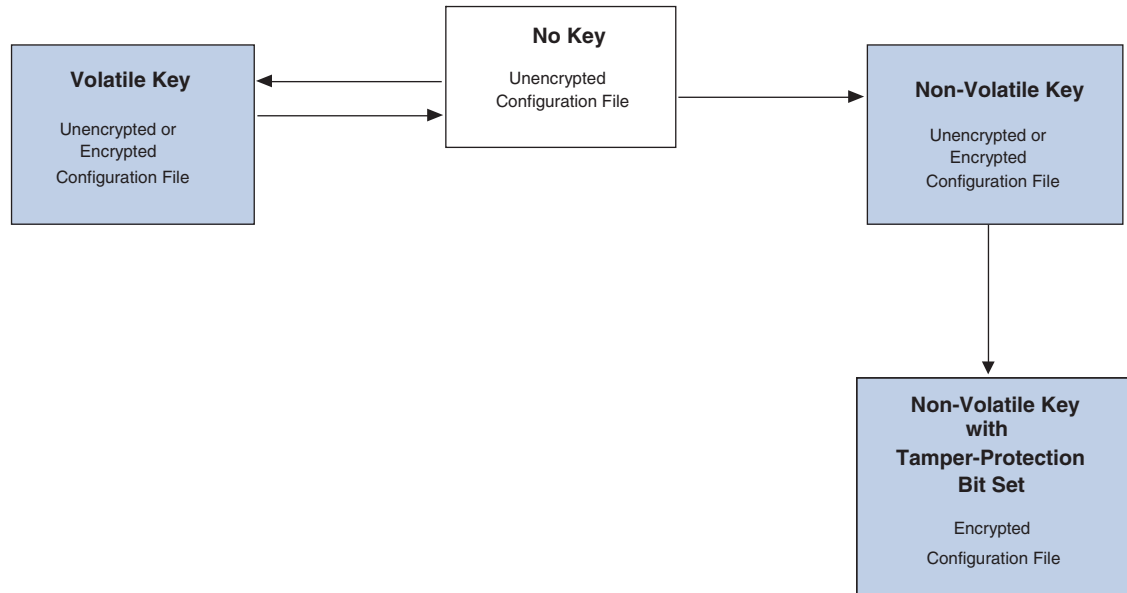


表 10-20 に、各セキュリティ・モードで許可されるコンフィギュレーション・モードをリストします。

表 10-20. 様々なセキュリティ・モードに対して許可されるコンフィギュレーション・モード (その 1) (注 1)

セキュリティ・モード	コンフィギュレーション・ファイル	許可されるコンフィギュレーション・モード
キーなし	暗号化なし	デザイン・セキュリティ機能に関係しないすべてのコンフィギュレーション・モード
揮発性キーによるセキュリティ保護	暗号化	<ul style="list-style-type: none"> ■ AES を使用したパッシブ・シリアル (復元あり / なし) ■ AES を使用したファスト・パッシブ・パラレル (復元あり / なし) ■ AES を使用したリモート・アップデート・ファスト AS (復元あり / なし) ■ ファスト AS (復元あり / なし)
揮発性キーを用いたボードレベル・テスト	暗号化なし	デザイン・セキュリティ機能に関係しないすべてのコンフィギュレーション・モード

表 10-20. 様々なセキュリティ・モードに対して許可されるコンフィギュレーション・モード (その2) (注 1)

セキュリティ・モード	コンフィギュレーション・ファイル	許可されるコンフィギュレーション・モード
不揮発性キーによるセキュリティ保護	暗号化	<ul style="list-style-type: none"> ■ AES を使用したパッシブ・シリアル (復元あり / なし) ■ AES を使用したファスト・パッシブ・パラレル (復元あり / なし) ■ AES を使用したリモート・アップデート・ファスト AS (復元あり / なし) ■ ファスト AS (復元あり / なし)
不揮発性キーを用いたボードレベル・テスト	暗号化なし	デザイン・セキュリティ機能に関係しないすべてのコンフィギュレーション・モード
改ざん保護ビットがセットされた不揮発性キーを使用した改ざん防止モードでのセキュリティ保護	暗号化	<ul style="list-style-type: none"> ■ AES を使用したパッシブ・シリアル (復元あり / なし) ■ AES を使用したファスト・パッシブ・パラレル (復元あり / なし) ■ AES を使用したリモート・アップデート・ファスト AS (復元あり / なし) ■ ファスト AS (復元あり / なし)

表 10-20 の注：

- (1) 暗号化されていないコンフィギュレーション・モードと比較すると、4 倍のデータ・レートの DCLK を必要とする、AES を使用した FPP (復元あり / なし) を除き、所要コンフィギュレーション時間に対する影響はありません。

デザイン・セキュリティ機能を、圧縮およびリモート・システム・アップグレード機能などのその他のコンフィギュレーション機能と一緒に使用することができます。デザイン・セキュリティ機能と一緒に圧縮を使用する場合、コンフィギュレーション・ファイルが最初に圧縮され、次に Quartus II ソフトウェアを使用して暗号化されます。コンフィギュレーションの間、Stratix IV デバイスは、最初にコンフィギュレーション・ファイルを復号化し、次にそれを復元します。

改訂履歴

表 10-21 に、本資料の改訂履歴を示します。

表 10-21. 改訂履歴

日付およびドキュメント・バージョン	変更内容	概要
2009 年 11 月 v3.0	<ul style="list-style-type: none"> ■ 表 10-1 および表 10-2 を更新。 ■ 「MAX II デバイスを外部ホストとして使用した FPP コンフィギュレーション」、「ファスト・アクティブ・シリアル・コンフィギュレーション (シリアル・コンフィギュレーション・デバイス)」、「デバイス・コンフィギュレーション・ピン」、「リモート・システム・アップグレード」、「リモート・システム・アップグレード・モード」、「アクティブ・シリアル・コンフィギュレーション時間の見積り」、「リモート・システム・アップグレード・ステート・マシン」、および「ユーザー・ウォッチドッグ・タイマ」の項を更新。 ■ 表 10-4、表 10-7、表 10-8、および表 10-25 を削除。 ■ テキストのマイナーな編集。 	—
2009 年 6 月 v2.3	<ul style="list-style-type: none"> ■ 「VCCPD ピン」、「MAX II デバイスを外部ホストとして使用した FPP コンフィギュレーション」、「アクティブ・シリアル・コンフィギュレーション時間の見積り」、「ファスト・アクティブ・シリアル・コンフィギュレーション (シリアル・コンフィギュレーション・デバイス)」、「リモート・システム・アップグレード」、「MAX II デバイスを外部ホストとして使用した PS コンフィギュレーション」、および「ダウンロード・ケーブルを使用した PS コンフィギュレーション」の項を更新。 ■ 表 10-3、表 10-13、および表 10-2 を更新。 ■ 検索機能を改善するために、紹介文章を追加。 ■ 結論の項を削除。 ■ テキストのマイナーな編集。 	—
2009 年 4 月 v2.2	<ul style="list-style-type: none"> ■ 表 10-2 を更新。 	—
2009 年 3 月 v2.1	<ul style="list-style-type: none"> ■ 表 10-1、表 10-2、および表 10-9 を更新。 ■ 「参考資料」の項を削除。 	—
2008 年 11 月 v2.0	<ul style="list-style-type: none"> ■ 「ファスト・アクティブ・シリアル・コンフィギュレーション (シリアル・コンフィギュレーション・デバイス)」および「JTAG コンフィギュレーション」の項を更新。 ■ 図 10-4、図 10-5、図 10-6、および図 10-13 を更新。 ■ 表 10-2 と表 10-13 を更新。 	中規模なアップデート。
2008 年 5 月 8 v1.0	初版。	—