

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

この章では、Stratix® IV デバイスのホット・ソケット仕様、パワー・オン・リセット要件、および実装について説明しています。

はじめに

Stratix IV デバイスは、外部デバイスを使用せずに、ホット・プラグインまたはホット・スワップとしても知られるホット・ソケット（活線挿抜）およびパワー・シーケンスをサポートします。ユーザーは、動作中のシステム・バスやシステムに実装されたボードに影響を与えることなく、システムの動作中に Stratix IV デバイスまたはボードをシステムに取り付けたり、取り外すことができます。

ホット・ソケット機能によって、3.0V、2.5V、1.8V、1.5V、および 1.2V デバイスが混在するプリント基板（PCB）上で Stratix IV デバイスを使用する際の問題も一部解消されます。Stratix IV のホット・ソケット機能により、ユーザーはボード上のデバイスごとに適切なパワー・アップ・シーケンスを確保する必要がなくなります。

Stratix IV のホット・ソケット機能の特長は、以下のとおりです：

- 外部コンポーネントやボードを操作せずに、ボードまたはデバイスの挿抜が可能
- パワー・アップ・シーケンスのサポート
- ホット・インサート中のシステム・バスへの影響がない I/O バッファ

この章では、Stratix IV デバイスのパワー・オン・リセット（POR）回路についても説明します。POR 回路は、電源出力が動作範囲内になるまで、デバイスをリセット状態に維持します。

この章は、以下の項で構成されています：

- 「Stratix IV のホット・ソケット仕様」
- 9-3 ページの 「Stratix IV デバイスのホット・ソケット機能」
- 9-4 ページの 「パワー・オン・リセット回路」
- 9-5 ページの 「パワー・オン・リセット仕様」

Stratix IV のホット・ソケット仕様

Stratix IV デバイスは、外付け部品や特別なデザイン要件なしでホット・ソケットに対応します。Stratix IV デバイスのホット・ソケット・サポートにより、以下が実現されます：

- デバイスを損傷させることなく、パワー・アップ前にドライブ可能です。
- I/O ピンはパワー・アップ時にトライ・ステートを維持します。デバイスはパワー・アップ前またはパワー・アップ時にドライブ・アウトしないため、動作中の他のバスに影響しません。
- Stratix IV デバイスは、システム・ボードの動作を中断または妨害することなく、パワー・アップ後のシステム・ボードに取り付けたり、取り外したりすることができます。

Stratix IV デバイスはパワー・アップ前にドライブ可能

パワー・アップまたはパワー・ダウン前、またはその間に、デバイスに損傷を与えることなく、Stratix IV デバイスの I/O ピン、専用入力ピン、および専用クロック・ピンに信号を入力することができます。Stratix IV デバイスは、任意のパワー・アップ・シーケンスまたはパワー・ダウン・シーケンス (V_{CCIO} 、 V_{CC} 、 V_{CCPGM} 、および V_{CCPD}) をサポートし、システム・レベルのデザインを簡素化します。

I/O ピンはパワー・アップ時にトライ・ステートを維持

ホット・ソケットをサポートしないデバイスは、パワー・アップ前またはパワー・アップ時にドライブ・アウトすることにより、システム動作を割り込んだり衝突を引き起こす可能性があります。ホット・ソケットの状態では、Stratix IV デバイスの出力バッファはシステムのパワー・アップまたはパワー・ダウン時にオフになります。また、Stratix IV デバイスは、デバイスがコンフィギュレーションされて推奨動作条件で動作するまでドライブ・アウトしません。

動作中のシステムで Stratix IV デバイスの抜き差しが可能

ホット・ソケットをサポートしないデバイスは、パワー・アップされるときにデバイスの信号ピンを通じて電源が短絡する可能性があります。この不適切なパワー・アップによって、ドライブするデバイスとドライブされるデバイスの両方が損傷し、カードのパワー・アップが妨害される場合があります。

Stratix IV デバイスは、システム・ボードの動作を中断または妨害することなく、パワー・アップ後のシステム・ボードに取り付けたり、取り外したりすることができます。

V_{CCIO} 、 V_{CC} 、 V_{CCPGM} 、および V_{CCPD} ピンは、任意のシーケンスでパワー・アップまたはパワー・ダウンできます。個別電源の上昇率および下降率の範囲は $50\mu\text{s} \sim 100\text{ms}$ です。ホット・ソケット中には、I/O ピンのキャパシタンスは 15 pF 未満、クロック・ピンのキャパシタンスは 20 pF 未満です。



ホット・ソケット仕様について詳しくは、「Stratix IV デバイス・ハンドブック Volume 4」の「DC & スイッチング特性」の章および「アルテラ・デバイスでのホット・ソケットおよびパワー・シーケンスの特徴とテスト」のホワイト・ペーパーを参照してください。

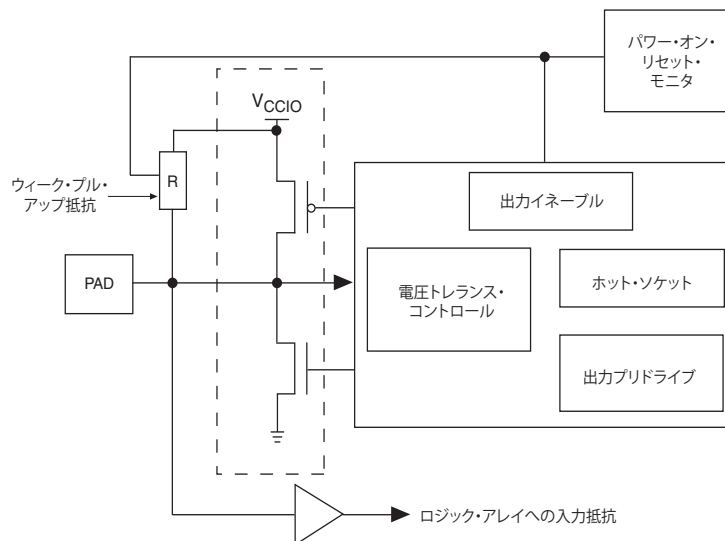
ホット・ソケットに関する一般的な問題として、ラッチ・アップの危険性があります。しかし、Stratix IV デバイスではホット・ソケット時にラッチ・アップは発生しません。電氣的なサブシステムがアクティブ・システムにホット・ソケットされると、ラッチ・アップが発生する可能性があります。ホット・ソケット時に、電源からデバイスのパワー・プレーンとグランド・プレーンに給電される前に、信号ピンがアクティブ・システムによって接続されドライブされることがあります。これにより、ラッチ・アップが発生し、電源からデバイス内のグランドへの低インピーダンス・パスが生じる可能性があります。その結果、デバイスに大きな電流が流れ、電氣的損傷を引き起こす可能性があります。

Stratix IV デバイスのホット・ソケット機能


ホット・ソケット機能は、 V_{CC} 、 V_{CCIO} 、 V_{CCPGM} 、または V_{CCPD} 電源のパワー・アップ時またはパワー・ダウン時に出力バッファをオフにします。ホット・ソケット回路は、 V_{CC} 、 V_{CCIO} 、 V_{CCPGM} 、または V_{CCPD} 電源がスレッシュホールド電圧より低い場合に、内部 HOTSCKT 信号を生成します。ホット・ソケット回路はパワー・アップ時の余剰な I/O リークを防止するように設計されています。電圧が非常にゆっくり上昇する場合は、POR 信号がリリースされてコンフィギュレーションが完了した後も、電圧は依然として比較的低いままです。出力バッファがこの低い電圧では、ホット・ソケット回路によって設定された状態から反転できないため、CONF_DONE、nCEO、および nSTATUS ピンは応答しません。そのため、これらのコンフィギュレーション・ピンがコンフィギュレーション中に確実に動作できるように、これらのピンではホット・ソケット回路は取り除かれています。これらのピンに期待される動作は、パワー・アップおよびパワー・ダウン・シーケンス中にドライブ・アウトすることです。

図 9-1 は Stratix IV デバイスの I/O ピン回路を示します。

図 9-1. Stratix IV デバイスのホット・ソケット回路



POR 回路は、電源 (V_{CC} 、 V_{CCPT} 、 V_{CCPD} 、および V_{CCPGM}) の電圧レベルをモニタし、デバイスがユーザー・モードになるまで、I/O ピンをトライ・ステートにします。Stratix IV 入力/出力エレメント (IOE) のウィーク・プル・アップ抵抗 (R) によって、I/O ピンがフロート状態にならないようにしています。3.0V トランス・コントロール回路により、 V_{CCIO} 、 V_{CC} 、 V_{CCPD} 、 V_{CCPGM} の一部またはすべてに給電される前に I/O ピンを 3.0V でドライブできます。デバイスがユーザー・モードでない場合に I/O ピンのドライブ・アウトを防ぎます。

 アルテラはホット・ソケットの動作とバッファ・デザインの参照として GND を使用します。適切な動作を保証するために、電源をつなげる前に、ボードの間の GND を接続しなければなりません。これは、ボード上の GND が他のコンポーネントを通して経路によってうっかりパワーへ引き上げられるのを防止します。プルアップされた GND はアルテラ・デバイスで、I/O 電圧または I/O 電流条件の仕様外を引き起こす可能性があります。

パワー・オン・リセット回路

Stratix IV デバイスに電源が投入されたとき、電源の時間（最大電源ランプ時間、 t_{RAMP} として規定）内に推奨動作範囲に達した場合は、パワー・オン・リセット・イベントが発生します。 t_{RAMP} が合わない場合、デバイス I/O ピンとプログラミング・レジスタは、デバイス・コンフィギュレーションが失敗する可能性のある時、トライ・ステート状態に維持されます。Stratix IV デバイスの最大電源ランプ時間は 100ms、最小電源ランプ時間は 50ms です。Stratix IV デバイスには、パワー・アップ時 POR 遅延時間を選択するための専用入力ピン（PORSEL）があります。PORSEL ピンが GND に接続されている場合、POR 遅延は 100ms から 300ms です。PORSEL ピンを High に設定した場合の POR 遅延時間は 4ms から 12ms です。

POR ブロックは、適切なデバイス・コンフィギュレーションのための電源電圧レベルをチェックする、レギュレータ POR、サテライト POR、およびメイン POR で構成されています。サテライト POR は、デバイス・プログラミング用の I/O バッファで使用される V_{CCPD} および V_{CCPGM} 電源をモニタします。そして、サテライト POR は、デバイス・コアで使用される V_{CC} および V_{CCPT} 電源をモニタします。POR ブロックは、パワーアップ・モード中に V_{CCPD} および V_{CCPGM} から給電される I/O レベル・シフタの機能性もチェックします。メイン POR は、サテライト POR およびレギュレータ POR が POR 信号をリリースするまで待ちます。POR 信号のリリースまで、デバイス・コンフィギュレーションは始まるできません。

デバイス・コンフィギュレーション中に使用される内部コンフィギュレーション・メモリ電源は、レギュレータ POR ブロックによってチェックされ、最終的な POR トリップに対してメイン POR ブロックでゲートされます。図 9-2 に POR ブロックの簡略図を示します。


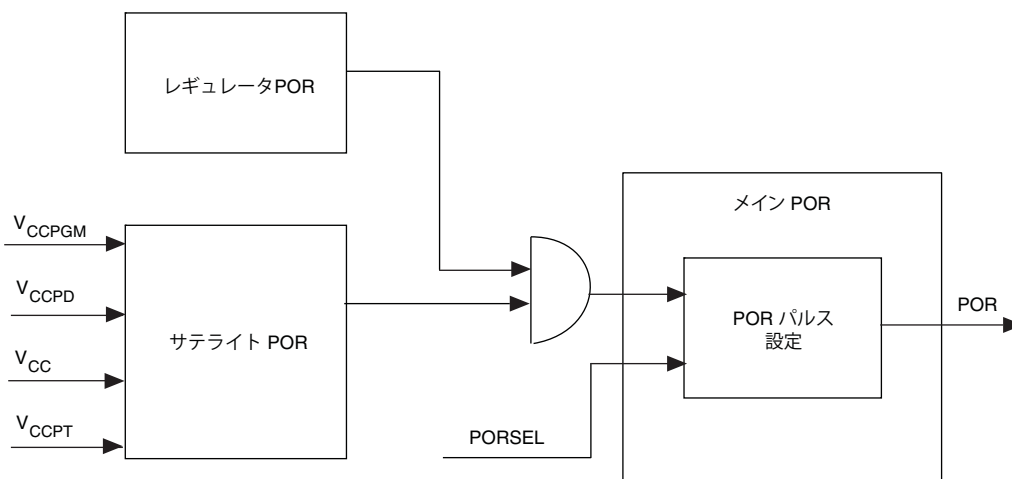
 コンフィギュレーション関連の専用および兼用 I/O ピンはすべて、 V_{CCPGM} から給電する必要があります。

図 9-2. Stratix IV デバイスの POR の簡略図



パワー・オン・リセット仕様

POR 回路は、表 9-1 に示す電源をモニタします。

表 9-1. 回路によってモニターされる電源

電源	説明	設定 (V)
V_{CC}	コアとプリフェリーの電源電圧	0.9
V_{CCPT}	プログラマブル・パワー・テクノロジー電源電圧	1.5
V_{CCPD}	I/O プリドライバ電源電圧	2.5, 3.0
V_{CCPGM}	コンフィギュレーション・ピン電源電圧	1.8, 2.5, 3.0

POR 回路は、表 9-2 に示す電源電圧をモニターしません。

表 9-2. POR 回路によってモニターされない電源電圧

電源	説明	設定 (V)
V_{CCIO}	I/O 電源電圧	1.2, 1.5, 1.8, 2.5, 3.0
V_{CCA_PLL}	PLL アナログ・グローバル電源電圧	2.5
V_{CCD_PLL}	PLL デジタル電源電圧	0.9
V_{CC_CLKIN}	PLL 差動クロック入力用電源電圧 (トップおよびボトム I/O バンクのみ)	2.5
V_{CCBAT}	デザイン・セキュリティ揮発性キー・ストレージ用 バッテリー・バックアップ電源電圧	3.0



V_{CCIO} 、 V_{CCA_PLL} 、 V_{CCD_PLL} 、 V_{CC_CLKIN} および V_{CCBAT} は POR によってモニタされないで、デバイス・コンフィギュレーションに影響させません。

POR 仕様は、パワー・アップ時に Stratix IV デバイスのすべての回路が特定の既知状態になるように設計されています。

POR 信号のパルス幅は、PORSEL 入力ピンを使用してプログラムできます。PORSEL が Low に設定されると、POR 信号のパルス幅は 100ms に設定されます。PORSEL ピンが High に設定されると、POR 信号のパルス幅は 12ms に設定されます。



POR の仕様について詳しくは、「Stratix IV デバイス・ハンドブック Volume 4」の「DC & スイッチング特性」の章を参照してください。

改訂履歴

表 9-3 に、このドキュメントの改訂履歴を示します。

表 9-3. 改訂履歴

日付およびドキュメント・バージョン	変更内容	概要
2009年6月 v2.2	<ul style="list-style-type: none"> ■ 図 9-2 を更新。 ■ 検索能力を改良するために前置き文章を追加。 ■ 「結論」の項を削除。 ■ テキストのマイナーな編集。 	—
2009年3月 v2.1	<ul style="list-style-type: none"> ■ すべての「Stratix IV E」を「Stratix IV」に変更。 ■ 「Stratix IV のホット・ソケット仕様」および「Stratix IV デバイスのホット・ソケット機能」の項を更新。 ■ 図 9-2 を更新。 ■ 「参考資料」の項を削除。 	—
2008年11月 v2.0	<ul style="list-style-type: none"> ■ 9-2 ページの「Stratix IV デバイスのホット・ソケット機能」を更新。 ■ 9-4 ページの「パワー・オン・リセット (POR) 回路」を更新。 ■ 図 9-1 を更新。 ■ テキストのマイナーな編集。 	—
2008年7月 v1.1	<ul style="list-style-type: none"> ■ 「概要」を改訂。 	—