

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

QI153016-7.2.0

はじめに

デザインのサイズおよび複雑さの驚異的な発展により、デザインの検証プロセスは今日の FPGA システムでも重大なボトルネックとなっています。デザインのデバッグおよび検証がデザイン・サイクルで最も困難なプロセスになる要因として、内部信号へのアクセスの制限、複雑な FPGA パッケージ、およびプリント基板 (PCB) の電気ノイズが挙げられます。デザイン・サイクル時間の 50% 以上をデザインのデバッグと検証に費やしてしまうこともあります。デザインのデバッグと検証のプロセスを支援するために、アルテラは FPGA でデザインをフル・スピードで進めながら、外部ロジック・アナライザと最小数の FPGA I/O ピンを使用して内部信号の動作を調査可能なソリューションを提供しています。



この章で使われているロジック・アナライザは、ロジック・アナライザおよび一般にミックスド・シグナル・アナライザまたは MSO と呼ばれるデジタル・チャンネルを備えたオシロスコープの両方を含みます。

ロジック・アナライザ・インタフェースは、多数の内部デバイス信号を少数の出力ピンに接続するために使用される Quartus II ソフトウェア内のアプリケーションです。これらの出力ピンは、デバッグの目的で外部ロジック・アナライザに接続できます。ロジック・アナライザ・インタフェースにより、外部ロジック・アナライザを接続し、FPGA の内部信号をこのアナライザに送信して解析することができます。Quartus II ロジック・アナライザ・インタフェースにより、少数の出力ピンを使用するだけで多数の内部信号をデバッグできます。Quartus II ロジック・アナライザ・インタフェースでは、内部信号はグループ化され、ユーザがコンフィギュレーション可能なマルチプレクサに分配されて、FPGA の I/O ピンに出力されます。内部信号と外部ピンに 1 対 1 の関係を持たせる代わりに、Quartus II ロジック・アナライザ・インタフェースでは、多数の内部信号を少数の出力ピンにマップできます。出力ピンにマップできる内部信号の正確な数は、Quartus II ロジック・アナライザ・インタフェースのマルチプレクサ設定により異なります。

Quartus II インクリメンタル・コンパイルでは、オプションでロジック・アナライザ・インタフェースを使用できます。

ロジック・アナライザの選択

プロジェクトのデバッグ・フェーズでは、以下のロジック・アナライザから選択できます。

- SignalTap® II、エンベデッド・ロジック・アナライザ。
- 外部ロジック・アナライザ。Quartus II ロジック・アナライザ・インタフェースを使用して FPGA の内部信号に接続します。

表 14-1 に、2 つのデバッグ技術の長所を説明します。

表 14-1. SignalTap II エンベデッド・ロジック・アナライザとロジック・アナライザ・インタフェースとの比較		
特長	ロジック・アナライザ・インタフェース	SignalTap II エンベデッド・ロジック・アナライザ
サンプル容量 — 外部ロジック・アナライザでは、より幅の広いサンプル容量にアクセスできます。SignalTap II では、最大サンプル容量はデバイス制約である 128KB に設定されています。外部ロジック・アナライザでは、デバイス制約がないため、より広いサンプル容量に対応できます。	√	—
デバッグのタイミング問題—外部ロジック・アナライザを使用すると、データの組み合わせストリームをデバッグ可能なタイミング・モードにアクセスできます。	√	—
性能 — デザインで SignalTap II を使用する場合、配置配線に利用できる配線リソースが制限されることが頻繁にあります。外部ロジック・アナライザで追加されるロジックは最小限なので、配置配線に対するリソース制限が排除されます。	√	—
トリガ機能—SignalTap II では高度なトリガ機能を使用できますが、外部ロジック・アナライザでは数多くのトリガ・オプションが追加されています。	√	—
出力ピンの使用 —SignalTap II ロジック・アナライザの使用の場合、他の出力ピンは不要です。外部ロジック・アナライザを使用する場合は、出力ピンを追加する必要があります。	—	√
取得速度 —SignalTap II ロジック・アナライザでは、データを 200 MHz z 以上の速度で取得できます。外部ロジック・アナライザでも同じ取得速度が可能ですが、シグナル・インテグリティの問題を考慮する必要があります。	—	√

必要なコンポーネント

Quartus II ロジック・アナライザ・インタフェースを使用して解析を実行するには、以下のコンポーネントが必要です。

- Quartus II ソフトウェア・バージョン 5.1 以降
- テスト用デバイス
- 外部ロジック・アナライザ
- アルテラ製通信ケーブル
- FPGA と外部ロジック・アナライザを接続するケーブル

図 14-1 に、ロジック・アナライザ・インタフェース (Logic Analyzer Interface: LAI) とハードウェア・セットアップを示します。

図 14-1. ロジック・アナライザ・インタフェースおよびハードウェア・セットアップ

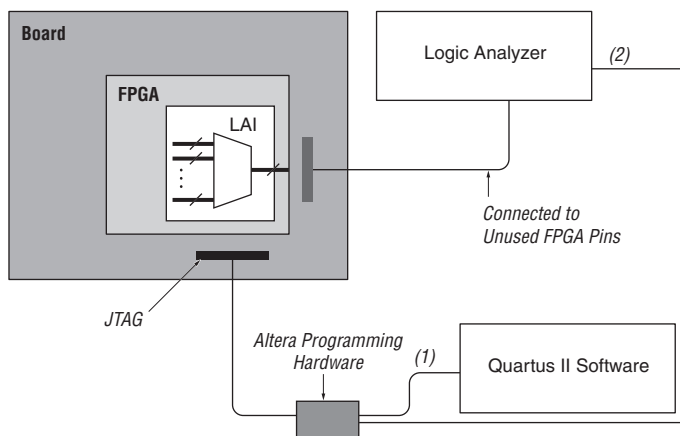


図 14-1 の注:

- (1) JTAG ポート経由で Quartus II をロードしたコンピュータによる LAI のコンフィギュレーションと制御。
- (2) JTAG ポート経由でサードパーティ・ベンダのロジック・アナライザを使用した LAI のコンフィギュレーションと制御。サポートはベンダによって異なります。

FPGA デバイスのサポート

Quartus II ロジック・アナライザ・インタフェースは、以下の FPGA デバイス・ファミリで使用できます。

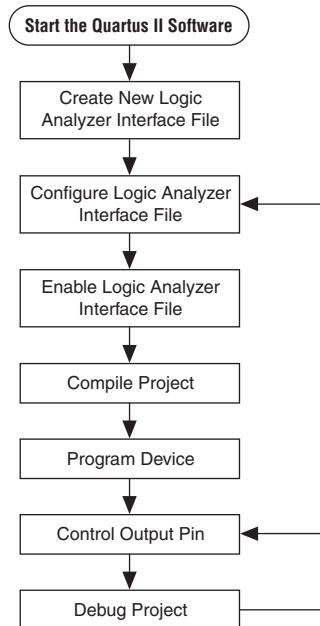
- Arria™ GX
- Stratix® III
- Stratix II
- Stratix II GX

- Stratix
- Stratix GX
- Cyclone® III
- Cyclone II
- Cyclone
- MAX® II
- APEX™ 20K
- APEX II

ロジック・アナライザ・インタフェースを使用したデインのデバッグ

図 14-2 に、Quartus II ロジック・アナライザ・インタフェースを使用してデザインをデバッグする際に実行する必要があるステップを示します。

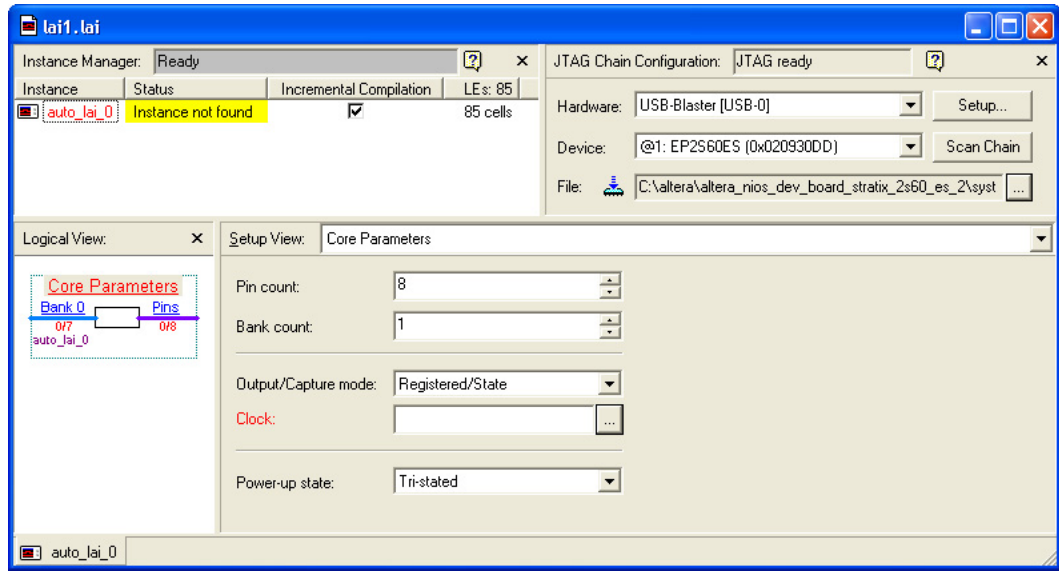
図 14-2. ロジック・アナライザ・インタフェースのプロセス・フロー



ロジック・アナライザ・インタフェース・ファイルの作成

ロジック・アナライザ・インタフェース・ファイル (.lai) は、内部 FPGA 信号と外部ロジック・アナライザ間の接続を構築するインタフェースを定義します。図 14-3 に、ロジック・アナライザ・インタフェース・ファイルの一例を示します。

図 14-3. ロジック・アナライザ・インタフェース・エディタの例



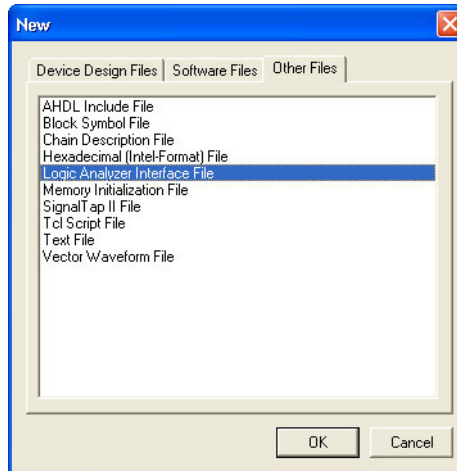
Quartus II ロジック・アナライザ・インタフェースを定義するには、ロジック・アナライザ・インタフェース・ファイルを新規に作成するか、既存のロジック・アナライザ・インタフェース・ファイルを使用することができます。

ロジック・アナライザ・インタフェース・ファイルの新規作成

ロジック・アナライザ・インタフェース・ファイルを新規に作成するには、以下のステップを実行します。

1. Quartus II ソフトウェアで、File メニューの **New** をクリックします。New ダイアログ・ボックスが表示されます。
2. **Other Files** タブをクリックして、**Logic Analyzer Interface File** を選択します (図 14-4)。

図 14-4. ロジック・アナライザ・ファイルの新規作成



3. **OK** をクリックします。ロジック・アナライザ・インタフェース・エディタが開きます。ファイル名は Quartus II ソフトウェアで割り当てられます (14-5 ページの図 14-3 を参照)。ファイルを保存する場合、ファイル名を指定するよう要求されます。14-7 ページの「外部アナライザ・インタフェース・ファイルの保存」を参照してください。

既存の外部アナライザ・インタフェース・ファイルを開く

既存のロジック・アナライザ・インタフェース・ファイルを開くには、**Tools** メニューで **Logic Analyzer Interface Editor** をクリックします。現在のプロジェクトに対してイネーブルされているロジック・アナライザ・インタフェース・ファイルがない場合、エディタが自動的に新規のロジック・アナライザ・インタフェース・ファイルを作成します。プロジェクトに対して現在ロジック・アナライザ・インタフェース・ファイルがイネーブルされている場合、**Logic Analyzer Interface Editor** を選択するとそのファイルが開きます。

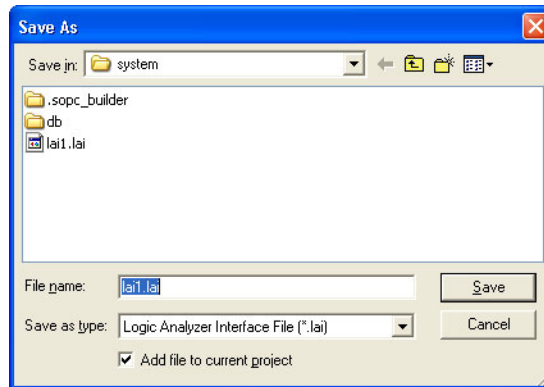
ロジック・アナライザ・インタフェース・ファイルを開く別の方法としては、**File** メニューで **Open** をクリックし、開きたいロジック・アナライザ・インタフェース・ファイルを選択することです。

外部アナライザ・インタフェース・ファイルの保存

ロジック・アナライザ・インタフェース・ファイルを保存するには、以下のステップを実行します。

1. Quartus II ソフトウェアの File メニューで、**Save As** をクリックします。**Save As** ダイアログ・ボックスが表示されます (図 14-5)。
2. **File name** ボックスに、希望のファイル名を入力します。Save をクリックします (図 14-5)。

図 14-5. ロジック・アナライザ・インタフェース・ファイルの保存



ロジック・アナライザ・インタフェース・ファイルのコア・パラメータの設定

ロジック・アナライザ・インタフェース・ファイルを作成した後、ロジック・アナライザ・インタフェース・ファイルのコア・パラメータを設定する必要があります。

ロジック・アナライザ・インタフェース・ファイルのコア・パラメータを設定するには、Setup View リストから Core Parameters を選択します。図 14-6 を参照してください。

図 14-6. ロジック・アナライザ・インタフェース・ファイルのコア・パラメータ

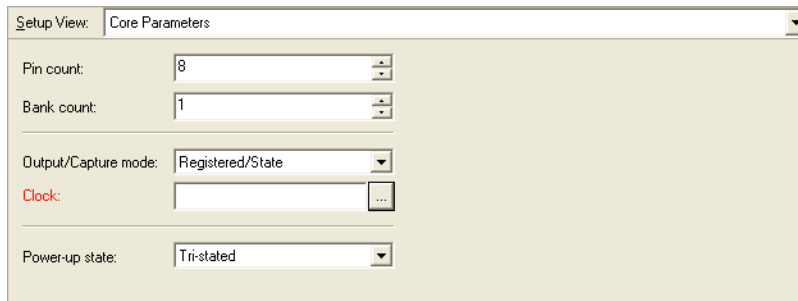


表 14-2 にロジック・アナライザ・インタフェース・ファイルのコア・パラメータをリストします。

パラメータ	説明
ピン数	<p>Pin Count パラメータは、ロジック・アナライザ・インタフェース専用として使用するピン数を表します。ピンはボード上のデバッグ・ヘッダに接続する必要があります。FPGA では、各ピンはユーザ設定可能な数の内部信号にマップされます。</p> <p>Pin Count パラメータに指定できるピン数は 1 ~ 256 です。</p>
Bank Count	<p>Bank Count パラメータは、各ピンにマップする内部信号数を表します。例えば、Bank Count が 8 の場合、各ピンに 8 つの内部信号を接続することを意味します。</p> <p>Bank Count パラメータに指定できるバンク数は 1 ~ 256 です。</p>
Output/ Capture Mode	<p>Output/Capture Mode パラメータは、実行する取得のタイプを表します。以下の 2 つのオプションから選択できます。</p> <p>Combinational/Timing—この取得では外部ロジック・アナライザの内部クロックを使用して、データのサンプリングのタイミングが決定されます。Combinational/Timing 取得では、現在の FPGA と非同期にデータがサンプリングされるため、システムのデバッグおよび検証に使用するサンプル周期を正しく判断する必要があります。このモードは、チャンネル間スキューなどのタイミング情報を測定する場合に有効です。サンプリング周期とサンプリング速度について詳しくは、お使いの外部ロジック・アナライザのデータシートを参照してください。</p> <p>Registered/State—この取得では、テスト対象システムからの信号を使用して、サンプリングのタイミングが決定されます。Registered/State 取得では、FPGA に同期してデータがサンプリングされるため、FPGA の動作中に FPGA の機能を確認できます。このモードは、デザインの機能を検証するのに有効です。</p>









表 14-2. ロジック・アナライザ・インタフェース・ファイルのコア・パラメータ (2 / 2)

パラメータ	説明
クロック	clock パラメータは、Output/Capture Mode が Registered State に設定されている場合にのみ利用できます。Core Parameters ビューでサンプル・クロックを指定する必要があります。サンプル・クロックは、デザイン内のどの信号でもかまいません。ただし、最高の結果を得るために、アルテラでは取得するデータをサンプリングするのに十分な高速動作周波数のクロックを使用することを推奨しています。
Power-Up State	Power-Up State パラメータは、ロジック・アナライザ・インタフェースで使用するために指定したピンのパワーアップ状態を指定します。すべてのピンのトライ・ステートを選択するか、あるいはイネーブルにした特定のバンクを選択できます。

ロジック・アナライザ・インタフェース・ファイルのピンの使用可能な I/O ピンへのマッピング

ロジック・アナライザ・インタフェース・ファイルの I/O ピン・パラメータを設定するには、Setup View リストから Pins を選択します (図 14-7)。

図 14-7. ロジック・アナライザ・インタフェース・ファイルの Pins パラメータ

Setup View: Pins				
Pin				I/O Standard
Type	Index	Name	Location	
	0	altera_reserved_jai_0_0		
	1	altera_reserved_jai_0_1		
	2	altera_reserved_jai_0_2		
	3	altera_reserved_jai_0_3		
	4	altera_reserved_jai_0_4		
	5	altera_reserved_jai_0_5		
	6	altera_reserved_jai_0_6		
	7	altera_reserved_jai_0_7		

ロジック・アナライザ・インタフェースのピン配置を割り当てるには、**Names** カラムの予約ピンの横にある **Location** カラムをダブルクリックします。Pin Planner が表示されます。

Pin Planner の使用方法について詳しくは、「Quartus II ハンドブック Volume 2」の「I/O 管理」の章の「Pin Planner」の項を参照してください。

内部信号のロジック・アナライザ・インタフェース・バンクへのマッピング

Core Parameters 設定ページで使用するバンク数を指定した後、ロジック・アナライザ・インタフェースの各バンクの内部信号を割り当てる必要があります。**Setup View** 矢印をクリックし、**Bank n** または **ALL Banks** を選択します (図 14-8)。

図 14-8. ロジック・アナライザ・インタフェースの **Bank** パラメータ

Setup View: Bank 0		Node		
Pin Index	Type	Alias	Name	
0		State Clock	<input type="text" value=""/>	
1				
2				
3				
4				
5				
6				
7				

バンク接続をすべて表示するには、**Setup View** をクリックし、**All Banks** を選択します (図 14-9)。

図 14-9. ロジック・アナライザ・インタフェースのすべての **Bank** パラメータ

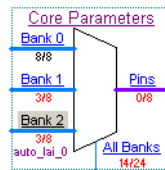
Setup View: All Banks		Node		
Bank Name	Pin Index	Type	Alias	Name
Bank 0	0			<input type="text" value="d[7]"/>
	1			d[6]
	2			d[5]
	3			d[4]
	4			d[3]
	5			d[2]
	6			d[1]
Bank 1	7			d[0]
	0			
	1			
	2			
	3			
	4			
	5			
6				
	7			

Node Finder の使用


バンク・アサインメントを実行する前に、View メニューで Utility Windows をポイントし、**Node Finder** をクリックします。取得する信号を見つけて、Node Finder ダイアログ・ボックスの信号をバンクの **Setup View** にドラッグ・アンド・ドロップします。信号を追加するとき、非インクリメンタルに配線されたインスタンスの場合は **SignalTap II: pre-synthesis** を使用し、インクリメンタルに配線されたインスタンスには **SignalTap II: post-fitting** を使用します。

バンクの Setup View でアサインメントを続けると、ロジック・アナライザ・インタフェース・ファイルの Logic View に表示されるロジック・アナライザ・インタフェースの回路図は、アサインメントを反映したものになります (図 14-10)。

図 14-10. ロジック・アナライザ・インタフェースの回路図のロジック図



データを取得する内部信号をすべて追加するまで、**Setup View** で各バンクのアサインメントを続行します。

 右クリックすると、ロジック・アナライザ・インタフェースの回路図とロジック・アナライザ・インタフェースのセットアップ図を切り替えることができます。

Quartus II プロジェクトのコンパイル前のロジック・アナライザ・インタフェースの有効化

以下のステップを実行した後で、プロジェクトをコンパイルします。

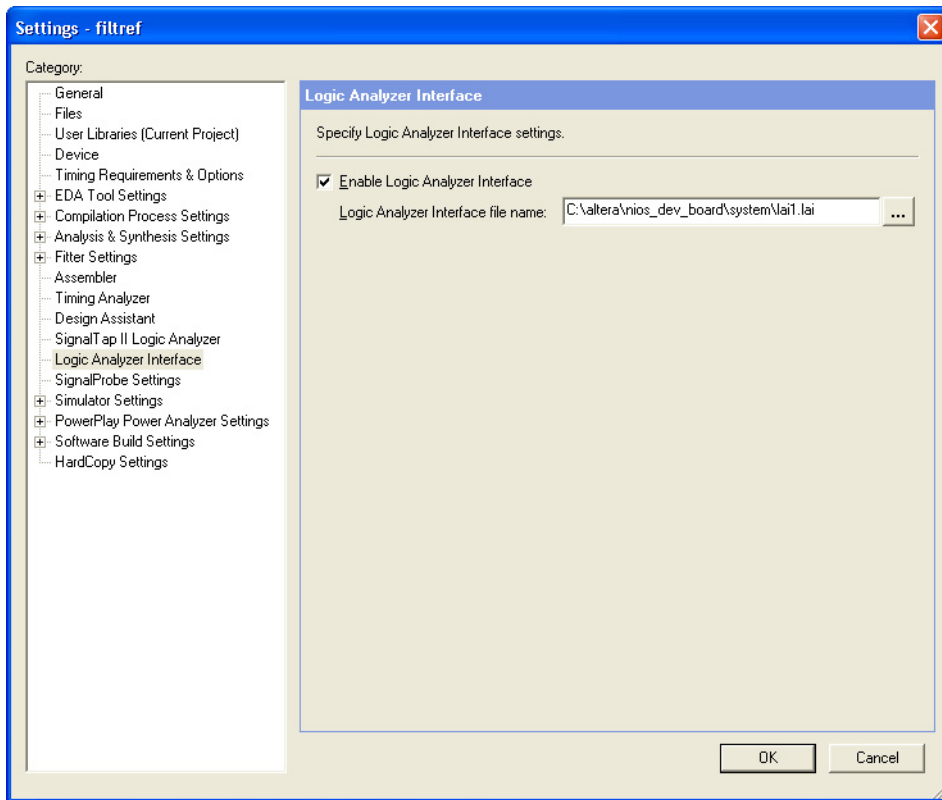
- ロジック・アナライザ・インタフェース・パラメータの設定
- ロジック・アナライザ・インタフェース・ピンの使用可能な I/O ピンへのマッピング
- 内部信号のロジック・アナライザ・インタフェース・バンクへのマッピング

Quartus II プロジェクトのコンパイル

コンパイル前に、ロジック・アナライザ・インタフェースをイネーブルにする必要があります。

1. Assignments メニューで **Settings** をクリックします。Settings ダイアログ・ボックスが表示されます。Category 内で、**Logic Analyzer Interface** をクリックします。Logic Analyzer Interface が表示されます。Enable Logic Analyzer Interface をオンにします。
2. **Logic Analyzer Interface file name** をクリックし、ロジック・アナライザ・インタフェース・ファイルのフル・パス名を指定します (図 14-11)。

図 14-11. Settings ダイアログ・ボックス — ロジック・アナライザ・インタフェースの設定



ロジック・アナライザ・インタフェース・ファイルの名前を指定した後、プロジェクトをコンパイルします。プロジェクトをコンパイルするには、Processing メニューで **Start Compilation** をクリックします。

ロジック・アナライザ・インタフェースがプロジェクトで正しくコンパイルされるように、Project Navigator でエンティティ階層を展開します。(Project Navigator を表示するには、View メニューで **Utility Windows** をポイントし、**Project Navigator** をクリックします。) ロジック・アナライザ・インタフェースがデザインと共にコンパイルされると、sld_hubエンティティとsld_multitapエンティティがプロジェクト・マネージャに表示されます。

図 14-12. Project Navigator

Entity	Logic Cells	LC Registers
Stratix: EP1S10B672C7		
test	136 (11)	81
sld_multitap:auto_lai_0	35 (11)	15
sld_hub:sld_hub_inst	100 (25)	65

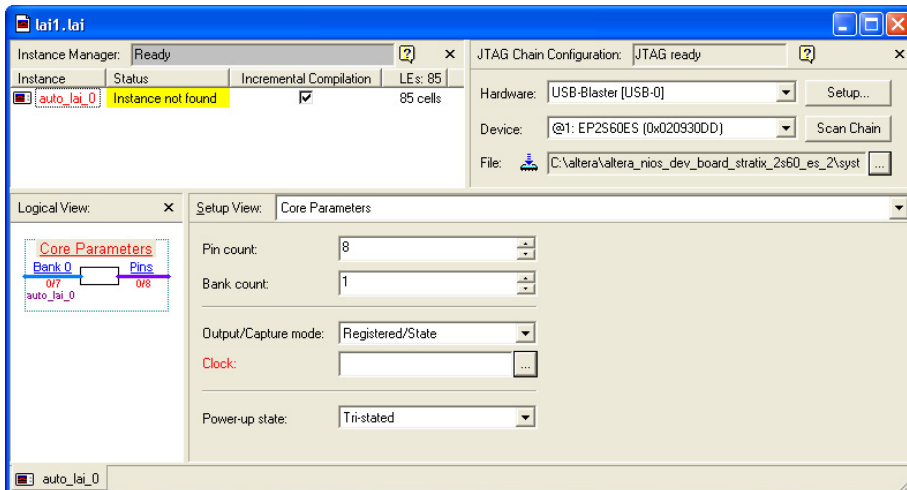
ロジック・アナライザ・インタフェースを使用した FPGA のプログラミング

コンパイルが終了した後、ロジック・アナライザ・インタフェースを使用する前に FPGA をコンフィギュレーションする必要があります。ロジック・アナライザ・インタフェースで使用できるようにデバイスをコンフィギュレーションするには、以下のステップに従います。

1. ロジック・アナライザ・インタフェース・ファイル・エディタを開きます (図 14-13)。
2. **JTAG Chain Configuration** で **Hardware** をクリックし、ハードウェア通信デバイスを選択します。ハードウェアをコンフィギュレーションするのに、**Settings** が必要な場合があります。
3. **Device** をクリックし、デザインをダウンロードする FPGA デバイスを選択します (自動的に検出される場合もあります)。デバイスをコンフィギュレーションするのに、**Scan Chain** のクリックが必要な場合があります。
4. **File** をクリックし、ロジック・アナライザ・インタフェース・ファイルを含む SRAM オブジェクト・ファイル (.sof) を選択します (自動的に検出される場合もあります)。

5. 必要に応じて、**Incremental Compilation** をオンにします。
6. ロジック・アナライザ・インタフェース・ファイルを保存します。
7. **Program Device** アイコンをクリックし、デバイスをプログラミングします。

図 14-13. ロジック・アナライザ・インタフェース・ファイルの JTAG セクション




複数デバイスでのロジック・アナライザ・インタフェースの使用

JTAG チェイン内の複数のデバイスで、ロジック・アナライザ・インタフェースを使用することができます。JTAG チェインは、ロジック・アナライザ・インタフェースをサポートしないデバイスやアルテラ以外の JTAG 準拠デバイスで構成することができます。複数の FPGA でロジック・アナライザ・インタフェースを使用するには、ロジック・アナライザ・インタフェースを作成し、解析する各 FPGA 用のロジック・アナライザ・インタフェース・ファイルを設定します。複数の FPGA の解析を実行するには、以下のステップを実行します。

1. Quartus II ソフトウェアを起動します。
2. 各デザインに対してロジック・アナライザ・インタフェース・ファイルを作成し、設定およびコンパイルを実行します。

- 一度に1つずつロジック・アナライザ・インタフェース・ファイルを開きます。

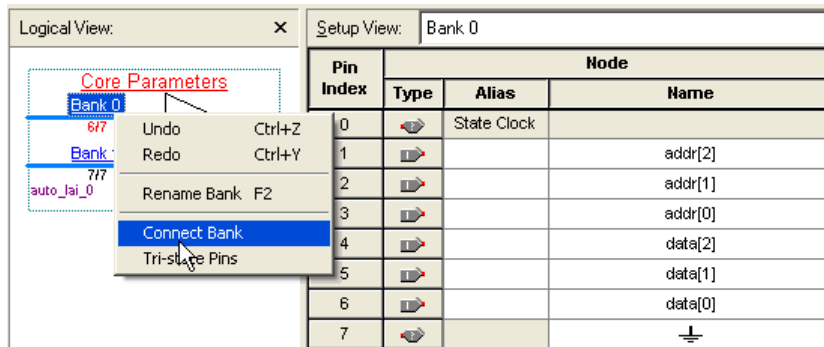
 ロジック・アナライザ・インタフェース・ファイルを開くのに、Quartus II プロジェクトを開く必要はありません。

- 14-13 ページの「ロジック・アナライザ・インタフェースを使用した FPGA のプログラミング」の2から6のステップに従います。
- Program Device** アイコンをクリックし、デバイスをプログラミングします。
- 各ロジック・アナライザ・インタフェース・ファイルは個別に制御してください。

ロジック・アナライザ・インタフェース・ファイルでのバンクのコンフィギュレーション

FPGA をプログラムしたときに、どのバンクを予約済みのロジック・アナライザ・インタフェース・ファイルの出力ピンにマップするかを制御できます。マップされるバンクを制御するには、ロジック図内の回路図でバンクを右クリックし、**Connect Bank** をクリックします。

図 14-14. バンクのコンフィギュレーション



ロジック・アナライザでのデータの取得

ロジック・アナライザでデータを取得するには、デバイスと外部ロジック・アナライザとの間に接続を確立する必要があります。



このプロセスの詳細、およびデバッグ・ヘッダとロジック・アナライザ間の接続の確立方法のガイドラインについては、ロジック・アナライザのマニュアルを参照してください。

高度な機能

この項では、以下の高度な機能について説明します。

- インクリメンタル・コンパイルでのロジック・アナライザ・インタフェースの使用
- 1 個の FPGA でロジック・アナライザ・インタフェースの複数のインスタンスを作成

インクリメンタル・コンパイルでのロジック・アナライザ・インタフェースの使用

インクリメンタル・コンパイルでロジック・アナライザ・インタフェースを使用すると、オリジナル・デザインの合成とフィッティングを維持し、オリジナルのソース・コードを再コンパイルしないで、デザインにロジック・アナライザ・インタフェースを追加できます。

インクリメンタル・コンパイルでロジック・アナライザ・インタフェースを使用するには、以下のステップを実行します。

1. Quartus II ソフトウェアを起動します。
2. デザイン・パーティションをイネーブルにします。パーティションをイネーブルにするには、以下のステップを実行します。
 - a. Assignments メニューで、**Design Partitions** をクリックします。
 - b. **Incremental Compilation** リストで、**Full Incremental Compilation** を選択します。
 - c. デザインのエンティティにデザイン・パーティションを作成し、ネットリスト・タイプを **Post-fit** に設定します。
 - d. Processing メニューで **Start Compilation** をクリックします。
3. 以下のステップを実行して、ロジック・アナライザ・インタフェースのインクリメンタル・コンパイルをイネーブルにします。
 - a. ロジック・アナライザ・インタフェース・ファイルの **Instance Manager** で、**Incremental Compilation** をクリックします。



インクリメンタル・コンパイルをイネーブルにすると、既存の合成前の信号がすべてフィッティング後の信号に変換されます。インクリメンタル・コンパイルのロジック・アナライザ・インタフェースでは、フィッティング後の信号のみ使用できます。

- b. ロジック・アナライザ・インタフェース・ファイルに、フィッティング後のノードを追加します。
- c. Processing メニューで **Start Compilation** をクリックします。

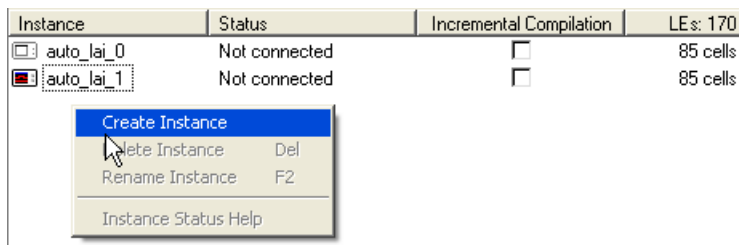
1 個の FPGA でロジック・アナライザ・インタフェースの複数のインスタンスを作成

ロジック・アナライザ・インタフェースでは、1 個の FPGA で複数のインタフェースがサポートされます。この機能は、異なる設定を含むロジック・アナライザ・インタフェースのコンフィギュレーションを構築するのに特に役立ちます。例えば、1 つのロジック・アナライザ・インタフェースのインスタンスを構築して Registered/State 解析を実行し、同じ信号セットで Combinational/Timing 解析を実行するもう一つのインスタンスを構築できます。

別の例として、異なるクロック・ドメイン内にあるデザインの複数の部分で、Registered/State 解析を実行する場合があります。

複数のロジック・アナライザ・インタフェースを作成するには、Edit メニューで **Create Instance** をクリックします。または、Instance Manager ウィンドウで右クリックし、**Create Instance** をクリックします。

図 14-15. 1 個の FPGA でのロジック・アナライザ・インタフェースの複数インスタンスの作成



まとめ

FPGA 業界は技術的に発展し続けているため、旧態依然のデバッグ手法に代えて、生産性を最大限に高める新しい技術を導入する必要があります。ロジック・アナライザ・インタフェース機能により、少数の I/O ピンを使用するだけで、FPGA の多くの内部信号を外部ロジック・アナライザに接続できます。この Quartus II ソフトウェアの新技术を使用すると、豊富な機能を持つ外部ロジック・アナライザを使用して FPGA デザインをデバッグでき、最短期間での製品の市場投入が可能になります。

改訂履歴

表 14-3 に、本資料の改訂履歴を示します。

表 14-3. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 10 月 v7.2.0	内容の変更はなし。	—
2007 年 5 月 v7.1.0	マイナー・アップデート	—
2007 年 3 月 v7.0.0	14-3 ページに、Cyclone III デバイスのサポートを追加。	—
2006 年 11 月 v6.1.0	改訂履歴を追加。	—
2006 年 5 月 v6.0.0	章のタイトルを変更。 Quartus II ソフトウェア・バージョン 6.0.0 のためのマイナー・アップデート。	—
2005 年 10 月 v5.1.0	初版	—