

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

QII52013-6.0.0

はじめに

今日の主要 FPGA デバイスの I/O 管理プロセスでは、デザイン・ピンをパッケージにフィッティングするだけではありません。今日の標準 I/O 規格およびピン配置ガイドラインの複雑化は、ピン関連アサインメントに影響を与える要因の一部にすぎません。FPGA デバイスの I/O 機能とボード・レイアウト・ガイドラインは、各デザイン・ピンのピン・ロケーションとその他のタイプのアサインメントに影響を及ぼします。したがって、FPGA デザインを開始する前でも I/O プランニングとプリント基板 (PCB) の開発を開始する必要があります。

この章では、I/O プランニング・プロセス、FPGA ピン用語、ピン関連アサインメントのインポート、エクスポート、作成、および妥当性検証のための各種方法の概要を示します。

I/O プランニングの概要

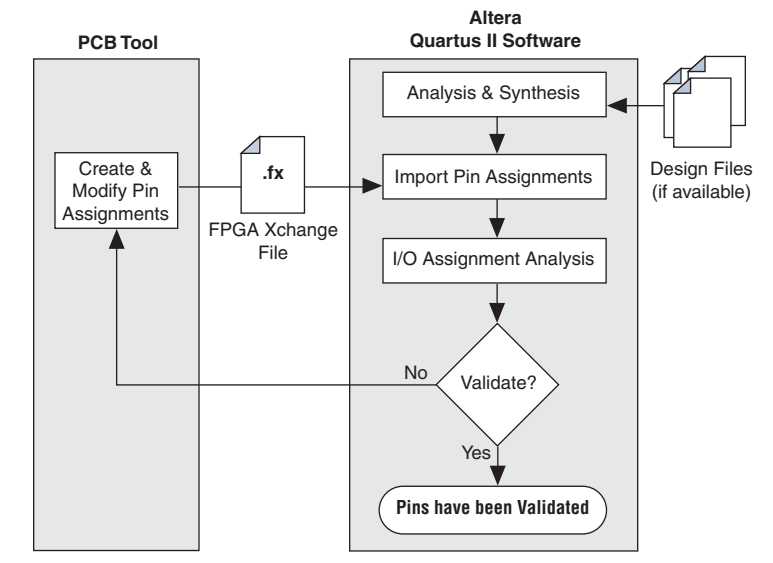
I/O プランニングには、ピン関連アサインメントの作成、およびピン配置ガイドラインに対する妥当性検証が含まれます。このプロセスによって、確実にアルテラの FPGA デバイスに適切にフィットさせることができます。Quartus® II ソフトウェアには、I/O プランニングを支援するためのピン・プランナおよび I/O アサインメント・アナライザが含まれています。

ピン・アサインメントの作成に使用される方法は、要求条件によって異なります。PCB の一部が設計されている場合、PCB ツールで FPGA アサインメントを作成し、それらを妥当性検証のために Quartus II ソフトウェアにインポートします (図 5-1)。



現在、Mentor Graphics 社の IO Designer PCB ツールが I/O プランニング・フローでサポートされています。

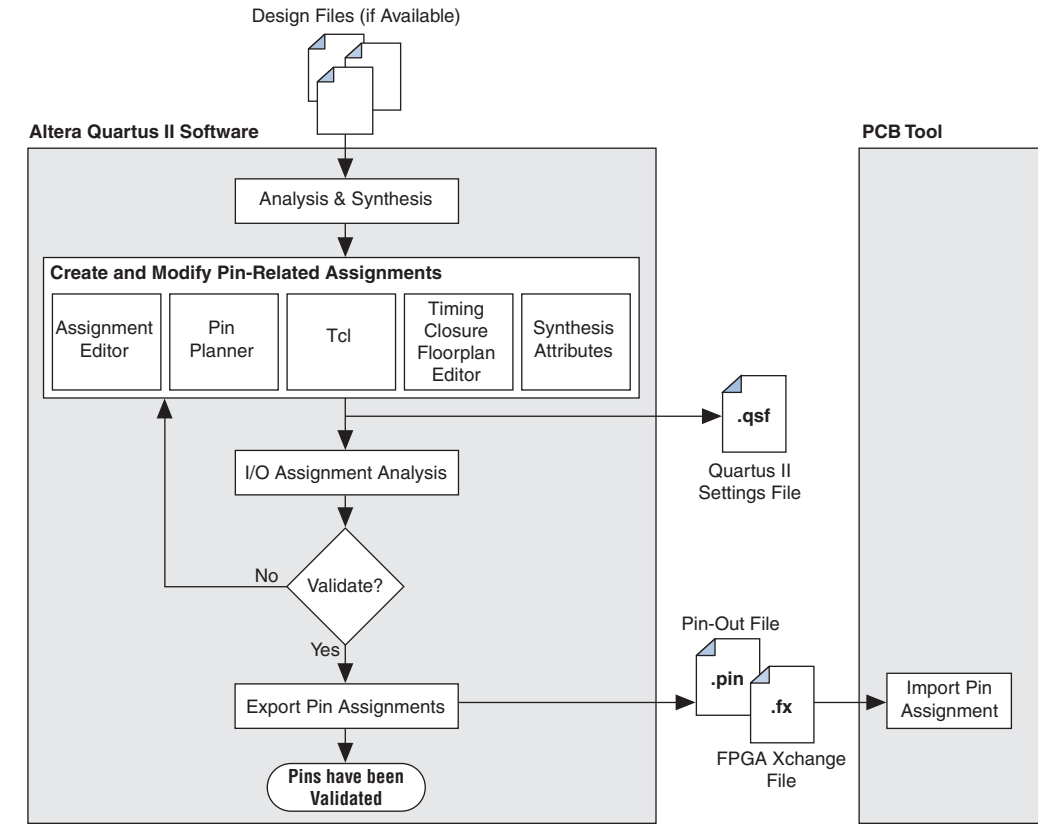
図 5-1. PCB ツールからの FPGA Xchange ファイルを使用した I/O プランニング・フロー



ボード・レイアウト情報について詳しくは、「Quartus II ハンドブック Volume 2」の「Cadence PCB Design Tools Support」および「Mentor Graphics PCB Design Tools Support」の章を参照してください。

PCB をまだ設計していない場合、Quartus II ソフトウェアで I/O アサインメントを作成して妥当性を検証し、次にそれらを PCB ツールにエクスポートします (図 5-2)。

図 5-2. Quartus II 開発ソフトウェアの I/O プランニング・フロー



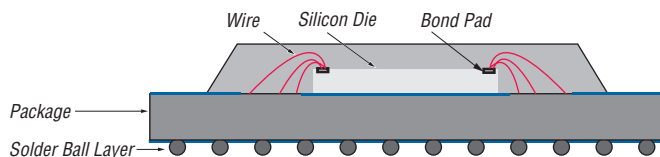
アルテラの FPGA ピン 用語の理解

アルテラの FPGA デバイスはさまざまなパッケージで供給され、ユーザの複雑なデザイン・ニーズのすべてを満たします。アルテラの FPGA ピン用語について説明するために、ワイヤボンド・ボールグリッド・アレイ (BGA) パッケージを一例として使用します。シリコン・ダイの最上面に、シリコンの I/O ピンに接続されるリング状のボンド・パッドがあります。ワイヤボンド BGA パッケージでは、パッケージ内にシリコンが配置され、銅線でボンド・パッドがパッケージのソルダ・ボールに接続されています。図 5-3 に、ワイヤボンド BGA パッケージの断面図を示します。



アルテラの各 FPGA デバイスに使用できるすべての BGA パッケージのリストは、「アルテラ・デバイス・パッケージ情報データシート」を参照してください。

図 5-3. ワイヤ・ボンド BGA

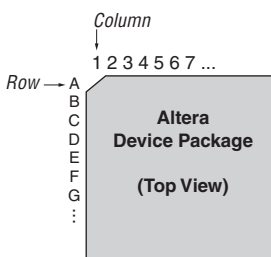


パッケージ・ピン

BGA パッケージのピンは、パッケージの底面にグリッド状のパターンで配列された小さな溶ダ・ボールです。Quartus II ソフトウェアでは、パッケージ・ピンはピン番号で示されます。ピン番号は、それぞれピンのロウとカラムを識別する文字と番号を持つ座標系を使用する位置によって決定されます。

ピンの最上部のロウには "A" の名前が付けられ、下の方向にアルファベット順に並びます (図 5-4)。ピンの左端のカラムには "1" の名前が付けられ、右方向に 1 ずつ増えていきます。例えば、ピン番号 "A1" は、ロウ "A" とカラム "1." を表します。

図 5-4. ロウおよびカラムのラベリング



文字 I、O、Q、S、X、および Z は、ピン番号には使用されません。ロウの数がアルファベットの文字数より多い場合は、前に文字 "A" を付けてアルファベットが繰り返されます。

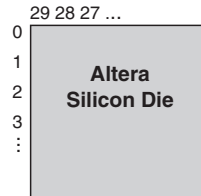


アルテラのデバイスのピン番号について詳しくは、アルテラのウェブサイト、www.altera.co.jpのデバイス・ピン配置ページを参照してください。

パッド

パッケージ・ピンは、シリコン・ダイの最上部メタル層の周辺にあるパッドに接続されています。(図 5-3) 各パッドはパッド ID によって識別され、パッド ID の番号は 0 から始まり反時計回りに 1 ずつ増えます。(図 5-5)

図 5-5. パッド番号の順序



シグナル・インテグリティの問題を防止するために、Quartus II ソフトウェアでは、ピン配置ルールを使用してピン配置とピン関連アサインメントの妥当性を検証します。ピン配置ルールにはパッド・ロケーションの制約に言及するものもあるので、ピンがどのパッド・ロケーションに割り当てられているか把握することが重要です。例えば、特定のデバイスでは、シグナル・インテグリティを確保するために、VREF パッドがサポートする I/O ピン数が制限されています。また、シングル・エンド入力ピンまたは出力ピンと差動ピンとの間のパッド数にも制限があります。Quartus II ソフトウェアはピン配置解析を実行し、ピンがピン配置ルールに従って配置されていない場合、デザインのコンパイルは失敗し、Quartus II ソフトウェアはエラー・レポートを生成します。



ピン配置のガイドラインについて詳しくは、該当するデバイス・ハンドブックの「Selectable I/O Standards」の章にある「Design Consideration」の項を参照してください。

I/O バンク

I/O ピンは、さまざまな標準 I/O 規格を容易にサポートできるように設計された I/O バンクに編成されます。各 I/O バンクには番号が付けられており、最高の I/O 性能を提供するために、VCCIO と呼ばれる独立の電圧源ピンを備えています。デバイスおよび I/O バンク内のピンに対する標準 I/O 規格に応じて、VCCIO ピンの規定電圧は、1.5 V ~ 3.3 V です。各 I/O バンクは、同じ VCCIO を共有する、異なる標準 I/O 規格に対応する複数のピンをサポートできます。

該当するデバイス・ハンドブックを参照して、各 I/O バンクの機能を決定することが重要です。例えば、Stratix® II デバイスの左側と右側の I/O バンク内のピンが LVDS などの高速標準 I/O 規格をサポートするのに対し、トップとボトム of I/O バンク上のピンは DQS シグナリングを含むすべてのシングル・エンド標準 I/O 規格をサポートします (図 5-6)。同じ I/O バンクに属するピンには、同じ VCCIO 信号を使用しなければなりません。

図 5-6. Stratix II の I/O バンク 注 (1)、(2)、(3)、(4)

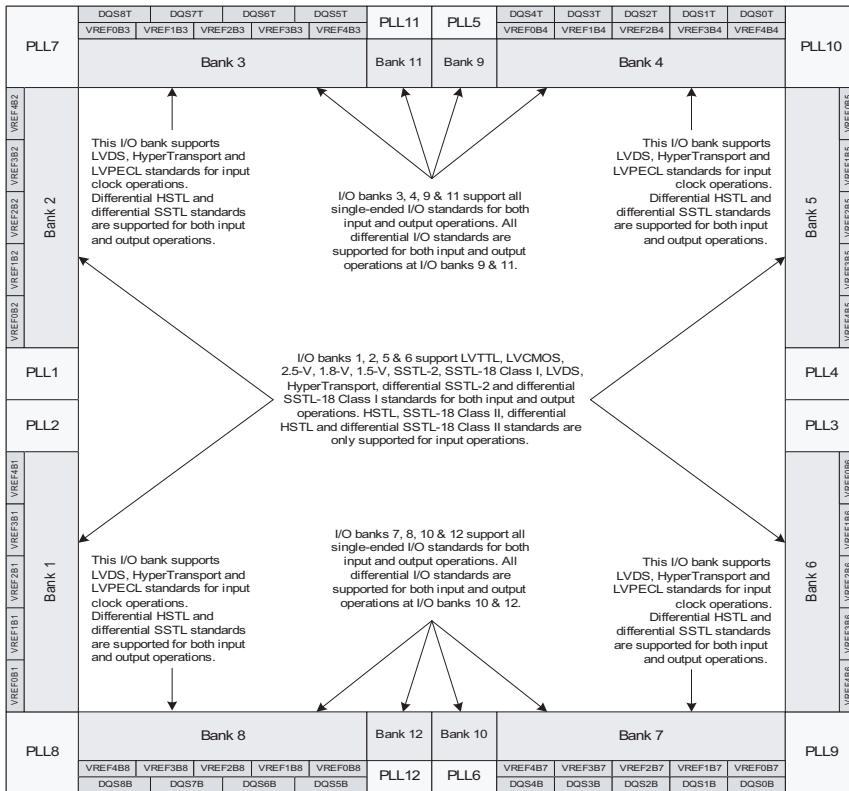


図 5-6 の注:

- (1) 図 5-6 はシリコン・ダイの上面図で、フリップ・チップ・パッケージの裏面図に相当します。これは参考図にすぎません。
- (2) 個々のデバイスの VREF グループの数は、デバイスのサイズによって異なります。正確なピン配置については、ピン・リストおよび Quartus II ソフトウェアを参照してください。
- (3) バンク 9 ~ 12 は、enhanced PLL 外部クロック出力バンクです。
- (4) 水平方向の I/O バンクは、高速差動標準 I/O 規格のための SERDES および DPA 回路を搭載しています。差動標準 I/O 規格について詳しくは、「Stratix II デバイス・ハンドブック Volume 2」の「High Speed Differential I/O Interfaces in Stratix II Devices」の章を参照してください。

VREF グループ

VREF グループは、電圧リファレンス形式の標準 I/O 規格で要求される 1 本の専用 VREF ピンを含むピン・グループです。VREF グループは、VREF ピンのシグナル・インテグリティを維持するために、I/O バンクのピンよりも少数のピンで構成されています。1 つの I/O バンクに 1 つ以上の VREF グループがあります。VREF グループの各ピンは、同じ V_{CCIO} 電圧と V_{REF} 電圧を使用します。



I/O バンクについては詳しくは、該当するデバイス・ハンドブックの「Architecture and Selectable I/O Standards」の章を参照してください。

ピン・アサインメントのエクスポートおよびインポート

Quartus II ソフトウェアとその他のツールとの間でのピン関連アサインメントの転送は、これらのアサインメントを以下のファイル・フォーマットでインポートおよびエクスポートすることによって行うことができます。コンマ区切り値 (.csv) ファイル、Quartus II 設定ファイル (.qsf)、ツール・コマンド言語 (Tcl)、FPGA Xchange (.fx) ファイル、およびエクスポートのみ可能なピン配置 (.pin) ファイル。

コンマ区切り値ファイル

ピン関連アサインメントは、コンマ区切り値ファイルとして転送できます。このファイルは、カラム見出しのロウと、それに続くコンマ区切り値データのロウから成ります。カラム見出しのロウは、エクスポートが実行されたときに、アサインメント・エディタに表示されるカラムと同じ順番と形式で表示されます。コンマ区切り値ファイルを後にインポートする場合は、カラム見出しのロウを変更しないでください。

コンマ区切り値ファイルをプロジェクトにインポートするには、Assignment メニューで **Import Assignments** をクリックし、ファイルを指定します。

ピン関連アサインメントをコンマ区切り値ファイルにエクスポートするには、Assignment メニューで **Assignment Editor** をクリックし、Category リストから **Pin category** を選択し、さらに File メニューで **Export** をクリックします。



Pin category には、ピン名とピン番号に加え、デバイス・ピン配置ファイル（アルテラのウェブサイト、www.altera.co.jp で入手可能）に似た、デバイスの各ピンについての詳細なプロパティが表示されます。



コンマ区切り値ファイルのインポートとエクスポート、およびアサインメント・エディタについては詳しくは、「Quartus II ハンドブック Volume 2」の「Assignment Editor」の章を参照してください。

Quartus II 設定ファイル

ピン関連アサインメントは、Quartus II 設定ファイルとして転送できます。ピン関連アサインメントは、Tcl コマンドとして Quartus II 設定ファイルに格納されます。

Quartus II 設定ファイルをインポートするには、Assignments メニューで **Import Assignments** をクリックし、インポートするファイルを指定します。Quartus II 設定ファイルのインポートは、Tcl コンソールでファイルを指定して行うこともできます。Quartus II 設定ファイルをエクスポートするには、Assignments メニューで **Export Assignments** をクリックし、ファイル名を入力してから **OK** をクリックします。



Quartus II 設定ファイルについて詳しくは、「Quartus II ハンドブック Volume 2」の「Quartus II Project Management」の章を参照してください。

Tcl スクリプト

ピン関連アサインメントを Tcl スクリプトからインポートするには、Tcl コンソールで Tcl スクリプトをソースするか、quartus_sh 実行コマンドで Tcl スクリプトを実行します。例：

```
quartus_sh -t my_pins.tcl ←
```

ピン関連アサインメントを Tcl スクリプトとしてエクスポートするには、Assignments メニューで **Assignment Editor** をクリックし、**Category** リストから **Pincategory** を選択し、さらに File メニューで **Export** をクリックします。**Export** ダイアログ・ボックスで、ファイル名を入力し、**Tcl Script File (*.tcl)** を選択して、**OK** をクリックします。アサインメント・エディタのspreッドシートに表示されるピン関連アサインメントはすべて、Tcl コマンドとして Tcl スクリプトに保存されます。



Quartus II のスクリプティング・サポートについて詳しくは、「Quartus II ハンドブック Volume 2」の「Tcl Scripting」および「Command-Line Scripting」の章を参照してください。

FPGA Xchange ファイル

FPGA Xchange ファイルには、Quartus II ソフトウェアと PCB 回路図ツールまたは PCB デザイン・ツールとの間で情報の転送を可能にする、デバイスおよびピン関連情報が含まれています。例えば、FPGA Xchange ファイルを使用してメンター・グラフィクス社の I/O Designer ソフトウェアから Quartus II ソフトウェアにピン情報を転送し、次に I/O アサインメント・アナライザを使用してこれらのピン・アサインメントの妥当性を検証することができます。

FPGA Xchange ファイルを Quartus II ソフトウェアにインポートするには、以下のステップを実行します。

1. Assignments メニューで、**Import Assignments** をクリックします。
2. **File name** ボックスで、**Browse** をクリックし、**Files of type** リストから **FPGA Xchange Files (*.fx)** をクリックします。
3. **FPGA Xchange** ファイルを参照して選択し、**Open** をクリックします。
4. **OK** をクリックします。

Quartus II ソフトウェアで FPGA Xchange ファイルを生成するには、以下のステップを実行します。

1. I/O アサインメント解析またはフィットを完了させます。
2. Assignments メニューで、**Settings** をクリックします。**Settings** ダイアログ・ボックスが表示されます。
3. EDA Tool Settings の **Category** リストで、**Board-Level** を選択します。**Tool name** リストで、**Symbol Generation (FPGA Xchange)** を選択します。
4. **OK** をクリックします。
5. Processing メニューで **Start** をポイントし、**Run EDA Netlist Writer** をクリックします。FPGA Xchange ファイルは、新たに作成された **/board/fpgaxchange** ディレクトリに置かれます。

ピン配置ファイル

ピン配置ファイルは、ピン・ロケーションの結果とその他のピン情報を含む ASCII テキスト・ファイルです。プロジェクト用のピン・ファイルを生成するには、I/O アサインメント解析またはフィットを正常に完了させなければなりません。

ピン・ファイルを使用して、どの信号をどのピンに接続すべきかを理解してください。また、ピン配置ファイルを使用して、プロジェクトのピン情報をサードパーティのボード開発用 PCB ツールに転送することもできます。表 5-1 にピン配置ファイルの各ヘッダの説明を、また図 5-7 にピン配置ファイルの例を示します。

カラム名	説明
Pin Name/Usage (ピン名 / 用途)	デザイン・ピンの名前、グラウンドまたは電源
Location (位置)	デバイス・パッケージの位置のピン番号
Dir (方向)	ピンの方向
I/O Standard (標準 I/O 規格)	ピンがコンフィギュレーションされる標準 I/O 規格名
Voltage (電圧)	このピンの接続に必要な電圧レベル
I/O Bank (I/O バンク)	ピンが属する I/O バンク名
User Assignment (ユーザ・アサインメント)	Y または N で、デザイン・ピンのロケーション・アサインメントがユーザによって行われた (Y) かフィッタによって行われた (N) かを示します。

図 5-7. ピン配置ファイルの例

Pin Name/Usage	Location	Dir.	I/O Standard	Voltage	I/O Bank	User Assignment
VCCA_PLL1	9	power		1.5V		
clk	10	input	LVTTL		1	N

 Pin Name/Usage (ピン名 / 用途) について詳しくは、アルテラのウェブサイト www.altera.co.jp でターゲット・デバイスに対するデバイス・ピン配置を参照してください。



Cadence 社の PCB ツールと Quartus II ソフトウェアとの併用について詳しくは、「Quartus II ハンドブック Volume 2」の「Cadence PCB Design Tools Support」の章を参照してください。Mentor Graphics 社の PCB ツールと Quartus II ソフトウェアとの併用について詳しくは、「Quartus II ハンドブック Volume 2」の「Mentor Graphics PCB Design Tools Support」の章を参照してください。

ピン関連 アサインメント の作成

ピン関連アサインメントは、ピンに適用される任意のアサインメントです。ピン関連アサインメントの一例として、デザイン・ピンをターゲット・デバイスのピン番号 / ロケーションに割り当てるピン・ロケーション・アサインメントが挙げられます。その他のピン関連アサインメントには、標準 I/O 規格または電流ドライブ強度のピンへの割り当てなどがあります。

ピン関連アサインメントは、デザイン・サイクル中のどの時点でも作成でき、デザイン・ファイルの開発前であっても作成可能です。ピン関連アサインメントの正確度と完全性によって、I/O アサインメント解析の正確度が決まります。デザイン・ファイルがない場合、予約ピンを作成して、I/O ピンがデザイン・ファイルで定義されるまで、一時的にトッ

プ・レベルのデザイン I/O ピンを表します。プロジェクトにデザイン・ファイルがない場合、デザインのすべてのポートを定義した空の Verilog HDL ファイルまたは VHDL ファイルを作成します。

予約ピンとは、将来使用するために予約されているが、現在はデザインでは何も機能を実行しないピンをいいます。予約ピンには、固有のピン名とピン・ロケーションが必要です。予約ピンを将来のデザイン・ピンのためのプレース・ホルダとして使用すると、I/O アサインメント解析の正確度が向上します。

Quartus II ソフトウェアは、予約ピンおよび他のピン関連アサインメントを作成するための多数のツールと機能を提供します (表 5-2)。

表 5-2. ピン関連アサインメントの作成に使用される Quartus II のツールと機能の概要

機能	概要
ピン・プランナ	<ul style="list-style-type: none"> ● 割り当てられていないピンをパッケージ・ビューにドラッグ・アンド・ドロップして、1つまたは複数のノード名に対するピン・ロケーション・アサインメントを作成します。 ● パッケージ・ビュー内のピン・グループをドラッグ・アンド・ドロップして、1つまたは複数のノード名に対するピン・ロケーション・アサインメントを編集します。 ● パッケージ・ビュー内のピン・リソースを視覚的に解析します。 ● I/O バンクと VREF グループを表示します。 ● ピン記号を使用して、パッケージ・ピンの機能を表示します。 ● パッド・ビューを参照して、適切なピン・ロケーションを決定します。
アサインメント・エディタ	<ul style="list-style-type: none"> ● すべてのタイプのピン関連アサインメントを作成および編集します。 ● Edit バーで複数のアサインメントを同時に作成および編集します。 ● 割り当て済みおよび未割り当てノード名、占有されているピン・ロケーション、および使用可能なピン・ロケーションの表示に使用される各種のフォント・スタイルを表示することによって、効率的にピン・アサインメントを作成します。 ● パッド番号、t_{CO} 要件、および t_H 要件を含む、各ピンに関するユーザが選択可能な情報を提供します。
Tcl	<ul style="list-style-type: none"> ● 複数のピンに対するピン関連アサインメントを作成します。 ● Tcl スクリプトですべてのピン関連アサインメントを格納および再適用します。 ● コマンド・ラインからアサインメントを作成します。
タイミング・クロージャ・フロアプラン	<ul style="list-style-type: none"> ● ピンをフロアプランにドラッグ・アンド・ドロップして、ピン・ロケーションを作成および変更します。 ● パッドの ID 番号と間隔を参照して、適切なピン・ロケーションを決定します。 ● I/O バンク、VREF グループ、および差動ピン・ペア情報を表示します。
合成属性	<ul style="list-style-type: none"> ● デザイン・ファイルの属性を使用してピン関連アサインメントを埋め込み、アサインメントを Quartus II ソフトウェアに渡します。

ピン・プランナ

ピン・プランナのパッケージ・ビューを使用すると、ピン番号の代わりにデバイスのパッケージ・ビューを使用して、ピン・ロケーション・アサインメントを作成できます。ピン・プランナを使用すると、I/O バンク、VREF グループ、および差動ピン・ペアを識別でき、I/O プランニング・プロセスを通して役立ちます。



ピン・プランナの使用について詳しくは、5-19 ページの「[ピン・プランナの使用](#)」を参照してください。

アサインメント・エディタ

アサインメント・エディタは、ピン関連アサインメントを含むあらゆるタイプのアサインメントの作成と変更を可能にする、スプレッドシート状のインターフェースを提供します。

アサインメント・エディタを使用したピン・ロケーションの割り当て

アサインメント・エディタでピン・アサインメントを作成するには、2つの方法のいずれかを使用します。最初の方法では、デバイスの割り当て可能なすべてのピン番号からの選択と、デザインからこの位置へのピン名の割り当てを行います。

2番目の方法では、デザインのすべてのピン名からの選択と、デザイン・ピン名へのデバイス・ピン番号の割り当てを行います。いずれの方法でも、**Category** バーから **Pin** を選択して、ロウの背景色表示（同じ I/O バンク内のピン番号は共通の背景色で表示されます）、オート・フィル・ノード名、およびピン番号を利用します。

Device Pin Number（デバイス・ピン番号）リストからのピン・ロケーションの設定

デザインの各ピンに位置を割り当てる前に、ピン番号のプロパティを理解することが重要です。例えば、ピン配置ガイドラインに従う際に、ピン番号がどの I/O バンクまたは VREF グループに属するかを知る必要があります。




ピン配置ガイドラインについて詳しくは、該当するデバイス・ハンドブックを参照してください。

ピン関連アサインメントを作成する前に、デザインで **Analysis & Elaboration**、または **Analysis & Synthesis** を起動して、デザイン・ピン名のデータベースを作成し、以下のステップを実行します。

1. Quartus II ソフトウェアの Assignments メニューで、**Assignment Editor** をクリックして、アサインメント・エディタを開きます。
2. **Category** バーで、**Pin** を選択します。

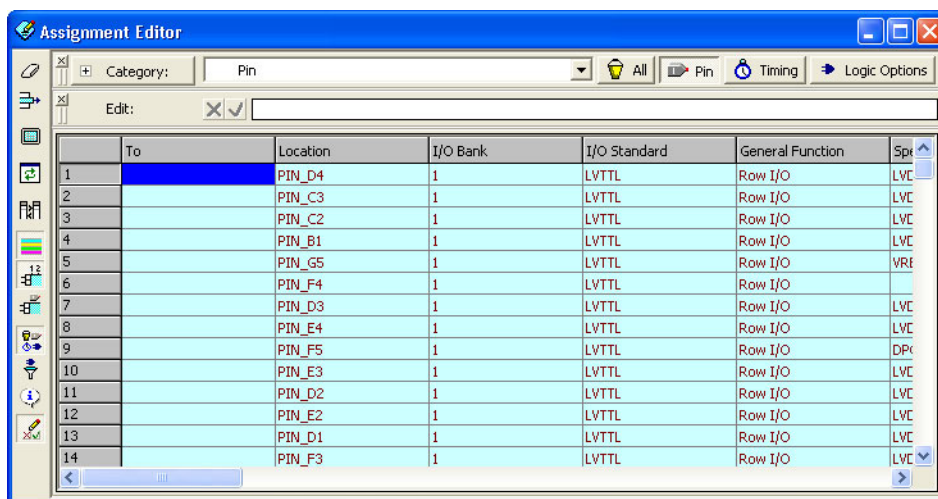
ピン番号がどの I/O バンクに属するか、あるいはピンがどの VREF パッドを使用するかを確認する必要がある場合は、ピン・アサインメントの作成が困難なことがあります。**Pin** カテゴリを選択すると、より多くのピン関連情報をスプレッドシートに表示させることができ、ピン・ロケーション・アサインメントの作成の助けとなります。

 アサインメント・エディタは、ワイルドカードまたはアサインメント・グループを使って作成された、個々のノードに対するアサインメントは表示しません。


3. **View** メニューで、**Show All Assignable Pin Numbers** をクリックします。

ターゲット・デバイスの割り当て可能なすべてのピン番号のリストが **Location** カラムに表示されます (図 5-8)。

図 5-8. アサインメント・エディタの **Show All Assignable Pin Numbers** 機能



4. スプレッドシートおよび同じロウでピン番号を検索し、**To** カラム内のセルをダブルクリックします。ピン名を入力するか、ドロップダウン矢印からピンを選択します。**Analysis & Elaboration** が実行済みであれば、ドロップダウン矢印にデザイン・ピンが表示されます。

 ピン名を入力すると、アサインメント・エディタは、最初の **Analysis & Elaboration** から作成されたデータベースに格納されたピン名を参照して、自動的にフィールドを完成させます。ピン・ロケーションに既に割り当てられているピン名は、イタリック体で表示されます。

Design Signal Name (デザイン信号名) リストからのピン・ロケーションの設定

デザインの各ピンに位置を割り当てる前に、ピン・ロケーションのプロパティを理解することが重要です。例えば、ピン配置ガイドラインに従う際に、ピン番号がどの I/O バンクまたは VREF グループに属するのかわ知る必要があります。




ピン配置ガイドラインについて詳しくは、該当するデバイス・ハンドブックを参照してください。

デザイン・ピン名リストからピン・ロケーションを設定するには、以下のステップを実行します。

1. Quartus II ソフトウェアの **Assignments** メニューで、**Assignment Editor** をクリックして、アサインメント・エディタを起動します。
2. **Category** バーから **Pin** を選択します。

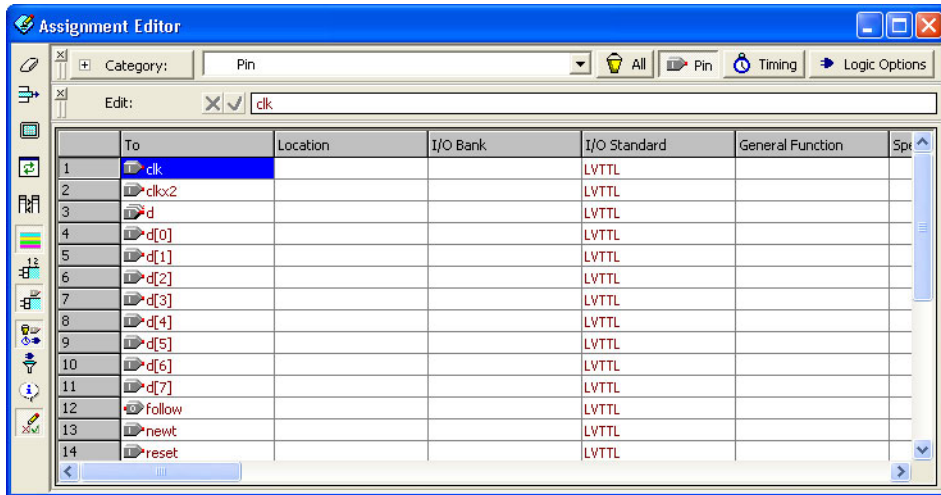
ピン番号がどの I/O バンクに属するか、あるいはピンがどの VREF パッドを使用するかを確認する必要があるため、ピン・アサインメントの作成が困難な場合があります。**Pin** カテゴリを選択すると、より多くのピン関連情報をスプレッドシートに表示させることができ、ピン・ロケーション・アサインメントの作成の助けとなります。


 アサインメント・エディタは、ワイルドカードまたはタイム・グループを使って作成されたノードに対するアサインメントは表示しません。

3. **View** メニューで、**Show All Known Pin Names** をクリックします。

デザインのすべてのピン名のリストが **To** カラムに表示されます (図 5-9)。

図 5-9. アサインメント・エディタの Show All Known Pin Names 機能




 デザインからのピン名セレクションをアサインメント・エディタのスプレッドシートに表示するには、ピン名をワイルドカード付きまたはなしで **Node Filter** バーに入力します。これは、デザインのピン・セレクションに共通のピン関連アサインメントを割り当てる場合に有効です。



Node Filter バーの使用について詳しくは、「Quartus II ハンドブック Volume 2」の「Assignment Editor」の章を参照してください。

4. スプレッドシートでピン名を検索し、同じロウ内の **Location** セルをダブルクリックします。選択されたデバイス内の割り当て可能なすべてのピン番号を含むドロップダウン矢印からピン番号を選択します。ピン番号を入力して、アサインメント・エディタに自動的にピン番号を完成させることもできます。

 Pin_AA3 と入力する代わりに、AA3 と入力して、アサインメント・エディタにピン番号を Pin_AA3 として自動的に完成させることもできます。

既にピン名を有するピン・ロケーションは、イタリック体で表示されます。



アサインメント・エディタの使用について詳しくは、「Quartus II ハンドブック Volume 2」の「アサインメント・エディタ」の章を参照してください。

Tcl スクリプト

Tcl スクリプティングによって、ピン関連アサインメントを作成するためのスクリプトを書くことができます。プロジェクトで Tcl スクリプトを実行するには、quartus_sh 実行コマンドを使用します。

```
quartus_sh -t my_tcl_script.tcl ↵
```

また、個々の Tcl コマンドを Tcl Console ウィンドウに入力することもできます。View メニューで Utility Windows をポイントし、Tcl Console をクリックします。Tcl Console ウィンドウで、Tcl コマンドを入力します。以下の例は、入力ピンの address[10] に対するピン関連アサインメントを作成する Tcl コマンドのリストです。

```
set_location_assignment Pin M20 -to address[10] -comment"Address pin to Second FPGA"  
set_instance_assignment -name IO_STANDARD "2.5 V" -to address[10]  
set_instance_assignment -name CURRENT_STRENGTH_NEW "MAXIMUM CURRENT" -to address[10]
```



ピン関連アサインメントの作成のための Tcl スクリプトの使用については、「Quartus II ハンドブック Volume 2」の「Tcl Scripting」の章を参照してください。

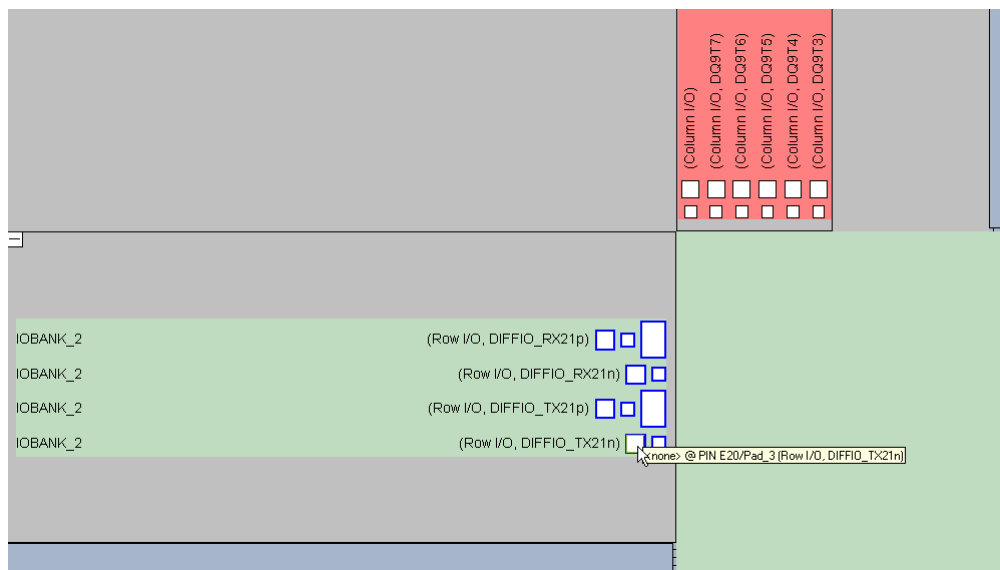
タイミング・クロージャ・フロアプラン

タイミング・クロージャ・フロアプランは、デバイスのパッドと同じ順序でピンを表示します。パッドと関連ロジックとの間の相対距離を理解すると、タイミング要件を満足するのに役立ちます。また、タイミング・クロージャ・フロアプランを使用してユーザ I/O パッドと VCC、GND、および VREF パッドとの間の距離を見つけて、シグナル・インテグリティ問題を回避することもできます (図 5-10)。



ピン配置ガイドラインについては、該当するデバイス・ハンドブックの「選択可能な標準 I/O 規格」の章を参照してください。

図 5-10. EP1C6F256I7 のタイミング・クロージャ・フロアプラン



タイミング・クロージャ・フロアプランでピン・ロケーション・アサインメントを作成するには、以下のステップを実行します。

1. View メニューで **Utility Windows** をポイントし、**Node Finder** をクリックします。**Node Finder** ダイアログ・ボックスが表示されます。
2. デザイン・ファイル内のデザイン・ピン名を選択するか、タイミング・クロージャ・フロアプランの文字列をハイライトさせます。
3. 選択したものをピン・ロケーションにドラッグします。



タイミング・クロージャ・フロアプランの使用について詳しくは、「Quartus II ハンドブック Volume 2」の「タイミング・クロージャ・フロアプラン」の章を参照してください。

合成属性

合成属性によって、HDL コードへのアサインメントの埋め込みが可能になります。Quartus II ソフトウェアは、これらの合成属性を読み取り、それらをアサインメントに変換します。Quartus II 合成機能は、chip_pin、useioff、および altera_attribute 合成属性をサポートしています。



合成機能について詳しくは、「Quartus II ハンドブック Volume 1」の「Quartus II 合成機能」の章を参照してください。

サードパーティ合成ツールによる合成属性のサポートについては、ベンダにお問い合わせください。

chip_pin および useioff

chip_pin および useioff 合成属性を使用して、それぞれピン・ロケーションおよび高速出力 / 入力レジスタのアサインメントを埋め込むことができます。ピン関連アサインメントを含むその他すべてのアサインメントには、5-18 ページの「altera_attribute」で説明する合成属性 altera_attribute を使用します。

アサインメントに変換された合成属性は、データベースに格納され、QuartusII 設定ファイルのその他のアサインメントよりも優先されます。以下に、chip_pin および useioff 合成属性を使用して、ロケーションおよび高速入力アサインメントを Verilog HDL デザイン・ファイルおよび VHDL デザイン・ファイルに埋め込む例を示します。

Verilog HDL の例

```
input my_pin1 /* synthesis chip_pin = "C1" useioff = 1 */;
```

VHDL の例

```
entity my_entity is
    port (
        my_pin1: in std_logic
    );
end my_entity;

attribute useioff : boolean;
attribute useioff of my_pin1 : signal is true;
attribute chip_pin : string;
attribute chip_pin of my_pin1 : signal is "C1";
```

altera_attribute

その他のピン関連アサインメントの作成には、altera_attribute 属性を使用します。altera_attribute は、Quartus II 合成機能によってのみ解釈され、あらゆる種類のインスタンス・アサインメントをサポートしています。以下に、altera_attribute を使用して、高速入力レジスタおよび標準 I/O 規格のアサインメントを Verilog HDL および VHDL デザイン・ファイルに埋め込む例を示します。

Verilog HDL の例

```
input my_pin1 /* synthesis altera_attribute = "-name FAST_INPUT_REGISTER ON;
-name IO_STANDARD \"2.5 V\" " */ ;
```

VHDL の例

```
entity my_entity is
    port)
        my_pin1: in std_logic
    );
end my_entity;

attribute altera_attribute : string;
attribute altera_attribute of my_pin1: signal is "-name
FAST_INPUT_REGISTER ON; -name IO_STANDARD \"2.5 V\" " ;
```



合成属性およびそれらの使用構文の使い方については、「**Quartus II** ハンドブック Volume 1」の「**Quartus II 合成機能**」の章を参照してください。

ピン・プランナの使用

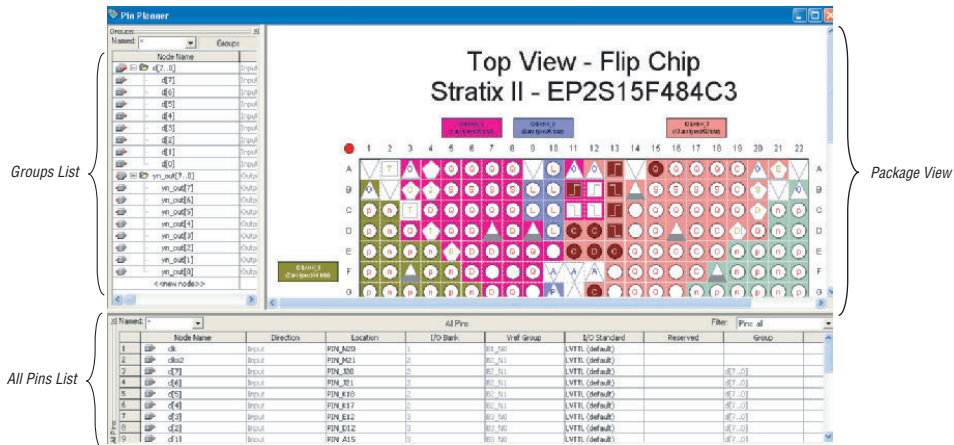
I/O をプランニングする際に、ピン番号をパッケージでのピンの相対位置およびピン・プロパティに関連付けるのが煩わしいことがあります。ピン・プランナは、パッケージ・ビューとも呼ばれるターゲット・デバイスの直感的なグラフィカル表現を提供し、I/O のプランニング、予約ピンの作成、およびピン・ロケーション・アサインメントの作成を容易にします。ピン・ロケーションを決定する際に、ピン・プランナを使用して、使用可能なリソースと、個々のピン、I/O バンク、および VREF グループの機能に関する情報を収集することができます。各ピンをパッケージ・ビューにドラッグ・アンド・ドロップして、デザイン・ピンに位置を割り当てることができます。



シグナル・インテグリティ (SI) を維持するには、パッドの距離およびピン配置ルールに従う必要があります。パッド・ビューは、パッドをシリコン・ダイ周囲の順に表示し、ピン・プランナを補完します。

ピン・プランナには、以下のセクションが含まれています。パッケージ・ビュー、**All Pins** リスト、**Groups** リスト、およびパッド・ビュー・ウィンドウ 図 5-11 ~ 5-15 を参照してください。

図 5-11. ピン・プランナ



ピン・プランナ機能はクロス・プロービングをサポートし、1つのビューで1本のピンを選択でき、そのピンを異なるすべてのビューで同時にハイライトさせることができます。例えば、ピン・プランナのパッケージ・ビューでピンを選択した場合、パッド・ビュー・ウィンドウ内の対応するパッドがハイライトされ、そのピンが割り当て済みのノード名を持つ場合には、**All Pins** リストおよび **Groups** リスト内のそのノード名がハイライトされます。

Groups リスト

Groups リストには、デザインのトップ・レベル・ポートからのすべてのバスと、プロジェクトのすべてのアサインメント・グループが表示されます (図 5-12)。Named リストにワイルド・カード・フィルタを入力して、表示されたグループ名をフィルタすることもできます。**Groups** リストでは、ユーザ独自カスタム・グループのピンを作成でき、またピン・プランナのパッケージ・ビューにそれらをドラッグし、グループに対してロケーション・アサインメントを作成することができます。


 **Groups** リストでは、メンバがピンか内部ノードかに関係なく、アサインメント・グループのすべてのメンバが表示されます。

図 5-12. Groups リスト

Groups						
Node Name	Direction	I/O Bank	Location	VREF Group	I/O Standard	Reserved
d[7..0]	Input Group				LVTTTL (default)	
d[7]	Input	1	PIN_M22	B1_NO	LVTTTL (default)	
d[6]	Input	1	PIN_M20	B1_NO	LVTTTL (default)	
d[5]	Input	1	PIN_P21	B1_NO	LVTTTL (default)	
d[4]	Input	1	PIN_P20	B1_NO	LVTTTL (default)	
d[3]	Input	1	PIN_T22	B1_NO	LVTTTL (default)	
d[2]	Input	1	PIN_T21	B1_NO	LVTTTL (default)	
d[1]	Input	1	PIN_M17	B1_NO	LVTTTL (default)	
d[0]	Input	1	PIN_U21	B1_NO	LVTTTL (default)	
yn_out[7..0]	Output Group				LVTTTL (default)	
<<new group>>						

Groups リストに新しいグループを追加するには、以下のステップを実行します。

1. **Node Name** カラムで、<<new group>> をダブル・クリックします。
2. グループ名を入力します。
3. **Enter** を押します。**Add Members** ダイアログ・ボックスが表示されます。
4. ノード名、ワイルド・カード、およびアサインメント・グループを **Members** ボックスに入力するか、**Node Finder** ダイアログ・ボックスからノード名を参照して選択します。
5. **OK** をクリックします。



アサインメント・グループの使用について詳しくは、「Quartus II ハンドブック Volume 2」の「アサインメント・エディタ」の章を参照してください。

新しいグループは、**Groups** リストまたは **All Pins** リスト内の 1 つまたは複数のノード名を選択し、右クリック・メニューの **Add to Group** をクリックして作成することもできます。

I/O 配置のプランニングの際に、グループへのメンバの追加およびグループからのメンバの削除を決定することができます。

Groups リストのグループにメンバを追加するには、以下のステップを実行します。


1. **Assignments** メニューで、**Assignment Groups** を選択します。**Assignment Groups** ダイアログ・ボックスが表示されます。

2. **Groups** リストからグループ名を右クリックします。
3. 右クリック・ウィンドウで **Add Members** を選択します。
4. メンバの名前を入力するか **Browse** をクリックして、**Node Finder** ダイアログ・ボックスから1つまたは複数のノードを選択します。

Groups リストのグループからメンバを削除するには、以下のステップを実行します。

1. メンバを削除するグループを展開します。
2. 1つまたは複数の削除するメンバを選択します。
3. 選択したメンバを右クリックし、**Edit** をポイントし、**Delete** をクリックします。

Groups リストには多数のカラムがあり、それらのいくつかは情報用、その他はアサインメント作成用です。**Node Name** カラムに加えて編集可能なセルは、**Location** セル、**I/O Standard** セル、および予約セルのみです。その他のカラムには、**I/O** バンク番号、**VREF** グループ、および方向などの、**I/O** プランニング時の役立つ情報が表示されます。カラムを表示または非表示にするには、カラムを右クリックして、**Customize Columns** をクリックします。このメニューからカラムの再順序付けとソートを行うことができます。

 アサインメント・グループに方向の異なるピンが含まれている場合、アサインメント・グループの方向は **bidir** グループになります。

All Pins リスト

All Pins リストには、ユーザが作成したピンを含むデザイン内のすべてのピンが表示されます (図 5-13)。**All Pins** リストには、バスは表示されませんが、その代わりにバスの各ピンが表示されます。**All Pins** リストにデザイン内のピンを表示するには、**Analysis & Elaboration** を完了しなければなりません。**All Pins** リストには、ユーザが予約した個々のピンおよびピン関連アサインメントを有するノードが常に表示されます。

図 5-13. All Pins リスト

Node Name	Direction	Location	I/O Standard	I/O Bank	VREF Group	Reserved	
1	clk	Input	PIN_L2	LVTTTL (default)	5	B5_NO	
2	clkx2	Input	PIN_L3	LVTTTL (default)	5	B5_NO	
3	d[7]	Input	PIN_M22	LVTTTL (default)	1	B1_NO	
4	d[6]	Input	PIN_M20	LVTTTL (default)	1	B1_NO	
5	d[5]	Input	PIN_P21	LVTTTL (default)	1	B1_NO	
6	d[4]	Input	PIN_P20	LVTTTL (default)	1	B1_NO	
7	d[3]	Input	PIN_T22	LVTTTL (default)	1	B1_NO	
8	d[2]	Input	PIN_T21	LVTTTL (default)	1	B1_NO	
9	d[1]	Input	PIN_M17	LVTTTL (default)	1	B1_NO	
10	d[0]	Input	PIN_U21	LVTTTL (default)	1	B1_NO	
11	follow	Output	PIN_V21	LVTTTL (default)	1	B1_N1	
12	my_reserve_pin	Input	PIN_U22	LVTTTL (default)	1	B1_NO	As input tri-stated
13	newt	Input	PIN_M21	LVTTTL (default)	1	B1_NO	
14	reset	Input	PIN_M2	LVTTTL (default)	6	B6_N1	
15	yn_out[7]	Output	PIN_T20	LVTTTL (default)	1	B1_N1	
16	yn_out[6]	Output	PIN_N21	LVTTTL (default)	1	B1_NO	
17	yn_out[5]	Output	PIN_T19	LVTTTL (default)	1	B1_N1	
18	yn_out[4]	Output	PIN_N20	LVTTTL (default)	1	B1_NO	

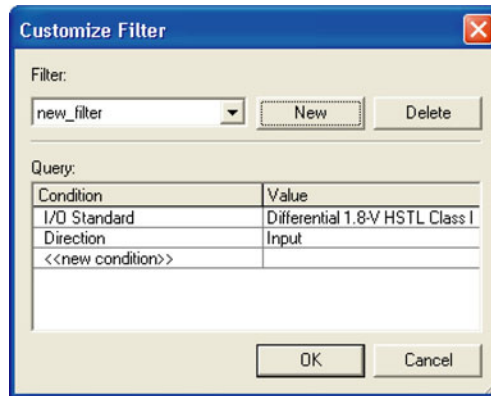
ピン名の一部をワイルド・カード文字と組み合わせ、**Named** リストに入力すると、**All Pins** リスト内のピンのリストをノード名に基づいてフィルタすることができます。さらに、**Filter** リストからの選択によって、**All Pins** リスト内のピンのリストをピンの属性に基づいてフィルタすることができます。

また、**Filter** リストでは、以下の条件のうちの 1 組を指定して、ユーザー独自のカスタム・フィルタを作成することもできます。

- Assigned or unassigned (割り当て済みまたは割り当て前)
- Current strength (電流強度)
- Direction (方向)
- Edge location (エッジ・ロケーション)
- I/O Bank location (I/Oバンク・ロケーション)
- I/O Standard (標準 I/O 規格)
- VREF Group (VREF グループ)


All Pins リストに新しいフィルタを作成するには、**All Pins** リスト内の **Filter** リストから、<<new filter>> を選択します。**Customize Filter** ダイアログ・ボックスが表示されます (図 5-14)。


図 5-14. Customize Filter ダイアログ・ボックス



All Pins リスト用のカスタム・フィルタを作成するには、以下のステップを実行します。

1. **Customize Filter** ダイアログ・ボックスで、**New** をクリックします。
New Filter ダイアログ・ボックスが表示されます。
2. カスタム・フィルタの名前を **Filter name** テキスト・ボックスに入力します。
3. **Based on Filter** リストから選択して、既存のフィルタを新しいカスタム・フィルタの基準にすることができます。他のフィルタをカスタム・フィルタの基準にしたくない場合には、**Based on Filter** リストから **Pins: all** を選択します。
4. **OK** をクリックします。
5. **Query** リストに、条件を必要な数だけ追加します。条件を追加するには、<<new condition>> をダブルクリックし、**Condition** リストから選択します。**Value** カラムの下の条件の隣のセルをダブルクリックして、値を選択します。

 フィルタから条件を削除するには、**Query** リスト内の条件を右クリックして、**Delete** を選択します。

 条件を指定した後は、指定された条件を満たすピンだけが**All Pins** リストに表示されます。条件セットが2つ以上の値を持つ条件を含む場合、表示されるピンは、複数值の条件に対する値のうち少なくとも1つを満たしているはずです。

既存のカスタム・フィルタを編集するには、**All Pins** リスト内の **Filter** リストから、<<new filter>> を選択します。**Customize Filter** ダイアログ・ボックスで、編集したいカスタム・フィルタを **Filter** リストから選択し、**Query** リストに条件を追加し、または **Query** リストから条件を削除します。

コンパイルまたはバス・グループから生成されたピンは編集できません。ユーザが作成したその他のピンはすべて編集可能です。

All Pins リストには多数のカラムがあり、それらのいくつかは情報用、その他はアサインメント作成用です。カラムを表示または非表示にするには、そのカラム見出しを右クリックして、**Customize Columns** を選択します。さらに、このメニューから、カラムの再順序付けとソートを行うことができます。

パッド・ビュー

デザインで高いシグナル・インテグリティを維持するには、ユーザのピン配置の決定を手引きするパッド・ビューを使用します。各デバイス・ファミリには、さまざまなピン・タイプ間のパッド間隔を含む、ピン配置ルールがあります。



ピン配置ルールについて詳しくは、該当するデバイス・ハンドブックを参照してください。

パッド・ビューでは、デザイン・ピンを使用可能なパッド・ロケーションにドラッグ・アンド・ドロップして、ピン・アサインメントの編集または作成を行うことができます。

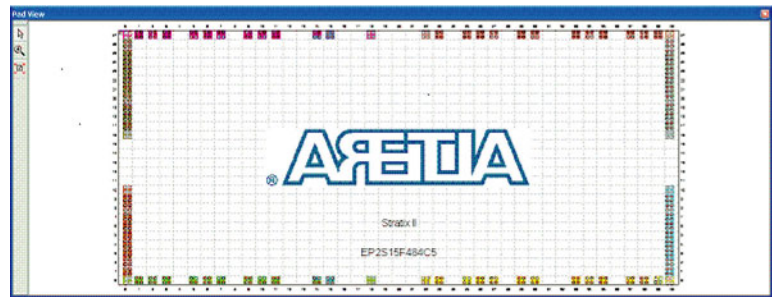
デザイン・ピンを使用可能なパッド・ロケーションにドラッグ・アンド・ドロップすると、パッドの対応するピン番号がデザイン・ピンに割り当てられます。デザイン・ピンにパッド番号を割り当てるには、以下のステップを実行します。

1. **Tools** メニューで、**Options** をクリックします。**Options** ダイアログ・ボックスが表示されます。
2. **Pin Planner** をクリックして、パッド・ビュー・ウィンドウ内の **Create pad assignment** をオンにします。

パッド・ビューの周囲のカラム番号とロウ番号は、各パッドがどのパッド・ロウまたはパッド・カラムにあるのかを識別するのに役立ちます。これは、ターゲット・デバイスのピン配置ガイドラインがパッド・ロウおよびパッド・カラムを参照する際に役立ちます。

パッド・ビューはパッケージ内のシリコンの I/O リングの表示なので、フリップ・チップ・パッケージについては、[図 5-15](#) に示すように、パッド・ビューが反転して表示されます（ALTERA ロゴが反転して表示されます）。シリコン・ダイ上のパッケージ・ピンとパッドとの相関関係が分かるように、パッド・ビュー・ウィンドウとパッケージ・ビューは密接に統合されています。パッドが選択されると、パッケージ・ビュー内の対応するピンがハイライトされます。同様に、パッケージ・ビュー内でピンが選択されると、パッド・ビュー・ウィンドウ内の対応するパッドがハイライトされます。

図 5-15. Stratix II フリップ・チップ・デバイスのパッド・ビュー

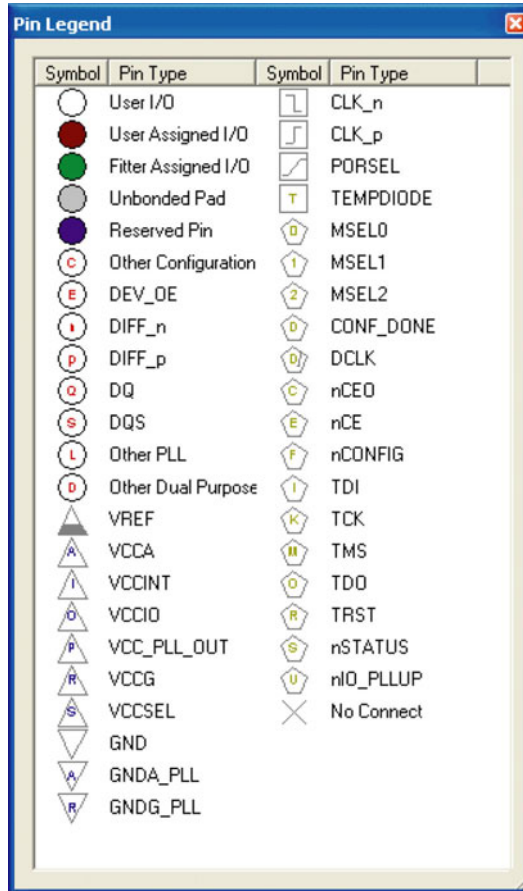


パッケージ・ビュー

ピン・プランナのパッケージ・ビューでは、実際のパッケージの視覚的表現としてピン記号が使用されます（[図 5-11](#)）。パッケージ・ビューを使用すると、各ピン番号とデバイス・パッケージ・データシートに記載されたパッケージの各ピンの物理的位置とを相互参照する必要がなくなります。パッケージ・ビューでピン・ロケーション・アサインメントを作成する場合、ピン・ロケーションの決定を支援するために、さまざまなビューの切り替えを行います。パッケージ・ビューのさまざまなビューには、I/O バンク、VREF グループ、エッジ、DQ/DQS ピン、および差動ピン・ペアが表示されます。パッケージ・ビュー内のさまざまなビューについて詳しくは、[5-19 ページの「ピン・プランナの使用」](#)を参照してください。

各ピン記号について詳しくは、Pin Legend ウィンドウを参照してください。Pin Legend ウィンドウを表示するには、View メニューで **Pin Legend** をクリックします（[図 5-16](#)）。

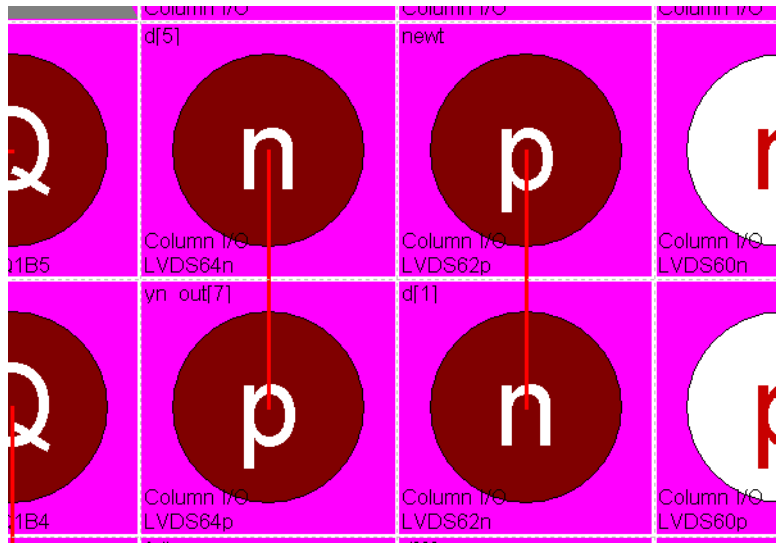
図 5-16. Pin Legend ウィンドウ



今日の市場では、ボードと併せて I/O のプランニングが必要です。FPGA デバイスの向きがピン・プランナのパッケージおよびパッド・ビューに表示された向きと異なる場合は、パッケージ・ビューを回転させます。パッケージ・ビューを回転させるには、View メニューで **Rotate Left 90°** および **Rotate Right 90°** をクリックして、パッケージ・ビューで FPGA が希望の向きに表示されるようにします。パッケージ・ビュー内の赤色のドットは、第 1 番目のピンの位置を示します。例えば、赤色の円は、ピン A1 が BGA パッケージのどこに配置され、またピン 1 が TQFP パッケージのどこに配置されているかを明確に示します。

パッケージ・ビューを印刷したり、ピン名とピン・タイプを表示することもできます (図 5-17)。パッケージ・ビューに各ピンのピン名 (存在する場合) またはピン・タイプを表示するには、View メニューで **Show Pin Names** をクリックし、さらに **Show Pin Types** をクリックします。

図 5-17. Show Pin Names および Show Pin Types を使用した場合のパッケージ・ビュー



ピン・リソースの利用率を表示するには、View メニューで **Resources** をクリックします。Resources ダイアログ・ボックスが表示されます (図 5-18)。


 リソースについて詳しくは、コンパイル・レポートの Resource セクションを参照してください。

図 5-18. Resources ウィンドウ

Resource	Total	Used	Available
I/O pin	346	27	319
DIFF in pin	100	16	84
DIFF out pin	80	7	73
DQ pin	109	2	107
DQS pin	14	0	14

HardCopy® II コンパニオン・デバイスが選択された場合、ピン・プランナは Stratix II デバイス用のパッケージ・ビューを表示します。Stratix II デバイスと HardCopy II デバイスとの間で正しいピン・マイグレーションを確実にするために、I/O Assignment Analysis コマンドまたはフィツタを実行します。

移行デバイスが選択された場合、ピン・プランナはマイグレーションに使用できるピンのみを表示します。移行デバイスを選択することによって、同じパッケージを使用しながら異なる集積度へのパーティカル・マイグレーション、または集積度とボール数が異なるパッケージ間のマイグレーションが可能になります。



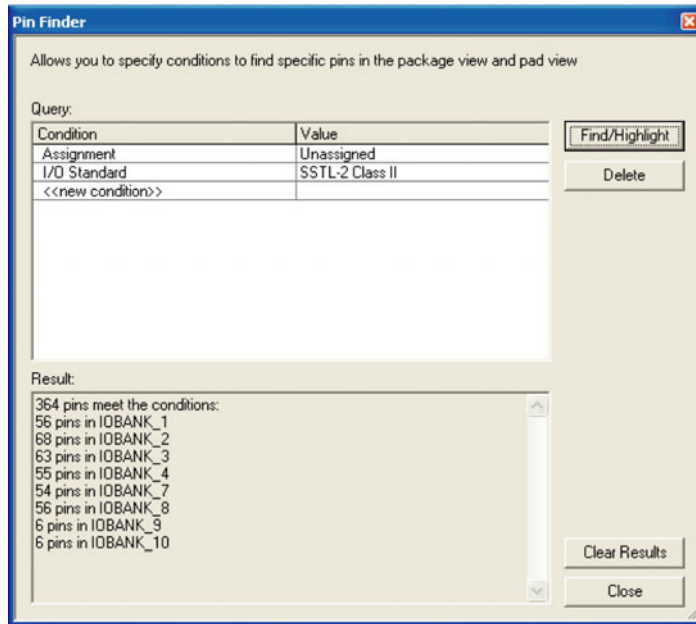
マイグレーションについて詳しくは、アルテラのアプリケーション・ノート「AN90: SameFrame Pin-Out Design for FineLine BGA Packages」を参照してください。HardCopyII デバイスの設計について詳しくは、「Quartus IIハンドブックVolume 1」の「Quartus II Support for HardCopy Series Devices」を参照してください。

Pin Finder を使用した互換性のあるピン・ロケーションの検出

FPGA のピン数が増加し I/O 機能の向上が続くにつれて、各 I/O の機能を理解することと、デザインの I/O を正しく割り当てるのが困難になりつつあります。この問題を緩和するために、ピン・プランナは、入力された条件のリストに一致するすべてのピンをハイライトします。条件を入力するには、ピン・プランナを開いた状態で以下のステップを実行します。

1. View メニューで、**Pin Finder** をクリックします。Pin Finder ウィンドウが表示されます (図 5-19)。

図 5-19. Pin Finder ウィンドウ



2. Pin Finder ウィンドウの **Query** リストに、条件のリストを作成します。

Query リストに条件を追加するには、<<new condition>> をダブルクリックし、リストから条件を選択し、その隣のセルをダブルクリックして、適切な値を選択します。例えば、SSTL-2 Class II 標準 I/O 規格をサポートするすべての使用可能なピンをハイライトするには、図 5-19 に示すようなアサインメント条件と標準 I/O 規格条件を作成します。

同じ条件を 2 回以上追加する場合、Pin Finder は指定された値のいずれかに一致する結果を検索します。同じ条件タイプを 2 回以上追加する場合、Pin Finder は指定された条件のすべてに一致する結果を検索します。

3. Pin Finder ウィンドウで、**Find/Highlight** をクリックします。パッケージ・ビューおよびパッド・ビュー・ウィンドウで、指定された条件を満たすすべてのピンがハイライトされます。

さらに、**Results** リストにも、指定された条件を満たす各 I/O バンク内のピン数の要約が表示されます。

予約ピン・アサインメントの作成

将来のデザイン・ピンのためのプレース・ホルダとして機能する予約ピン・アサインメントを作成します。ピン・プランナの **All Pins** リストに予約ピンを作成するには、以下のステップを実行します。

1. パッケージ・ビューの使用可能なピンを右クリックします。
2. 右クリックメニューで **Reserve** をポイントし、使用可能なコンフィギュレーションの1つをクリックします。

パッケージ・ビューからピンを予約する場合、予約ピンの名前はデフォルトで `user_reserve_<number>` となり、ピン記号は濃い紫色で塗りつぶされます。予約ピンが追加されるたびに、番号が1ずつ増分されます。

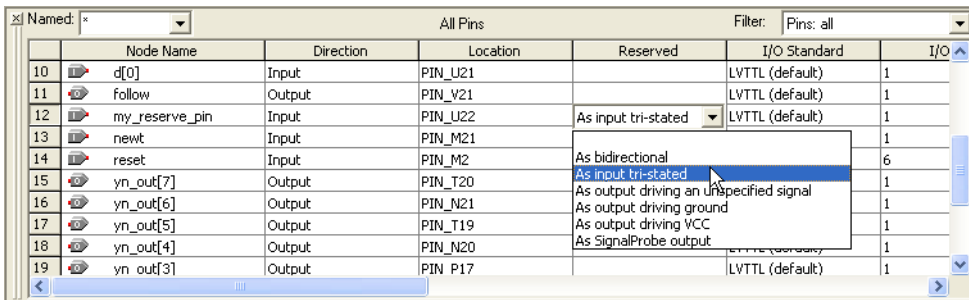
あるいは、**All Pins** リストからピンを予約することもできます。

1. **Node Name** カラム内の空のセルにピン名を入力します。そのピン名がデザインに存在してはなりません。
2. **Reserved** リストからピン・コンフィギュレーションを選択します (図 5-20)。


以下のコンフィギュレーションが使用可能です。

- As bidirectional (双方向ピンとして)
- As input tri-stated (入力トライ・ステート・ピンとして)
- As output driving unspecified signal (無指定信号ドライブ出力ピンとして)
- As output driving ground (グラウンド・ドライブ出力ピンとして)
- As output driving VCC (VCC ドライブ出力ピンとして)
- As SignalProbe output (SignalProbe 出力ピンとして)

図 5-20. All Pins リストでのピンの予約



Reserved リストから空白のエントリを選択すると、予約ピンが解除されます。

 **Direction** カラムは読み取り専用カラムで、予約された選択に応じて方向が変更されます。

ピン・ロケーション・アサインメントの作成

以下の方法によって、1本または複数のピンに対するピン・ロケーションを作成できます。

- 未割り当てピンに対する位置の割り当て
- 差動ピンに対する位置の割り当て
- 未割り当てピンのピン・ロケーションへの割り当て

未割り当てピンに対する位置の割り当て

デザイン・ピンのすべてに対して位置を割り当てるには、以下のステップを実行します。

1. Edit メニューで、アサインメントの方向を選択します。

アサインメントの方向を選択することによって、複数のピンを同時に割り当てることができます (表 5-3)。バス全体を割り当てる場合、アサインメントは最上位ビットから最下位ビットの順に作成されます。

アサインメント	ピン・グループ
下方向への割り当て	選択された未割り当てピンのグループから選択されたピンを先頭に、各ピンを下方向に割り当てます。
上方向への割り当て	選択された未割り当てピンのグループから選択されたピンを先頭に、各ピンを上方向に割り当てます。
右方向への割り当て	選択された未割り当てピンのグループから選択されたピンを先頭に、各ピンを右側のピンに順に割り当てます。
左方向への割り当て	選択された未割り当てピンのグループから選択されたピンを先頭に、各ピンを左側のピンに順に割り当てます。
1本ずつの割り当て	Unassigned Pins から選択されたピンのそれぞれに対するピン・ロケーションを選択します。

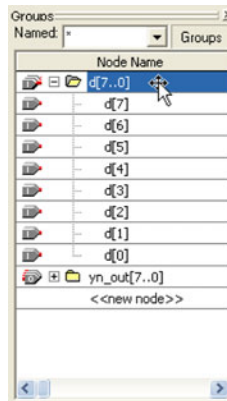


選択されたアサインメント方向ピンのバスに割り当て不能な位置が存在する場合、ピンはアサインメント方向のできるだけ遠くに割り当てられます。残りのピンを別々の位置に割り当てます。

2. **Filter** リストで、**Pins: unassigned** を選択します。
3. **All Pins** リストで、1 つまたは複数の未割り当てノード名を選択するか、**Groups** リストで、1 つまたは複数のバスを選択します。

コントロール・キーとシフト・キーを使用して、複数のノード名をクリックすることができます。**All Pins** リストまたは **Groups** リストでピンまたはバスをクリックすると、ノード名がハイライトされ、カーソルの上に十字矢印が表示されます。選択したセルをパッケージ・ビュー内にドラッグします (図 5-21)。

図 5-21. Groups リストでのノード名のドラッグ



4. **All Pins** リストまたは **Groups** リストから選択されたピンまたはバスをパッケージ・ビュー内の位置にドラッグ・アンド・ドロップします。


ピンをドラッグ・アンド・ドロップする前に、オプションで **Pin Finder** を使用して、選択されたピンをサポートするピン・ロケーションを見つけることができます。**Pin Finder** にクエリを作成するときは、未割り当てに設定したアサインメント条件を追加します。

Pin Finder を使用しない場合、ピン・プランナのパッケージ・ビューの位置（使用可能なユーザ I/O ピン、I/O バンク、VREF グループ、およびエッジ）のいずれかにピンを直接ドロップすることができます。**View** メニューで、**Show I/O Banks**、**Show VREF Groups**、および **Show Edges** の間で切り替えて、I/O バンク、VREF グループ、またはエッジを表示させることができます。

使用可能な I/O ピンは、パッケージ・ビューにおいて空白の円で表されます。円の内部の文字は、ユーザ I/O ピンに関する情報を提供します。マイナスおよびプラスの差動ピンは、それぞれ文字 "n" および "p" で示されます。

ピン・プランナでは、I/O バンクは、IOBANK_<番号> のラベルが付けられた長方形として表示されます（図 5-26）。各 I/O バンクには、1 つまたは複数の VREF グループがあります。VREF グループは、VREF GROUP_B<I/O Bank number>_N<インデックス> のラベルが付けられた長方形として表示されます（図 5-28）。

エッジ・ロケーションは、EDGE_< 方向 > のラベルが付けられた長方形として表示されます。エッジ・アサインメントを作成するには、EDGE_TOP、EDGE_BOTTOM、EDGE_LEFT、または EDGE_RIGHT の4つのエッジの1つにピンをドラッグ・アンド・ドロップします。

 また、**Node Finder** ダイアログ・ボックスとブロック図 / 回路図ファイルからパッケージ・ビュー内にピンをドラッグ・アンド・ドロップすることもできます。

差動ピンに対する位置の割り当て

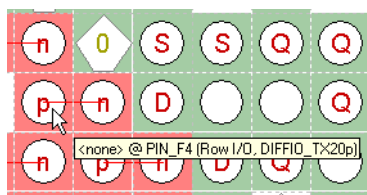
ピン・プランナを使用して差動ピンの識別とアサインメントを行うには、以下のステップを実行します。

1. View メニューで、**Show Differential Pin Pair Connections** をクリックします。

Show Differential Pin Pair Connection を選択すると、差動ピン・ペアのプラス・ピンとマイナス・ピンが赤色の線で結ばれます。プラス・ピンとマイナス・ピンは、パッケージ・ビューでそれぞれ、文字“p”と“n”のラベルが付けられます。(図 5-22)

2. パッケージ・ビューで差動ピンの上にマウス・ポインタを当てたまま、ツール・ティップを使用して LVDS 互換のピン・ロケーションを識別します。(図 5-22)

図 5-22. プラス差動ピンのツール・ティップ



ツール・ティップには、デザイン・ピン名とピン番号、およびそのピンの汎用機能と特殊機能が示されます。


使用可能なユーザ I/O ピンでもある、差動レシーバおよびトランスミッタ・チャネル・ピン用ツール・ティップ

< デザイン・ピン名 > @ PIN_< パッケージ・ピン番号 > (< ロウ | カラム > I/O, DIFFIO_< RX/TX > < 差動ピン・ペア番号 > < p | n >)


兼用 LVDS I/O チャンネル・ピン用ツール・ティップ

< デザイン・ピン名 > @ PIN_ < パッケージ・ピン番号 > (< ロウ | カラム > I/O, LVDS < 差動ピン・ペア番号 > < pin >)

3. **All Pins** リストまたは **Groups** リストから、差動ピンをクリックします。
4. **All Pins** リストまたは **Groups** リストから選択されたピンをパッケージ・ビューのプラス差動ピン・ロケーションにドラッグ・アンド・ドロップします。

 オプションで、ピンをドラッグ・アンド・ドロップする前に、**Pin Finder** を使用して、選択されたピンをサポートするピン・ロケーションを見つけることができます。**Pin Finder** にクエリを作成するときは、未割り当てに設定したアサインメント条件と、差動標準 I/O 規格に対して設定した標準 I/O 規格条件を追加します。

パッケージ・ビューにドラッグする未割り当て差動ピンは、差動ペアのプラス・ピンになります。フィッタが差動ペアのマイナス・ピンを自動的に認識し、ピン配置ファイルにそれを作成します。

 差動ピンをピン・ロケーションに割り当てる場合、マイナス・ピンは割り当て不能になります。**Quartus II** ソフトウェアはマイナス・ピンを差動ピン・ペア・アサインメントの一部として認識しますが、アサインメントは **Quartus II** 設定ファイル (QSF) に入力されません。

PLL に供給するシングル・エンド・クロックがある場合、ターゲット・デバイスのプラス・クロック・ピンにのみピンを割り当てます。PLL に供給し、ターゲット・デバイスのマイナス・クロック・ピンに割り当てられるシングル・エンド・ピンがあると、デザインがフィットに失敗する原因になります。



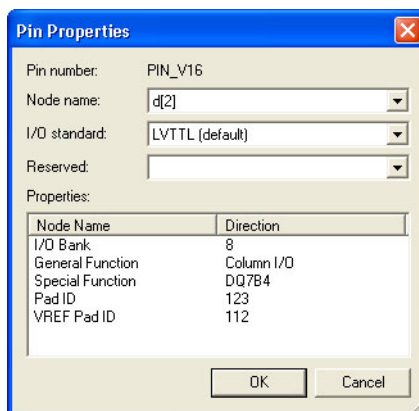
ツール・ティップで表示される汎用および特殊機能については、アルテラのウェブサイト www.altera.co.jp で使用可能なデバイス・ピン配置を参照してください。

未割り当てピンのピン・ロケーションへの割り当て

以下のステップを使用して、ピン・ロケーションを選択し、デザイン・ピンをその位置に割り当てます。

1. パッケージ・ビューで使用可能なピン・ロケーションを選択します。
2. **View** メニューで、**Pin Properties** をクリックします。Pin Properties ダイアログ・ボックスが表示されます (図 5-23)。

図 5-23. Pin Properties ダイアログ・ボックス



Pin Properties ダイアログ・ボックスを使用して、ピン・ロケーションと標準 I/O 規格のアサインメントを作成することができます。**Pin Properties** ダイアログ・ボックスには、パッド ID を含むピン・ロケーションのプロパティも表示されます (表 5-4)。パッド ID は、ピン間隔ガイドラインに従う際の重要な情報です。隣接するピン番号が、必ずしもダイ上の隣接するパッドを表すとは限りません。パッド・ビューを使用すると、パッド・ロケーションとユーザ I/O ピンおよび VREF ピン間の距離を関連付ける際の助けになります。

3. **Node Name** リストからピンを選択します。
4. 標準 I/O 規格のアサインメントまたは変更を行うには、**I/O standard** リストから標準 I/O 規格を選択します。
5. **OK** をクリックします。



ピン配置について詳しくは、該当するデバイス・ハンドブックを参照してください。

表 5-4 に、**Pin Properties** ダイアログ・ボックスの各フィールドについての説明を示します。

表 5-4. ピン・プロパティ	
ピン・プロパティ	説明
Pin Number (ピン番号)	パッケージで使用されるピン (1)
Node Name (ノード名)	ピン・ロケーションに割り当てられるノード名
I/O Standard (標準 I/O 規格)	ピン名およびピン・ロケーションに割り当てられる標準 I/O 規格
Reserved (予約)	ピンを予約する場合に、このピンを予約する方法を決定します。
I/O Bank (I/O バンク)	ピンの I/O バンク番号
汎用機能	ピン (ロウ / カラム I/O ピン、専用クロック・ピン VCC、および GND) の汎用機能
特殊機能	ピン (LVDS、PLL) の特殊機能
Pad ID (パッド ID)	ピンに接続されるパッド番号
VREF Pad ID (VREF パッド ID)	電圧リファレンス形式の標準 I/O 規格に使用される V_{REF} ピン用のパッド ID

表 5-4 の注 :

- (1) ピン番号の付加方法について詳しくは、アルテラのウェブサイト www.altera.co.jp のデバイスのピン配置を参照してください。



次のいずれかの方法を使用して、**Pin Properties** ダイアログ・ボックスを開くことができます。すなわち、ピン・プランナのパッケージ・ビューのピンをダブルクリックするか、またはピン・プランナのパッケージ・ビューのピンを右クリックして、**Pin Properties** をクリックします。

エラー・チェック機能

ピン・プランナは、基本的なピン配置チェック機能を備えており、フィッティング・ルールに違反するピン配置を防止します。ピン関連アサインメントを作成すると、ピン・プランナは以下のチェックを実行します。

- I/O バンクまたは VREF グループに使用可能なピンが存在しない場合、I/O バンクまたは VREF グループは割り当て不能な位置です。
- 差動ペアのプラス・ピンに差動標準 I/O 規格を指定したノード名が割り当てられた場合、その差動ペアのマイナス・ピンは割り当て不能となります。
- 出力ノード名または双方向ノード名の割り当てを試みた場合、専用入力ピン (専用クロック・ピンなど) は割り当て不能位置となります。
- 選択したノード名に割り当てられた標準 I/O 規格をサポートしないピン・ロケーションは割り当て不能となります。

- 同じ VREF グループのすべてのノードは、VREF 電圧が同じでなければなりません。これは、HSTL タイプおよび SSTL タイプの標準 I/O 規格にのみ適用してください。



ピン配置についてより包括的なチェックを行うには、I/O アサインメント解析を実行します。



詳しくは、5-50 ページの「I/O アサインメント解析を使用したピン・アサインメントの妥当性検証」を参照してください。

ピン・ロケーションの作成後、**All Pins** リストおよび **Groups** リストに、**Location** フィールド、**I/O Bank** フィールド、および **VREF Group** フィールドが作成されます。パッケージ・ビューでは、占有されているピンは濃い茶色で塗りつぶされます。

ピン・プランナでのメガファンクションおよび IP MegaCore の作成およびインポート

デザイン・ファイルが得られない可能性があるため、デザイン・サイクルの早い時期に I/O をプランニングするのは困難な場合があります。しかし、FPGA とその他のデバイス間のインタフェースは、デザイン仕様で決定され文書化されます。ピン・プランナにバス・インタフェースまたはメモリ・インタフェースを追加することによって、FPGA の I/O のプランニングを効率的に行うことができます。ALTPLL および ALTDDIO のようなメガファンクションと、PCI Compiler、QDR II、および Rapid IO のような IP MegaCore を含む、多くのタイプのインタフェースを追加できます。デザインで使用されるインタフェースの追加後、メガファンクションおよび IP MegaCore のすべての外部ピンが **Groups** リストに自動的に作成されます。

I/O プランニングを行いながらインタフェース情報を追加する利点は、必要なピンが割り当てられない可能性がなくなり、またピン・プランナ内に個々のピンを手動で作成しなくてもよいことです。

メガファンクションまたは IP MegaCore のバリエーションを作成またはインポートした後、そのメガファンクションまたは IP MegaCore の名前が **Groups** リストに表示され、すべての外部 I/O ピンの名前がそのメンバとして一覧表示されます。

図 5-24. Create/Import Megafunction ボックス



ピン・プランナからのメガファンクションまたは IP MegaCore のバリエーションの作成

ピン・プランナからメガファンクションまたは IP MegaCore のバリエーションを作成するには、以下のステップを実行します。

1. ピン・プランナで、パッケージ・ビュー内のどこかを右クリックします。
2. 右クリック・メニューで、**Create/Import Megafunction** をクリックします。**Create/Import Megafunction** ダイアログ・ボックスが表示されます (図 5-24)。
3. 新しいメガファンクションを作成するには、**Create a new megafunction** を選択して **OK** をクリックします。**MegaWizard® Plug-In Manager** ダイアログ・ボックスが表示されます。
4. **Installed Plug-Ins** の下に、サポートされているすべてのメガファンクションと IP MegaCore のリストが表示されます。メガファンクションまたは **IP MegaCore** を選択して、ウィザードを終了します。
5. ウィザードの終了後、指定したファイル名に基づいて新しいグループが作成され、I/O 名、方向、および標準 I/O 規格のすべてが、そのグループのメンバとして **Groups** リストに一覧表示されます。グループまたは個々のピンに対するピン・ロケーション・アサインメントを作成します。

ピン・プランナからのメガファンクションまたは IP MegaCore のバリエーションのインポート

ピン・プランナからバリエーションをインポートするには、以下のステップを実行します。

1. ピン・プランナで、パッケージ・ビュー内のどこかを右クリックします。
2. 右クリック・メニューで、**Create/Import Megafunction** をクリックします。**Create/Import Megafunction** ダイアログ・ボックスが表示されます (図 5-24)。
3. 既存のメガファンクションをインポートする場合は、**Import an existing customer megafunction** を選択して、**browse** をクリックします。メガファンクションのバリエーションに従って生成された**Pin Planner**ファイル (.ppf)、または IP MegaCore ファイルを選択します。
4. **instance name** で、インスタンス名を入力し、**OK** をクリックします。



メガファンクションまたは IP MegaCore のインスタンスが 2 つ以上あるときに、ピン名が重複するのを防ぐために、各ピン名の最初にインスタンス名が追加されます。

5. ウィザードの終了後、指定したファイル名に基づいて新しいグループが作成され、外部で使用されるすべての I/O が、そのグループのメンバとして一覧表示されます。グループまたは個々のピンに対するピン・ロケーション・アサインメントを作成します。

ピン・ロケーションの変更

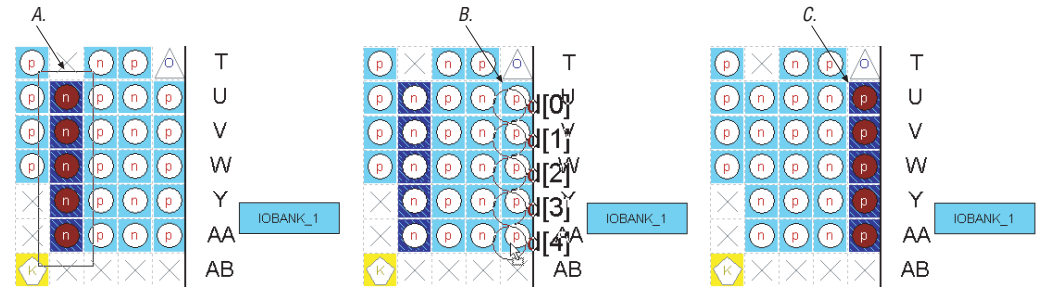
ピン・プランナによって、複数のピンの位置を同時に変更できます。ピン・ロケーションを変更するには、パッケージ・ビューまたはパッド・ビューで 1 本または複数のピンを選択し、それらのピンを新しい位置にドラッグします。

使用可能なユーザ I/O ピンとデバイス・パッケージ上でのそれらの物理的位置を理解すると、ピン・ロケーションの変更を素早くかつ容易に行うことができます。例えば、パッケージ・ビュー内でピンのカラムをデバイスのエッジに近づけて、より簡単に PCB の配線を行うことができます (図 5-25)。この例では、複数の I/O ピンを I/O バンクのエッジに最も近いエリアに移動しています。

1. パッケージ・ビューで、マウスの左ボタンを押したままで複数のピンを選択し、移動したいピンの上にドラッグします (図 5-25、ステップ A)。
2. ピンのグループを配置エリアまでドラッグします (図 5-25、ステップ B)。

- I/Oバンクのエッジに最も近いエリア内にピンをドロップします (図 5-25、ステップ C)。

図 5-25. ピン・グループの位置の変更



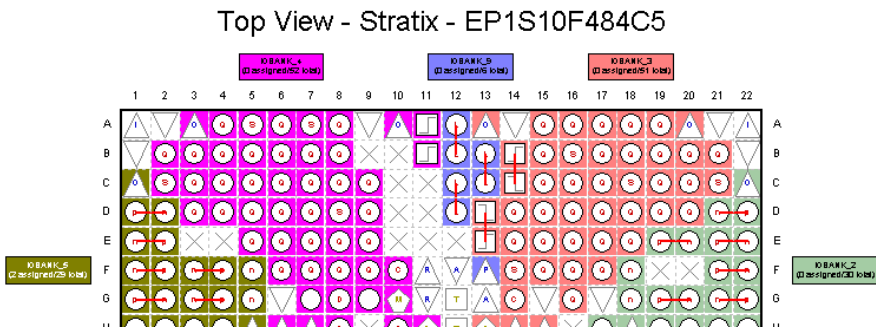
I/Oバンクの表示

Show I/O Banks をオンにする (**View** メニューで) と、パッケージ・ビューは、同じ VCCIO ピンを共有する I/O ピンを、異なる色を使用してグループ分けします (図 5-26)。I/O ピンのプランニングの際には、互換性のある標準 I/O 規格を備えたピンを同じ I/O バンク内に配置することによって、ピン配置の決定を手引きすることが重要です。例えば、LVTTTL の標準 I/O 規格を備えた LVTTTL ピンを 1.5 V HSTL Class I の標準 I/O 規格を備えた別のピンと同じバンクに配置することはできません。



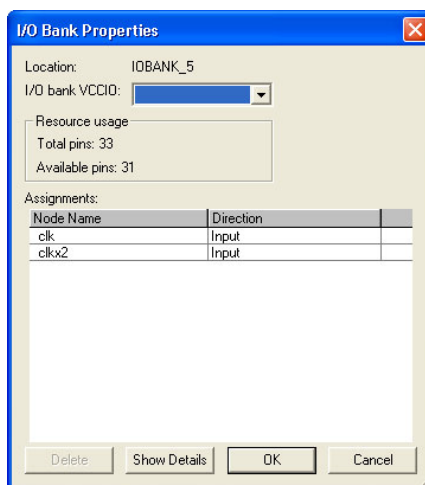
互換性のある標準 I/O 規格について詳しくは、該当するデバイス・ハンドブックを参照してください。

図 5-26. Show I/O Banks がオンになったパッケージ・ビュー



Show I/O Banks をオンにすると、パッケージ・ビューで各 I/O バンクのプロパティを見ることができます。パッケージ・ビューおよび **View** メニューで I/O バンクを選択し、**I/O Bank Properties** をクリックします。**I/O Bank Properties** ダイアログ・ボックスが表示されます (図 5-27)。**I/O Bank Properties** ダイアログ・ボックスに、その I/O バンクに割り当てられたすべてのノード名が一覧表示されます。I/O バンクに割り当てられたすべてのノード名を表示するには、**I/O Bank Properties** ダイアログ・ボックスの **Show Details** をクリックします。さらに、**I/O bank VCCIO** リストから電圧を選択して、I/O バンクに VCCIO を割り当てることもできます。

図 5-27. I/O Bank Properties ダイアログ・ボックス



Resource セクションには、割り当て可能なピンと割り当て不能なピンを含む I/O バンク内のピンの総数と、使用可能かつ割り当て可能なピンの総数が記述されます。

VREF グループの表示

View メニューで **Show VREF Groups** をオンにすると、パッケージ・ビューは、異なる色を使用して、同じ VCCIO ピンと VREF ピンを共有する異なる I/O ピンのグループを示します (図 5-28)。I/O ピンのプランニングの際には、互換性のある電圧リファレンス形式の標準 I/O 規格を備えたピンを同じ I/O バンク内に配置することが重要です。VREF ピンを要求する互換性のある標準 I/O 規格を同じ VREF グループ内に配置することによって、ピン配置の決定を手引きするには、**View** メニューで

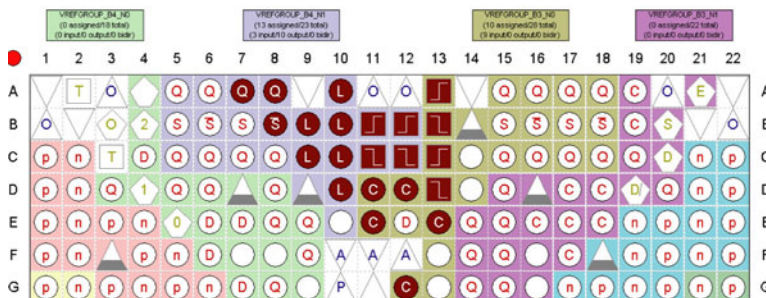
Show VREF Group をクリックします。例えば、標準 I/O 規格 SSTL-18 Class II と 1.8V-HSTL Class II を備えたピンは互換性があり、同じ VREF グループ内に配置することができます。同時スイッチング・ノイズ (SSN) 解析のために、VREF グループ内のピンの数と方向を把握しておくことも重要です。



互換性のある標準 I/O 規格について詳しくは、該当するデバイス・ハンドブックを参照してください。

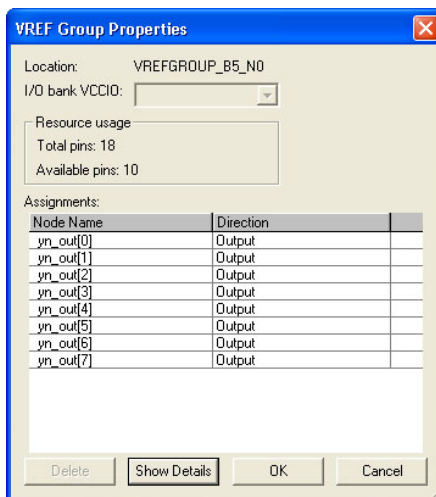
図 5-28. VREF グループが表示されたパッケージ・ビュー

Top View - Flip Chip Stratix II - EP2S15F484C3



Show VREF Groups をオンにすると、パッケージ・ビューで各 VREF グループのプロパティを表示することができます。パッケージ・ビューで VREF グループを選択し、View メニューで **VREF Group Properties** をクリックします。**VREF Group Properties** ダイアログ・ボックスが表示されます (図 5-29)。**VREF Group Properties** ダイアログ・ボックスに、その VREF グループに割り当てられたすべてのノード名が一覧表示されます。**Show Details** をクリックして、VREF グループ内のピン番号に割り当てられたノード名を表示します。VREF グループに割り当てられていて、ピン番号に割り当てられていないデザイン・ピンがすべて、**Assignments** リストに一覧表示されます。Resource usage セクションには、VREF グループのピンの総数と、使用可能かつ割り当て可能なピンの総数が記述されます。また、入力ピン、出力ピン、および双方向ピンの実行タリーも保存されています。

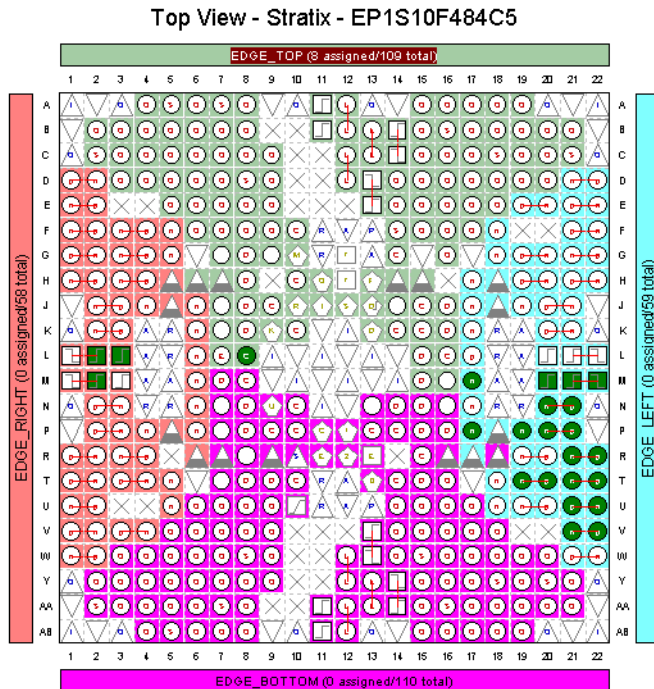
図 5-29. VREF グループのプロパティ



エッジの表示

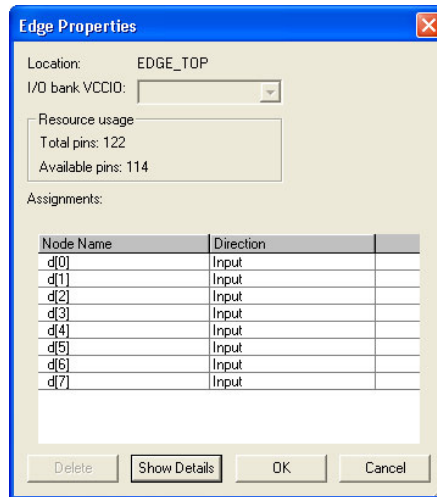
View メニューで **Show Edges** をオンにすると、パッケージ・ビューは異なる色を使用してパッケージの4つのエッジを表示します (図 5-30)。I/O ピンのプランニングを行う際に、ピンの正確な位置が優先されない場合は、エッジ・アサインメントを使用します。

図 5-30. Show Edges を使用した場合のパッケージ・ビュー



Show Edges をオンにすると、パッケージ・ビューで各エッジのプロパティを表示することができます。パッケージ・ビューでエッジを選択し、View メニューで **Edge Properties** をクリックします。**Edge Properties** ダイアログ・ボックスが表示されます。**Edge Properties** ダイアログ・ボックスに、そのエッジに割り当てられたすべてのノード名が一覧表示されます (図 5-31)。エッジ内のピン番号に割り当てられたすべてのノード名を表示するには、**Edge Properties** ダイアログ・ボックスの **Show Details** をクリックします。

図 5-31. エッジのプロパティ



DQ/DQS ピンの表示

View メニューで **Show DQ/DQS Pins** をオンにすると、パッケージ・ビューは異なる色を使用して DQ ピンと DQS ピンのグループをハイライトします (図 5-32)。これらの DQ/DQS グループをハイライトすると、どの DQ ピンが DQS ストローブ・ピンに関連付けられているか容易に識別できます。以下の DQ/DQS モードから選択可能です。

- x4 モード
- x8/x9 モード
- x16/x18 モード
- x32/x36 モード

図 5-32. DQ/DQS ピン (1)

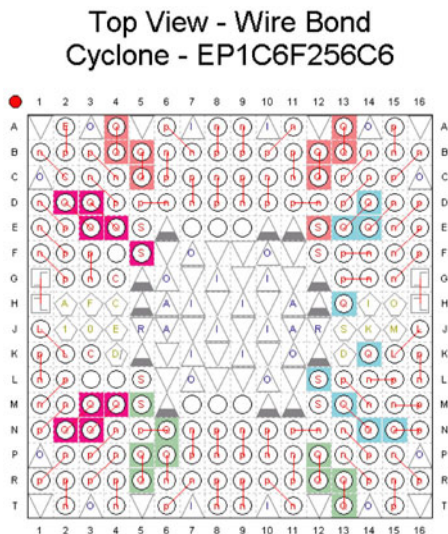


図 5-32 の注:

(1) この DQ/DQS ビューは x8 モードを示します。

例えば、Stratix II デバイスに DDR II を実装する場合、DQ ピンおよび DQS ピンとして限定的に使用されるように設計された専用ピンがあります。



altdq および altdqs メガファンクションの使用法について詳しくは、「altdq & altdqs Megafunction User Guide」を参照してください。

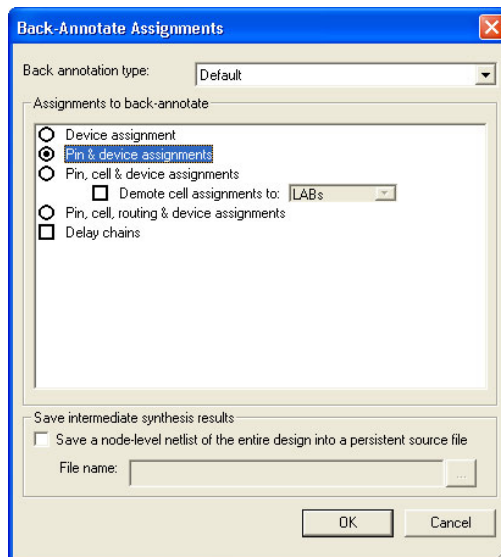
フィッタ配置の表示と承認

Show I/O Banks ビュー、**Show VREF Groups** ビュー、および **Show Edge** ビューに加え、View メニューの **Show Fitter Placements** を選択して、フィッタによって配置されたピンを表示することもできます。

コンパイルまたは I/O アサインメント解析を実行すると、フィッタはデザイン制約に基づいて、未割り当てピンへの最適な配置を提供します。View メニューで、**Show Fitter Placements** を選択すると、フィッタによって配置されたピンが緑色で塗りつぶされたピンとして、ピン・プランナのパッケージ・ビューに表示されます。**Back-Annotation** コマンドを使用して、フィッタ配置のコピーをプロジェクトの Quartus II 設定ファイルに作成することができます。フィッタによって配置されたすべてのピンに対するアサインメントをプロジェクトの Quartus II 設定ファイルに作成するには、以下のステップを実行します。

1. Quartus II ソフトウェアの Processing メニューで、**Start Compilation** をクリックするか、Processing メニューで Start をポイントして **I/O Assignment Analysis** をクリックします。
2. Assignments メニューで、**Pin Planner** をクリックします。**Pin Planner** ダイアログ・ボックスが表示されます。
3. View メニューで、**Show Fitter Placements** をクリックし、フィッタ配置をレビューします。
4. これらのフィッタ配置に対するロケーション・アサインメントを作成するには、以下のステップを実行します。
 - a. Assignments メニューで、**Back-Annotate Assignments** をクリックします。**Back-Annotate Assignments** ダイアログ・ボックスが表示されます。
 - b. **Pin & device assignments** を選択します (図 5-33)。
 - c. **OK** をクリックします。

図 5-33. Back-Annotate Assignments ダイアログ・ボックス



フィッタによって配置されたピンの選択に対するアサインメントを作成するには、以下のステップを実行します。

1. Quartus II ソフトウェアの **Processing** メニューで、**Start Compilation** をクリックするか、**Processing** メニューで **Start** をポイントして、**I/O Assignment Analysis** をクリックします。
2. **Assignments** メニューで、**Pin Planner** をクリックします。
3. **View** メニューで、**Show Fitter Placements** をクリックし、フィッタ配置をレビューします。
4. ピン・プランナで、アサインメントを作成するフィッタによって配置された 1 本または複数のピンを選択します。
5. 選択したピンの 1 本を右クリックし、**Back Annotate** をクリックします。
6. **File** メニューで、**Save Project** をクリックします。アサインメントが Quartus II 設定ファイルに書き込まれます。



Quartus II ソフトウェアが Quartus II 設定ファイルへの書き込みとアップデートを実行する方法について詳しくは、「Quartus II ハンドブック Volume 2」の「Quartus II Project Management」の章を参照してください。

I/O アサインメント 解析を使用した ピン・ アサインメント の妥当性検証

この項では、HDL デザインの開発時および開発後に Quartus II ソフトウェアの **Start I/O Assignment Analysis** コマンドを使用した、ピン・アサインメントの作成と解析を含むデザイン・フローについて説明します。

Start I/O Assignment Analysis コマンドによって、デザイン・プロセスの早期に I/O アサインメントをチェックすることができます。デザインのコンパイル前、コンパイル中、またはコンパイル後に、このコマンドを使用してピン・アサインメントの正当性をチェックします。デザイン・ファイルが使用可能な場合は、このコマンドを使用して、デザインの I/O ピンと周辺ロジックについてより徹底した正当性チェックを実行することができます。これらのチェックには、電圧リファレンス形式のピンの使用が適切かどうか、ピン・ロケーション・アサインメントが有効かどうか、また標準 I/O 規格の混在が許容できるかどうかのチェックが含まれます。



Start I/O Assignment Analysis コマンドは、Stratix シリーズ、Cyclone™ シリーズ、および Max® II デバイス・ファミリーをターゲットとするデザインに使用できます。

I/O アサインメント解析のデザイン・フロー

I/O アサインメント解析のデザイン・フローは、プロジェクトにデザイン・ファイルが含まれているかどうかによって異なります。以下の例に、I/O アサインメント解析を使用可能な2つの異なる状況を示します。

- FPGA デザインを開始する前にボード・レイアウトが完成していなければならない場合は、5-52 ページの図 5-34 に示すフローを使用します。このフローは、デザイン・ファイルを必要とせず、ピン・アサインメントの正当性をチェックします。
- 完成したデザインの場合には、5-55 ページの図 5-36 に示すフローを使用します。このフローは、提供された任意のデザイン・ファイルに対して、ピン・アサインメントの正当性を徹底的にチェックします。アサインメントの作成について詳しくは、「Quartus II ハンドブック Volume 2」の「アサインメント・エディタ」の章を参照してください。

各フローには、ピン・アサインメントの作成、解析の実行、およびレポート・ファイルのレビューが含まれます。


ピン関連アサインメントの追加または変更を行うたびに、解析を実行する必要があります。**Start I/O Assignment Analysis** コマンドは短時間で完了するので、頻繁に使用することができます。

解析では、ピン・アサインメントと周辺ロジックに対して、不正なアサインメントとボード・レイアウト・ルールの違反がないかチェックされます。例えば、解析ではピン・ロケーションが割り当てられた標準 I/O 規格、電流強度、サポートされている V_{REF} 電圧をサポートしているか、また PCI ダイオードが許可されているかチェックされます。

Start I/O Assignment Analysis コマンドは、ピン関連アサインメントを行って、PLL (Phase-Locked Loop)、低電圧差動信号 (LVDS)、ギガビット・トランシーバ・ブロックなどのリソースから直接供給するか、または直接供給されるブロックもチェックします。

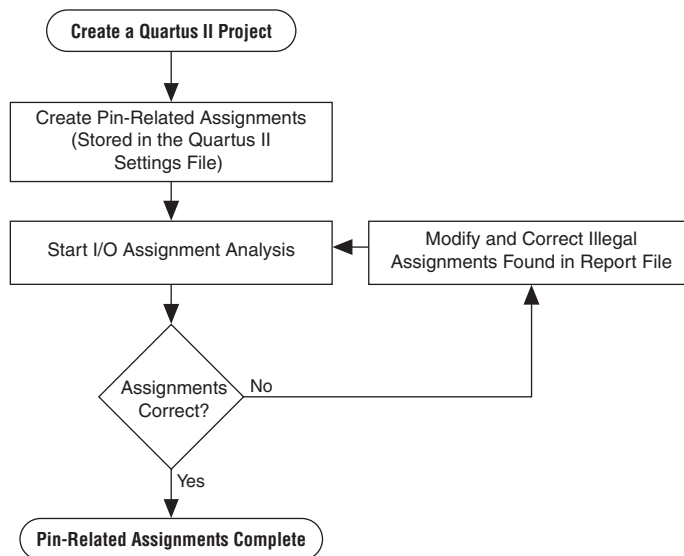
デザイン・ファイルなしのデザイン・フロー

FPGA デバイスの開発の早い段階で、ボード・レイアウトに携わるエンジニアが暫定的または最終的なピン配置を要請することがあります。手動チェックによってピン配置がデザイン・ルールに違反しているかどうかを確認することは、時間のかかる作業です。代わりに、**Start I/O Assignment Analysis** コマンドを使って、ピン・アサインメントの正当性に関する基本的なチェックを素早く実行することができます。

 完全なデザインがない場合、解析では限定されたチェックしか実行されず、アサインメントがデザイン・ルールに違反していないことは保証できません。

I/O Assignment Analysis コマンドは、デバイスが指定された Quartus II プロジェクトで作成されているが、HDL デザイン・ファイルを含まない可能性のあるピン・アサインメントに対して、限定されたチェックを実行できます。例えば、ターゲット・デバイスを1つだけ指定して Quartus II プロジェクトを作成し、既に決定されている回路基板レイアウトの検討事項に基づいて、ピン関連アサインメントを作成することができます。Quartus II プロジェクトにデザイン・ファイルが含まれていなくても、入力ピンと出力ピンを予約して、アサインメント・エディタを使用して各ピンに対するピン関連アサインメントを作成することができます。各予約ピンに標準 I/O 規格を割り当てた後、I/O アサインメント解析を実行して、各 I/O バンクで衝突する標準 I/O 規格が存在しないことを確認してください。


図 5-34. デザイン・ファイルのないピン配置のアサインメントと解析




デザイン・ファイルなしで、**Start I/O Assignment Analysis** コマンドを使用してピン配置のアサインメントと解析を行うには、以下のステップを実行します。

1. Quartus II ソフトウェアで、プロジェクトを作成します。

2. **Assignment Editor**、ピン・プランナ、または Tcl スクリプトを使用して、ピン・ロケーションと関連アサインメントを作成します。I/O アサインメント解析を実行してピンのタイプを決定するには、I/O ピンを予約する必要があります。5-61 ページの「[ピンの予約](#)」を参照してください。

 Mentor Graphics 社の I/O Designer ソフトウェアでピン関連アサインメントを作成する場合、FPGA Xchange ファイルを Quartus II ソフトウェアにインポートすることができます。

3. Processing メニューで **Start** をポイントし、**Start I/O Assignment Analysis** をクリックして解析を開始します。

 解析を開始するための Tcl スクリプトまたはコマンド・プロンプトの使用については、5-65 ページの「[スクリプトのサポート](#)」を参照してください。

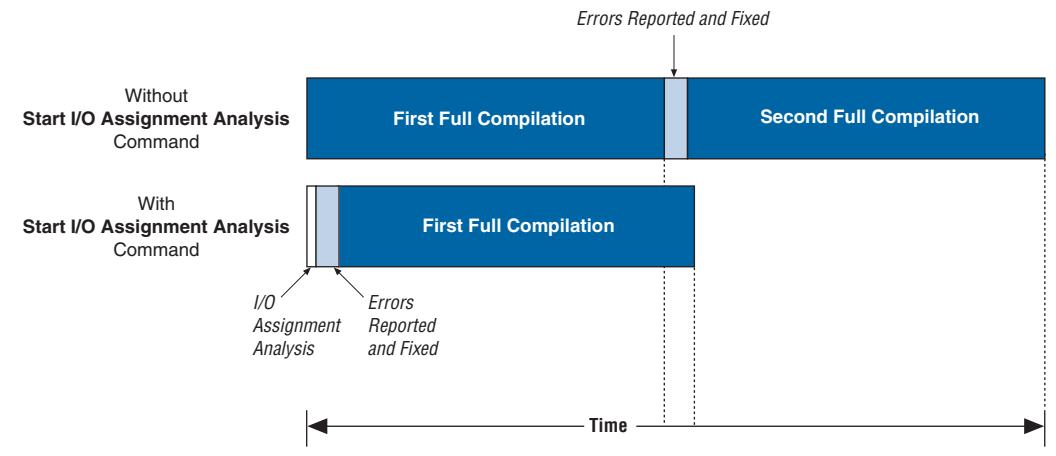
4. **Compilation Report** ウィンドウ、フィッタのレポート・ファイル (<プロジェクト名>.fit.rpt)、または **Messages** ウィンドウのメッセージに目を通します。
5. I/O アサインメント解析でレポートされたエラーと違反をすべて修正します。

すべてのエラーが修正されるまで、上記のステップ1~5を繰り返します。

デザイン・ファイルを使用したデザイン・フロー

Quartus II ソフトウェアは、フル・コンパイルの際に、フィッタ・ステージまで不正なピン・アサインメントをレポートしません。より早期にピン・アサインメントの妥当性を検証するために、**Analysis & Synthesis** の実行後およびフル・コンパイル実行前に、**Start I/O Assignment Analysis** コマンドを実行することができます。一般に、解析に要する時間は短時間です。図 5-35 に、**Start I/O Assignment Analysis** コマンドを使用する利点を示します。

図 5-35. Start I/O Assignment Analysis コマンドでのコンパイル時間の節約

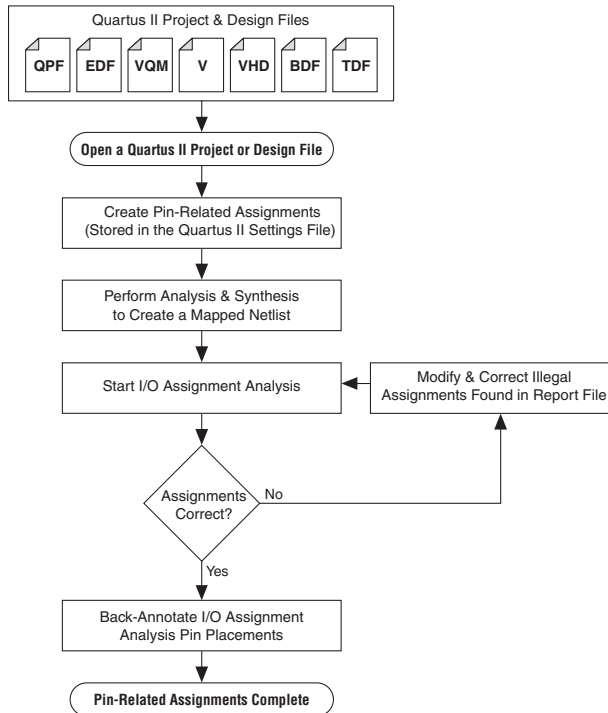


I/O アサインメント解析によってチェックされるルールは、デザインの完全性によって異なります。デザインが完全な場合、**Start I/O Assignment Analysis** コマンドによって、すべてのピン関連アサインメントの正当性が徹底的にチェックされます。トップレベルのラッパ・ファイルだけのこともある部分的なデザインの場合、**Start I/O Assignment Analysis** コマンドで、デザインが十分な情報を持つピン関連アサインメントの正当性がチェックされます。

例えば、クロックをクロック専用ピンに割り当てずにユーザ I/O ピンに割り当てたり、デザインでインスタンス化が完了していない PLL をドライブするようにクロックを設計することがあるかもしれません。**Start I/O Assignment Analysis** コマンドは、ピンがドライブするロジックを認識していないので、専用クロック入力ピンしか PLL のクロック・ポートをドライブできないことをチェックできません。

カバレッジを向上させるために、デザインのできるだけ多くの部分、特にピンに接続するロジックについて解析を実行します。例えば、デザインに PLL ブロックまたは LVDS ブロックが含まれている場合、解析のために **MegaWizard Plug-In Manager** で生成されたこれらのファイルをプロジェクトに組み込む必要があります (図 5-36)。

図 5-36. デザイン・ファイルを使用したピン配置のアサインメントと解析



デザイン・ファイルと一緒に **Start I/O Assignment Analysis** コマンドを使用して、ピン配置のアサインメントと解析を行うには、以下のステップを実行します。

1. Quartus II ソフトウェアで、デザイン・ファイルを含むプロジェクトを作成します。
2. アサインメント・エディタを使って、ピン関連アサインメントを作成します。



さらに、コンマ区切り値ファイルからピン関連アサインメントをインポートする、Tcl コマンドを実行する、Quartus II 設定ファイルを直接編集する、またはピンをドラッグ・アンド・ドロップしてピン関連アサインメントを作成し、Start をポイントして **Start Analysis & Synthesis** をクリックし、内部マップ・ネットリストを生成することもできます。

解析を開始するための Tcl スクリプトまたはコマンド・プロンプトの使用については、5-65 ページの「スクリプトのサポート」を参照してください。

3. Processing メニューで Start をポイントし、**Start I/O Assignment Analysis** をクリックして解析を開始します。
4. **Compilation Report** ウィンドウ、または **Messages** ウィンドウ内のメッセージに目を通します。
5. アサインメント・エディタを使用して、レポートされたエラーと違反をすべて修正します。
6. すべてのエラーが修正されるまで、**Start I/O Assignment Analysis** コマンドを使用します。

I/O アサインメント解析でチェックされる I/O ルール

I/O アサインメント解析の効果は、ピン関連アサインメントおよびデザインの完全性に関係します。デザインが確実に正しく機能するように、できるだけ多くのデザイン・ファイルと、すべてのピン関連アサインメントを Quartus II プロジェクトに含めてください。

表 5-5 と 5-6 に、デザイン・ファイルを使用して I/O アサインメント解析を実行したときに実行される I/O ルールと、デザイン・ファイルなしで I/O アサインメント解析を実行したときに実行される I/O ルールのサブセットを示します。



各 I/O ルールについて詳しくは、該当するデバイス・ハンドブックを参照してください。

ルール	説明	デバイス (1) ・ファミリ	HDL が 必要か
I/O バンク的能力	I/O バンクに割り当てられたピン数を、I/O バンクで許容されるピン数と照合します。	すべて	不要
I/O バンク V _{CCIO} 電圧の互換性	I/O バンクに割り当てられたピンのうち、V _{CCIO} ピンが 1 本しか要求されていないことをチェックします。	すべて	不要
I/O バンク V _{REF} 電圧の互換性	I/O バンクに割り当てられたピンのうち、V _{REF} ピンが 1 本しか要求されていないことをチェックします。	すべて	不要
標準 I/O 規格と位置の不一致	ピン・ロケーションが割り当てられた標準 I/O 規格をサポートしているかチェックします。	すべて	不要

表 5-5. 一般的な I/O 関連ルール (2 / 2)			
ルール	説明	デバイス (1) ・ファミリ	HDL が 必要か
標準 I/O 規格と信号方向の不一致	ピン・ロケーションが割り当てられた標準 I/O 規格と方向をサポートしているかチェックします。例えば、特定のピン・ロケーション上の特定の標準 I/O 規格は、出力ピンしかサポートしていません。	すべて	不要
差動標準 I/O 規格では、オープン・ドレインをオンにすることができません。	差動標準 I/O 規格を備えたすべてのピンに対して、オープン・ドレインがオフになっていることをチェックします。	すべて	不要
標準 I/O 規格とドライブ強度の不一致	ドライブ強度のアサインメントが標準 I/O 規格の仕様の範囲内にあるかチェックします。	すべて	不要
ドライブ強度と位置の不一致	ピン・ロケーションが割り当てられたドライブ強度をサポートしているかチェックします。	すべて	不要
BUSHOLD と位置の不一致	ピン・ロケーションが BUSHOLD をサポートしているかチェックします。例えば、専用クロック・ピンは BUSHOLD をサポートしません。	すべて	不要
WEAK_PULLUP と位置の不一致	ピン・ロケーションが WEAK_PULLUP をサポートしているかチェックします (例えば、専用クロック・ピンは WEAK_PULLUP をサポートしません)。	すべて	不要
エレクトロマイグレーション・チェック	連続するパッドのドライブ強度の合計が所定の制限を超えていないかチェックします。例えば、Stratix II デバイスで、10 個の連続するパッドの電流ドライブ強度の合計が 200 mA を超えてはなりません。	すべて	不要
PCI_IO クランプ・ダイオード、位置、および標準 I/O 規格の不一致	ピン・ロケーションが割り当てられた標準 I/O 規格と併せて、PCI_IO クランプ・ダイオードをサポートしているかチェックします。	すべて	不要
SERDES および I/O ピン・ロケーションの互換性チェック	デザインの SERDES に接続されたすべてのピンが専用 SERDES ピン・ロケーションに割り当てられていることをチェックします。	すべて	要
PLL および I/O ピン・ロケーションの互換性チェック	PLL に接続されているピンが専用 PLL ピン・ロケーションに割り当てられているかチェックします。	すべて	要

表 5-34 の注:

- (1) 「すべて」には、次のデバイス・ファミリが含まれます。Stratix II、Stratix GX、Stratix、Cyclone II、Cyclone、MAX II、および HardCopy デバイス。

表 5-6. SSN 関連ルール			
ルール	説明	デバイス (1) ・ファミリ	HDL が 必要か
DPA が存在する場合、I/O バンクにシングル・エンド I/O があってはなりません。	DPA と同じ I/O バンク内にシングル・エンド I/O ピンがないことをチェックします。	Stratix II、 Stratix GX	不要
PLL I/O バンクは、シングル・エンド標準 I/O 規格と差動信号を同時にサポートしません。	差動信号が存在する場合、PLL I/O バンクにシングル・エンド I/O ピンが存在しないことをチェックします。	Stratix II	不要
シングル・エンド出力は、差動 I/O ピンから所定の距離だけ離れている必要があります。	シングル・エンド出力ピンが差動 I/O ピンから所定の距離だけ離れているかチェックします。	すべて	不要
シングル・エンド出力は、VREF パッドから所定の距離だけ離れていなければなりません。	シングル・エンド出力が VREF パッドから所定の距離だけ離れているかチェックします。	Cyclone II、 Cyclone	不要
シングル・エンド入力、差動 I/O ピンから所定の距離だけ離れている必要があります。	シングル・エンド入力ピンが差動 I/O ピンから所定の距離だけ離れているかチェックします。	Cyclone II、 Cyclone	不要
VREF が使用されている場合、VREFGROUP 内の出力ピン数または双方向ピン数が多すぎます。	VREF が使用されている場合、VREFGROUP 内の出力ピン数または双方向ピン数が所定の数を超えないことをチェックします。	すべて	不要
VREFGROUP の出力数が多すぎます。	VREFGROUP の出力数が多すぎないかチェックします。	すべて	不要

表 5-6 の注：

- (1) 「すべて」には、次のデバイス・ファミリが含まれます。Stratix II、Stratix GX、Stratix、Cyclone II、Cyclone、MAX II、および HardCopy デバイス。

I/O アサインメント解析での出力イネーブル・グループ・ロジック・オプション・アサインメントの使用

各デバイスは所定数の VREF ピンを備えており、各 VREF ピンは所定数の I/O ピンをサポートします。デバイスのピン配置をチェックして、VREF ピンと関連付けられた I/O ピンの位置を見つけます。VREF ピンは、サポートされる I/O ピンを含めて、VREF バンクと呼ばれます。VREF ピンは、SSTL や HSTL などの VREF 標準 I/O 規格の入力ピンにのみ使用されます。VREF 出力には VREF ピンは不要です。VREF バンクに電圧リファレンス形式の入力がある場合、その VREF バンクに存在可能な所定数の出力しか存在できません。Stratix II フリップ・チップ・パッケージの場合、VREF バンクに VREF 標準 I/O 規格の入力が存在するときには、そのバンクには 20 個の出力しか存在できません。

双方向 VREF I/O ピンを使用するインタフェースの場合、ピンがいずれかの方向にドライブしているとき、VREF の制約が満足されなければなりません。双方向信号セットが差動出力イネーブルによって制御される場合、**I/O Assignment Analysis** コマンドはこれらを個別の出力イネーブルとして扱います。出力イネーブル・グループ・ロジック・オプション・アサインメントを使用して、双方向信号セットを 1 つの出力イネーブルとして扱います。これは外部メモリ・インタフェースの場合に重要です。

例えば、Stratix II デバイスの DDR2 インタフェースがこれに該当します。Stratix II デバイスは VREF グループに 30 本のピンを持つことができます。x8 DDR2 インタフェースの各バイト・レーンには、1 本の DQS ピンと 8 本の DQ ピンが存在し、バイト・レーンあたりのピンの総数は 9 本になります。DDR2 は、標準 I/O 規格として VREF 標準 I/O 規格である SSTL18 を使用します。標準的なインタフェースでは、各バイト・レーンに独自の出力イネーブルがあります。この例では、DDR2 インタフェースには 4 つのバイト・レーンがあります。1 つの VREF グループで 30 本の I/O ピンを使用する場合、3 つのバイト・レーンと、残りの 3 本のピンをサポートする 1 つの追加バイト・レーンが存在します。出力イネーブル・グループ・ロジック・オプション・アサインメントを使用しない場合、I/O Assignment Analysis コマンドは各バイト・レーンを、固有の出力イネーブルによってドライブされる独立したグループとして解析します。この構成では、ワースト・ケースのシナリオは、3 本のピンが入力で他の 27 本のピンが出力のときです。この場合、27 本の出力ピンは、出力ピンの制限値である 20 本に違反します。

DDR2 インタフェースでは、すべての DQS ピンと DQ ピンが常に同じ方向にドライブされます。したがって、I/O アサインメント解析では、デザインに適用不能なエラーがレポートされます。出力イネーブル・グループ・ロジック・オプション・アサインメントを DQS ピンと DQ ピンに割り当てると、I/O アサインメント・アナライザに、これらのピンを共通出力イネーブルによってドライブされるグループとしてチェックさせます。出力イネーブル・グループ・ロジック・オプション・アサインメントを使用すると、DQS ピンおよび DQ ピンはすべて入力ピンまたはすべて出力ピンとしてチェックされます。これは、表 5-5 および 5-6 で説明したルールに違反しません。

出力イネーブル・グループ・ロジック・オプション・アサインメントの値は、整数値でなければなりません。同じ方向にドライブしているすべての信号セットに、同じ整数値を与える必要があります。出力イネーブル・グループ・ロジック・オプション・アサインメントは、特定の時間帯でのみドライブされるピンと併用することもできます。例えば、DDR2 インタフェースのデータ・マスク信号は出力専用ですが、DDR2 が書き込み中に限りドライブされます（双方向信号は出力です）。したがって、

出力イネーブル・グループ・ロジック・オプション・アサインメントは、同じ値の DQS 信号と DQ 信号を持つデータ・マスクに割り当てる必要があります。

出力イネーブル・グループは、VREF 入力ピンでも使用できます。出力がドライブしているときに VREF 入力ピンがアクティブでない場合、VREF 入力ピンを出力イネーブル・グループに追加することができます。これにより、VREF 入力ピンが VREF 解析から除外されます。例えば、RLDRAM II用の QVLD 信号は読み出し時のみアクティブになります。書き込み時、QVLD はアクティブではないため、VREF グループ内のアクティブな VREF 入力ピンとはみなされません。QVLD ピンは、RLDRAM II データ・ピンと同じ出力イネーブル・グループに配置できます。

I/O アサインメント解析用入力

Start I/O Assignment Analysis コマンドで以下の入力を読み込みます。

- 内部マップ・ネットリスト
- Quartus II 設定ファイル

内部マップ・ネットリストは、部分的または完全なデザインがある場合に使用されます。解析のためにすべてのピン関連アサインメントを読み込むのに、常に Quartus II 設定ファイルが使用されます。

マップ・ネットリストの生成

Start I/O Assignment Analysis コマンドは、使用可能な場合はマップ・ネットリストを使用して、ピン・タイプと周辺ロジックを識別します。マップ・ネットリストは、内部で Quartus II ソフトウェアのデータベースに格納されます。

マップ・ネットリストを生成するには、Processing メニューで **Start** をポイントし、**Start Analysis & Synthesis** をクリックします。

quartus_map 実行コマンドを使用して **Analysis & Synthesis** を実行するには、システム・コマンド・プロンプトで、以下のコマンドを入力します。

```
quartus_map <project name> ↵
```

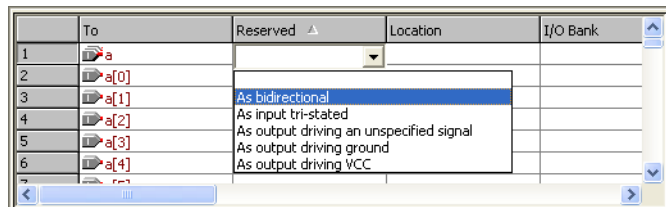
ピン関連アサインメントの作成

I/O Assignment Analysis コマンドで、すべてのピン関連アサインメントが含まれる Quartus II 設定ファイルが読み込まれます。これらのピン関連アサインメントには、標準 I/O 規格、ドライブ強度、およびロケーション・アサインメントなどのピン設定が含まれます。以下の項では、作成可能なロケーション・アサインメントのいくつかを重点的に取り上げます。

ピンの予約

デザイン・ファイルがない場合でも、ピン・ロケーションの予約とピン関連アサインメントの作成が可能です。**Start I/O Assignment Analysis** コマンドがピンおよびピン・タイプに関する情報（入力、出力、または双方向）を取得して、ピンを正しく解析するためにピンの予約が必要です。ピンを予約するには、Assignments メニューで **Assignment Editor** をクリックし、**Category** バーで、**Pin** をクリックしてピン・アサインメント・カテゴリを開きます。**Reserved** カラムで、予約するピンに対応するセルをダブルクリックします。ドロップダウン矢印を使用して、ピン予約オプションから選択します (図 5-37)。

図 5-37. アサインメント・エディタを使用した入力ピンの予約




アサインメント・エディタの使用について詳しくは、「Quartus II ハンドブック Volume 2」の「アサインメント・エディタ」の章を参照してください。

ピン・プランナを使用してピンを予約することもできます。ピン・プランナについて詳しくは、5-12 ページの「ピン・プランナ」を参照してください。

ロケーション・アサインメント

以下のタイプのロケーション・アサインメントをデザインおよびその予約ピンに対して作成できます。

- ピン番号
- I/O バンク
- VREF グループ
- エッジ

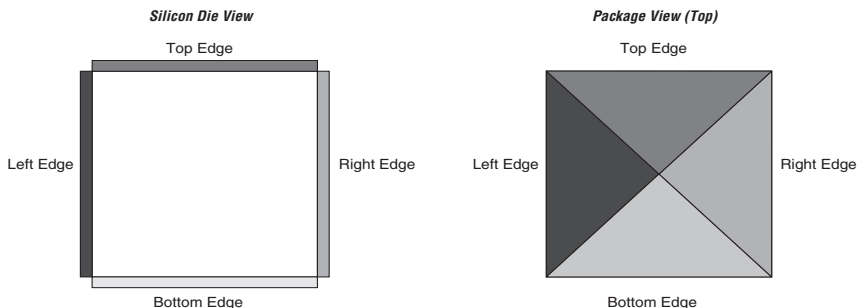
 I/O バンク、VREF グループ、およびエッジ・ロケーション・アサインメントは、Stratix および Cyclone シリーズのデバイス・ファミリに対してのみサポートされています。

ピン・プランまたはアサインメント・エディタを使用して、ピンに位置を割り当てることができます。アサインメント・エディタを使用してピン・ロケーション・アサインメントを作成するには、Assignments メニューで **Assignment Editor** をクリックし、**Category** リストから **Pin** カテゴリを選択します。ピン名を入力し、**Location** リストから位置を選択します。

互換性のある標準 I/O 規格を備えたピン（またはバス）のグループを、同じ I/O バンクまたは VREF グループに配置するのが一般的です。例えば、2.5 V および SSTL-II のように 2 つの互換性のある標準 I/O 規格を備えた 2 つのバスは、同じ I/O バンクに配置することができます。

特定の I/O バンクで使用可能なピン数を超える大きなバスを配置する簡単な方法は、エッジ・ロケーション・アサインメントを使用することです。エッジ・ロケーション・アサインメントはエッジ付近で密集しているので、これらを使用して大きなバスの回路基板での配線能力を向上させることができます。[図 5-38](#) にアルテラのデバイス・パッケージのエッジを示します。

図 5-38. アルテラ・デバイスでの 4 つのエッジのダイ・ビューおよびパッケージ・ビュー



推奨される部分配置

Start I/O Assignment Analysis コマンドは、ピンの正当性のチェックを実行できるように、未割り当てピンに推奨されるピン・ロケーションを自動的に割り当てます。例えば、LVDS ピンのグループにエッジ・ロケーションを割り当てると、**I/O Assignment Analysis** コマンドは、指定されたエッジ・ロケーションの各 LVDS ピンにピン・ロケーションを割り当て、ついで正当性チェックを実行します。

これらの推奨ピン配置を受け入れるには、Assignments メニューで **Back-Annotate Assignments** をクリックし、**Pin & device** アサインメントを選択して、**OK** をクリックします。バック・アノテーションによって、Quartus II 設定ファイルのピン・アサインメントとデバイス・アサインメントが節約されます。

I/O アサインメント解析レポートおよびメッセージの理解

Start I/O Assignment Analysis コマンドによって、詳細な解析レポート (図 5-39) とピン配置ファイルが生成されます。レポートに記載された詳細なメッセージは、ピン・アサインメント・エラーを直ぐに理解し解決するのに役立ちます。それぞれの詳細メッセージには、関連ノード名と問題の記述が含まれています。

レポート・ファイルを閲覧するには、Project メニューで **Compilation Report** をクリックします。コンパイル・レポートの **Fitter** セクションは、以下の 4 つのセクションで構成されています。

- Analyze I/O Assignment Summary (I/O アサインメント解析サマリ)
- Resource Section (リソース・セクション)
- Pin-Out File (ピン配置ファイル)
- Fitter Messages (フィッター・メッセージ)

Resource セクションでは、ピンが **Input Pins** (入力ピン)、**Output Pins** (出力ピン)、および **Bidir Pins** (双方向ピン) に分類されます。**I/O Bank Usage** セクションで、デバイス内の各 I/O バンクの利用率を確認してください。

図 5-39. I/O アサインメント解析レポートの I/O バンク利用率の要約

I/O Bank	Usage	VCCIO Voltage	VREF Voltage
1	0 / 39 (0%)	3.3V	--
2	6 / 39 (15%)	3.3V	--
3	4 / 43 (9%)	3.3V	--
4	2 / 45 (4%)	3.3V	--
5	4 / 39 (10%)	3.3V	--
6	1 / 39 (3%)	3.3V	--
7	0 / 45 (0%)	3.3V	--
8	0 / 44 (0%)	3.3V	--
9	6 / 6 (100%)	3.3V	--
10	3 / 6 (50%)	3.3V	--

Fitter Messages ページには、エラー、警告、および情報メッセージを含むすべてのメッセージがあります。

コンパイル・レポートの **Fitter Messages** ページと、**Messages** ウィンドウの **Processing** タブで、詳細なメッセージを閲覧することができます。**Messages** ウィンドウを開くには、View メニューで **Utility Windows** をポイントし、**Messages** をクリックします。

Location ボックスをエラー・メッセージの解決に役立ててください。**Location** リストから選択し、**Locate** をクリックします。

図 5-40 に、I/O アサインメント解析でレポートされるエラー・メッセージの一例を示します。

図 5-40. I/O アサインメント解析でのエラー・メッセージのレポート

- ✖ Error: I/O bank 7 contains input or bidirectional pins with I/O standards that make it impossible to choose a legal VCCIO value for the bank
- ℹ Info: Can't select VCCIO 1.5V for I/O bank due to 1 input or bidirectional pins
- ℹ Info: Can't select VCCIO 1.8V for I/O bank due to 1 input or bidirectional pins
- ℹ Info: Input or bidirectional pin clk uses I/O standard LVTTTL
- ℹ Info: Can't select VCCIO 2.5V for I/O bank due to 1 input or bidirectional pins
- ℹ Info: Can't select VCCIO 3.3V for I/O bank due to 1 input or bidirectional pins
- ✖ Error: Can't fit design in device
- ✖ Error: Quartus II Fitter was unsuccessful. 2 errors, 1 warning

スクリプトのサポート

Tcl スクリプトによって、この章で説明する手順の実行と設定の作成を行うことができます。また、これらの手順のいくつかは、コマンド・プロンプトで実行することもできます。

特定のスクリプティング・コマンド・オプションと Tcl API パッケージについての詳細情報を得るには、システム・コマンド・プロンプトで以下のコマンドを入力して、Quartus II command-Line と Tcl API Help ブラウザを実行してください。

```
quartus_sh --qhelp ↵
```



Quartus II のスクリプティング・サポートについて詳しくは、「Quartus II ハンドブック Volume 2」の「Tcl Scripting」および「Command-Line Scripting」の章を参照してください。

I/O アサインメント解析の実行

Tcl コマンドを使って、またはコマンド・プロンプトでコマンドを実行して、I/O アサインメント解析を実行することができます。I/O アサインメント解析の実行について詳しくは、5-63 ページの「I/O アサインメント解析レポートおよびメッセージの理解」を参照してください。

Tcl コマンド

Tcl コンソールまたはスクリプトで、以下のとおり入力します。

```
execute_flow -check_ios
```

コマンド・プロンプト

(非 Tcl) システム・コマンド・プロンプトで、以下のとおり入力します。

```
quartus_fit <プロジェクト名> --check_ios ↵
```

マップ・ネットリストの生成

Tcl コマンドまたはコマンドライン・コマンドを使って、マップ・ネットリストを生成することができます。マップ・ネットリストの生成について詳しくは、5-60 ページの「マップ・ネットリストの生成」を参照してください。

Tcl コマンド

Tcl コンソールまたはスクリプトで、以下のとおり入力します。

```
execute_module -tool map
```

execute_module コマンドはフロー・パッケージにあります。

コマンド・プロンプト

システム・コマンド・プロンプトで、以下のとおり入力します。

```
quartus_map <プロジェクト名>←
```

ピンの予約

以下の Tcl コマンドを使用して、ピンを予約します。ピンの予約について詳しくは、[5-61 ページの「ピンの予約」](#)を参照してください。

```
set_instance_assignment -name RESERVE_PIN <値> -to <信号名>
```

有効な値は、以下のとおりです。「AS BIDIRECTIONAL」、
「AS INPUT TRI-STATED」、
「AS OUTPUT DRIVING AN UNSPECIFIED SIGNAL」、
「AS OUTPUT DRIVING GROUND」および
「AS SIGNALPROBE OUTPUT」値を指定する際には、引用符を含めます。

ロケーション・アサインメント

以下の Tcl コマンドを使用して、ピンまたはデバイス・ロケーションに信号を割り当てます。ロケーション・アサインメントについて詳しくは、[5-62 ページの「ロケーション・アサインメント」](#)を参照してください。

```
set_location_assignment <ロケーション> -to <信号名>
```

有効な位置は、Pin_A3 のようなピン・ロケーション名です。Stratix シリーズおよび Cyclone デバイス・ファミリは、エッジ・ロケーションと I/O バンク・ロケーションもサポートしています。エッジ・ロケーションは、EDGE_BOTTOM、EDGE_LEFT、EDGE_TOP、および EDGE_RIGHT です。I/O バンク・ロケーションには、IOBANK_1 ~ IOBANK_n が含まれます。ただし、n は特定のデバイスの I/O バンク数です。

IBIS モデルの生成

アルテラは、シグナル・インテグリティ問題への対処を支援するために、アルテラ FPGA の I/O をシミュレートする IBIS モデルを提供しています。IBIS モデルのシミュレーションには、以下を初めとする多くの利点があります。

- デバイスの内部回路とプロセスを開示しないことによって、機密情報を保護します。
- モデルの生成時に、パッケージの寄生および静電気放電（ESD）構造が考慮されているので、正確なモデルを生成します。
- シリコンの供用前にデバイスを評価できるので、迅速な「time-to-market」を実現します。
- ボード上でのシグナル・インテグリティのシミュレーションに使用できます。
- Spice のような構造モデルと比較して、より高速なシミュレーション時間を実現します。
- IBIS は業界のすべてのシミュレーション・プラットフォームと互換性があります。

I/O アサインメント解析またはフィットが正常に行われた後で、以下のステップを実行して、Quartus II ソフトウェアから IBIS モデルを生成できます。

1. **Assignments** メニューで、**EDA Tool Settings** をクリックします。**Settings** ダイアログ・ボックスが表示されます。
2. **Settings** ダイアログ・ボックスの **Category** の下で、**Board-Level** を選択します。
3. **Tool name** リストで、**Signal Integrity (IBIS)** を選択します。
4. **OK** をクリックします。
5. **Processing** メニューで **Start** をクリックし、**Start EDA Netlist Writer** をクリックするかフル・コンパイルを実行します。

<プロジェクト・ディレクトリ>/board/ibis ディレクトリに<プロジェクト名>.ibs ファイルが生成されます。



IBIS モデルのサポートについて詳しくは、www.altera.co.jp を参照してください。

PCB デザイン ・ ツールの 組み込み

この項では、PCB ツールとのピン・アサインメントの転送について概要を示します。詳しくは、「Quartus II ハンドブック Volume 2」の「Cadence PCB Design Tools Support」および「Mentor Graphics PCB Design Tools Support」の章を参照してください。

FPGA または ASIC の設計者が最初に信号およびピンのアサインメントを作成し、これらのアサインメントをシステム回路の回路図およびボード・レイアウトで使用されるシンボルに正しく転送するのは、ボード設計者の責任です。ボード・デザインの進行に伴って、レイアウトを最適化するためにピンの再アサインメントが要請または要求されることがあります。これらの再アサインメントは FPGA の設計者が引き継ぎ、I/O アサインメント・アナライザで新しいアサインメントの妥当性検証を実行し、FPGA の最新の配置配線によって処理できなければなりません。

Quartus II ソフトウェアは、Quartus II 設定ファイル、ピン配置ファイル、および FPGA Xchange ファイルなどのピン情報ファイルのインポートおよびエクスポートによって、ボード・レイアウト・ツールとやりとりします。

まとめ

Quartus II ソフトウェアは、I/O プランニング・プロセスを通してユーザを支援する多数のツールと機能を提供します。I/O アサインメント解析プロセスは、デザインの開発前であっても、あらゆるデザイン・ステージでピン・アサインメントの妥当性を検証する能力を提供します。Quartus II ソフトウェアと他の PCB ツールとの間でアサインメントをインポートおよびエクスポートする機能によっても、繰り返しの変更を効率的に行うことが可能になります。