

### はじめに

FPGA デザインのサイズが大きくなり、より複雑になるに伴って、合成ツールによるデザイン解釈方法を解析する能力が重要になっています。今日の最新デザインでは、さまざまなデザイン・ブロックのコーディングおよび合成に何人ものデザイン・エンジニアが携わることも多く、デザインの解析とデバッグを困難にしています。Quartus® II RTL Viewer、State Machine Viewer、および Technology Map Viewer は、デバッグ、最適化、または制約入力処理時に初期および完全にマップされた合成結果を表示する強力な手段を提供します。

この章の最初の項「ビューワの使用時：デザインの問題の解析」では、ビューワを使用してデザイン・サイクルの各種ステージで、デザインを解析する例を説明します。以降の項には、ネットリスト・ビューワを使用した Quartus II デザイン・フローの紹介、各ビューワの概要、およびユーザ・インタフェースの説明があります。次のセクションでは、以下の作業について説明します。

- 回路図の検索とフィルタリング
- Quartus II ソフトウェア内のプロープ
- タイミング・アナライザ・レポートからのタイミング・パスの表示方法

最後のセクション 12-46 ページの「State Machine Viewer での HDL コードのデバッグ」では、ビューワを使用してデザインを解析し、デザインの問題を迅速に解決する詳細な例を示します。

### ビューワの使用時： デザインの 問題の解析

ネットリスト・ビューワを使用してデザインを解析し、Quartus II ソフトウェアによるデザインの解釈方法を確認することができます。ここでは、RTL Viewer、State Machine Viewer、および Technology Map Viewer を使用して、デザイン・プロセスで遭遇した問題を解析する方法を示す簡単な例を提供します。

ネットリスト・ビューワによるデザインの表示について詳しくは、以下の項を参照してください。

- ネットリスト・ビューワによる Quartus II デザイン・フロー
- RTL Viewer の概要
- State Machine Viewer の概要
- Technology Map Viewer の概要

ネットリスト・ビューワのユーザ・インタフェースについては、12-7 ページの「ユーザ・インタフェースの概要」を参照してください。

RTL Viewer では初期合成結果を表示し、希望のロジックが生成できたか、ソフトウェアがロジックおよび接続を正しく解釈したかどうかを判断することができます。RTL Viewer と State Machine Viewer を使用して、シミュレーションおよび他の検証プロセスの前に、デザインを視覚的にチェックすることができます。デザイン・プロセスの早い段階でデザイン・エラーを発見することにより、貴重な時間を節約できます。

検証中に予期しない動きが発生した場合も、RTL Viewer を使用してネットリストをトレースし、デザインの接続およびロジックが予測どおりであることを確認します。また、State Machine Viewer を使用して、ステート・マシンの遷移および遷移等式を表示できます。デザインを表示してデザイン問題の原因を発見し解析することができます。RTL Viewer に表示されたデザインに問題が見当たらない場合、デザイン・プロセスの後半の解析において、可能性のあるタイミング違反または検証フロー自体の問題を調査します。

Technology Map Viewer を使用して、Analysis & Synthesis 実行後にビューワを実行して合成終了時の結果を調べたり、あるいはフィタ実行後にビューワを実行して配置配線後の結果を調べることができます。

また、RTL Viewer または Technology Map Viewer を使用して特定の信号のソースを見つけ、デザインのデバッグに役立てることができます。この章で説明するナビゲーション手法を使用すると、デザイン内を簡単に検索できます。関心のあるポイントからトレース・バックして信号のソースを見つけ、接続が予測したとおりであることを確認できます。

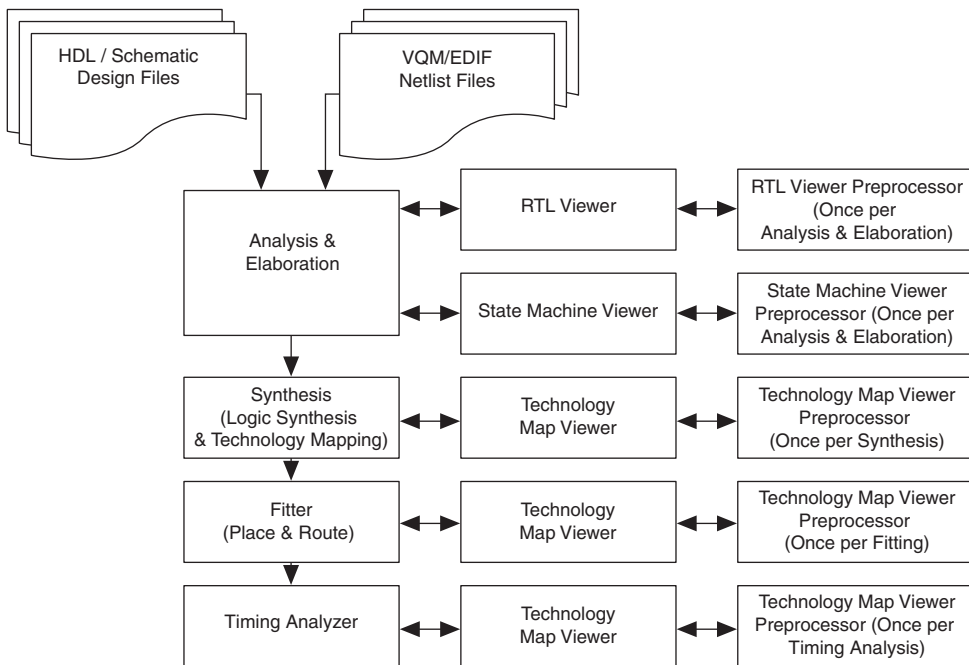
また、Technology Map Viewer を使用して、ネットリストで合成後ノードを見つけ、デザインを最適化する際にアサインメントを作成することができます。この機能は、デザイン内の2つのレジスタ間でマルチサイクル・クロック・タイミング・アサインメントを作成する場合などに役立ちます。I/O ポートからスタートし、デザインおよび階層レベルを前方または後方にトレースして、関心のあるノードを見つけたり、回路図を視覚的に調べて特定のレジスタを探すことが可能です。

RTL Viewer、State Machine Viewer、および Technology Map Viewer は、この他にもデザイン、デバッグ、および最適化の各ステージで、さまざまな用途に使用することができます。デザイン・ネットリストの表示は、デザインの問題を解析するための強力な方法です。この章では、デザイン解析時の生産性を向上させるために、ネットリスト・ビューワのさまざまな機能の使用方法を説明します。

## ネットリスト・ビューワによる Quartus II デザイン・フロー


デザインをコンパイルした後で最初にネットリスト・ビューワを開くとき、ビューワが開く前にプリプロセッサ・ステージが自動的に実行されます。ビューワを閉じ、デザインを再コンパイルしないで後で再び開く場合、ビューワはプリプロセッサ・ステージを実行しないですぐを開きます。図 12-1 に、基本的な Quartus II デザイン・フローにおけるネットリスト・ビューワの利用方法を示します。

図 12-1. Quartus II デザイン・フローにおける RTL Viewer および Technology Map Viewer の活用




各ビューワがプリプロセッサを実行してデザインを開く前に、以下に示す最小コンパイル・ステージでデザインがコンパイルされている必要があります。

- RTL Viewer または State Machine Viewer を開くには、最初に少なくとも **Analysis & Elaboration** を実行する必要があります。
- Technology Map Viewer を開くには、最初に少なくとも **Analysis & Synthesis** を実行する必要があります。

 最初にデザインを適切な最小コンパイル・ステージでコンパイルしないでビューワを開いても、ビューワは表示されません。この場合、Quartus II ソフトウェアはエラー・メッセージを発行し、必要なコンパイル・ステージを実行して、ビューワを再起動するよう指示します。

両ビューワとも最後に成功したコンパイル結果を表示します。したがって、Analysis & Elaboration 実行時にエラーが発生するようなデザインの変更を行った場合、新しいデザイン・ファイルのネットリストは表示されず、代わりに最後にコンパイルに成功したデザイン・ファイルの結果が表示されます。コンパイル時にエラーが表示されたが、まだプロジェクトで適切なコンパイル・ステージを正常に実行していない場合、ビューワは表示できません。この場合、ビューワを開こうとすると Quartus II ソフトウェアはエラー・メッセージを発行します。

 新たにコンパイルを開始するときビューワ・ウィンドウが開いている場合、ビューワは自動的に閉じます。コンパイルが正常に完了した後で、新しいデザイン・ネットリストを表示するには、再びビューワを開く必要があります。

## RTL Viewer の概要

Quartus II RTL Viewer では、Quartus II 合成の結果の RTL (レジスタ転送レベル) グラフィカル表現、または Quartus II ソフトウェア内のサードパーティ・ネットリスト・ファイルを表示することができます。

デザインが、Verilog HDL デザイン・ファイル (.v)、VHDL (.vhd)、AHDL テキスト・デザイン・ファイル (.tdf)、回路図ブロック・デザイン・ファイル (.bdf)、または MAX+PLUS® II ソフトウェアからインポートした回路図グラフィック・デザイン・ファイル (.gdf) など、サポートされているいずれかの Quartus II デザイン入力方法を使用しているときは、Analysis & Elaboration 後に結果を表示できます。デザインで合成ツールを使用して Verilog Quartus (.vqm) マッピング・ファイルまたは Electronic Design Interchange Format (.edf) ネットリスト・ファイルを生成するときは、素子レベル・プリミティブ (デバイス・ロジック・セルや I/O ポートなど) の階層を表示することもできます。フロー図については、図 12-1、「[Quartus II デザイン・フローにおける RTL Viewer および Technology Map Viewer の活用](#)」を参照してください。

Quartus II RTL Viewer は、Quartus II ソフトウェアで Analysis & Elaboration またはネットリストの抽出を実行した後、テクノロジー・マッピングと合成またはフィタ最最適化アルゴリズムを実行する前に、デザイン・ネットリストの回路図を表示します。まだ最適化を実行していないため、表示内容は最終的なデザイン構造ではありません。この表示はオリジナルのソース・デザインに最も近いものです。Quartus II 合成機能を使用してデザインを合成した場合、このビューに Quartus II ソフト


ウェアによるデザイン・ファイルの解釈が表示されます。サードパーティ合成ツールを使用している場合は、このビューに合成ツールで記述されたネットリストが表示されます。

デザインを表示する場合、RTL Viewer は可読性を向上させるために、以下の方法を用いてネットリストを最適化します。

- ファン・アウトのないロジック（出力が未接続）およびファン・インのないロジック（入力未接続）を表示から削除します。
- VCC や GND などのデフォルトの接続を非表示にします。
- ピン、ネット、ワイヤ、モジュール、ポート、および特定のロジックは、必要に応じてバスにグループ化されます。
- 固定値のバス接続がグループ化されます。
- 値は 16 進形式で表示されます。
- NOT ゲートは回路図のバブル反転記号に変換されます。
- 同等な組み合わせゲートのチェーンが 1 つのゲートにマージされます。例えば、2 入力 AND ゲートに供給している 2 入力 AND ゲートは 1 個の 3 入力 AND ゲートに変換されます。
- ステート・マシン・ロジックは、状態図、状態遷移テーブル、および状態エンコーディング・テーブルに変換され、State Machine Viewer に表示されます。

Quartus II プロジェクトに対して RTL Viewer を実行するには、最初にデザインを解析して RTL ネットリストを生成します。デザインを解析して RTL ネットリストを生成するには、Processing メニューの **Start** をポイントして、**Start Analysis & Elaboration** をクリックします。フル・コンパイルまたは Quartus II コンパイル・フローの最初の Analysis & Elaboration ステージを含む任意のプロセスを実行することもできます。

ビューワを実行するには、Tools メニューで Netlist Viewers をポイントし、**RTL Viewer** をクリックするか **Applications** ツールバーで **RTL Viewer** を選択します。

 **Applications** ツールバーは、デフォルトでは Quartus II ユーザ・インタフェースで表示されません。ツールバーを追加するには、Tools メニューの **Customize** をクリックします。**Customize** ダイアログ・ボックスで **Toolbars** の下の **Toolbars** タブをクリックし、**Applications** をオンにします。**Close** をクリックします。


## State Machine Viewer の概要

State Machine Viewer は、デザインで有限状態・マシンのハイレベルな表示を提供します。State Machine Viewer は、状態およびそれらの関連遷移のグラフィカル表現、そして各状態遷移の条件等式を表示する状態遷移テーブル、および各状態のエンコーディング情報を提供します。

State Machine Viewer を実行するには、Tools メニューで Netlist Viewers をポイントして、**State Machine Viewer** をクリックします。特定のステート・マシンに対して State Machine Viewer を開くには、RTL Viewer でステート・マシン・インスタンスをダブルクリックするか、ステート・マシン・インスタンスを右クリックし、**Hierarchy Down** をクリックします。

## Technology Map Viewer の概要

Quartus II Technology Map Viewer は、Analysis & Synthesis またはフィットでデザインをターゲット・デバイスにマップした後で、デザインのテクノロジ固有のグラフィカル表現を提供します。Technology Map Viewer は、デザイン内の素子レベル・プリミティブ（デバイス・ロジック・セルや I/O ポートなど）の階層を表示します。サポートされているファミリについては、内部レジスタ、ルック・アップ・テーブル、内部ロジック・セル（LCELL）、および I/O 素子レベル・プリミティブも表示できます。詳しくは、12-21 ページの「[Technology Map Viewer での素子レベル・プリミティブの内容の表示](#)」を参照してください。

 可能な場合、合成を通して各階層のポート名が維持されます。ただし、ポート名が変更されたりデザインから削除されたりする場合があります。例えば、ポートが接続されていないかあるいは GND または VCC でドライブされる場合、そのポートは合成時に削除されます。ポート名が変更される時、そのポートにはデザイン内の関連するユーザ・ロジック名、または IN1 や OUT1 などの一般的なポート名が割り当てられます。

合成、フィッティング、またはタイミング解析後に Quartus II テクノロジ・マップの結果を表示することができます。Quartus II プロジェクトで Technology Map Viewer を実行するには、Processing メニューで Start をポイントし、**Start Analysis & Synthesis** をクリックして、デザインを合成し、ターゲット・テクノロジにマッピングします。フル・コンパイルまたはコンパイル・フローの合成ステージを含む任意のプロセスを実行することもできます。

フィット・ステージを完了している場合、Technology Map Viewer はフィジカル・シンセシス最適化など、フィットによってネットリストに加えられた変更を表示します。タイミング解析ステージを完了している場合、Technology Map Viewer のタイミング・アナライザ・レポートで

タイミング・パスを見つけることができます (詳しくは、12-37 ページの「タイミング・パスの表示」を参照してください)。フロー図については、図 12-1 を参照してください。

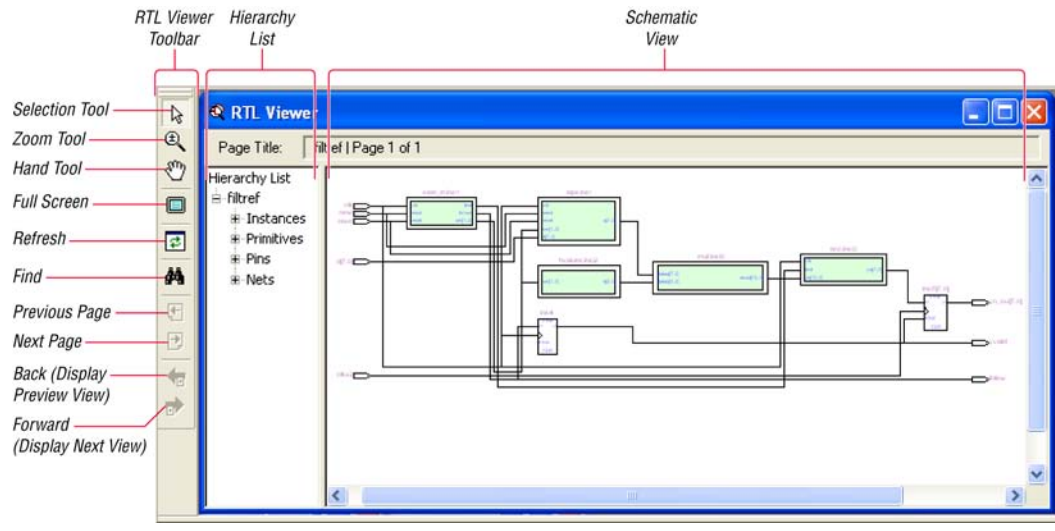
ビューワを実行するには、Tools メニューで Netlist Viewers をポイントし、**Technology Map Viewer** をクリックするか、**Applications** ツールバーで **Technology Map Viewer** を選択します。

## ユーザ・ インタフェー スの概要

RTL Viewer ウィンドウと Technology Map Viewer ウィンドウは、いずれも回路図ビューと階層リストで構成されています。図 12-2 に RTL Viewer ウィンドウとその 2 つの構成要素を示します。どちらのビューワにも回路図ビューで使用するツールを提供するツールバーがあります。

同時に開くことができるのは 1 つの RTL Viewer と 1 つの Technology Map Viewer ウィンドウだけです。ただし、各ウィンドウには複数のページを表示することが可能です。各ビューワのウィンドウは、サイズ変更と移動、最小化または最大化、並べて表示またはカスケード表示、および他のウィンドウの前面または背面への移動が可能など、Quartus II ソフトウェアの“子”ウィンドウに類似した特色を備えています。

図 12-2. RTL Viewer ウィンドウと RTL ツールバー



## 回路図ビュー

回路図ビューは RTL Viewer と Technology Map Viewer の右側に表示されます。ネットリストのデザイン・ロジックを表す回路図が含まれています。これは RTL Viewer でゲート・レベルのネットリスト、および Technology Map Viewer でテクノロジ・マップト・ネットリストを表示するためのメイン画面です。

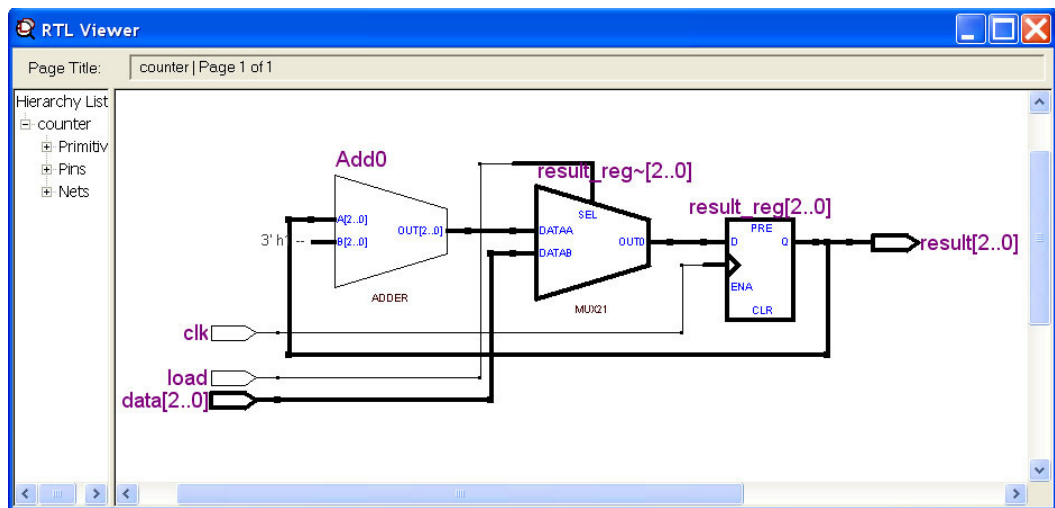
## 回路図記号

回路図でのノードの記号はデザイン・ネットリストの要素を表します。これらの要素には、入力および出力ポート、レジスタ、ロジック・ゲート、アルテラ・プリミティブ、ハイレベル演算子、および階層インスタンスがあります。

図 12-3 に 3 ビット同期ローダブル・カウンタ用の RTL Viewer 回路図の例を示します。「図 12-3 に示したカウンタ回路図のコード・サンプル」の項にこの回路図を生成した Verilog HDL コードを示します。この例では、バスにマルチプレクサとレジスタ・グループ (表 12-1)、および HDL コードの計数ファンクションによって推測した ADDER 演算子 (表 12-3) があります。

この回路図は、ノード間のワイヤ接続を黒い細線で、バス接続を黒い太線で表示します (図 12-3)。

図 12-3. RTL Viewer での回路図例



## 例 12-1. 図 12-3 に示したカウンタ回路図のコード・サンプル

```

module counter (input [2:0] data, input clk, input load, output [2:0] result);
  reg [2:0] result_reg;
  always @ (posedge clk)
    if (load)
      result_reg <= data;
    else
      result_reg <= result_reg + 1;
  assign result = result_reg;
endmodule

```

図 12-4 に、Stratix® デバイスをターゲットとするコンパイル済みデザインを持つ、対応する Technology Map Viewer 回路図の一部を示します。この回路図では、合成後のノード名が付けられたカウンタ・ファンクションを表す LCELL (ロジック・セル) デバイス固有のプリミティブを表示することができます。REGOUT ポートは LCELL のレジスタの出力を表し、COMBOUT ポートは LCELL のルック・アップ・テーブル (LUT) の組み合わせロジックの出力を表します。各 LCELL プリミティブの下にある括弧内の 16 進数は、LCELL のロジック・ファンクションの 16 進数表現である LUT マスクを表します。

図 12-4. Technology Map Viewer の回路図例

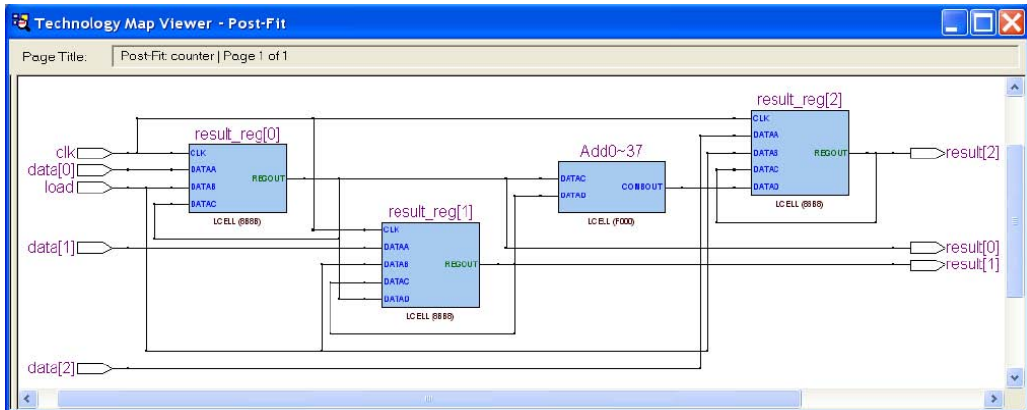


表 12-1 に RTL Viewer と Technology Map Viewer の回路図に表示できるプリミティブおよび基本的な記号を示し、それぞれについて説明します。12-13 ページの表 12-3 に、RTL Viewer 回路図ビューで使用する追加のハイレベル演算子記号を示し、それぞれについて説明します。


 ロジック・ゲートと演算子プリミティブは、RTL Viewer でのみ表示されます。Technology Map Viewer のロジックは、LCELL などの素子レベルのプリミティブで表されます。

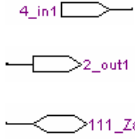
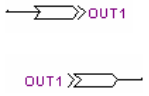

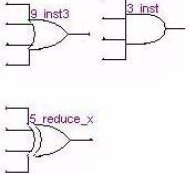
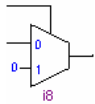
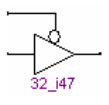
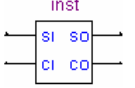
表 12-1. 回路図ビューの記号 ( 1 / 3 )	
記号	説明
I/O ポート 	階層の現在のレベルにおける入力、出力、または双方向ポートを表します。トップレベルの階層を表示するときは、デバイス入力、出力、または双方向ピンを表します。この記号でバスを表すことができます。1本のワイヤのみ双方向記号に接続されており、入力バスと出力バスの両方を表します。入力記号は回路図の左端に表示され、出力および双方向記号は回路図の右端に表示されます。
I/O コネクタ 	同じ階層の別のページのネットを表す入力または出力コネクタです (12-24 ページの「ページへの回路図の分割」参照)。ソースまたはディスティネーションを含むページに移動するには、ネットをクリックしてメニューでページを選択します (12-25 ページの「回路図ページを横断したネットの追跡」参照)。
階層ポート・コネクタ 	2つの異なる階層間のポート関係を表すコネクタです。コネクタは異なるレベルの階層でバスがポート・コネクタを通過することを示します。
OR、AND、XOR ゲート 	OR、AND または XOR ゲート・プリミティブ (ポート数は変更可能)。入力または出力の小さな丸 (バブル記号) はポートが反転していることを示します。
MUX 	ポート 0 またはポート 1 のいずれかを選択するセレクタ・ポートを備えたマルチプレクサ (MUX) プリミティブです。3つ以上の入力を備えた MUX は、演算子として表示されます (12-13 ページの「RTL Viewer 回路図ビューでの演算子記号」参照)。
BUFFER 	バッファ・プリミティブ。図は反転した出力イネーブル・ポートを備えたトライ・ステート・バッファを示します。イネーブル・ポートのないバッファには、LCELL、SOFT、CARRY、および GLOBAL があります。イネーブル・ポートがなく、反転出力ポートを備えた NOT ゲートおよび EXP エクスパンダ・バッファはこの記号を使用します。
CARRY_SUM 	CARRY_SUM バッファ・プリミティブ。SI はバッファの SUM IN ポート、SO は SUM OUT ポート、CI は CARRY IN ポート、そして CO は CARRY OUT ポートをそれぞれ表します。

表 12-1. 回路図ビューの記号 ( 2 / 3 )	
記号	説明
<p>LATCH</p>	<p>D データ入力、EN イネーブル入力、Q データ出力、PRE プリセット、および CLR クリア・ポートを備えたラッチ・プリミティブです。</p>
<p>DFFE/DFFEA/DFFAES</p>	<p>ラッチおよびクロック・トリガと同じポートを備えた DFFE (data flipflop with enable) プリミティブです。その他のフリップフロップ・プリミティブとして、追加の ALOAD 非同期ロード、ADATA データ信号を備えた DFFEA (data flipflop with enable and asynchronous load) プリミティブ、セカンダリ・データ・ポートとして ASDATA を備えた DFFEAS (data flipflop with enable and both synchronous and asynchronous load) があります。</p>
<p>素子レベル・プリミティブ</p>	<p>プリミティブは下位層まで拡張できない下位レベル・ノードです。記号はポート名、プリミティブ・タイプ、およびその名前を表示します。青い影はプリミティブの内部を詳細に表示できる Technology Map Viewer の素子レベル・プリミティブを示します。詳しくは、12-21 ページの「Technology Map Viewer での素子レベル・プリミティブの内容の表示」を参照してください。</p>
<p>その他のプリミティブ</p>	<p>上記のいずれのカテゴリにも属さないプリミティブプリミティブは下位階層まで拡張できない下位レベル・ノードです。記号はポート名、プリミティブ・タイプ、または演算子タイプ、およびその名前を表示します。この図は、DATAA、DATAD、および COMBOUT ポート接続を備えた LCELL WYSIWYG プリミティブを示します。このタイプの LCELL プリミティブは、素子レベル・プリミティブの内容が表示できないときに、テクノロジー固有の素子レベル・プリミティブに対応した Technology Map Viewer で表示できます。ソース・デザインが VQM または EDIF ネットリストの場合、RTL Viewer にも同様のプリミティブが含まれます。</p>
<p>インスタンス</p>	<p>プリミティブまたは演算子に対応していないデザインのインスタンス (通常は、ユーザ定義の階層ブロック) であり、二重アウトラインと緑の影で示されます。記号はインスタンス名を表示します。下位レベル階層の回路図を開くには、右クリックして適切なコマンドを選択します (12-20 ページの「デザイン階層の移動と表示」を参照)。</p>

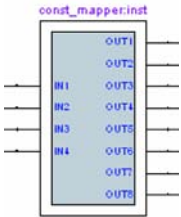
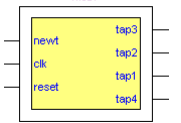
表 12-1. 回路図ビューの記号 ( 3 / 3 )	
記号	説明
<p>暗号化されたインスタンス</p> 	<p>デザインのユーザ定義の暗号化されたインスタンスであり、二重アウトラインと灰色の影で示されます。記号はインスタンス名を表示します。ソース・デザインが暗号化されているため、下位レベル階層の回路図は開けません。</p>
<p>ステート・マシン・インスタンス</p> 	<p>デザインの有限ステート・マシン・インスタンスであり、二重アウトラインと黄色の影で示されます。このインスタンスをダブルクリックすると State Machine Viewer が開きます。詳しくは、12-17 ページの「State Machine Viewer」を参照してください。</p>

表 12-2 に、State Machine Viewer でのみ使用する記号を示し、それぞれについて説明します。


表 12-2. State Machine Viewer でのみ使用できる記号	
記号	説明
<p>状態ノード</p> 	<p>有限ステート・マシンのステートを表すノードです。状態遷移は状態ノード間の円弧で示されます。外側の境界は状態がステート・マシン外部のロジックに接続されていることを示し、内側の境界は状態ノードが外部ロジックをドライブしないことを示します。</p>

表 12-3 に、RTL Viewer 回路図ビューで使用する追加の上位レベル演算子記号を示し、それぞれについて説明します。

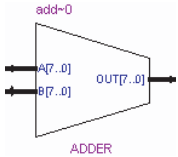
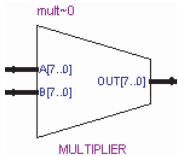
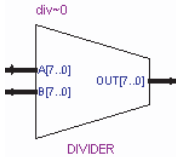
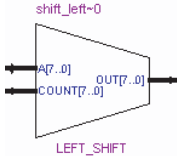
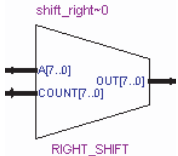
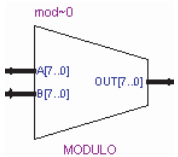
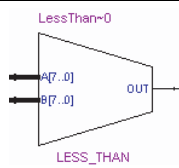
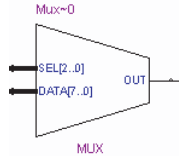
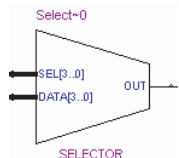
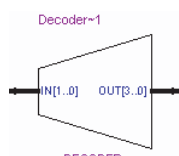
記号	説明
	<p>加算演算子：  <math>OUT = A + B</math></p>
	<p>乗算演算子：  <math>OUT = A \times B</math></p>
	<p>除算演算子：  <math>OUT = A / B</math></p>
	<p>左シフト演算子：  <math>OUT = (A \ll COUNT)</math></p>
	<p>右シフト演算子：  <math>OUT = (A \gg COUNT)</math></p>
	<p>モジュロ演算子：  <math>OUT = (A \% B)</math></p>

表 12-3. RTL Viewer 回路図ビューでの演算子記号 ( 2 / 2 )	
記号	説明
	<p>less than コンパレータ :</p> <p>OUT = (A &lt;= B : A &lt; B)</p>
	<p>マルチプレクサ :</p> <p>OUT = DATA [SEL]</p> <p>データ範囲のサイズは 2<sup>sel range size</sup> です</p>
	<p>One-Hot 選択入力と 3 つ以上の入力信号を備えたマルチプレクサです。</p>
	<p>バイナリ数値デコーダ :</p> <p>OUT = (binary_number (IN) == x)</p> <p>for x=0 to x=2<sup>(n+1)</sup> - 1</p>

### 回路図ビューでのアイテムの選択

回路図ビューでアイテムを選択するには、ビューワのツールバーの **Selection Tool** がオンになっている必要があります (このツールバーはデフォルトでオンになっています)。回路図ビューでアイテムをクリックすると、アイテムは赤色でハイライトされます。

マウスを使用する他に、Shift キーまたは Ctrl キーを押して、複数のアイテムを選択することができます。また、**Selection Tool** がオンになった状態で、マウスのカーソルで長方形のボックス・エリアを選択して、領域内のすべてのノードを選択することができます。ボックス内のノードを選択するには、マウスを選択したいエリアの隅に移動して、マウスのボタンをクリックし、マウスをボックスの反対の隅までドラッグしてマウスのボタンを離します。デフォルトでは、このようなボックスを作成すると選択したエリア内のすべてのノード (インスタンス、プリミティブおよびピン) がハイライトされ、選択されます。ただし、ネットは選択されません。ネットの選択には、**Viewer Options** ダイアログ・ボックス

スのオプションを使用します。ネットを含めるには、回路図内で右クリックし **Viewer Options** をクリックします。**Net Selection** セクションの **Select entire net when segment is selected** オプションをオンにします。

回路図ビューで選択したアイテムが階層リストで自動的に選択されます (12-15 ページの「階層リスト」を参照)。選択したエントリを表示する必要がある場合は、リストが自動的に展開されます。ただし、エントリが使用されていないか選択されていない場合でも、リストは自動的に縮小されません。

回路図ビューで階層ボックス、ノード、またはポートを選択すると、アイテムは赤色でハイライトされますが、接続ネットはどれもハイライトされません。回路図ビューでネット (ワイヤまたはバス) を選択すると、すべての接続されたネットが赤色でハイライトされます。選択されたネットはすべての階層レベルおよびページでハイライトされます。階層レベルまたはページの間を行き来するときには、ネットがハイライトされているのが分かるので、ネットリストをナビゲートするときにネットの選択が役立ちます。

階層の他のレベルのネットに接続されているネットを選択すると、接続されているネットも現在の階層でハイライトされる場合があります。接続されているネットをハイライトしたくない場合は、**Viewer Options** ダイアログ・ボックスのオプションを指定して、現在の階層のネットのみハイライトされるようにします。回路図内で右クリックし、**Viewer Options** をクリックします。**Net Selection** セクションの **Limit selections to current hierarchy** オプションをオンにします。


## 回路図ビューの移動およびパン

回路図表示ページが現在表示されている部分より大きい場合は、回路図表示の下部および右側のスクロール・バーを使用して、ページの隠れている部分を表示できます。

また、**Hand Tool** を使用して回路図ページを“掴んで”、任意の方向にドラッグすることもできます。**toolbar** ボタンを押して **Hand Tool** をオンにします。スクロール・バーを使用しないで、クリック・アンド・ドラッグして回路図ビューの周囲に移動します。

## 階層リスト

階層リストはビューワ・ウィンドウの左側に表示されます。階層リストでは、デザインの階層レベルに基づいてネットリスト全体が“ツリー”形式で表示されます。デザイン階層を横断して各レベルのロジック回路図を表示することができます。回路図ビューでハイライトしたい階層リストのエレメントを選択することもできます。

 素子レベル・プリミティブ内部のノードは、階層リストには表示されません。

デザイン階層の各モジュールについて、階層リストは表 12-4 に示す、適用可能なエレメントを表示します。エレメントを展開するには、+ アイコンをクリックします。

エレメント	説明
インスタンス	下位階層レベルへの展開が可能なデザインのモジュールまたはインスタンス。
ステート・マシン	State Machine Viewer で表示できるデザインのステート・マシン・インスタンス。
プリミティブ	下位階層レベルへの展開ができない下位レベル・ノード。これらには、Quartus II 合成機能を使用する際に RTL Viewer で表示できるレジスタおよびゲート、またはサードパーティ合成ソフトウェアの VQM または EDIF を使用して Technology Map Viewer または RTL Viewer で表示できるロジック・セル素子が含まれます。Technology Map Viewer では、特定の素子レベル・プリミティブの内部実装を表示できますが、階層の下位レベルまでたどることはできません。
ピン	階層の現レベルの I/O ポート <ul style="list-style-type: none"> <li>● ピンはトップ階層レベルを表示するときはデバイス I/O ピンで、下位階層レベルを表示するときはデザインの I/O ポートです。</li> <li>● ピンがバスまたは一連のピンを表す場合は、リスト・ビューのピン・エントリを展開して各ピン名を表示します。</li> </ul>
ネット	ノードを接続するネットまたはワイヤです。ネットがバスまたは一連のネットを表す場合、ツリーのネット・エントリを展開して個々のネット名を表示します。

### 階層リストでのアイテムの選択

階層リスト内の任意のアイテムをクリックすると、ビューワは以下の処理を実行します。

- 現在表示されているページでアイテムを検索し、選択されたアイテムを含むページが表示されていない場合はそのページを表示します。(例えば、フィルタされたネットリストが現在表示されている場合は、そのネットリスト内に関連するページが表示されます)。
- 選択されたアイテムが現在表示されているページにない場合、デザイン・ネットリスト全体が検索され、デフォルト・ビューにアイテムが表示されます。
- 回路図ビューで選択されたアイテムを赤色でハイライトします。

階層リストでインスタンスをダブルクリックすると、インスタンスの実装が表示されます。

マウスで選択しながら、**Shift** キーまたは **Ctrl** キーを押して複数のアイテムを選択できます。階層リストでアイテムを右クリックして、**Filter** および **Locate** コマンドを使用して、回路図内でナビゲートすることができます。詳しくは、[12-27 ページの「回路図ビューでのフィルタリング」](#) および [12-35 ページの「ソース・デザイン・ファイル および その他の Quartus II ウィンドウ への プロービング」](#) を参照してください。

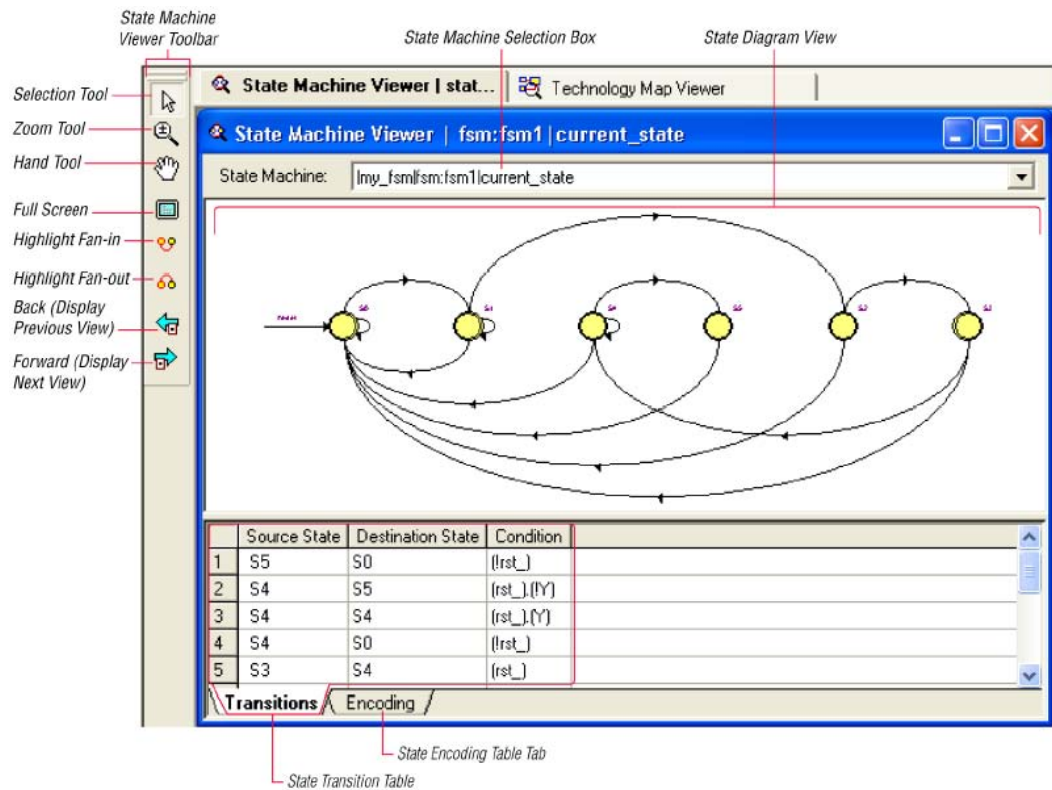
## State Machine Viewer

State Machine Viewer は、デザインの状態・マシンのグラフィカル表現を表示します。State Machine Viewer は、以下のいずれかの方法により開くことができます。

- Tools メニューで Netlist Viewers をポイントして、**State Machine Viewer** をクリックします。
- RTL Viewer で状態・マシン・インスタンスをダブルクリックします。
- RTL Viewer で状態・マシン・インスタンスを右クリックして、**Hierarchy Down** をクリックします。
- RTL Viewer で状態・マシン・インスタンスを選択し、Project メニューで Hierarchy をポイントして、**Down** をクリックします。

表 12-5 に、簡単な状態・マシンに対する State Machine Viewer の例を示します。ビューワの左側の State Machine ツールバーは、状態図ビューで使用できるツールを提供します。

図 12-5. State Machine Viewer のステート・マシン



### 状態図ビュー

状態図ビューはState Machine Viewerウィンドウの上部に表示されます。状態および状態遷移の図が含まれています。

各状態を表すノードは状態図ビューで水平方向に配置され、初期状態すなわちリセット信号を受け取る状態ノードは左端の位置にあります。ステート・マシン・インスタンスの外部でロジックに接続されるノードは二重丸で表されます。状態遷移は遷移方向を向いた矢印付き円弧で表されます。

状態図ビューでノードを選択するとき、View メニューまたは State Machine Viewer ツールバーで **Highlight Fan-in** または **Highlight Fan-out** コマンドをオンにすると、ノードからの対応するファン・インまたはファン・アウト遷移が赤色でハイライトされます。



状態・マシンを備えた暗号化ブロックは、エンコーディングに関する情報をエンコーディング・テーブルに表示しますが、状態遷移図またはテーブルは表示しません。

## 状態遷移テーブル

State Machine Viewer ウィンドウの下部にある **Transitions** タブの状態遷移テーブルは、各状態遷移の条件式を表示します。各遷移（状態図ビュー内の各弧）はテーブルの行で表示されます。テーブルには以下の3種類のカラムがあります：

- **Source State**— 遷移のためのソース・状態の名前です
- **Destination State**— 遷移のためのデスティネーション・状態の名前です。
- **Condition**— ソース・状態からデスティネーション・状態に遷移するための条件式です。

各状態名に対するすべての遷移を簡単に表示するには、該当するカラムの見出しをクリックしてそのカラムをソートします。

各カラム内のテキストはデフォルトでは左揃えに設定されます。アライメントを変更して、テーブル内のテキストの関連部分をより見やすくするには、カラムを右クリックして、**Align Right** をクリックします。左揃えに戻すには、**Align Left** を選択します

テーブルのセルをクリックすればそのセルを選択できます。すべてのセルを選択するには、セルを右クリックして **Select All** をクリックするか、Edit メニューで **Select All** をクリックします。選択したセルをクリップボードにコピーするには、セルを右クリックして **Copy Table** をクリックするか、Edit メニューで **Copy** をポイントして **Copy Table** をクリックします。テーブルはタブ区切りのカラムとして、任意のテキスト・エディタにペーストできます。

## 状態エンコーディング・テーブル

State Machine Viewer ウィンドウの下部にある **Encoding** タブの状態エンコーディング・テーブルは、各状態遷移のエンコーディング情報を表示します。

State Machine Viewer で状態エンコーディング情報を表示するには、**Start Analysis & Synthesis** を使用して、デザインの合成を完了していなければなりません。**Start Analysis & Elaboration** を使用してデザインをエラボレートしただけの場合、エンコーディング情報は表示されません。

## State Machine Viewer でのアイテムの選択

State Machine Viewer の各状態ノードおよび遷移を選択して、ハイライトすることができます。状態遷移を選択するには、遷移を表す円弧をクリックします。

状態図ビューで状態ノードまたは遷移円弧あるいはその両方を選択すると、一致する状態ノードまたは等式条件あるいはその両方が状態遷移テーブルでハイライトされます。逆に、状態遷移テーブルで状態ノードまたは等式条件あるいはその両方を選択すると、対応する状態ノードまたは遷移円弧あるいはその両方が状態図ビューでハイライトされます。

## ステート・マシン間の切り替え

1 つのデザインに複数のステート・マシンがある場合があります。表示するステート・マシンを選択するには、State Machine Viewer の上部にある **State Machine selection** ボックスを使用します。ドロップダウン・ボックス内をクリックして、目的のステート・マシンを選択します。

## 回路図ビュー でのナビゲーション

これまでの項では、各ネットリスト・ビューワのユーザ・インタフェースの概要と、各ビューワのアイテムの選択方法を説明しました。この項では、RTL Viewer と Technology Map Viewer の回路図ビュー内のページおよび階層レベルをナビゲートする方法について説明します。

## デザイン階層の移動と表示

階層リスト (12-15 ページの「階層リスト」参照) または回路図ビュー内の **Hierarchy Up** および **Hierarchy Down** コマンドを使用して、回路図ビュー内のさまざまな階層レベルを開くことができます。

**Hierarchy Down** コマンドを使用して、インスタンスの階層まで下方に進むかインスタンスの階層を展開して、インスタンスの内部ロジックを示す下位レベル回路図を開きます。**Hierarchy Up** コマンドを使用して階層まで上に向かって進むか下位レベルの階層を折りたたんで、親である上位レベル階層を開きます。**Selection Tool** を選択した場合、対応する下位レベルまたは上位レベル階層を持つ回路図ビューの領域の上にマウス・ポインタを置くと、該当するオプションを使用できます。

マウス・ポインタを回路図の異なる領域に移動すると、マウス・ポインタが変化して、階層内で上、下、または上下両方のいずれに移動できるのかを示します (図 12-6)。隣接する階層レベルを開くには、回路図の該当する領域内で右クリックし、**Hierarchy Down** または **Hierarchy Up** をクリックするか、回路図の該当する領域内でダブルクリックします。

図 12-6. マウス・ポインタの階層移動方法の表示



## デザイン階層のフラット化

デザイン階層をフラット化して、階層境界のないデザインを見ることができます。デザイン階層の現在のレベルとすべての下位レベル階層から階層をフラット化するには、回路図内で右クリックし、**Flatten Netlist** をクリックします。デザイン全体をフラット化するには、デザインのトップレベルの回路図からこのコマンドを選択します。

## 現在の回路図内でのデザイン階層内容の表示

**Display Content** および **Hide Content** コマンドを使用して、現在の階層レベルに対する回路図内の特定のインスタンスの下位階層レベルを表示または非表示にすることができます。

現在表示されているネットリスト内の残りのロジックと同じ回路図上のインスタンスの下位階層ネットリストを表示するには、選択したインスタンスを右クリックし、**Display Content** をクリックします。

階層ボックスの下位階層ロジックをすべて非表示にしてインスタンスを閉じるには、選択したインスタンスを右クリックし、**Hide Content** をクリックします。

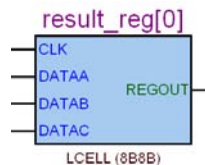
## Technology Map Viewer での素子レベル・プリミティブの内容の表示

Technology Map Viewer では、特定のデバイスの素子レベル・プリミティブの内容を表示して、それらの基礎をなす実装の詳細を見ることができます。Stratix、Cyclone™、および MAX® II デバイス内のロジック・セル (LCELL) については、ルック・アップ・テーブル (LUT)、レジスタ、およびロジック・ゲートを表示できます。Stratix II、Cyclone II、Stratix、Cyclone、および HardCopy® II デバイス内の I/O 素子については、レジスタとロジック・ゲートを表示できます。

さらに、特定のデバイスの RAM および DSP ブロックの実装を表示することも可能です。Stratix II、Stratix II GX、Stratix、Stratix GX、Cyclone II、および Cyclone デバイスの RAM ブロックの実装を表示できます。DSP ブロックの実装は、Stratix および Stratix GX シリーズのデバイスのみ表示できます。

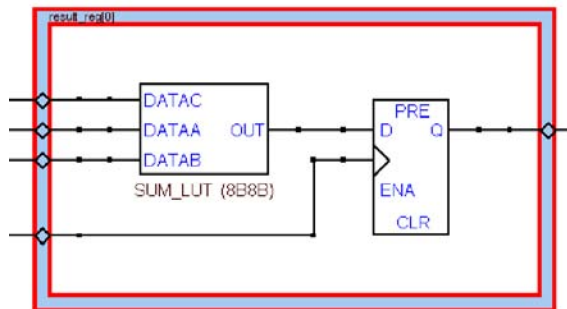
素子レベル・インスタンスの内容を表示できる場合、回路図ビューではそのインスタンスが青色で表示されます (図 12-7)。

図 12-7. 内部を表示するために展開できるインスタンス




1 つまたは複数の素子レベル・プリミティブのインスタンスの内容を表示するには、目的の素子レベル・インスタンスを選択します。選択したインスタンスを右クリックし、**Display Content** をクリックします。図 12-8 に、図 12-7 のインスタンスを展開したものを示します。

図 12-8. 図 12-7 の素子レベル・インスタンスの内容



内容を非表示にする (コンパクトな形式に戻す) には、素子レベル・インスタンスを選択して右クリックし、**Hide Content** をクリックします。

 回路図ビューでは、素子レベル・インスタンスの内部詳細を個々のノードとして選択することはできません。内部詳細上でのマウス操作はすべて、素子レベル・インスタンス上でのマウス操作として扱われます。

## ズームと拡大

この項で説明するとおり、**View** メニュー、ツールバーの **Zoom Tool**、または **Ctrl** キーとマウスのホイール・ボタンを使って、回路図の拡大率を制御できます。

**View** メニューからは、**Fit in Window**、**Fit Selection in Window**、**Zoom In**、**Zoom Out**、および **Zoom** コマンドを使用できます。これらは、回路図ビュー内で右クリックして **Zoom** を選択するか、あるいは **Zoom** ツールバーから選択します。ズーム・ツールバーを有効にするには、**Tools** メニューの **Customize** をクリックします。**Toolbars** タブをクリックし、**Zoom** をクリックしてツールバーを有効にします。

デフォルトでは、大半のページがウィンドウ内に収まるサイズで表示されます。回路図ページが非常に大きい場合、回路図は最小ズーム・レベルで表示され、ビューは最初のノードを中心に配置されます。画像を拡大する場合は **Zoom In** を選択し、画像を縮小する場合（画像全体が表示されない場合）は **Zoom Out** を選択します。**Zoom** コマンドで、拡大率（100% が回路図記号の標準サイズです）を指定できます。**Fit Selection in Window** コマンドは、回路図で選択されたノードをウィンドウ内に収まるように拡大します。**Selection Tool** を使用して1つまたは複数のノード（インスタンス、プリミティブ、ピン、およびネット）を選択し、次に **Fit Selection in Window** を選択して、選択に含まれる領域を拡大します。この機能は、大きな回路図の特定の要素を見るときに役立ちます。ノードを選択したら、簡単に拡大してそのノードを表示できます。

ビューワのツールバーにある **Zoom Tool** を使用して、回路図ビューの拡大率を制御することもできます。ツールバーの **Zoom Tool** を選択し、回路図をクリックすると、ビューが拡大されクリックした位置がビューの中心になります。**schematic** を右クリック（または **Shift** キーか **Ctrl** キーを押したままクリック）すると、縮小してクリックした位置がビューの中心になります。**Zoom Tool** を選択したとき、矩形の枠で囲まれた部分をマウスのカーソルで選択して、回路図の特定部分を拡大することも可能です。回路図が拡大され、選択した部分が表示されます。最小ズーム・レベルおよび最大ズーム・レベルを変更するには、**Tools** メニューの **Options** をクリックします。**Options** ダイアログ・ボックスの **Category** リストで **RTL/Technology Map Viewer** を選択し、目的の最小および最大ズーム・レベルを設定します。

デフォルトでは、回路図でフィルタリングを行うとその時のズーム・レベルが維持されます（12-27 ページの「回路図ビューでのフィルタリング」を参照してください）。ズーム・レベルが常に“Fit in Window”にリ

セットされるように動作を変更するには、Tools メニューの **Options** をクリックします。**Category** リストの **RTL/Technology Map Viewer** を選択して、**Maintain zoom level** をオフにします。

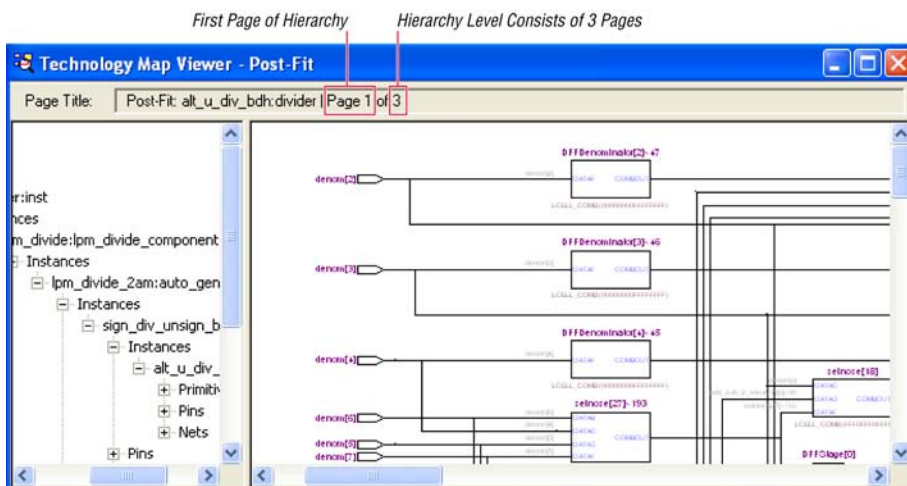
## ページへの回路図の分割

デザイン階層が大きい場合、RTL Viewer と Technology Map Viewer では、ネットリストが回路図ビューの複数のページに分割されます。各ページで見ることができるデザイン数を制御するには、Tools メニューの **Options** をクリックします。**Category** リストの **RTL/Technology Map Viewer** を選択し、**Display Settings** で目的のオプションを設定します。

**Nodes per page** オプションでは、分割された各ページあたりのノード数を指定します。デフォルト値は 50 ノード、範囲は 1 ~ 1,000 です。**Ports per page** オプションでは、分割された各ページあたりのポート（またはピン）数を指定します。デフォルト値は 1000 ポート / ピン、範囲は 1 ~ 2,000 です。ノード数またはポート数が指定した制限を超える場合は、デザインが新しいページに分割されます。ページ上のノードのコンフィギュレーションによっては、ポート数が制限値を超えることもあります。

階層レベルが複数のページに分割されている場合、図 12-9 に示すように、回路図ウィンドウのタイトル・バーに、どのページが表示されているか、またこの階層レベルに合計何ページあるかが表示されます（表示形式：Page <現在のページ番号> of <合計ページ数>）。

図 12-9. RTL Viewer のタイトル・バーでのページ番号情報の表示



ページあたりのノード数またはポート数を変更した場合、変更はビューワに表示されるか、または開かれた新しいページにのみ適用されます。現在のページをリフレッシュして変更されたノード数またはポート数が表示されるようにするには、ツールバーの **Refresh** ボタンをクリックします。


### 回路図ページ間の移動

別の回路図ページに移動するには、**Previous Page** または **Next Page** をクリックするか、ビューワのツールバーの **Previous Page** アイコンまたは **Next Page** アイコンをクリックします。

回路図の特定のページに移動するには、**Edit** メニューの **Go To** をクリックするか、回路図内で右クリックして **Go To** をクリックします。 **Page** リストで、目的のページ番号を選択します。


### 回路図ページ間の移動

ページ・ビューの変更後に前のビューに戻るには、**View** メニューの **Back** をクリックするか、ビューワのツールバーの **Back** アイコンをクリックします。次のビューに進むには、**View** メニューの **Forward** をクリックするか、ビューワのツールバーの **Forward** アイコンをクリックします。

 **Back** 操作を行った後でビューを変更していない場合は、**Forward** 操作しかできません。 **Back** と **Forward** を使用して、ページ・ビューを切り替えます。これらのコマンドによって、ノードの選択のように操作が取り消されることはありません。

### 回路図ページを横断したネットの追跡

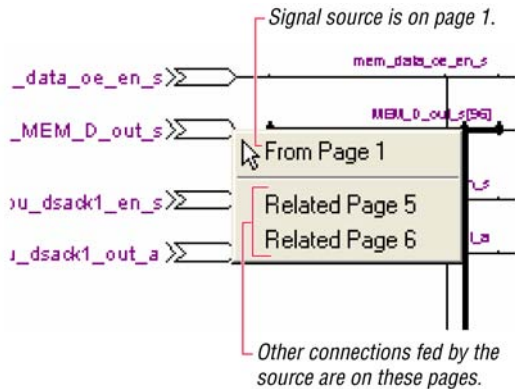
入力および出力コネクタは、同じ階層のページにまたがって接続されているノードを示します。コネクタを右クリックすると、階層のページ全体でネットをトレースするコマンドのメニューが表示されます。

 右クリックしてコネクタ・ポートを選択すると新しいページが開き、前のページで使用したズーム率で、特定のソースまたはディスティネーション・ネットを中心にビューが表示されます。特定のネットを階層の新しいページまでトレースするために、アルテラでは目的のネットを最初に選択して赤色でハイライトさせ、次に右クリックしてページをたどることを推奨しています。

### 入力コネクタ

図 12-10 に入力コネクタを右クリックしたときに表示される、メニューの例を示します。**From** コマンドは、信号のソースを含むページを開きます。**Related** コマンドは、該当する場合、同じソースから供給される別の接続を含む指定されたページを開きます。

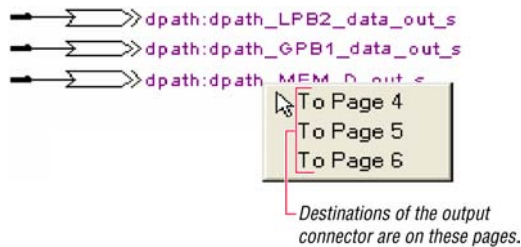
図 12-10. 入力コネクタの右ボタン・ポップアップ・メニュー



### 出力コネクタ

図 12-11 に、出力コネクタを右クリックしたときに表示されるメニューの例を示します。**To** コマンドは、信号のディスティネーションを含む指定されたページを開きます。

図 12-11. 出力コネクタの右ボタン・ポップアップ・メニュー



## ネット・ドライバへの移動

回路図ビュー内の特定のネットのソースを探すには、ネットを選択してハイライトさせ、選択したネットを右クリックして **Go to Net Driver** をポイントし、**Current page**、**Current hierarchy**、または **Across hierarchies** をクリックします。表 12-5 を参照してください。

コマンド	内容
<b>Current page</b>	回路図の現在のページのソースまたはドライバのみを探します。
<b>Current hierarchy</b>	現在の階層レベル内のソースを、ネットリスト回路図の別のページにある場合でも探します。
<b>Across hierarchies</b>	ソフトウェアがトップ階層レベルのソースに到達するまで、階層を横断してソースを探します。

回路図ビューでは、必要に応じて回路図の正しいページが開いて、ネットのソースが見えるようにページの中心が調整されます。回路図にはネット・ドライバのデフォルト・ページが表示されます。このビューはフィルタされないビューなので、フィルタリング結果は保持されません。

## 回路図ビューでのフィルタリング

フィルタリングによって、ネットリスト内のノードとネットを除外して目的のロジック・パスのみを表示することができます。


表示したいパスの一部である、階層ボックス、ノード、ノードのポート、ネット、またはステート・マシンでの状態を選択してネットリストをフィルタします。以下のフィルタ・コマンドが使用できます。

- **Sources**— 選択されたアイテムのソースを表示します。
- **Destinations**— 選択されたアイテムのディスティネーションを表示します。
- **Sources & Destinations**— 選択されたアイテムのソースとディスティネーションの両方を表示します。
- **Selected Nodes and Nets**— 選択されたノードとネットのみをそれらの間の接続と併せて表示します。
- **Between Selected Nodes**— ノードおよび選択されたノード間のパス内の接続を表示します。
- **Bus Index**— 出力または入力バス・ポートの 1 つまたは複数のインデックスに対するソースまたはディスティネーションを表示します。

階層ボックス、ノード、ポート、ネット、または状態ノードを選択し、ウィンドウ内で右クリックして、**Filter** をポイントし、適切なフィルタ・コマンドをクリックします。新しいページが生成され、フィルタリング後に残っているネットリストが表示されます。

State Machine Viewer の状態図でフィルタする場合、ソースおよびディスティネーションとは、状態図での前および次の遷移状態、または遷移状態間のパスのことをいいます。フィルタリングは、遷移テーブルおよびエンコーディング・テーブルにも反映されます。

12-25 ページの「回路図ページ間の移動」で説明した **Back** コマンドを使用して、以前にフィルタされたネットリスト・ページに戻ることができます。

 フィルタされたネットリストを表示するときに、階層リスト内のアイテムをクリックすると、該当する階層レベルのフィルタされていないビューが回路図ビューに表示されます。階層リストは、アイテムの選択、またはフィルタされたネットリスト内でのナビゲーションには使用できません。

## Filter Sources コマンド

選択したアイテムのソースを除くすべてのものを除外するには、アイテムを右クリックし、**Filter** をポイントして、**Sources** をクリックします。以下の表 12-6 に概説するように、また 12-29 ページの図 12-12 に示すように、選択されたオブジェクトのタイプによって表示内容が決まります。

表 12-6. 選択されたオブジェクトによる Filter Sources Display の決定	
選択されたオブジェクト	フィルタリングされたページに表示される結果
ノードまたは階層ボックス	ノードの入力ポートのすべてのソースを表示します。例については、12-29 ページの図 12-12 を参照してください。
ネット	ネットに供給するソースを表示します。
ノードの入力ポート	このポートに供給する入力ソース・ノードのみを表示します。
ノードの出力ポート	選択されたノードのみを表示します。
ステート・マシンの状態ノード	選択された状態に供給する状態（前の遷移状態）を表示します。

## Filter Destinations コマンド

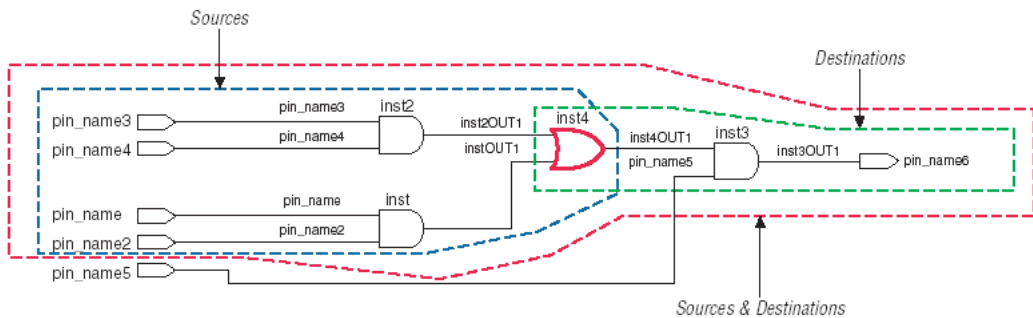
以下の表 12-7 に示すとおり、また 12-29 ページの図 12-12 に示すように、選択されたノードまたはポートのディスティネーションを除くすべてをフィルタリングする場合は、ノードまたはポートを右クリックし、Filter をポイントして、Destinations をクリックします。

選択されたオブジェクト	フィルタリングされたページに表示される結果
ノードまたは階層ボックス	ノードの出力ポートのすべてのディスティネーションを表示します。例については、12-29 ページの図 12-12 を参照してください。
ネット	ネットから供給されるディスティネーションを表示します。
ノードの入力ポート	選択されたノードのみを表示します。
ノードの出力ポート	このポートから供給されるファン・アウト・ディスティネーション・ノードのみを表示します。
ステート・マシンの状態ノード	選択された状態から供給される状態（次の遷移状態）を表示します。

## Filter Sources & Destinations コマンド

Sources & Destinations コマンドは Sources と Destinations のフィルタリング・コマンドを組み合わせたものであり、これによって選択されたアイテムのソースとディスティネーションの両方がフィルタされたページに表示されます。このオプションを選択するには、目的のオブジェクトを右クリックし、Filter をポイントして、Sources & Destinations をクリックします。例については、図 12-12 を参照してください。

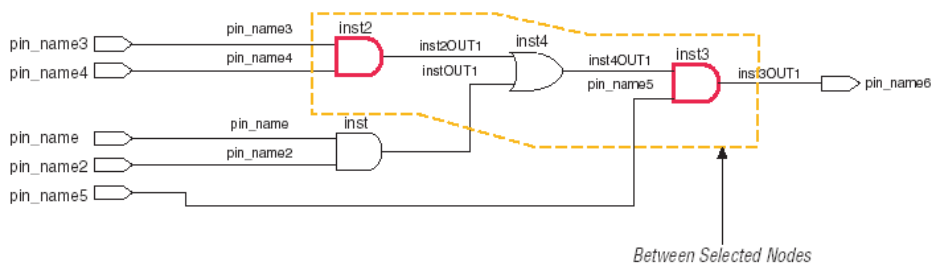
図 12-12. inst4 に対するソース、ディスティネーション、およびソース&ディスティネーションのフィルタリング



## Filter between Selected Nodes コマンド

2 つまたは 3 つの選択されたノードまたは階層ボックス間のパスのノードを表示するには、右クリックして、**Filter** をポイントし、**Between Selected Nodes** をクリックします。このオプションの場合、ノードのポートを選択することはノードを選択することと同じです。例については、[図 12-13](#) を参照してください。

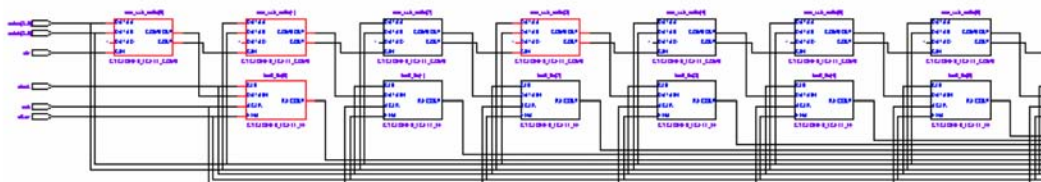
図 12-13. inst2 と inst3 の間での **Between Selected Nodes** フィルタリング



## Filter Selected Nodes & Nets コマンド

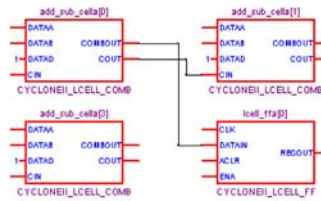
選択されたノードおよび / またはネットと、該当する場合には選択されたノードおよび / またはネット間の接続のみを表示する、フィルタされたページを作成するは、右クリックして **Filter** をポイントし、**Selected Nodes & Nets** をクリックします。[図 12-14](#) に、いくつかのノードが選択された状態の回路図を示します。

図 12-14. **Selected Nodes & Nets** コマンドを使用したノードの選択



[図 12-15](#) に、フィルタリングが実行された後の回路図を示します。ネットを選択した場合、フィルタされたページには選択されたネットの即値ソースおよびディスティネーションが表示されます。

図 12-15. 図 12-14 の回路図の Selected Nodes &amp; Nets フィルタリング



## Filter Bus Index コマンド

RTL Viewer でバス入力または出力ポートの特定のインデックスに関連するパスを表示するには、ポートを右クリックして、**Filter** をポイントし、**Bus Index** をクリックします。**Select Bus Index** ダイアログ・ボックスで、目的のインデックスを選択できます。

## フィルタ・コマンド処理

**RTL/Technology Map Viewer Options** ダイアログ・ボックスの **Filtering** セクションでは、フィルタリングを制御するためのオプションが使用可能です。回路図内を右クリックし、**Viewer Options** をクリックしてダイアログ・ボックスを開きます。

ビューワは、すべてのフィルタリング・コマンドに対して、以下のオブジェクトの 1 つに達したときにネットリストでのトレースを停止して、フィルタされたネットリストを取得します。

- ピン
- 選択されたノードまたはポートからカウントされる指定されたフィルタリング・レベル数。デフォルト値は3です。



**RTL/Technology Map Viewer Options** ダイアログ・ボックスの **Filtering** セクションで、**Number of filtering** レベルを指定します。フィルタリングの実行時に最適な処理時間を確保するためにデフォルト値が3に設定されていますが、1～100の値を指定できます。

- レジスタ（オプション、デフォルトではオンに設定されています）



**RTL/Technology Map Viewer Options** ダイアログ・ボックスの **Filtering** セクションの **Stop filtering at register** オプションをオンまたはオフにします。回路図内を右クリックし、**Viewer Options** をクリックしてダイアログ・ボックスを開きます。

デフォルトでは、フィルタされた回路図は、回路図に表示されるノード間に存在する可能性があるすべての接続を示します。トレースされたパスの直接の部分ではないノードおよび接続を削除して、フィルタされたネットリストを生成するには、**RTL/Technology Map Viewer Options** ダイアログ・ボックスにある **Filtering** セクションの **Shows all connections between nodes** オプションをオフにします。

## 階層を横断するフィルタリング

フィルタリング・コマンドは、デフォルトではすべての階層のノードを表示します。フィルタされたパスが同じ回路図ページの階層レベルを通過する場合は、緑色の階層ボックスがロジックをグループ化し、階層境界を示します。2 つの異なる階層間のポートの関連性を表すダイヤモンド記号が境界上に現れます (12-33 ページの図 12-16 および 12-33 ページの図 12-17 を参照してください)。

**RTL/Technology Map Viewer Options** ダイアログ・ボックスには、現在の階層内のみでフィルタする場合にフィルタリングを制御するためのオプションが用意されています。回路図内で右クリックし、**Viewer Options** をクリックします。**Filtering** セクションの **Filter across hierarchy** オプションをオフにします。

ボックスでの階層表示を行わないようにするには、Tools メニューの **Options** をクリックします。Category リストの **RTL/Technology Map Viewer** を選択し、**Show box hierarchy** をオフにします。



2 ページ以上にわたって表示される同じ階層のネットリストは、ボックスではグループ化されません。青色の素子レベル・プリミティブ上でフィルタリングと展開を行う場合は、**Filter across hierarchy** がオンになっていても、基礎となるネットリストはトレースされません。

図 12-16 および 12-17 に、階層境界を横断するフィルタリングの例を示します。図 12-17 に、下位レベル階層ブロックの入力ポートがデザインの入力ピンに直接接続されている taps インスタンスの入力ポートに **Sources** フィルタが適用された後の例を示します。インスタンス名は、緑色の境界内に示され、インスタンス上でマウス・ポインタを動かすとツールチップとして表示されます。

図 12-16. 階層境界を横断するフィルタリング、小規模な例

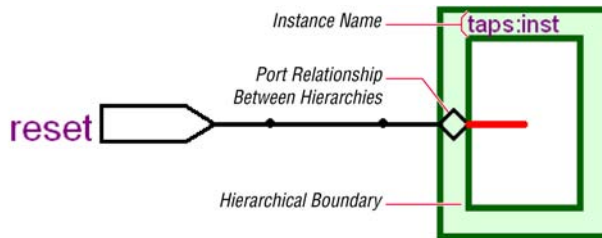
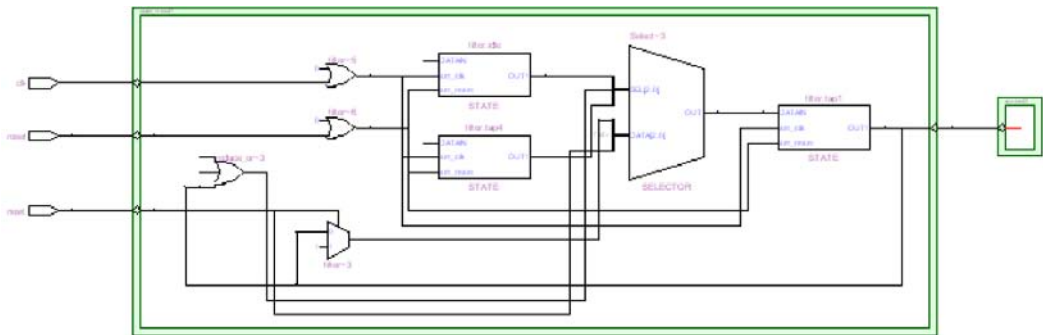


図 12-17 に、**Sources** フィルタがインスタンスの入力ポートに適用された後のより大規模な例を示します。このインスタンスで、ソースは別の階層レベルを通して供給される入力ピンから来ています。

図 12-17. 階層境界を横断するフィルタリング、大規模な例



*Sources command applied to an input port of an instance in which the source comes from input pins that are fed through another level of hierarchy.*

## フィルタされたネットリストの展開

ネットリストがフィルタされた後、接続が表示されないポートがある場合があります。これは、それらのポートがネットリストを通過するメイン・パスの一部ではないためです。直接展開および **Expand** コマンドの 2 つの展開機能によって、これらのポートのファン・アウトまたはファン・イン信号をフィルタされたネットリストの回路図表示に追加することができます。

フィルタされた回路図内で接続が表示されていない任意のポートをダブルクリックすると、すぐにそのポートを展開できます。これを行うと、ロジックの 1 つのレベルが展開されます。

2 つ以上のロジック・レベルを展開するには、ポートを右クリックして **Expand** コマンドをクリックします。このコマンドは、**Viewer Options** で指定した数だけ、選択されたポートからロジックを展開します。これらのオプションを設定するには、回路図ビュー内で右クリックし、**Viewer Options** をクリックします。Expansion セクションで、**Number of expansion levels** オプションを設定して、展開するレベル数を指定します（デフォルト値は 3、範囲は 1 ~ 100 です）。**Stop expanding at register** オプション（デフォルトではオン）を設定して、レジスタに達したときにネットリストの展開を停止するかどうかを指定することもできます。

**Expand** コマンドを使用するときは、複数のノードを選択して展開することができます。複数の回路図ページにあるポートを選択する場合、現在表示されているページ上のポートのみが展開された回路図に表示されます。

State Machine Viewer の **Expand** コマンドには、以下の 3 つのオプションがあります。

- **Sources**— 選択された状態に供給する状態を表示します（前の遷移状態）。
- **Destinations**— 選択された状態によって供給される状態を表示します（次の遷移状態）。
- **Sources & Destinations**— 前および次の遷移状態の両方を表示します。

フィルタリングの変更は、状態遷移テーブルおよび状態エンコーディング・テーブルにも反映されます。

**Filter across hierarchy** オプションがオンの状態で、展開されるポートを含むフィルタ済みページが生成された場合、展開機能は階層境界を横断して機能します（このオプションについて詳しくは、[12-27 ページの「回路図ビューでのフィルタリング」](#)を参照してください）。Technology Map Viewer でタイミング・パスを表示する場合、**Expand** コマンドは常に階層境界を横断して機能します。これは階層を横断するフィルタリングがこれらの回路図に対しては常にオンになっているためです（これらの回路図について詳しくは [12-37 ページの「タイミング・パスの表示」](#)を参照してください）。

## フィルタされたネットリストの低減

場合によっては、フィルタされた回路図または状態図からロジックを削除すると、回路図ビューが読みやすくなったり、回路図で見る必要のない紛らわしいロジックを少なくすることができます。

## ソース・ デザイン・ ファイル および その他の Quartus II ウィンドウ への プロービング

フィルタされた回路図または状態図ビュー内のエレメントを低減するには、削除する 1 つまたは複数のノードを右クリックして、**Reduce** をクリックします。

RTL Viewer、Technology Map Viewer、および State Machine Viewer では、ビューワから Quartus II ソフトウェア内のソース・デザイン・ファイルおよびその他のさまざまなウィンドウへのプロービングが可能です。ビューワで 1 つまたは複数の目的の階層ボックス、ノード、ネット、状態ノード、または状態遷移円弧を選択し、該当する別の Quartus II ソフトウェア・ウィンドウで対応するアイテムを探することができます。これで、適切なエディタまたはフロアプランで表示を見ながら、変更またはアサインメントを行うことができます。

別のウィンドウのビューワからのアイテムを探すには、回路図ビューまたは状態図ビューの目的のアイテムを右クリックし、**Locate** をポイントして、適切なコマンドをクリックします。以下のコマンドが使用可能です。

- **Locate in Assignment Editor**
- **Locate in Pin Planner**
- **Locate in Timing Closure Floorplan**
- **Locate in Chip Editor**
- **Locate in Resource Property Editor**
- **Locate in RTL Viewer**
- **Locate in Technology Map Viewer**
- **Locate in Design File**

検索に使用できるオプションは、ノードのタイプと、それが配置配線後に存在するか否かによって決まります。メニューでコマンドが有効になっている場合、選択されたノードにそのコマンドを使用できます。**Locate in Assignment Editor** コマンドはすべてのノードに対して使用できますが、合成後に存在しないノードに適用する場合は、配置配線時にアサインメントが無視されることがあります。

ビューワは、自動的に適切なエディタまたはフロアプラン用の別のウィンドウを開き、新しく開いたウィンドウ内で選択されたノードまたはネットをハイライトします。**Window** メニューでビューワを選択するか、あるいは新しいウィンドウを閉じるか、最小化するか、移動すると、ビューワに戻ることができます。


## 他の Quartus II ウィンドウ からの ビューワの プロービング

RTL Viewer および Technology Map Viewer を Quartus II ソフトウェア内の別のウィンドウからクロス・プロービングできます。別のウィンドウで1つ以上のノードまたはネットを選択し、それらをいずれかのビューワで検索することができます。

ノードは、RTL Viewer、State Machine Viewer、および Technology Map Viewer 間で検索でき、また RTL Viewer または Technology Map Viewer では、以下の Quartus II ソフトウェア・ウィンドウからも検索できます。

- Project Navigator
- タイミング・クロージャ・フロアプラン
- Chip Editor
- Resource Property Editor
- Node Finder
- アサインメント・エディタ
- メッセージ・ウィンドウ
- コンパイル・レポート

ビューワ内のエレメントを別の Quartus II ウィンドウから検索するには、該当するウィンドウ内でノードを選択します。例えば、Project Navigator では **Hierarchy** タブの **Entity** リストでエンティティを選択し、タイミング・クロージャ・フロアプランではノードを選択し、アサインメント・エディタでは **From** または **To** カラムでノード名を選択します。次に、選択したオブジェクトを右クリックし、**Locate** をポイントして、**Locate in RTL Viewer** または **Locate in Technology Map Viewer** をクリックします。このコマンドを選択した後、ビューワ・ウィンドウが開きます。ビューワ・ウィンドウがすでに開いている場合は、ビューワ・ウィンドウが画面の一番前に表示されます。

 コンパイル後、初めてウィンドウが開く場合、プリプロセッサ・ステージが実行されてからビューワ・ウィンドウが開きます。

ビューワには選択されたノードが表示され、該当する場合はノード間の接続も表示されます。オブジェクトを右クリックし、**Filter** をポイントし、**Filter Across Hierarchy** を使用して **Selected Nodes & Nets** をクリックすると、示されているように表示されます。ビューワでノードが見つからなかった場合は、メッセージ・ボックスに “Can't find message location.” というメッセージが表示されます。

## タイミング・パスの表示

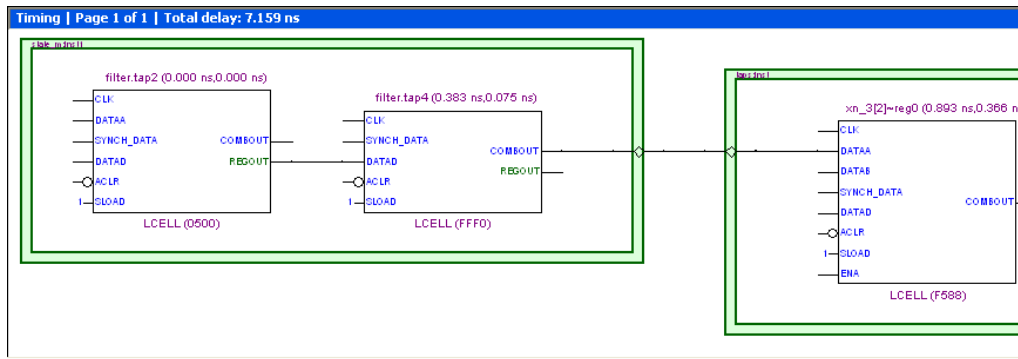
コンパイル・レポートの Timing Analysis セクションからクロス・プロベリングすることで、タイミング・アナライザが一覧表示するタイミング・パスを視覚的に表示できます。

この機能を利用するには、最初にタイミング・アナライザ・ステージを含めて、デザインのフル・コンパイルを正常に完了する必要があります。デザインのタイミング結果を含むタイミング・アナライザ・レポートにアクセスするには、Processing メニューで **Compilation Report** をクリックします。**Clock Setup** : <clock name>、**tsu**、**tco**、**tpd**、またはその他のタイミング・パラメータの任意の詳細レポートに一覧表示されるパスを表示するには、**Compiler Report** 上で **Timing Analyzer** を選択します。詳細レポートを選択すると、タイミング情報がコンパイル・レポートの右側に表形式で一覧表示されます。表の各行は、デザインのタイミング・パスを表します。特定のタイミング・パスを **Technology Map Viewer** に表示するには、表内の該当する行を右クリックし、**Locate** をポイントして、**Locate in Technology Map Viewer** または **Locate in RTL Viewer** をクリックします。

**Technology Map Viewer** の回路図ページに、全体的な遅延の要約とともにタイミング・パスに沿ってノードと、各ノードのインタコネクタ (IC) 遅延およびセル遅延を表すデータが表示されます。各ノードの遅延は、<合成後のノード名>( <IC遅延> ns, <セル遅延> ns) の形式で示されます。

図 12-18 は、**Technology Map Viewer** に表示されるタイミング・パスの一部を示しています。多くのロジック・レベル (図 12-18 に示すのは 3 つのレベルのみ) を通過するパス全体での遅延は 7.159 ns です。遅延はロジックのレベルごとに示されます。例えば、最初の LCELL プリミティブへのインタコネクタ遅延、つまり IC 遅延は 0.383 ns で、LCELL を経由するセル遅延は 0.075 ns です。タイミング・パスが階層レベルを通過する場合、緑色の階層ボックスによってロジックがグループ化され、階層境界が示されます。境界上のダイヤモンド記号は、パスが 2 つの異なる階層間を通過していることを示しています。

図 12-18. Technology Map Viewer のタイミング・パス回路図



RTL Viewer の回路図ページには、ソース・レジスタとディスティネーション・レジスタ間のパスのノードが、全体的な遅延の要約とともに表示されます。

RTL Viewer ネットリストは合成の初期ステージに基づいているため、フィッティング後のノードは RTL Viewer ネットリストに存在しない場合があります。したがって、RTL Viewer では、Technology Map Viewer と同じように内部の遅延数は表示されず、タイミング・パスがタイミング解析レポートと同じように正確に表示されるとは限りません。ソース・レジスタとディスティネーション・レジスタ間に複数のパスがある場合、RTL Viewer にはタイミング・パス以外にも表示されることがあります。また、ステート・マシンを通過するパスや、暗号化された IP (Intellectual Property) を通過するパス、フィッティング・プロセス時に作成されたレジスタを通過するパスなどは表示できない場合もあります。RTL Viewer に表示されるタイミング・パスが正しくない可能性がある場合、コンパイラはメッセージを発行します。

## Schematic Viewer の その他の機能

ここでは、操作性を高めてデザイン解析を簡単にできるようにする回路図ビューのその他の機能について説明します。

### ツールチップ

回路図内のエレメントの上にマウス・ポインタを置くと、ツールチップが表示されます。ツールチップには、ノード、ネット、入力ポート、および出力ポートについての有益な情報が表示されます。表 12-8 は、各タイプのノードのツールチップに表示される情報を示しています。

インスタンス (表 12-8 の 1 行目) のツールチップ情報には、その階層レベルにあるプリミティブの一覧と、現在のインスタンスに含まれるプリミティブ数が表示されます。この数には、階層内の現在のインスタンスの下にある階層ブロックがすべて含まれています。この情報を使用すれば、階層ブロックに移動することなく、そのブロックのサイズと複雑さを推定できます。

Technology Map Viewer の ATOM プリミティブのツールチップ情報 (表 12-8 の 2 行目) には、デザイン素子の計算式が表示されます。この計算式は、タイミング・クロージャ・フロアプランの Equations ウィンドウに表示できる計算式を展開したものです。上級ユーザは、これらの計算式を使用してデザイン実装を詳細に解析することができます。

計算式について詳しくは、Quartus II のヘルプを参照してください。

ツールチップをクリップボードにコピーして別のアプリケーションで使用するには、目的のノードまたはネットリストを右クリックし、**Copy Tooltip** をクリックします。

ツールチップを表示しないようにする、またはツールチップがビューに表示される時間を変更するには、Tools メニューの **Options** をクリックします。Category リストで **RTL/Technology Map Viewer** を選択し、**Tooltip settings** で目的のオプションを設定します。

**Show names in tooltip for** オプションは、割り当てられたノードやピンの上にポインタが移動したときに、そのノードやピンの名前をツールチップに表示する秒数を指定します。**Unlimited** を選択すると、ポインタがノードやピンの上にある間、ツールチップが表示されます。**0** を選択すると、ツールチップは表示されなくなります。デフォルト値は 5 秒です。

**Delay showing tooltip for** オプションは、割り当てられたノードやピンの上にポインタを移動してから何秒後に、そのノードやピンの名前をツールチップに表示するかを指定します。**0** を選択すると、割り当てら

れたノードやピンの上にポインタが移動したらすぐにツールチップが表示されます。**Unlimited** を選択すると、ツールチップは表示されなくなります。デフォルト値は1秒です。

表 12-8. ツールチップ情報 ( 1 / 2 )	
説明とツールチップの形式	ツールチップの例
インスタンス 形式: < インスタンス名 >, < インスタンスのタイプ > < プリミティブのタイプ >, < プリミティブ数 >... < プリミティブのタイプ >, < プリミティブ数 >	<pre>taps:inst_1NST DFF 32 OPERATOR(SELECTOR) 8 OPERATOR(DECODER) 1</pre>
<b>ATOM</b> プリミティブ 形式: < インスタンス名 >, < プリミティブ名 > (<LUT マスク値 >) {r   c < レジスタまたは組み合わせ計算式 >} ... r (1 つ目の例) はレジスタの計算式を表し、c (2 つ目の例) は組み合わせロジックの計算式を表します。	<pre>inst5[3], LCELL (0000) &lt; &gt; inst5[3] = DFFEAS[   (GND), GLOBAL(CLK), VCC, , ENA, SYNCH_DATA, , VCC) CLK = clkx2 ENA = inst4 SYNCH_DATA = result[7]</pre> <pre>acc:inst3[ym[2]~133, LCELL (00F0) &lt; &gt; ym[2]~133 = DATAC &amp; IDATAD DATAC = result[2] DATAD = filter.tap1</pre>
プリミティブ 形式: < プリミティブ名 >, < プリミティブのタイプ >	<pre>clocks:inst7[Mux~1, OPER (MUX)]</pre> <pre>md_me:inst18[data[3..3], DFFE]</pre>
ピン 形式: < ピン名 >, < ピンのタイプ >	<pre>pc_clock, INPUT</pre> <pre>Test_probe, OUTPUT</pre>
コネクタ 形式: < コネクタ 名前 >	<pre>inst4_CLK</pre>
ネット 形式: < ネット名 >, fan-out = < ファン・アウト信号数 >	<pre>state_m:inst1:decoder_node[2][0], fan-out =</pre>
出力ポート 形式: fan-out = < ファン・アウト信号数 >	<pre>fanout = 9</pre>

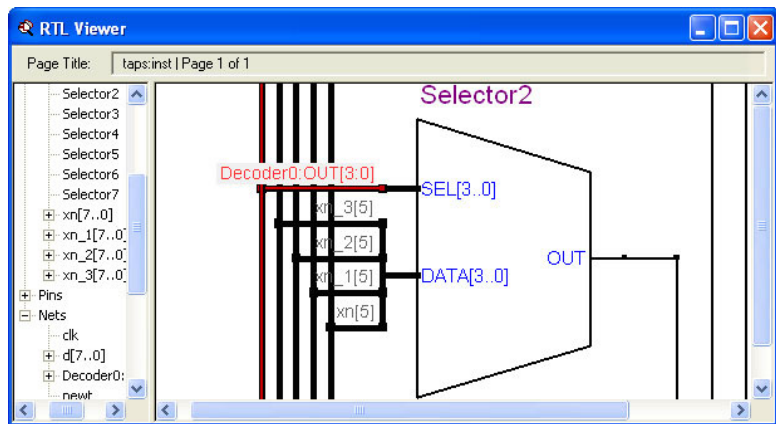
表 12-8. ツールチップ情報 ( 2 / 2 )

説明とツールチップの形式	ツールチップの例
<p>入力ポート</p> <p>表示される情報は、ソース・ネットのタイプによって異なります。ここに示すツールチップの例では、以下のタイプのソース・ネットを使用しています。</p> <p>(1) 単一ネット</p> <p>(2) 同じバス・ネットの一部である個々のネット</p> <p>(3) 異なるバス・ネットの組み合わせ</p> <p>(4) 定数入力</p> <p>(5) 単一ネットと定数入力の組み合わせ</p> <p>(6) バス・ネット</p> <p>Source from は、入力ポートに接続しているソース・ネット名を示します。</p> <p>Destination Index は、ソース・ネットが接続されている (単一ネットの場合は該当しない) ディスティネーション入力ポートでのビット数を示します。</p>	<div style="border: 1px solid black; padding: 2px; margin-bottom: 5px;">Source from: (1) reset:reset_i:rst</div> <div style="border: 1px solid black; padding: 2px; margin-bottom: 5px;">&lt; Destination Index &gt;   Source from: (2) &lt; [11] &gt;   sample~0:OUT1 &lt; [10] &gt;   sample~1:OUT1 &lt; [9] &gt;   sample~2:OUT1 &lt; [8] &gt;   sample~3:OUT1 &lt; [7] &gt;   sample~4:OUT1 &lt; [6] &gt;   sample~5:OUT1 &lt; [5] &gt;   sample~6:OUT1 &lt; [4] &gt;   sample~7:OUT1 &lt; [3] &gt;   sample~8:OUT1 &lt; [2] &gt;   sample~9:OUT1 &lt; [1] &gt;   sample~10:OUT1 &lt; [0] &gt;   sample~11:OUT1</div> <div style="border: 1px solid black; padding: 2px; margin-bottom: 5px;">&lt; Destination Index &gt;   Source from: (3) &lt; [7..6] &gt;   node2:OUT1 &lt; [5] &gt;   ct[3]:OUT1 &lt; [4] &gt;   node2:OUT1 &lt; [3..2] &gt;   ct[3]:OUT1 &lt; [1] &gt;   node2:OUT1 &lt; [0] &gt;   ct[3]:OUT1</div> <div style="border: 1px solid black; padding: 2px; margin-bottom: 5px;">&lt; Destination Index &gt;   Source from: (4) &lt; [11..0] &gt;   I2' h000</div> <div style="border: 1px solid black; padding: 2px; margin-bottom: 5px;">&lt; Destination Index &gt;   Source from: (5) &lt; [2..1] &gt;   I2' h1 &lt; [0] &gt;   always7~2:OUT1</div> <div style="border: 1px solid black; padding: 2px; margin-bottom: 5px;">&lt; Destination Index &gt;   Source from: (6) &lt; [15..0] &gt;   md_me:inst18:dout[15:0]</div>
<p>ステート・マシン・ノード</p> <p>形式:&lt; ノード名 &gt;</p>	<div style="border: 1px solid black; padding: 2px;">state_m:inst1 filter.tap1</div>
<p>ステート・マシンの遷移の円弧</p> <p>この情報は、2つの状態間での遷移を表す円弧の上にマウスを置くと表示されます。</p> <p>形式:(&lt; 状態間での遷移を表す計算式 &gt;)</p>	<div style="border: 1px solid black; padding: 2px;">(!newt)</div>

## ロールオーバー

ロールオーバー機能を使用すると、エレメントをハイライトし、その名前を回路図に表示することができます。マウス・ポインタをオブジェクトの上に置くと、オブジェクトがハイライトされて名前が表示されます。これにより、回路図を解析しやすくなります。この機能は、ネットリスト・ビューワではデフォルトで有効に設定されます。ロールオーバー機能をオフにするには、Tools メニューの **Options** をクリックします。**Options** ダイアログ・ボックスの **Category** リストで **RTL/Technology Map Viewer** を選択し、**Enable Rollover** をオフにします。

図 12-19. RTL Viewer および Technology Map Viewer でのロールオーバー



## Properties ダイアログ・ボックス

Properties ダイアログ・ボックスでは、インスタンスやプリミティブのプロパティを表示できます。インスタンスまたはプリミティブのプロパティを RTL Viewer または Technology Map Viewer に表示するには、ノードを右クリックし、**Properties** をクリックします。

Properties ダイアログ・ボックスには、選択したノードに関する以下の情報が表示されます。

- インスタンスのパラメータ値。
- ポートのアクティブ・レベル（例えば、アクティブ High またはアクティブ Low）。アクティブ Low ポートは感嘆符 “!” で示されます。
- ポートの定数値（例えば、VCC または GND）。表 12-9 にポートで可能な値を示します。

値	説明
VCC	ポートは未接続で、VCC 値（VCC に接続）を持ちます。
GND	ポートは未接続で、GND 値（GND に接続）を持ちます。
--	ポートは接続されており、値（VCC または GND 以外）を持ちます。
Unconnected	ポートは未接続で、値を持ちません（ハンギング）。

## ネット名の表示

回路図に表示されるすべてのネットワークの名前を表示するには、Assignments メニューの **Options** をクリックします。Category リストで **RTL/Technology Map Viewer** を選択し、**Display Settings** で **Show Net Name** をオンにします。このオプションは、デフォルトでは無効に設定されます。このオプションをオンにすると、回路図ビューが自動的に更新されてネット名が表示されます。

## ノード名の表示

一部のデザインでは、ノード名が長く、回路図内の他のシンボルに部分的に重なっている場合があります。回路図からノード名を削除するには、Tools メニューの **Options** をクリックします。Category リストで **RTL/Technology Map Viewer** を選択し、**Display Settings** で **Show node name** をオフにします。このオプションはデフォルトではオンに設定されます。

## フル・スクリーン表示

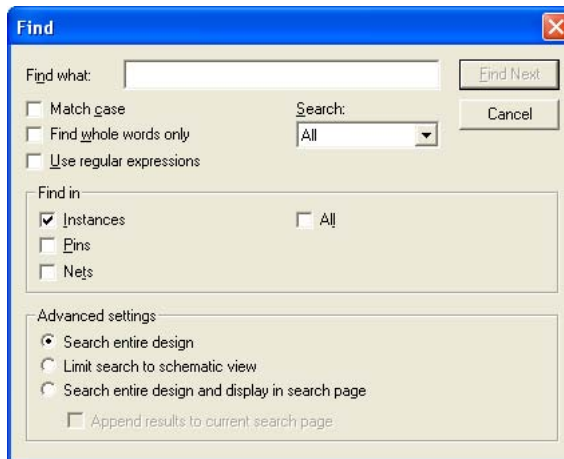
ビューワ・ウィンドウをスクリーン全体に表示するように設定するには、View メニューの **Full Screen** をクリックするか、ビューワ・ツールバーの **Full Screen** アイコンをクリックするか、Ctrl+Alt+Space を押します。

キーボード・ショートカットを使用すると、フル・スクリーンが切り替わります。フル・スクリーン表示の後、標準スクリーン表示に戻るには、Ctrl+Alt+Space をもう一度押します。

## Find コマンド

図 12-20 に示す **Find** ダイアログ・ボックスを開くには、Edit メニューの **Find** をクリックするか、ビューワ・ツールバーの **Find** アイコンをクリックするか、回路図ビュー内を右クリックして **Find** をクリックします。

図 12-20. Find ダイアログ・ボックス



Search リストの **Up** を選択すると、現在の階層から上位（親）階層への検索が行われます。**Down** を選択すると、現在の階層から下位（子）階層への検索が行われます。デザイン内のインスタンス（ノード）のみの検索や、ピンおよびネットの検索も選択できます。デフォルトでは、インスタンスのみ検索されます。

**Find** をクリックすると、ビューワでは最初に検出されたアイテムが選択されてハイライトされ、回路図の該当ページが開きます。また、ノードが可視領域内に表示されるように、必要に応じてページが中央に表示されます（ただし、ノードの拡大表示は行われません）。次に一致するノードを検索するには、**Find Next** をクリックします。

**Advanced settings** セクションのオプションを使用すると、検索範囲とビューワでの表示方法を制御できます。デフォルトでは **Search entire design** が選択されており、すべてのデザイン・エレメント内のアイテム

がデザイン全体を通して検索されます。フィルタリング結果を表示する回路図など、現在表示されているネットリストのページでのみ検索するには、**Limit search to schematic view** を選択します。

検索結果を新しいページに表示するには、**Search entire design and display in search page** を選択します。このコマンドは、すべてのデザイン・エレメントをデザイン全体を通して検索し、その結果を検索結果専用の別ページに表示します。また、**Append results to current search page** コマンドを使用して、新しい検索結果を既存の検索ページに追加することもできます。追加したアイテムは、全体回路図と同じ相対的な場所に表示されます。これを使用すると、同じページに存在しない2つのオブジェクトを検索して選択し、**Find** コマンドの実行後に、これらを同じページに表示することができます。




**Find** ダイアログ・ボックスの使い方について詳しくは、Quartus II のヘルプの「Finding Nodes in the RTL Viewer & Technology Map Viewer」を参照してください。

## 回路図のイメージのエクスポートおよびコピー

RTL Viewer または Technology Map Viewer の回路図ビューを JPEG 交換フォーマット (**.jpg**) または Windows ビットマップ (**.bmp**) ファイル・フォーマットでエクスポートできます。これにより、回路図をプロジェクト資料に含めたり、回路図を他のプロジェクト・メンバと共有することができます。回路図ビューをエクスポートするには、**File** メニューで **Export** をクリックします。**Export** ダイアログ・ボックスで、ファイルの名前と場所を入力し、目的のファイル・タイプを選択します。デフォルトのファイル名は現在のインスタンス名に基づき、デフォルトのファイル・タイプは JPEG 交換フォーマット (**.jpg**) です。ただし、フィルタリング、拡張、または縮小操作を使用するページでは、デフォルト名は **Filter**< エクスポート操作の番号 >.< ファイル拡張子 > です。

イメージ全体をコピーするか、イメージを部分的にコピーするかを選択できます。イメージ全体をコピーするには、**Edit** メニューで **Copy** をポイントし、**Full Image** をクリックします。Windows ベース・プラットフォームの使用時にイメージを部分的にコピーするには、**Edit** メニューで **Copy** をポイントし、**Partial Image** をクリックします。カーソルの形状がボックスを描画できるように変化します。コピーする回路図の領域を囲むようにカーソルをドラッグします。マウス・ボタンを離すと、その領域がクリップボードにコピーされます。


 場合によっては、デザインのサイズや選択されたオブジェクトのためにイメージが大きくなりすぎて、クリップボードにコピーできないことがあります。この場合、Quartus II ソフトウェアにエラー・メッセージが表示されます。

回路図が大きすぎて一度にエクスポートまたはコピーできない場合は、最初にデザインを複数のページに分割して、デザインの小さな領域をエクスポートまたはコピーします。各回路図ページでのデザインの表示範囲の制御方法については、[12-24 ページの「ページへの回路図の分割」](#)を参照してください。また、Partial Image機能を使用してイメージを部分的にコピーする方法もあります。

Copy 機能は、UNIX プラットフォームでは使用できません。

## 印刷

回路図ページを印刷するには、File メニューで **Print** をクリックします。各回路図ページは、1 ページ全体に印刷できます。また、**Selection** オプションを使用して、回路図のハイライトされた領域を 1 ページに印刷することもできます。各回路図ページにおけるデザインの表示範囲の制御方法については、[12-24 ページの「ページへの回路図の分割」](#)を参照してください。

 印刷前に、ページの向きを変更することができます。File メニューで **Page Setup** をクリックします。ページの向きを **Portrait** から **Landscape** に変更するか、デザインに最適な設定に変更します。また、**Page Setup** ダイアログ・ボックスではページの余白も調整できます。

ビューワ内の階層リストと State Machine Viewer のテーブル・ビューは印刷できません。State Machine Viewer の **Copy** コマンドを使用してテーブルをテキスト・エディタにコピーし、テキスト・エディタから印刷できます。

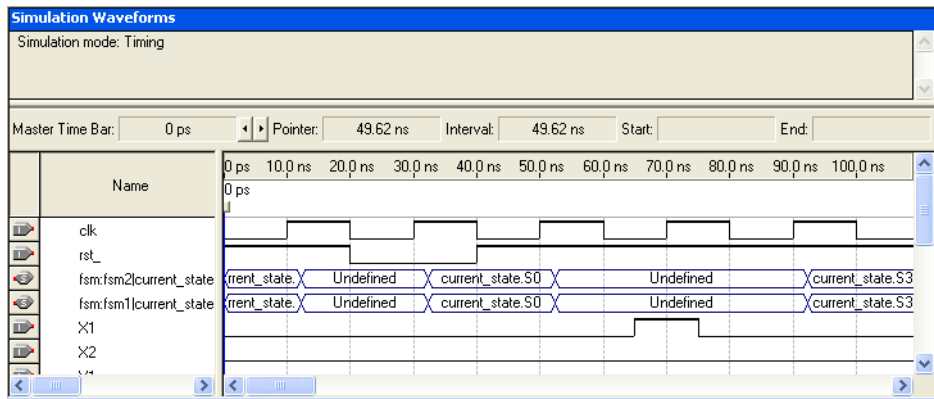
## State Machine Viewer での HDL コードのデバッグ

ここでは、State Machine Viewer を使用して HDL コードを簡単にデバッグする例を示します。この例では、ネットリスト・ビューワの各種機能を使用してデザインの問題を即座に解決する方法について説明します。

### ステート・マシンのシミュレーションで予想外の結果が発生

ここでは、デザインをコンパイルして Quartus II Simulator でシミュレーションを実行したときのデザイン・シナリオを示します。シミュレーション結果は [図 12-21](#) に示すとおりで、予想外の不定状態が発生しています。

図 12-21. 不定状態を示すシミュレーション結果



State Machine Viewer でステート・マシン・デザインを解析するには、以下のステップに従います。

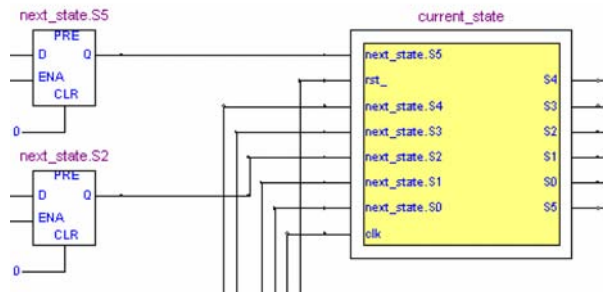
1. 問題のステート・マシンの State Machine Viewer を開きます。これは以下のいずれかの方法で行うことができます。
2. Tools メニューで Netlist Viewers をポイントし、**State Machine Viewer** をクリックします。State Machine 選択ボックスで、表示するステート・マシンを選択します。

または

Tools メニューで Netlist Viewers をポイントし、**RTL Viewer** をクリックします。ステート・マシンの定義を含む階層ブロックを参照し、黄色のステート・マシン・インスタンスをダブルクリックして State Machine Viewer を開きます (図 12-24)。State Machine Viewer は、次の 2 つのいずれかの方法で開くことができます。

- 回路図ビューで、階層内のインスタンスをダブルクリックして、下位レベルの階層を開きます。この方法によって回路図の階層を移動し、ステート・マシンを含む回路図ページを開きます (図 12-22)。

図 12-22. RTL Viewer の回路図ビューでのステート・マシン・インスタンス



または

- 階層リストで、**Instances** の横にある + 記号をクリックして、デザインその階層レベルにあるインスタンスのリストを開きます。この方法によって階層ツリーを下位レベルに移動し、ステート・マシンを含むインスタンスを見つけます。**State Machines** フォルダ (図 12-23) 内でステート・マシンの名前をクリックし、適切な回路図を回路図ビューに開きます (図 12-22)。

図 12-23. RTL Viewer の階層リスト内のステート・マシン・インスタンス

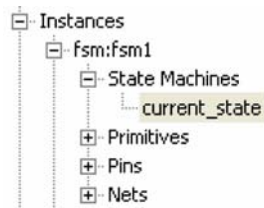
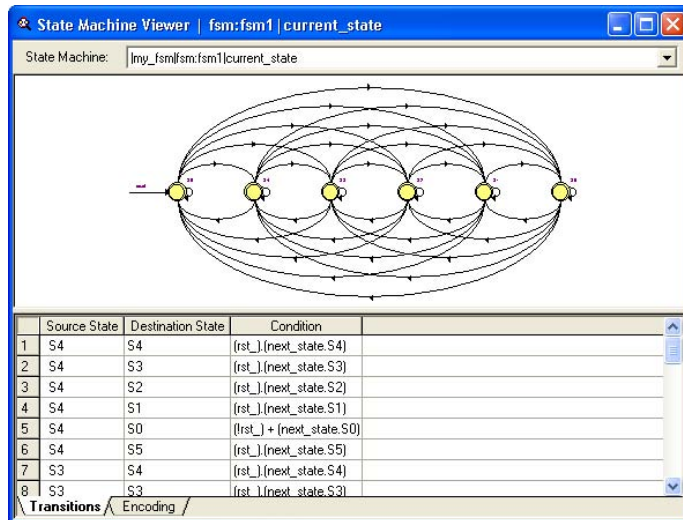
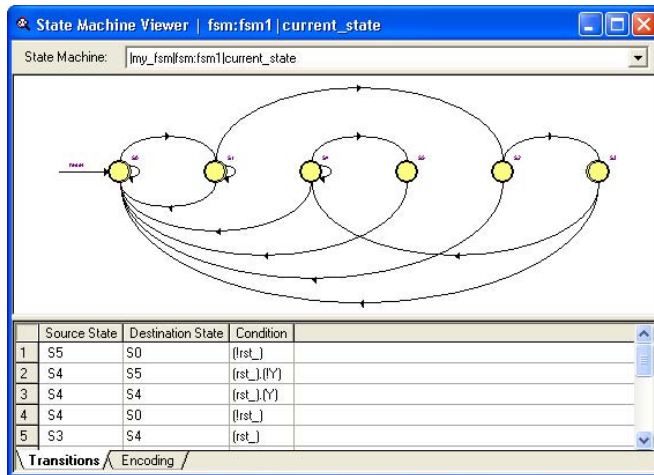


図 12-24. 不正な遷移を示す State Machine Viewer



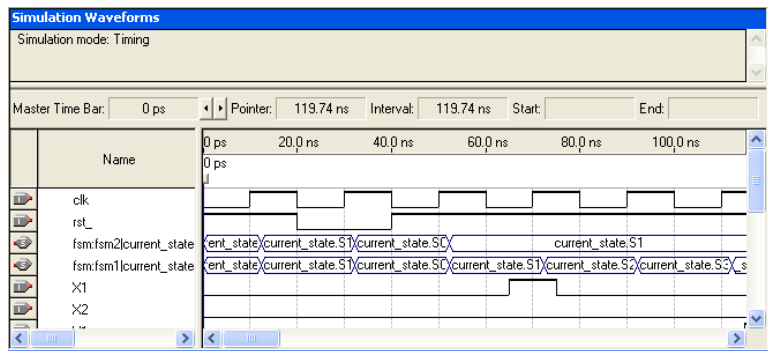
- 次に、ステート・マシン・ダイアグラム、遷移テーブル、およびエンコーディング・テーブルを使用して、このステート・マシンを解析できます。すべての状態間で遷移があるため、ステート・マシンの不正な箇所を明確に表示できます。ステート・マシンの動作の検査中、このシナリオでは設計者が次の状態に対するデフォルト・アサインメント（つまり、条件が満たされない場合は `next_state = current_state`）を作成し忘れていたものと判断できます。
- HDL コードのエラーを修正した後、デザインを再コンパイルし、ステップ 1～3 を繰り返して、図 12-25 に示すように新しいステート・マシン・ダイアグラムと遷移テーブルを表示し、状態遷移が正しく発生していることを確認します。

図 12-25. 正しい遷移を示す State Machine Viewer



- 図 12-26 に示すように、新しいシミュレーションを実行し、ステート・マシンが適切に実行されることを確認します。

図 12-26. 正しい状態を示すシミュレーション結果



## まとめ

Quartus II RTL Viewer、State Machine Viewer、および Technology Map Viewer では、初期合成ネットリスト、合成後のネットリスト、またはフィッティング後およびフィジカル・シンセシス・ネットリストを調査および解析できます。各ビューワは、階層リストのさまざまな機能と回路図ビューを備えており、ネットリスト全体を通して追跡を行い、問題となっている特定の階層やノードを簡単に見つけることができます。これらの機能を使用すれば、デザインのデバッグ、最適化、または制約が簡単に行えるので、生産性が向上します。