



2. Avalon インタフェース対応コモン・フラッシュ・インタフェース・コントローラ・コア

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

NII51013-6.0.0

コアの概要

Avalon[®] インタフェース対応のコモン・フラッシュ・インタフェース・コントローラ・コアにより、SOPC Builder システムを CIF (Common Flash Interface) 仕様に準拠する外部フラッシュ・メモリに容易に接続することができます。CFI コントローラは、SOPC Builder に対応しており、SOPC Builder で生成されたどのシステムにも容易に統合できます。

Nios[®] II プロセッサに対して、アルテラは CFI コントローラ用の HAL (Hardware Abstraction Layer) ドライバ・ルーチンを提供しています。ドライバは CFI 準拠のフラッシュ・メモリ用ユニバーサル・アクセス・ルーチンを提供します。したがって、CFI 準拠のフラッシュ・デバイスをプログラムするために、余分なコードを記述する必要はありません。HAL ドライバ・ルーチンはフラッシュ・メモリ用の HAL 標準デバイス・モデルを利用しているため、ユーザは使い慣れた HAL アプリケーション・プログラミング・インタフェース (API) やファイル I/O 用の ANSI C 標準ライブラリ関数を使用して、フラッシュ・メモリにアクセスできます。HAL API を使用したフラッシュの読み出しおよび書き込み方法の詳細については、「Nios II ソフトウェア開発ハンドブック」を参照してください。

Nios II 開発ツールは、Nios II プロセッサと CFI コントローラをベースにした Flash Programmer ユーティリティを提供します。Flash Programmer ユーティリティを使用すると、アルテラ FPGA に接続された CFI 準拠のフラッシュ・メモリをプログラムできます。詳細については「Nios II Flash Programmer User Guide」を参照してください。

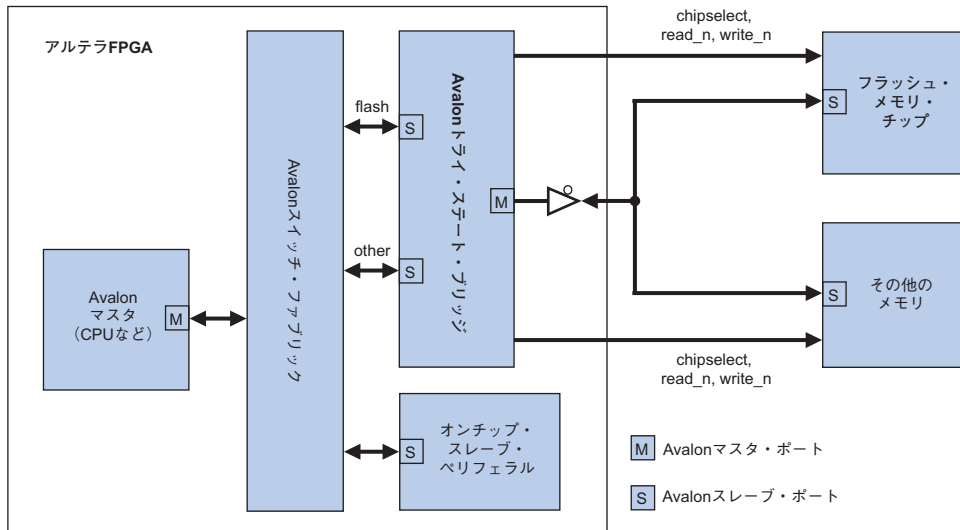
コモン・フラッシュ・インタフェース仕様の詳細については、www.intel.com/design/flash/swb/cfi.htm を参照してください。CFI コントローラでサポートされるフラッシュ・デバイスの一例として、www.amd.com にある AMD Am29LV065D-120R のデータ・シートを参照してください。

コモン・フラッシュ・インタフェース・コントローラ・コアは、SOPC Builder または Nios 開発キットに同梱して配布された従来のアルテラ・フラッシュ・コアに代わるものです。これらの従来型コアに付属するすべてのフラッシュ・チップは、CFI 仕様に準拠しているため、CFI コントローラでもサポートされます。

機能の説明

図 2-1 は、代表的なシステム・コンフィギュレーションにおける CFI コントローラのブロック図を示します。図 2-1 に示すとおり、フラッシュ・デバイス用の Avalon インタフェースは、Avalon トライステート・ブリッジを介して接続されます。Avalon トライステート・ブリッジはオフチップ・メモリ・バスを作成し、このバスによってフラッシュ・チップはアドレス・ピンとデータ・ピンを他のメモリチップと共有できます。メモリ・バスに接続されている各チップに対して、独立したチップセレクト、リード、およびライト・ピンを提供します。CFI コントローラ・ハードウェアは最小限のリソースであり、ターゲットのフラッシュ・チップに適したウェイトステート、セットアップ、およびホールド・タイムによりコンフィギュレーションされた Avalon トライステート・スレーブ・ポートにすぎません。このスレーブ・ポートは、Avalon トライステート・スレーブのリード転送とライト転送を実行できます。

図 2-1. CFI コントローラを統合した SOPC Builder システム



Avalon マスタ・ポートは、CFI コントローラの Avalon ポートから直接リード転送を実行できます。フラッシュ・メモリの書き込み / 消去の詳細については、2-4 ページの「ソフトウェア・プログラミング・モデル」を参照してください。

デバイスおよびツールのサポート

CFI コントローラは、Stratix[®]、Stratix II、Cyclone[™]、および Cyclone II デバイス・ファミリをサポートしています。CFI コントローラは Nios II HAL システム・ライブラリ用のドライバを提供します。第 1 世代の Nios プロセッサに対しては、ソフトウェア・サポートは提供されません。

SOPC Builder でのコアのイン スタンス化

ハードウェア設計者は、CFI コントローラの SOPC Builder コンフィギュレーション・ウィザードを使用してコアの機能を指定します。以下のセクションでは、コンフィギュレーション・ウィザードで選択可能なオプションについて説明します。

Attributes タブ

このタブのオプションは、CFI コントローラの基本的なハードウェア・コンフィギュレーションを制御します。

Presets 設定

Presets 設定は、CFI コントローラとともに使用するために特性が評価されたフラッシュ・チップのドロップダウン・メニューです。**Presets** メニューからチップの1つを選択すると、ウィザードは指定されたフラッシュ・チップで動作するように、2つのタブのすべての設定（Board Info 設定を除く）を更新します。

ターゲット・ボード上のフラッシュ・チップが **Presets** リストに表示されない場合、その他の設定を手動でコンフィギュレーションする必要があります。

Size 設定

サイズ設定はフラッシュ・デバイスのサイズを指定します。以下の2つの設定があります。

- **Address Width** —フラッシュ・チップのアドレス・バスの幅。
- **Data Width** —フラッシュ・チップのデータ・バスの幅。

サイズ設定を行うと、SOPC Builder はこのデバイスに適切な容量のアドレス空間を割り当てます。SOPC Builder は、データ幅の異なる Avalon マスタ・ポートにフラッシュ・チップを適切に接続するダイナミック・バス・サイジング・ロジックを自動的に生成します。ダイナミック・バス・サイジングの詳細については、「Avalon Interface Specification Reference Manual」を参照してください。

Board Info

Board Info 設定は、Nios II 開発キットに付属の Flash Programmer ユーティリティで使用されます。この設定は、CFI コントローラを、SOPC Builder システム用ターゲット・システム・ボード・コンポーネントの既知のチップにマップします。

Reference Designator (chip label) 設定は、現在のフラッシュ・コンポーネントをターゲット・ボード上の参照先にマップするドロップダウン・メニューです。このドロップダウン・メニューは、ターゲット・ボード上に複数のフラッシュ・チップが存在する場合にのみ有効になります。ボード上のすべてのフラッシュ・チップが、CFI コントローラの他のインスタンスで表される場合、SOPC Builder はエラーを表示します。



詳細については、「Nios II Flash Programmer User Guide」を参照してください。

Timing タブ

このタブ上のオプションは、フラッシュ・デバイスでのリード転送およびライト転送のためのタイミング要件を指定します。Timing ページでは、以下の設定が可能です。

- **Setup** – chipselect をアサートした後、read または write 信号をアサートするまでに必要な時間。
- **Wait** – 各転送で、read または write 信号をアサートするのに必要な時間。
- **Hold** – write 信号をデアサートした後、chipselect 信号をデアサートするまでに必要な時間。
- **Units** – Setup、Wait、および Hold の値に使用するタイミングの単位。ns、us、ms、クロック・サイクルなどが使用できます。



Avalon インタフェースの信号タイミングに関する詳細は、「Avalon Interface Specification Reference Manual」を参照してください。

ソフトウェア・プログラミング・モデル

このセクションでは、CFI コントローラのソフトウェア・プログラミング・モデルについて説明します。一般に、システム内の Avalon マスタはフラッシュ・チップをメモリ・デバイスとして直接読み出すことが可能です。Nios II プロセッサ・ユーザ用に、アルテラは HAL API 関数を使用したフラッシュ・メモリの消去と書き込みを可能にする HAL システム・ライブラリ・ドライバを提供しています。

HAL システム・ライブラリ・サポート

アルテラが提供するドライバは、Nios II システム用の HAL システム・ライブラリに統合される HAL フラッシュ・デバイス・ドライバを実装します。プログラムでは、通常どおり HAL API 関数を呼び出して CFI 準拠のフラッシュ・メモリをプログラムします。基本ドライバの詳細に関する知識は不要です。



フラッシュをプログラムするための HAL API は、C コードの例を含めて、「Nios II ソフトウェア開発ハンドブック」で詳細に説明されています。Nios II 開発キットは、フラッシュ・メモリの消去、書き込み、および読み出しのデモンストレーションを行う、Flash Tests と呼ばれるリファレンス・デザインも提供します。

制限

現在、アルテラが提供する CFI コントローラ用ドライバは、AMD および Intel 製フラッシュ・チップのみをサポートしています。

ソフトウェア・ファイル

CFI コントローラは、以下のソフトウェア・ファイルを提供しています。これらのファイルは、ハードウェアへのローレベル・アクセスを定義し、HAL フラッシュ・デバイス・ドライバ用ルーチンを提供します。アプリケーション開発者がこれらのファイルを変更してはなりません。

- **altera_avalon_cfi_flash.h**, **altera_avalon_cfi_flash.c** — ドライバを HAL システム・ライブラリに統合するのに必要な関数および変数のヘッダとソース・コード。
- **altera_avalon_cfi_flash_funcs.h**, **altera_avalon_cfi_flash_table.c** — CFI テーブルへのアクセスに関連する関数のヘッダとソース・コード。
- **altera_avalon_cfi_flash_amd_funcs.h**, **altera_avalon_cfi_flash_amd.c** — CFI 準拠の AMD 製フラッシュ・チップをプログラムするためのヘッダとソース・コード。
- **altera_avalon_cfi_flash_intel_funcs.h**, **altera_avalon_cfi_flash_intel.c** — CFI 準拠の Intel 製フラッシュ・チップをプログラムするためのヘッダとソース・コード。

