

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

NII51001-8.0.0

はじめに

この章では、Nios® II エンベデッド・プロセッサ・ファミリについて説明します。この章は、ハードウェア・エンジニアおよびソフトウェア・エンジニアが Nios II プロセッサと従来型エンベデッド・プロセッサの類似点と相違点を理解するのに役立ちます。

この章は、以下の項で構成されています。

- 1-1 ページの「Nios II プロセッサ・システムの基礎知識」
- 1-2 ページの「Nios II プロセッサの使用法」
- 1-3 ページの「Nios II プロセッサ・デザインのカスタマイズ」
- 1-4 ページの「コンフィギュレーション可能なソフトコア・プロセッサの概念」
- 1-7 ページの「OpenCore Plus 評価機能」

Nios II プロセッサ・ システムの 基礎知識

Nios II プロセッサは、以下の特長を備えた汎用 RISC プロセッサ・コアです。

- 完全な 32 ビット命令セット、データ・パス、およびアドレス空間
- 32 個の汎用レジスタ
- 32 個の外部割り込みソース
- 32 ビットの演算結果を生成する単一命令の 32×32 乗算および除算
- 乗算の 64 ビットおよび 128 ビット積を計算するための専用命令
- 単精度浮動小数点演算のための浮動小数点命令
- 単一命令バレル・シフタ
- 各種オンチップ・ペリフェラルへのアクセス、オフチップ・メモリおよびペリフェラルへのインタフェース
- 統合開発環境 (IDE) 制御のもとで、プロセッサの起動、停止、ステップ、およびトレースを可能にするハードウェア支援デバッグ・モジュール
- MMU を必要とするオペレーティング・システムをサポートするオプションのメモリ管理ユニット (MMU)
- オプションのメモリ・プロテクション・ユニット (MPU)
- GNU C/C++ ツール・チェーンおよび Eclipse IDE をベースにしたソフトウェア開発環境
- アルテラの SignalTap® II ロジック・アナライザとの統合により、FPGA デザインの他の信号と併せて、命令およびデータのリアルタイム解析を可能にします。

- すべての Nios II プロセッサ・システム間で互換性のある命令セット・アーキテクチャ
- 最大 250 DMIPS の性能

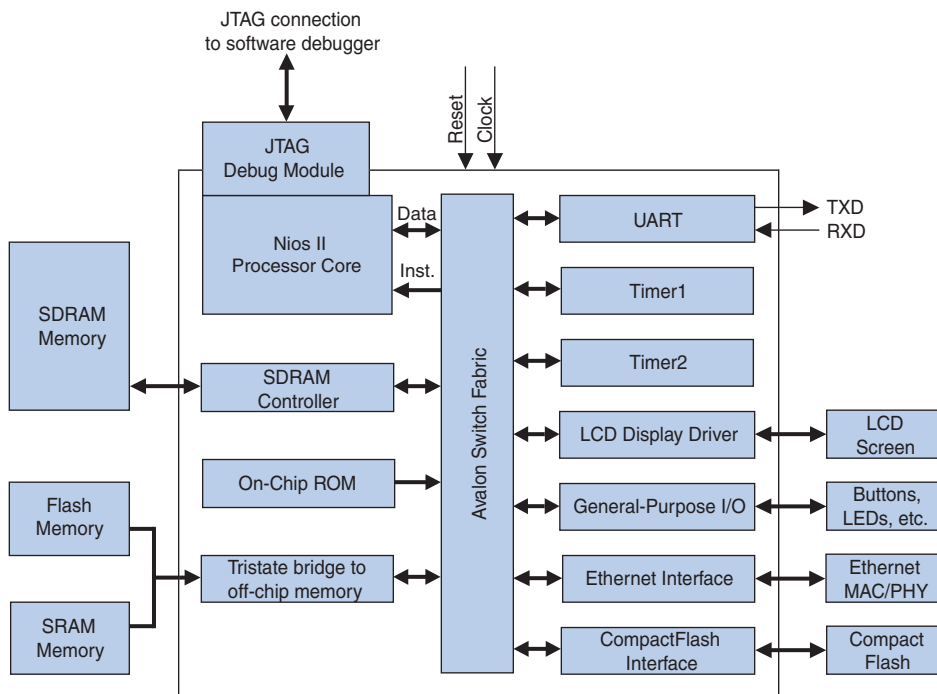
Nios II プロセッサ・システムは、シングル・チップ上に CPU とペリフェラルおよびメモリを組み合わせて搭載したマイクロコントローラまたはコンピュータ・オンチップに相当します。「Nios II プロセッサ・システム」という言葉は、Nios II プロセッサ・コア、オンチップ・ペリフェラルのセット、オンチップ・メモリ、およびオフチップ・メモリへのインタフェースを指しており、これらはすべて 1 個のアルテラ・デバイスに実装されています。マイクロコントローラ・ファミリと同様に、すべての Nios II プロセッサ・システムは一貫した命令セットとプログラミング・モデルを使用しています。

Nios II プロセッサの 使用方法

Nios II プロセッサの使用開始方法は、他のマイクロコントローラ・ファミリの場合とほとんど同じです。アルテラから開発キットを購入することで、簡単かつ効率的に設計を開始することができます。この開発キットには、既成の評価ボード、および Nios II ソフトウェアを記述するのに必要なすべての開発ツールが含まれています。

Nios II ソフトウェア開発環境は、Nios II 統合開発環境 (IDE) と呼ばれています。Nios II EDE は、GNU C/C++ コンパイラと Eclipse IDE をベースにしており、確立された一般的なソフトウェア環境を実現しています。Nios II IDE を使用することで、設計者はすぐに Nios II ソフトウェア・アプリケーションの開発およびシミュレーションを開始することができます。Nios II ソフトウェア・ビルド・ツールは、コマンド・ライン・インタフェースも提供しています。アルテラ開発キットに付属の Nios II ハードウェア・リファレンス・デザインを使用して、カスタム・ハードウェア・プラットフォームを構築する前に、ボードで動作するアプリケーションのプロトタイプを作成できます。図 1-1 に、アルテラの Nios II 開発キットで利用できる Nios II プロセッサ・リファレンス・デザインの例を示します。

図 1-1. Nios II プロセッサ・システムの例



アルテラ提供のリファレンス・デザインを使用して、プロトタイプ・システムがデザイン要件を十分に満たす場合は、そのリファレンス・デザインをコピーして、最終ハードウェア・プラットフォームでそのまま使用できます。そうでない場合でも、設計者はコストや性能の要求を満たすように、Nios II プロセッサ・システムをカスタマイズできます。

Nios II プロセッサ・ デザインの カスタマイズ

実際、大部分の FPGA デザインはプロセッサ・システムに加えて、何らかの余分なロジックを実装しています。アルテラの FPGA は、Nios II プロセッサ・システムの機能を増強し、性能を向上させる柔軟性を備えています。一方で、不要なプロセッサ機能とペリフェラルを削除して、デザインをより小型で低コストのデバイスに適合させることが可能です。

アルテラ・デバイスのピンおよびロジック・リソースは変更可能なため、以下のような多数のカスタマイズを実行できます。

- ボード・デザインがより簡単になるようにチップのピンを再配置できます。例えば、外部 SDRAM メモリ用のアドレス・ピンとデータ・ピンをチップの任意の側面に移動して、ボード・トレースを短くすることができます。
- チップの余分なピンとロジック・リソースをプロセッサに関係のない機能に使用できます。余分なリソースは、ボード・デザイン用のグルー・ロジックとしてゲートやレジスタに利用したり、システム全体を実装することも可能です。例えば、Nios II プロセッサ・システムは大規模なアルテラ FPGA の 5% しか消費しなければ、残りのチップ・リソースを利用して、他の機能を実装することができます。
- チップの余分なピンとロジックは、Nios II プロセッサ・システム用の追加パブリック・ライブラリの実装に使用できます。アルテラは、Nios II プロセッサ・システムに容易に接続可能な多数のパブリック・ライブラリを提供しています。

コンフィギュレーション可能なソフトコア・プロセッサの概念

この項では、ディスクリート・マイクロコントローラとは異なる Nios II 特有の概念について説明します。以下で述べる概念は、この資料で説明される他の機能の基礎情報となります。

これらの概念の大半は、ハードウェア設計者がシステム実装を微調整するための柔軟性に関連するものです。ソフトウェア・プログラマは、一般にハードウェア実装の詳細を考慮する必要はなく、また Nios II プロセッサ・コアのコンフィギュレーション可能な特性を意識しなくてもプログラムを記述できます。

コンフィギュレーション可能なソフトコア・プロセッサ

Nios II プロセッサは、固定された市販のマイクロコントローラとは異なり、コンフィギュレーション可能なソフトコア・プロセッサです。ここで、コンフィギュレーション可能とは、性能目標または価格目標を満たすために、システム単位で機能を追加または削除できることを意味します。ソフトコアとは、CPU コアが“ソフト”デザイン形式（つまりシリコンに固定されていない）で提供され、どのアルテラ FPGA ファミリターゲットにできることを意味します。

コンフィギュレーション可能なため、すべての新規デザインに新たに Nios II プロセッサ・コンフィギュレーションを作成する必要はありません。アルテラは、ユーザーがそのまま使用できる既成の Nios II システム・デザインを提供しています。これらのデザインがシステム要求を満たす場合は、デザインをそれ以上構成する必要はありません。また、ソ

ソフトウェア設計者は、最終的なハードウェア・コンフィギュレーションが確定する前に、Nios II インストラクション・セット・シミュレータを使用して、Nios II アプリケーションの記述とデバッグを開始することができます。

柔軟なペリフェラル・セットおよびアドレス・マップ

Nios II プロセッサ・システムと固定マイクロコントローラとの最も顕著な違いの1つは、柔軟性に優れたペリフェラル・セットです。Nios II プロセッサは本質的にソフトコアなので、ターゲット・アプリケーションに必要なペリフェラル・セットを確実に備えた独自の Nios II プロセッサ・システムを容易に構築できます。

ペリフェラルが柔軟性に優れているため、結果的にアドレス・マップも柔軟なものになります。ソフトウェアの構造は、アドレス位置に関係なく、総称的にメモリやペリフェラルにアクセスできるように構築されます。したがって、アプリケーション開発者がペリフェラル・セットとアドレス・マップの柔軟性を考慮する必要はありません。

ペリフェラルは、標準ペリフェラルとカスタム・ペリフェラルの2つの大きなクラスに分類できます。

標準ペリフェラル

アルテラは、タイマ、シリアル通信インタフェース、汎用 I/O、SDRAM コントローラ、その他のメモリ・インタフェースなど、マイクロコントローラで広く使用されるペリフェラル・セットを提供しています。アルテラとサードパーティ・ベンダは、新しいソフト・ペリフェラル・コアを随時リリースしており、利用可能なペリフェラル・リストもますます充実したものとなっています。

カスタム・ペリフェラル

ユーザーは、独自のカスタム・ペリフェラルを作成して、Nios II プロセッサ・システムに統合することもできます。大部分の CPU サイクルがコードの特定のセクションの実行に消費される性能重視のシステムの場合、一般的な方法はハードウェアで同じ機能を実行するカスタム・ペリフェラルを作成することです。この方法は、性能面で二重の利点を得られます。つまり、ハードウェアでの実行がソフトウェアよりも高速になること、そしてカスタム・ペリフェラルがデータを操作する間に、プロセッサは並行して他の機能を実行できることです。

カスタム命令

カスタム・ペリフェラルと同様に、カスタム命令はプロセッサをカスタム・ハードウェアで増強することによって、システム性能を向上させるための手段です。Nios II プロセッサのソフトコア特性により、ユーザーはカスタム・ロジックを算術論理ユニット (ALU) に直接統合できます。Nios II 固有のインストラクションと同様、カスタム命令ロジックは、最大 2 個のソース・レジスタから値を取得し、結果をデスティネーション・レジスタに書き込むことができます。

プロセッサは再プログラム可能なアルテラ FPGA に実装されるため、ソフトウェア・エンジニアとハードウェア・エンジニアが連携して作業を進め、繰り返しハードウェアの最適化を行い、実際のハードウェア上でのソフトウェアの実行結果をテストできます。

ソフトウェアの観点では、カスタム命令はマシンで生成されたアセンブリ・マクロまたは C 関数のようなものなので、プログラマがカスタム命令を使用するのにアセンブリを知る必要はありません。

自動システム生成

アルテラの SOPC Builder デザイン・ツールは、プロセッサ機能をコンフィギュレーションするプロセスと FPGA にプログラム可能なハードウェア・デザインを生成するプロセスを完全に自動化します。SOPC Builder のグラフィカル・ユーザー・インタフェース (GUI) を使用して、任意の数のペリフェラルとメモリ・インタフェースを持つ Nios II プロセッサ・システムをコンフィギュレーションできます。また、回路図やハードウェア記述言語 (HDL) によるデザイン入力を実行することなく、プロセッサ・システム全体を作成できます。SOPC Builder は、設計者の HDL デザイン・ファイルをインポートすることもできるため、カスタム・ロジックを Nios II プロセッサ・システムに簡単に統合することが可能です。

システムの生成の後、デザインをボードにプログラムし、ソフトウェアをボードで実行しながらデバッグできます。ソフトウェア開発者に対しては、デザインのプロセッサ・アーキテクチャが設定されます。ソフトウェア開発者は、従来のコンフィギュレーション不能なプロセッサと同様に作業を進めることができます。

OpenCore Plus 評価機能

Nios II プロセッサはライセンスなしで評価することができます。アルテラの無償 OpenCore Plus 評価機能により、以下の処理を実行することができます。

- システム内の Nios II プロセッサの動作のシミュレーション
- デザインの機能を検証したり、サイズやスピードを迅速かつ簡単に評価する。
- Nios II プロセッサを含むデザインに対し、実行時間に制限のあるデバイス・プログラミング・ファイルを生成する。
- デバイスをプログラムし、デザインを実機上で検証する。

機能および性能が十分満足できて、Nios II プロセッサを製品に組み込む場合にのみ、ライセンスを購入していただく必要があります。

OpenCore Plus について詳しくは、「[AN 320: OpenCore Plus 評価機能によるメガファクションの評価](#)」を参照してください。

参考資料

この章では以下のドキュメントを参照しています。

- 「[AN 320: OpenCore Plus 評価機能によるメガファクションの評価](#)」

改訂履歴

表 1-1 に、本資料の改訂履歴を示します。

表 1-1. 改訂履歴		
日付および ドキュメント・ バージョン	変更内容	概要
2008年5月 v8.0.0	特長のリストに MMU と MPU を追加。	MMU と MPU を追加。
2007年10月 v7.2.0	OpenCore Plus 評価機能の項を追加。	
2007年5月 v7.1.0	<ul style="list-style-type: none"> ● 「はじめに」の項に目次を追加。 ● 「参考資料」の項を追加。 	
2007年3月 v7.0.0	前バージョンからの内容の変更はありません。	
2006年11月 v6.1.0	前バージョンからの内容の変更はありません。	
2006年5月 v6.0.0	<ul style="list-style-type: none"> ● 特長のリストに SignalTap® II ロジック・アナライザによる単精度浮動小数点およびインテグレーションを追加。 ● 性能を 250 DMIPS に更新。 	
2005年10月 v5.1.0	前バージョンからの内容の変更はありません。	
2005年5月 v5.0.0	前バージョンからの内容の変更はありません。	
2004年9月 v1.1	Nios II 1.01 のリリースにより更新。	
2004年5月 v1.0	初版	