

この資料は更新された最新の英語版が存在します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

MII51018-1.2

はじめに

低消費電力がますます重要視されているため、CPLD アプリケーションでは消費電力が重要な要素になっています。さらに、バッテリー駆動デバイスでの CPLD の使用が増加するに伴い、バッテリー寿命を延長するために、全体的な DC および AC の低消費電力化がますます重要となっています。これは待機時および動作時の消費電力が低い MAX[®] II デバイスで実現できます。

MAX II デバイスの消費電力

従来の CLPD アーキテクチャとは異なり、MAX II ロジックはデバイス内での信号電圧を増幅するのにバイアス電流が必要なセンス・アンプを使用しません。さらに、Quartus[®] II 開発ソフトウェアにより、MAX II デバイスでローカル配線とのインタコネクットの大部分が効率的に実装され、動作時消費電力が大幅に低下します。図 17-1 に、MAX II デバイスの標準消費電力と周波数の関係を示します。図は、デバイスにできるだけ多くの 16 ビット・カウンタ (Enable、UP/Down、Loadable 機能付き) を搭載し、出力負荷のない標準条件下 (室温、公称電圧下) で動作させた場合の消費電力 (mW) を示しています。

図 17-1. MAX II デバイスの消費電力と周波数の関係

注 (1)、(2)

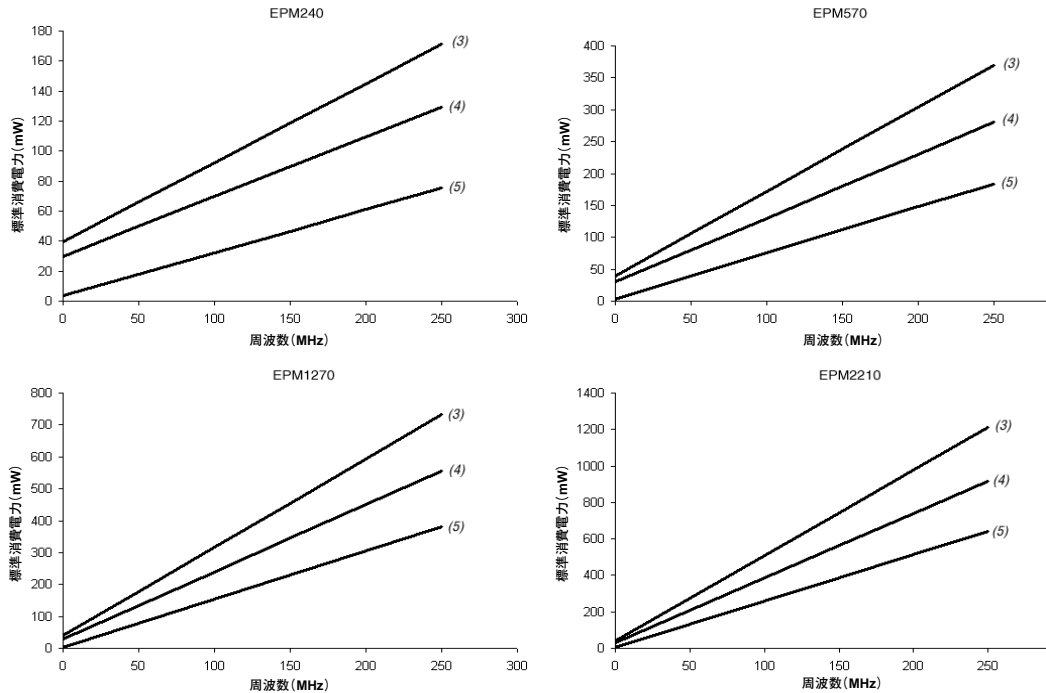


図 17-1: の注 :

- (1) すべてのデバイスは、消費電力を見積もるために 16 ビット・カウンタを使用して、フルに利用されます。
- (2) 1.8 V のグラフは、注文コード・サフィックスが「G」の MAX II デバイスです。
- (3) $V_{CCINT} = 3.3 \text{ V}$
- (4) $V_{CCINT} = 2.5 \text{ V}$
- (5) $V_{CCINT} = 1.8 \text{ V}$

MAX II デバイスで消費される電力は、デザインによって異なります。MAX II デバイスでの消費電力が、システムの要件と仕様と適合することを保証するには、デザイン・プロセスの早期段階で消費電力の評価を完了することが極めて重要です。

この章では、www.altera.co.jp で入手可能な MAX II パワー・カリキュレータ・スプレッドシートを使用して、MAX II の電力を評価および制御する方法について解説します。この計算結果は消費電力の見積もりにのみ使用し、仕様 (規格) としては使用しないでください。デバイスの実際の消費電力または消費電流は、デザイン・パターンによって異なり、システムで検証する必要があります。

パワー・カリキュレータ・スプレッドシートを使用した MAX II の電力見積もり

MAX II パワー・カリキュレータ・スプレッドシートは、標準条件（室温および公称 V_{CC} ）での電流 (I_{CC}) および電力 (P) の見積もりを提供します。パワー・カリキュレータには、デバイス・リソース、トグル・レート、動作時の f_{MAX} 、汎用 I/O、およびその他のパラメータを入力する必要があります。

パワー・カリキュレータには、以下の 9 つのセクションがあります。

- Excel Macro
- Device
- $I_{CCSTANDBY}$
- User Flash Memory (UFM) Dynamic Power
- Logic Array Dynamic Power
- General I/O AC Power
- General I/O DC Power
- Total Power
- Thermal Analysis

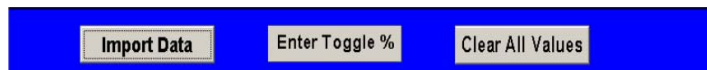
Excel Macro

MAX II パワー・カリキュレータには、3 つのマクロが組み込まれています。これらのマクロを使用すると、Quartus II 開発ソフトウェアで生成された MAX II の消費電力見積もりファイルからデータをインポートし、グローバル・トグル・レートを入力し、ユーザが入力したすべての数値をリセットすることができます。3 つのマクロは以下のとおりです。

- Import Data
- Enter Toggle %
- Clear All Values

図 17-2 は、MAX II パワー・カリキュレータに組み込まれた 3 つのマクロを示します。

図 17-2. Excel Macro



デフォルトでは、Microsoft Excel 2002 のマクロのセキュリティ・レベルは、「High」に設定されています。マクロのセキュリティ・レベルが「High」に設定されている場合、マクロは自動的に無効化されます。Microsoft Excel 2002 のマクロ・セキュリティ・レベルを変更するには、(Tools メニューから) **Options** を選択します。Options ウィンドウの **Security** タブで、**Macro Security** をクリックします。Security ダイアログの **Security Level** タブで、**Medium** を選択します。マクロのセキュリティ・レベルを **Medium** に設定すると、マクロを含んだスプレッドシートを開くたびに、マクロを有効にするか無効にするかを確認するポップアップ・ウィンドウが表示されます。マクロのセキュリティ・レベルを変更してからスプレッドシートを閉じ、再度開いてマクロを使用します。

Import Data マクロ

Import Data マクロを実行すると、Quartus II 開発ソフトウェアで生成された MAX II の消費電力見積もりファイルからデバイス・リソース情報をインポートできます。Import Data マクロは、パワー・カリキュレータに手動で情報を入力する時間と労力を節約します。また、マクロの使用後に手動で値を変更することもできます。既存のデザインまたは部分的に完成したデザインを持っている場合、Quartus II 開発ソフトウェアのバージョン 4.1 以上で生成された MAX II 消費電力見積もりレポート・ファイルには、パワー・カリキュレータに入力する必要があるデバイス・リソース情報が含まれています。MAX II の消費電力見積もりファイルを生成するには、まず Quartus II 開発ソフトウェアでデザインをコンパイルする必要があります。デザインのコンパイルが完了したら、(Project メニューの) **Generate Power Estimation File** をクリックします。Quartus II 開発ソフトウェアは、<プロジェクト名>_pwr_cal.txt という名前で MAX II の消費電力見積もりファイルを作成します。以下のコードは、Quartus II 開発ソフトウェアで生成された MAX II の消費電力見積もりファイルの内容の一例です。

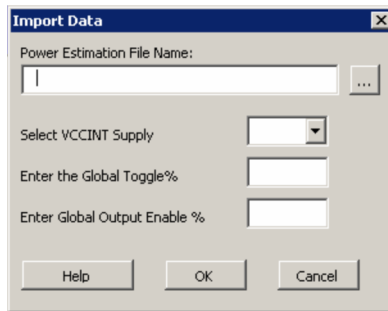
```
<name=DEVICE value=EPM570GT144C3>
<name=used_UFM value=0>
<name=fmax_LE0 value=304.04>
<name=tot_LE0 value=0>
<name=totwcc_LE0 value=128>
<name=tot_FF0 value=128>
<name=fmax_GIO0 value=304.04>
<name=NumbOB_GIO0 value=80>
<name=avgCLoad_GIO0 value=10>
<name=iostd_GIO0 value=3.3_LVTTL_16>
```



Quartus II 開発ソフトウェアにおける消費電力見積もりファイルの詳細については、「Quartus II 開発ハンドブック」の「Early Power Estimation」の章を参照してください。

パワー・カリキュレータで **Import Data** をクリックすると、**Import Data** ダイアログ・ボックスが表示されます (図 17-3 を参照)。

図 17-3. Import Data ダイアログ・ボックス



パワー・カリキュレータにデータをインポートするには、以下のステップを実行します。

1. Quartus II 開発ソフトウェアで生成された消費電力見積もりファイルのフル・パス名 (<プロジェクト名>_pwr_cal.txt) を指定します。
2. MAX II デバイスの VCCINT 電源電圧を選択します。テキスト・ボックスを空白のままにすると、デフォルト値は MAX II デバイスの場合は 3.3 V、注文コード・サフィックスが「G」の MAX II デバイスの場合は 1.8 V になります。
3. デザイン全体のトグル率 (%) を入力します。テキスト・ボックスを空白のままにすると、デフォルト値は 12.5% になります。
4. デザイン全体の出力イネーブル率 (%) の値を入力します。テキスト・ボックスを空白のままにすると、デフォルト値は 100% になります。
5. **OK** をクリックします。

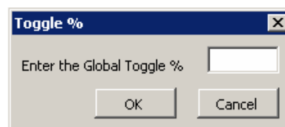
OK をクリックすると、パワー・カリキュレータにユーザが入力した値はクリアされ、指定した消費電力見積もりファイルからのデバイス・リソース情報がパワー・カリキュレータに挿入されます。

パワー・カリキュレータにインポートされた f_{MAX} は、Quartus II タイミング・アナライザでレポートされた f_{MAX} と同じです。パワー・カリキュレータの f_{MAX} 、出力イネーブル率、およびトグル率は、システム要件に合わせて手動で編集できます。

Enter Toggle % マクロ

Enter Toggle % マクロにより、デザイン全体のトグル率を入力できます。パワー・カリキュレータで **Enter Toggle %** をクリックすると、**Toggle %** ダイアログ・ボックスが表示されます (図 17-4 を参照)。

図 17-4. Toggle % ダイアログ



1% から 100% の間でトグル率を入力できます。テキスト・ボックスを空白のままにすると、デフォルト値は 12.5 % になります。**OK** をクリックして、すべてのトグル率フィールドに指定された値を入力します。

Clear All Values マクロ

Clear All Values マクロは、ユーザが入力したすべての値をクリアします。パワー・カリキュレータの **Clear All Values** をクリックすると、マクロを実行できます。マクロを無効化した場合、すべてのユーザ入力値を手動でリセットする必要があります。

Device セクション

同様の条件下にある類似デザインでも、消費電力量は MAX II デバイスの型番によって異なります。これは、デザインが広範囲に配置される場合、デバイスの規模が大きくなるほど多量の電力が消費される可能性が高くなるためです。さらに、デザインが広範囲に配置される場合は、MAX II デバイスのクロック・ツリー (デバイスの規模が大きくなるほど、ツリー・サイズも増大) によっても、動作時消費電力が増加します。ただし、Quartus II 開発ソフトウェアを使用すれば、デザインは速度に対してデフォルトで最適化されて配置されるため、消費電力は最小になります (すべてのロジック・エレメント (LE) は互いに近接して配置され、各 LE を接続するインタコネクットの長さが短い)。ターゲット・デバイスは、対応するパッケージおよびデザインで使用する温度グレードを指定して選択する必要があります。図 17-5 を参照してください。

図 17-5. デバイス選択と全消費電力

Device			VCCINT	Total P _{INT} (mW)	Total P _{IO} (mW)	Total P (mW)
Device	Package	Temperature Grade				
EPM2210G	324-pin FBGA	C - commercial	1.8	30.60	0.00	30.60

Device

このメニュー項目では、適切な MAX II デバイスを選択できます。MAX II デバイスには、集積度ごとに2つのタイプがあります。例えば、EPM570 デバイスと注文コード・サフィックス「G」の EPM570 デバイスがあります。EPM570 デバイスは、2.5 V および 3.3 V V_{CCINT} 電源を受け入れ、注文コード・サフィックス「G」の EPM570 デバイスは、1.8 V V_{CCINT} を受け入れます。

Package

このメニュー項目では、ターゲットのパッケージが選択できます（熱解析に使用）。

Temperature Grade

このメニュー項目では、デバイスの温度グレードを選択できます。アルテラの Web サイト www.altera.com でデバイス・セクタ・ガイドをチェックして、特定のデバイス / パッケージの組み合わせが工業用グレードで利用できるかどうかを確認します。

V_{CCINT}

このセクションには、 V_{CCINT} 電源電圧が表示されます。

Total P_{INT} (mW)

このセクションには、 V_{CCINT} 電源からの全消費電力が表示されます。

Total P_{IO} (mW)

このセクションには、I/O バンクの電源 V_{CCIO} からの全消費電力が表示されます。

Total P (mW)

このセクションには、デザインの全消費電力が表示されます。これは、 P_{INT} と P_{IO} を合計したものです。

$I_{CCSTANDBY}$ セクション

$I_{CCSTANDBY}$ は、コンフィギュレーション後に、デバイスをドライブする信号がなく、トグルするノードのない状態でデバイスが消費する電流です。 $I_{CCSTANDBY}$ には、レギュレータ、UFM、およびデバイスの待機電流が含まれます。この電流は、 V_{CCINT} の電源電圧に応じて自動的に決まります。レポートされる値は、標準的なデフォルト値です (図 17-6 を参照)。

図 17-6. デバイスのスタティック電流 - $I_{STANDBY}$

Icc Standby	
V_{CCINT}	I_{CCINT} (mA)
2.5-V	12.00

V_{CCINT}

このメニュー項目では、デバイスの電源電圧を選択できます。内部コア電圧は 1.8 V ですが、異なる電源 (V_{CCINT}) を使用した場合 (3.3、2.5、1.8 V など)、MAX II デバイスの全消費電力も異なります。消費電力の変動は、MAX II デバイスのレギュレータによる消費電力が原因です。例えば、2.5 V V_{CCINT} を使用した場合、全スタティック消費電力は 30 mW です。ただし、内部コア電圧はわずか 1.8 V なので、内部コアは 21.6 mW しか消費しません。したがって、(30 mW ~ 21.6 mW) = 8.4 mW の電力がレギュレータで消費されます。

User Flash Memory Dynamic Power セクション

図 17-7 は、パワー・カリキュレータの UFM セクションに必要な入力項目を示します。このセクションでは、デザインで使用される UFM による消費電力が見積もられます。レポートされる P_{INT} は、UFM の読み出し動作の最初のクロック・サイクルにおける平均消費電力です。UFM に読み出し / 書き込み動作を行っていない場合、UFM は電力を消費しません。したがって、UFM の各読み出し動作の最初のクロック・サイクル中に、全 V_{CCINT} 電源で、EPM240 または EPM570 デバイスの場合は 12.0 mA、EPM1270 または EPM2210 デバイスの場合は 15.0 mA の平均電流が存在します。平均読み出し電流は、周波数およびトグル % とは無関係です。

図 17-7. User Flash Memory Dynamic Power

User Flash Memory Dynamic Power		
User Flash Memory Block Used	ICC _{INT} (mA)	P _{INT} (mW)
Yes	15	27.00

User Flash Memory

このメニュー項目では、UFM をデザインで使用するかどうかを選択できます。

Logic Array Dynamic Power セクション

MAX II デバイスには、4つの専用クロック・ネットワークが用意されています。したがって、パワー・カリキュレータにはクロック・ドメインの行が4つあり、各 MAX II デバイスの実際のクロック・リソースが反映されます。図 17-8 は、パワー・カリキュレータにおいてロジック・アレイの動作時消費電力を決定するのに必要な入力項目を示します。このセクションでは、それぞれのクロック・ドメイン毎のクロック・ツリーおよび LE による消費電力を見積もります。

図 17-8. ロジック・エレメント (LE) の消費電力

Logic Array Dynamic Power						
Clock Domain	f _{MAX} (MHz)	# Logic Elements	# Flip-Flops	Toggle %	ICC _{INT} (mA)	P _{INT} (mW)
1	100	129	128	12.50	22.90	41.22
2	100	200	128	12.50	19.81	33.86
3	0	0	0	0.00	0.00	0.00
4	0	0	0	0.00	0.00	0.00
Subtotal					41.71	75.88

動作時消費電力を算出するには、最大周波数、使用 LE 数、使用フリップフロップ数、およびトグル・レートの4つの入力が必要です。

f_{MAX} (MHz)

f_{MAX} は、このデザイン・モジュールのクロック・ドメインに対する、グローバル・クロックの最大動作クロック周波数 (MHz) です。各クロック・ドメインは、1つのクロックしか含んではなりません。

#Logic Elements

このデザイン・モジュールにおける各クロック・ドメインの LE 総数 (例: 150 MHz のグローバル・クロックの場合は 129 LE、100 MHz のグローバル・クロックの場合は 200 LE)。この総数は、**Resource Usage Summary** > **Logic cells** を選択すると、Quartus II Compilation Report ファイル (.fit.rpt) にレポートされます (図 17-9 を参照)。

図 17-9. Quartus II Compilation Report ファイル - Resource Usage Summary

The screenshot shows the 'counter Compilation Report' window. On the left is a tree view of report sections, with 'Filter Resource Usage Summary' selected. The main area displays a table with the following data:

	Resource	Usage
1	Logic cells	129 / 240 (53 %)
2	Registers	128 / 240 (53 %)
3	Total LABs	16 / 24 (66 %)
4	Logic cells in carry chains	128
5	User inserted logic cells	0
6	I/O pins	5 / 80 (6 %)
7	-- Clock pins	0
8	Global signals	1
9	UFM blocks	0 / 1 (0 %)
10	Global clocks	1 / 4 (25 %)
11	Maximum fan-out node	clk
12	Maximum fan-out	128
13	Total fan-out	809
14	Average fan-out	6.04

Flipflop

各クロック・ドメイン信号でドライブされるフリップフロップの総数。この総数は、MAX II デバイスのクロック・ツリー・ネットワークで消費される電力の計算に使用されます。したがって、クロック・ツリー・ネットワークのファン・アウトのモデル化にのみ使用されます。フリップフロップをカウントする場合、その LE も LE 部分で同様にカウントする必要があります。したがって、Quartus II Compilation Report ファイルでレポートされるフリップフロップは、すでに LE カウントに含まれています。例えば、デザインが、1つのクロック、129のLE、および128のフリップフロップを使用することが Quartus II Compilation Report File でレポートされた場合、このクロック・ネットワークに使用されるレジスタ・ファン・アウトおよびLEの総数は、それぞれ128および129となります。この総数は、**Global & Other Fast Signals > Fan-out section**を選択すると、Quartus II Compilation Report ファイル (.fit.rpt) に表示されます (図 17-10 を参照)。

図 17-10. Quartus II Compilation Report ファイル (Global & Other Fast Signals)

Name	Location	Fan-Out	Global Resource Used	Global Line Name
1	clk	IOE_X1_Y2_N0(128)	Global clock	GCLK0

Toggle %

トグル %、つまりトグル・レートは、各クロック・サイクルにおいてトグルする LE の割合を平均したものです。トグル % の範囲は 0% から 100% です。標準的にトグル % は 12.5% です。

図 17-11 は、入力が V_{CC} に接続された TFF の例を示します。この場合、出力はクロック・サイクルごとにロジック状態を変化させるので、TFF のトグル・レートは 100% になります。

図 17-11. 入力が VCC に接続された TFF

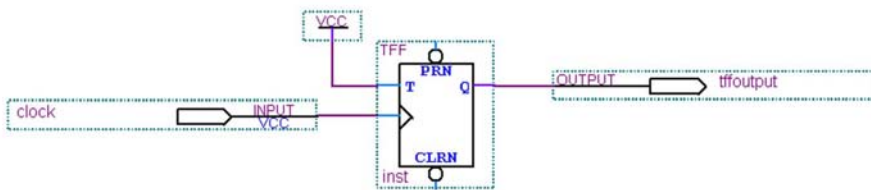
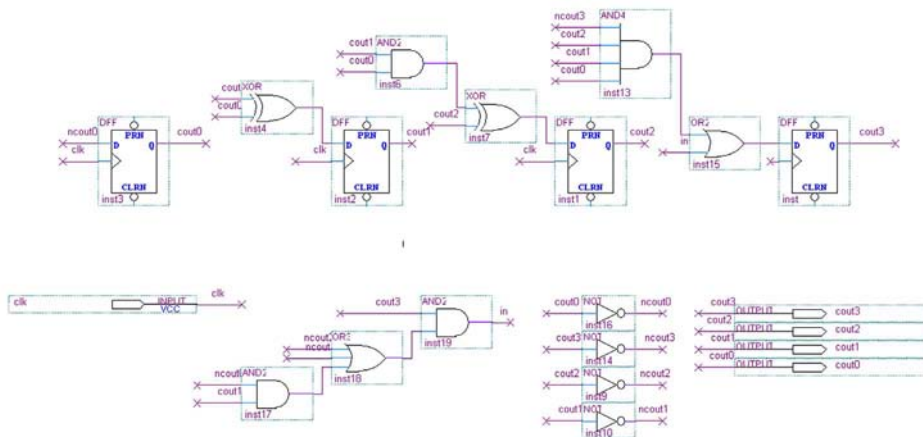


図 17-12 は、シンプルな 4 ビット・カウンタの例を示します。

図 17-12. 4 ビット・カウンタ



cout0 はクロック・サイクルごとにトグルするため、最下位ビット (LSB) 出力 cout0 を持つ最初の D タイプ・フリップフロップ (DFF) のトグル・レートは 100 % です。cout1 は 2 クロック・サイクルごとにトグルするため、cout1 を出力とする 2 番目の DFF のトグル・レートは 50% になります。その結果、cout2 を出力とする 3 番目の DFF、および cout3 を出力とする 4 番目の DFF のトグル・レートは、それぞれ 25% と 12.5% になります。したがって、この 4 ビット・カウンタの平均トグル % は、以下のようにになります。

$$(100 + 50 + 25 + 12.5)/4 = 46.875\%$$

16 ビット・カウンタを使用する場合、平均トグル・レートは以下のようになります。

$$(100 + 50 + 25 + 12.5 + 6.25 + 3.125 + 1.5625 + 0.7813 + 0.3906 + 0.1953 + 0.0977 + 0.0488 + 0.0244 + 0.0122 + 0.0061 + 0.0031)/16 = 12.5\%$$

General I/O AC Power セクション

MAX II デバイスは、広範囲な工業用標準 I/O 規格をサポートするプログラマブル I/O ピンを備えているため、デザインの柔軟性を向上させることができます。パワー・カリキュレータの General I/O AC Power セクションでは、使用する I/O ピンの AC 消費電力を標準 I/O 規格および容量性負荷に基づいて見積もることができます。

図 17-13 は、General I/O AC Power セクションに必要な入力項目を示します。I/O ピンは標準 I/O 規格タイプに基づいてグループ化する必要があります。例えば、デザインに 1 つの標準 I/O 規格しかなく、かつクロック周波数が同じ場合は、それらを 1 つのデザイン・モジュールとしてグループ化することができます。

図 17-13. General I/O AC Power

General I/O AC Power									
Design Module	f _{max} (MHz)	# Inputs Pins	# Outputs & Bidirectional Pins	I/O Toggle%	Enable Toggle %	Avg. Capacitive Load (pF)	I/O Standard	ICC10 (mA)	P _{IO} (mW)
1	150	10	20	12.50	100.00	10	3.3_LVTTL_16	20.67	68.20
2	100	20	30	12.50	100.00	10	2.5_LVTTL16VCMOS_14	15.72	40.02
3	0	0	0	0.00	100.00	10	3.3_LVTTL_16	0.00	0.00
4	0	0	0	0.00	100.00	10	3.3_LVTTL_16	0.00	0.00
Subtotal								36.39	108.22

I/O バッファの AC 消費電力を決定するには、最大周波数、使用する入力、出力、および双方向ピン数、出力トグル・レート、イネーブル・トグル・レート、平均容量性負荷、および標準 I/O 規格の 7 つのエントリが必要です。

f_{MAX} (MHz)

f_{MAX} は、I/O ピンに接続されているノード（レジスタ・ロジック）をクロッキングしているクロック・ドメインの最大動作周波数です。

Input Pins

各デザイン・モジュールで使用される入力ピン数です。入力ピンの総数には、入力ピンのみが含まれ双方向ピンは含まれません。

Outputs & Bidirectional Pins

各デザイン・モジュールで使用される出力ピン数および双方向ピン数です。出力電力は入力電力よりも高いため、パワー・カリキュレータで双方向ピンは入力ピンとはみなされません。

I/O Toggle %

I/O Toggle % は、各クロック・サイクルでの入力ピンと出力ピンのトグル率の平均値です。トグル % の範囲は 0% から 100% です。トグル率は、LEs Power セクションでのトグル・レートと同じ方法で取得できます。例えば、 V_{CC} に入力接続され、出力ピンをドライブする TFF では、トグル・レートは 100% になります。

Enable Toggle %

Enable Toggle % は、出力ピンが出力イネーブル (OE) をイネーブルする時間の平均割合です。トグル % の範囲は 0% から 100% です。

Average Capacitive Load (pF)

この列は、各出力ピンおよび双方向ピンの平均容量性負荷を指定します。

I/O Standard

このメニュー項目には、標準 I/O 規格がリストされます。各デザイン・モジュールには、標準 I/O 規格が 1 つのみ存在します。標準 I/O 規格が異なれば、 P_{IO} も異なります。

General I/O DC Power セクション

General I/O DC Power セクションでは、使用する I/O ピンの DC 消費電力を、標準 I/O 規格に基づいて見積もることができます。このセクションでは、組み合わせデザインの I/O ピンでの DC 消費電力が計算されます。使用するデザインが組み合わせデザインでない場合は、General I/O AC Power セクションを使用するだけで、全 I/O 消費電力を見積もることができます。

図 17-14 は、General I/O DC Power セクションに必要なエントリを示します。I/O ピンは標準 I/O 規格タイプに基づいてグループ化する必要があります。例えば、デザインに 1 つの標準 I/O 規格しかない場合は、それらを 1 つのデザイン・モジュールとしてグループ化することができます。

図 17-14. General I/O DC Power

General I/O DC Power					
Design Module	# I/O Pins with Internal Pull-up	Pull Down %	I/O Standard	ICC _{IO} (mA)	P _{IO} (mW)
1	13	50.00	2.5_LVTTTLVCMOS_14	3.25	8.13
2	15	33.00	1.8_LVTTTLVCMOS_3	1.78	3.21
3	0	100.00	3.3_LVTTTL_16	0.00	0.00
4	0	100.00	3.3_LVTTTL_16	0.00	0.00
Subtotal				5.03	11.33

組み合わせデザインの I/O バッファ DC 電力を求めるには、内部プルアップ抵抗がイネーブルされた I/O ピン数、プルダウン・トグル・レート、および標準 I/O 規格の 3 つのエントリしか必要ありません。

I/O Pins with Internal Pull-Up Resistors

各デザイン・モジュールで使用される、内部プルアップ抵抗が有効な I/O ピン数です。内部プルアップ抵抗がディセーブルされた I/O ピンは、消費電力が無視できるため、このモジュールでは考慮されません。

Pull Down %

Pull Down % は、内部プルアップ抵抗が有効な I/O ピンがグラウンドにドライブされる時間の平均割合です。Pull Down % の範囲は 0% から 100% です。

I/O Standard

このメニュー項目には、標準 I/O 規格がリストされます。各デザイン・モジュールには、標準 I/O 規格が 1 つのみ存在します。標準 I/O 規格が異なれば PIO も異なります。

Total Power セクション

Total Power セクション (図 17-15 に示す) には、デザインの全消費電力が表示されます。表 17-1 では、図 17-15 に示した値の意味を、ロウとカラムを調整して説明します。

図 17-15. Total Power

Total Power	ICC (mA)	Power (mW)
Internal (V _{CCINT})	22.63	40.73
I/O (V _{CCIO})	34.88	111.84
TOTAL	57.51	152.57

表 17-1. 図 17-15 に示す値の説明

ロウ	カラム	説明
Internal (V _{CCINT})	I _{CC} (mA)	I _{CCSTANDBY} 、UFM および Dynamic セクションで計算した全 I _{CCINT} を表示します。
	Power (mW)	I _{CCSTANDBY} 、UFM および Dynamic セクションで計算した全 P _{INT} を表示します。
I/O (V _{CCIO})	I _{CC} (mA)	General I/O AC Power および General I/O DC Power セクションで計算した全 I _{CCIO} を表示します。
	Power (mW)	General I/O AC Power および General I/O DC Power セクションで計算した全 I _O を表示します。
Total	I _{CC} (mA)	デザインで消費される全電流 (I _{CCINT} および I _{CCIO}) を表示します。
	Power (mW)	デザインで消費される全電力 (P _{INT} および P _{I/O}) を表示します。

Thermal Analysis セクション

図 17-16 は、MAX II パワー・カリキュレータの Thermal Analysis セクションを示します。このセクションでは、デザインで見積もられた電力が最大許容電力より低いかどうかを判断します。最大許容電力が見積もり値よりも低い場合は、信頼性の問題が発生することがあります。



MAX II デバイスの熱解析に関する詳細については、「AN 185: Thermal Management Using Heat Sinks」を参照してください。

図 17-16. Thermal Analysis

Thermal Analysis				
T _J (Degrees C)	T _A (Degrees C)	Required Θ_{JA}		
85	40	163.17		
Thermal Resistance Values for Chosen Device & Package				
Θ_{JC}	Θ_{JA}			
	Still Air	100 LFPM	200 LFPM	400 LFPM
11.2	38.7	36.6	34.6	30.8
Maximum Allowable Power (P _{max}) for Chosen Device & Package				
P _{max} (W)				
	Still Air	100 LFPM	200 LFPM	400 LFPM
	1.16	1.23	1.30	1.46
Result				
Package	Still Air	100 LFPM	200 LFPM	400 LFPM
324-pin FBGA	Good	Good	Good	Good

見積もられた電力が、最大許容電力よりも低いかどうかを判断するのに必要なエントリは 1 つだけです (周囲温度 (T_A))。

T_J (°C)

このセクションには、選択したデバイスとパッケージの最大接合温度が表示されます。

T_A (°C)

このセクションはデバイスの周囲温度です。周囲温度は、摂氏温度 (°C) の単位で入力しなければなりません。

Required J_A

このセクションには、デザインが最大接合温度 (T_J) 以下で動作するためにパッケージに必要な接合部から周囲への熱抵抗 (J_A) が表示されます。 J_A の低いパッケージを簡単に探し出せるようになるため、所要 J_A 値が高いことは極めて重要です。

J_C

このセクションには、選択したデバイスおよびパッケージの接合面からケースへの熱抵抗 (J_C) が表示されます。

J_A (無風、100 LFpM、200 LFpM、400 LFpM)

このセクションには、無風状態および空気流量が 100 LFpM、200 LFpM、400LFpM の状態における、選択したデバイスとパッケージの接合面から周囲への熱抵抗 (J_A) が表示されます。

P_{MAX} (無風、100 LFpM、200 LFpM、400 LFpM)

このセクションには、無風状態および空気流量が 100 LFpM、200 LFpM、400LFpM の状態における、選択したデバイスおよびパッケージの最大許容電力 (P_{MAX}) が表示されます。

Package

このセクションには、ターゲットのデザインに対して選択されたパッケージが表示されます。

Result (無風、100 LFpM、200 LFpM、400 LFpM)

このセクションには、無風状態または空気流量が 100 LFpM、200 LFpM、または 400 LFpM の状態において、選択されたデバイス・パッケージの J_A が、所要 J_A よりも低いかが表示されます。Good、空白 (何も表示されない)、および No Value の3つのうち、いずれかが表示されます。

- Good は、パッケージの J_A が、所要最小 J_A よりも低いことを意味します。
- 空白は、パッケージの J_A が、所要最小 J_A を超えることを意味します。
- No Value は、ユーザ・データの欠落により比較できないことを意味します。

省電力手法

以下のガイドラインによって、消費電力の低減が図れます。

- 回路の各部分で動作を低速化する。 I_{CC} は動作周波数に比例します。回路の各部分を低速化すると、 I_{CC} が減少し、消費電力も低減されます。MAX II デバイスは、すべてのレジスタにグローバル・クロックまたはアレイ・クロックのソースを供給します。高速な動作を必要としない信号は、より低速なアレイ・クロックを使用して、システム消費電力を低減できます。
- 出力数を削減する。DC および AC 電流は、デバイス上のすべての I/O ピンをサポートすることが必要です。I/O ピン数を削減すると、デバイスに必要な電流が減少し、消費電力も低減されます。
- 出力の負荷および / または外部キャパシタンスを低減する。出力ピンの PCB トレースや他の IC の過剰な負荷やキャパシタンスによって、消費電力が大幅に増加します。出力ピンで可能な限り過剰な負荷と外部キャパシタンスを最小限に抑えることにより、デバイスに必要な電流が大幅に減少します。
- デバイスにおける回路の量を削減する。消費電力はある時間に切り替わる内部ロジックの量に依存します。デバイス内のロジックの量を削減すれば、デバイス内の電流が減少し、消費電力も低減されます。
- デザインを変更して消費電力を低減する。デザインにおいて、電力要件を軽減するために修正が可能な領域を特定します。一般的な解決方法には、スイッチング・ノードや必要なロジック数の削減、重複する不要な信号の除去などがあります。
- I/O の位置を変更する。共通ロジック・ブロックからの I/O をグループ化すると、Quartus II 開発ソフトウェアは関連するロジックを互いに近接させて配置できます。ロジック・ブロック、ロジック、および I/O が小型になるほど、動作時消費電力が低下します。I/O がデバイスの周辺に散在する利用率の低いデザインでは、特にこの傾向が強くなります。
- Constraint ファイルで性能要件を高くする。性能を動作に必要なレベル以上に向上させると、消費電力が低減されます。Quartus II 開発ソフトウェアは、デザインの最適化、ロジックの近接配置、短い配線と少数ロジック・レベルの使用、動作時消費電力の低減、性能の向上を実現します。

まとめ

この章では、MAX II パワー・カリキュレータ・スプレッドシートを使用して、MAX II の消費電力を評価および制御する方法を説明しました。この消費電力評価ツールは、標準的な条件に基づいてデザインの消費電力を見積もります。MAX II ボード・レベルの設計者は、ボードのデザインおよびレイアウトに入る前に、パワー・カリキュレータを活用できます。MAX II パワー・カリキュレータはアルテラの Web サイト、www.altera.co.jp からダウンロードできます。

