

この資料は更新された最新の英語版が存在します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

MII51009-1.2

はじめに

ディープ・サブミクロン・プロセスの技術的進歩に伴い、半導体デバイスの電源電圧レベルが低下したため、システム・ボード上のデバイスが、5.0 V、3.3 V、2.5 V、1.8 V、1.5 V といった多数の異なる電源電圧を使用できるデザイン環境が実現しました。この環境では、最終的には電圧の衝突が発生する可能性があります。

システム・ボード上の多様なデバイスに接続するために、MAX® II デバイスは MultiVolt™ I/O インタフェースを搭載しており、これによって複数の電圧が混在するデザイン環境内のデバイスが MAX II デバイスと直接通信できます。MultiVolt インタフェースは、電源電圧 (V_{CCINT}) を出力電圧 (V_{CCIO}) から分離するため、MAX II デバイスは同じプリント基板 (PCB) 上の異なる電圧レベルを使用して、他のデバイスにインタフェースすることが可能です。

さらに、MAX II MultiVolt コアの機能により、MAX II デバイスは、MAX II デバイス用の 3.3 V または 2.5 V 電源、および MAX IIG デバイス用の 1.8 V 電源 (MAX II デバイスは、1.8 V に安定化する内部電圧レギュレータを搭載) で動作することが可能です。MAX IIG デバイスの場合、内部電圧レギュレータはバイパスされるので、ユーザはデバイスに 1.8 V を供給する必要があります。

この章では、デバイスやシステムを損傷させることなくアルテラ・デバイスを多電圧システムに実装できるようにする、以下の機能について解説します。

- ホット・ソケット — デバイスやシステムの動作に影響を及ぼすことなく、パワー・アップされたシステムに MAX II デバイスを取り付けたり、システムから取り外します。
- パワー・アップ・シーケンスの柔軟性 — MAX II デバイスは、どのパワー・アップ・シーケンスにも対応可能です。
- パワー・オン・リセット — MAX II デバイスは、電圧が動作範囲内になるまでリセット状態を維持します。

標準 I/O 規格

MAX II デバイスの I/O バッファは、プログラムが可能で、広範囲の I/O 電圧規格をサポートします。MAX II デバイスの各 I/O バンクは、異なる I/O 規格に準拠するようにプログラムできます。I/O バンクはすべて、以下の規格でコンフィギュレーションできます。

- 3.3 V LVTTTL/LVCMOS
- 2.5 V LVTTTL/LVCMOS
- 1.8 V LVTTTL/LVCMOS
- 1.5 V LVCMOS

シュミット・トリガ入力オプションは、3.3 V および 2.5 V I/O 規格でサポートされます。また、I/O バンク 3 には、EPM1270 および EPM2210 デバイスの 3.3 V PCI 標準 I/O 規格インタフェース機能も含まれています。[図 8-1](#) を参照してください。

図 8-1. MAX II デバイスでサポートされる標準 I/O 規格 注 (1)、(2)、(3)、(4)、(5)

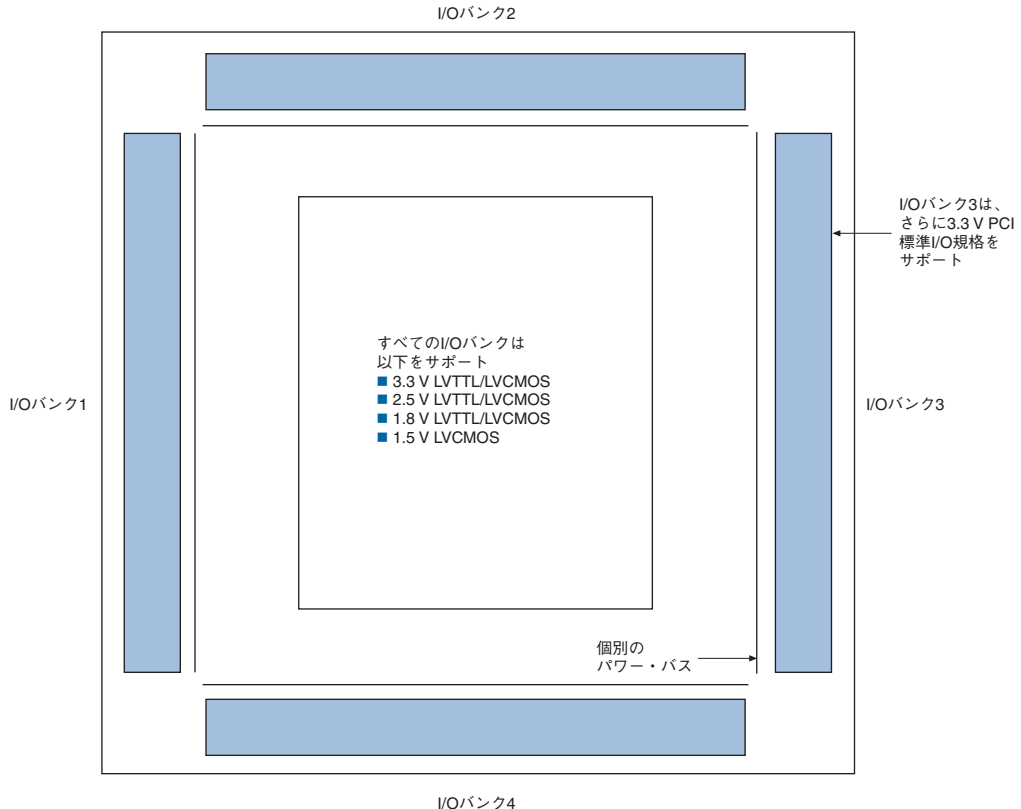


図 8-1 の注：

- (1) 図 8-1 はシリコン・ダイの上面図です。
- (2) 図 8-1 は、説明図にすぎません。正確なピン配置については、ピン・リストおよび Quartus® II 開発ソフトウェアを参照してください。
- (3) EPM240 および EPM570 デバイスには、2つの I/O バンクしかありません。
- (4) 3.3 V PCI 標準 I/O 規格は、EPM1270 および EPM2210 デバイスでのみサポートされています。
- (5) 3.3 V および 2.5 V 標準 I/O 規格でのシュミット・トリガ入力オプションは、すべての I/O ピンに対してサポートされています。

MultiVolt コア と I/O 動作

MAX II デバイスは、MultiVolt コア I/O 動作機能を備えているため、デバイスのコアと I/O ブロックは、別々の電源電圧でパワー・アップできます。VCCINT ピンはデバイス・コアに電源を供給し、VCCIO ピンはデバイス I/O バッファに電源を供給します。VCCINT ピンは、MAX IIG デバイスに対しては 1.8 V で、MAX II デバイスに対しては 2.5 V/3.3 V でパワー・アップできます。MultiVolt 機能を備えた I/O バンクに対応する VCCIO ピンはすべて、同じ電圧レベル (5.0 V、3.3 V、2.5 V、1.8 V、1.5 V など) から供給する必要があります。図 8-2 を参照してください。

図 8-2. MAX II デバイスを使用した多電圧システムの実装
注 (1)、(2)、(3)、(4)

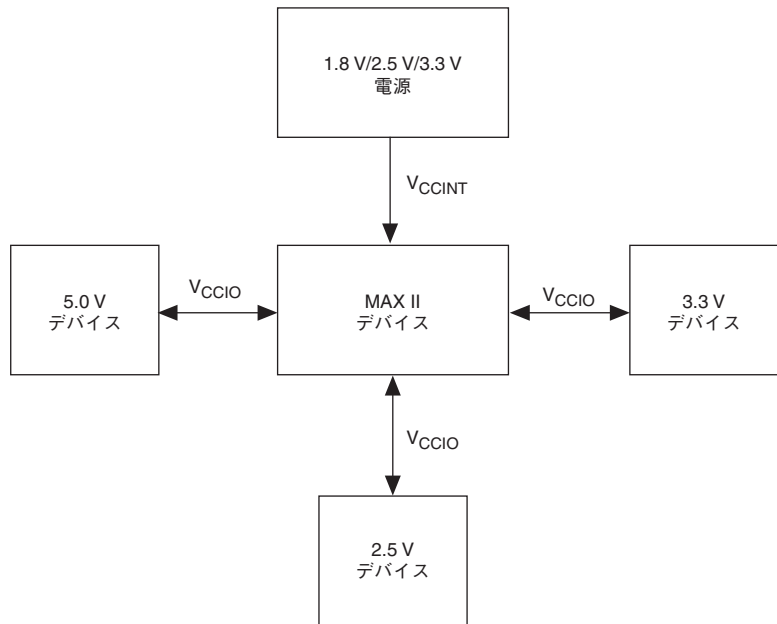


図 8-2: の注 :

- (1) MAX IIG デバイスの場合、VCCINT ピンは 1.8 V 電源しか受け入れません。
- (2) MAX II デバイスの場合、VCCINT ピンは 2.5 V または 3.3 V 電源だけを受け入れます。
- (3) MAX II デバイスは、 $V_{CCIO} = 3.3\text{ V}$ の場合に、5.0 V TTL 入力をドライブできます。5.0 V CMOS をドライブするには、内部 PCI クランプと外部抵抗を使用したオープン・ドレイン設定が必要です。
- (4) MAX II デバイスは、EPM1270 および EPM2210 デバイスに外部抵抗および内部 PCI クランプ・ダイオードを使用して、5.0 V 耐圧を実現できます。

5.0 V デバイスの互換性

MAX II デバイスは、MAX II デバイスの VCCIO ピンを 3.3 V に接続することによって、5.0 V TTL デバイスをドライブできます。3.3 V インタフェースの出力 High 電圧 (V_{OH}) が、5.0 V TTL デバイスの最小 High レベル電圧 2.4 V を満たすために、これが可能です。

MAX II デバイスの出力を 5.0 V CMOS デバイスの入力に直接接続した場合、MAX II デバイスは 5.0 V CMOS デバイスと正しく連携できない場合があります。MAX II デバイスの V_{OUT} が V_{CCIO} よりも高い場合、PMOS プルアップ・トランジスタは、そのピンが High をドライブしていれば導通し続け、外部プルアップ抵抗が信号を 5.0 V にプルアップするのを防止します。MAX II デバイスの出力を 5.0 V CMOS デバイス互換にするには、PCI クランプ・ダイオードをイネーブルにして、出力ピンをオープン・ドレイン・ピンとして使用し、外部にプルアップ抵抗を接続します。図 8-3 を参照してください。

図 8-3. MAX II デバイスと 5.0 V CMOS デバイスとの互換性

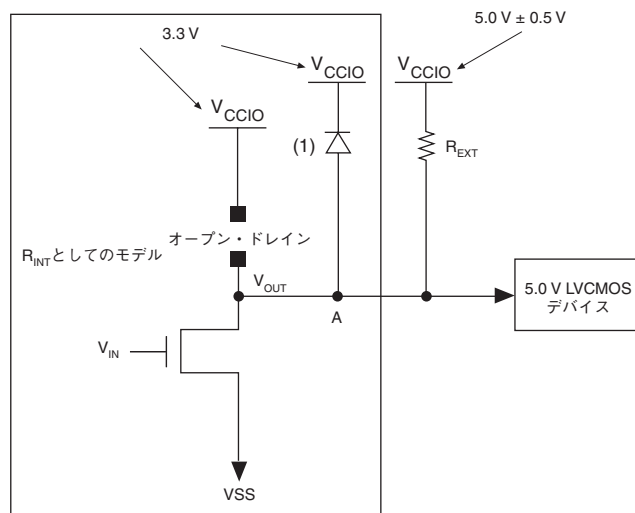



図 8-3 の注：

- (1) このダイオードはパワー・アップ後にはのみアクティブになります。MAX II デバイスは、パワー・アップ前に 5.0 V でドライブされる場合は、外部ダイオードを必要とします。

オープン・ドレイン・ピンは High レベルをドライブすることではなく、Low またはトライ・ステートのみドライブします。オープン・ドレイン・ピンがアクティブなときには、Low レベルをドライブします。オープン・ドレイン・ピンが非アクティブの場合、ピンはトライ・ステートになり、トレースは外部抵抗によって 5.0 V にプルアップされます。PCI クランプ・ダイオードをイネーブルする目的は、MAX II デバイスの I/O ピンを保護することです。PCI クランプ・ダイオードに 3.3 V の V_{CCIO} を供給すると、ポイント A の電圧は 4.0 V にクランプされ、トレース電圧が 4.0 V を超えた場合の MAX II デバイスの信頼性限界値に適合します。5.0 V 入力は入力仕様の範囲内なので、デバイスは正常に動作します。

 PCI クラмп・ダイオードは、EPM1270 および EPM2210 デバイスの I/O バンク 3 でのみサポートされます。外部保護ダイオードは、EPM1270 および EPM2210 デバイスの他の I/O バンクと、EPM240 および EPM570 デバイスのすべての I/O ピンに必要です。

プルアップ抵抗値は、信号の立ち上がり時間に対応するよう小さく、かつ MAX II デバイスの I_{OL} (出力 Low) 仕様に違反しないよう大きくなければなりません。

MAX II デバイスの最大 I_{OL} は、I/O 出力のプログラマブル・ドライブ強度に依存します。表 8-1 は、MAX II デバイスに対する 3.3 V LVTTTL/LVCMOS 標準 I/O 規格で利用可能なプログラマブル・ドライブ強度の設定を示します。PCI 標準 I/O 規格は常に 20 mA で設定され、別の設定はありません。

| 標準 I/O 規格 | I_{OH}/I_{OL} の設定電流値 (mA) |
|--------------|-----------------------------|
| 3.3 V LVTTTL | 16 |
| | 8 |
| 3.3 V LVCMOS | 8 |
| | 4 |

R_{EXT} に必要な値を計算するには、まず MAX II デバイスのオープン・ドレイン・トランジスタのモデルを計算します。この出力抵抗 (R_{EXT}) は、 V_{OL} を I_{OL} で除算してモデル化できます ($R_{EXT} = V_{OL}/I_{OL}$)。表 8-2 は、MAX II デバイスに対する 3.3 V LVTTTL/LVCMOS 標準 I/O 規格の最大 V_{OL} を示します。標準 I/O 規格の仕様については、「DC 特性およびスイッチング特性」の章を参照してください。

| 標準 I/O 規格 | 電圧 (V) |
|--------------|--------|
| 3.3 V LVTTTL | 0.45 |
| 3.3 V LVCMOS | 0.20 |

MAX II デバイスの I_{OL} 仕様に違反しないように R_{EXT} を選択します。 R_{EXT} の必要なプルアップ抵抗値は、式 $R_{EXT} = (V_{CC}/I_{OL}) - R_{INT}$ を使用して計算できます。例えば、I/O ピンがドライブ強度 16 mA を持つ 3.3 V LTTTL としてコンフィギュレーションされている場合、最大電源電圧 (V_{CC}) を 5.5 V とすると、 R_{EXT} の値は以下のとおり計算できます。

$$R_{EXT} = \frac{(5.5V - 0.45V)}{16\text{ mA}} = 315.6\ \Omega$$

この抵抗値の計算では、ワースト・ケース条件を想定しています。 R_{EXT} の値は、デバイス・コンフィギュレーションのドライブ強度に従って調整できます。さらに、システムで電源電圧レベルに広範囲の変動がない場合は、状況に応じてこれらの計算を調整できます。

MAX II デバイスは 3.3 V、32 ビット、33 MHz PCI に準拠しているため、入力回路は 4.0 V の最大 High レベル入力電圧 (V_{IH}) を受け入れます。5.0 V デバイスで MAX II デバイスをドライブするには、MAX II デバイスと 5.0 V デバイスの間に抵抗 (R_2) を接続する必要があります。図 8-4 を参照してください。

図 8-4. 5.0 V デバイスを使用した MAX II PCI 準拠デバイスのドライブ

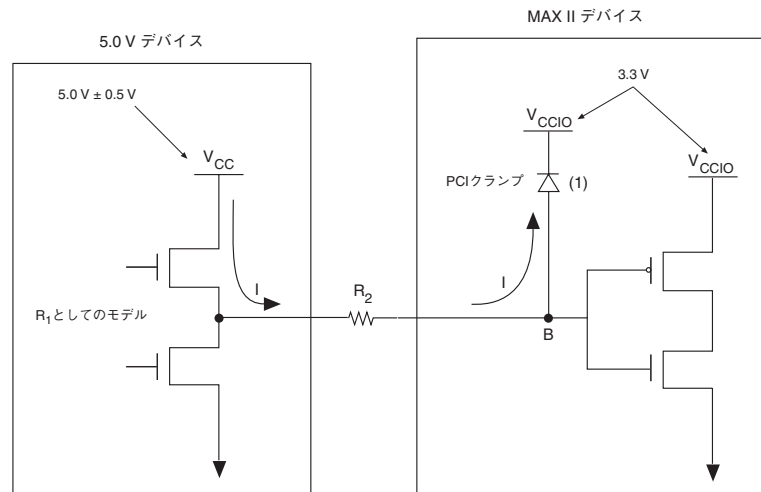


図 8-4 の注：

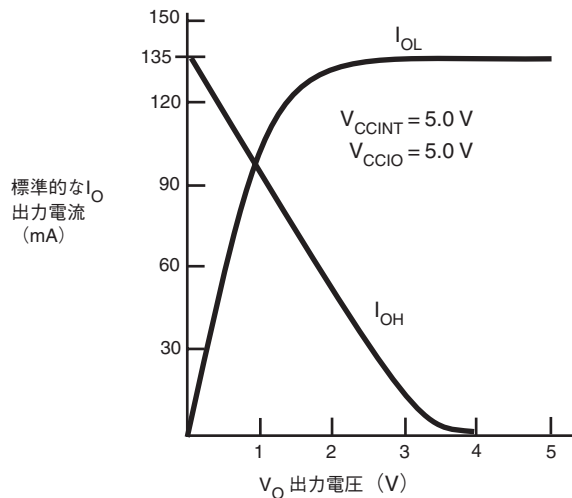
- (1) このダイオードはパワー・アップ後にのみアクティブになります。MAX II デバイスは、パワー・アップ前に 5.0 V でドライブされる場合、外部ダイオードを必要とします。

MAX II デバイスの V_{CCIO} が 3.3 V で、PCI クランプ・ダイオードがイネーブルされている場合、図 8-4 のポイント B での電圧は 4.0 V になり、トレース電圧が 4.0 V を超えた場合の MAX II デバイスの信頼性限界値に適合します。5.0 V デバイスからの大きな電流の流入を制限するために、 R_2 は、高速信号が立ち上がり時間に対応するよう小さく、かつトレースをドライブするデバイスの High レベル出力電流 (I_{OH}) 仕様に違反しないよう大きくなければなりません。

R_2 に必要な値を計算するには、まず 5.0 V デバイスのプルアップ・トランジスタのモデルを計算します。この出力抵抗 (R_1) は、5.0 V デバイスの電源電圧 (V_{CC}) を I_{OH} で除算 (つまり $R_1 = V_{CC}/I_{OH}$) してモデル化できます。

図 8-5 は、5.0 V デバイスの標準的な出力ドライブ特性の例を示します。

図 8-5. 5.0 V デバイスの出力ドライブ特性



上記のとおり、 $R_1 = 5.0 \text{ V}/135 \text{ mA}$ です。

通常データ・シートに示す値は、標準的な動作条件に基づくものです。保護帯域用にデータ・シートの値から 20% を減算します。上記の例にこの減算を適用すると、 R_1 の値は 30 になります。

MAX II デバイスの I_{OH} 仕様に違反しないように R_2 を選択します。例えば、上記のデバイスの最大 I_{OH} が 8 mA の場合、PCI クランプ・ダイオードを使用すると、 $V_{IN} = V_{CCIO} + 0.7 \text{ V} = 3.7 \text{ V}$ になります。5.0 V デバイスの最大電源負荷 (V_{CC}) を 5.50 V とすると、 R_2 の値は以下のとおり計算できます。

$$R_2 = \frac{(5.50 \text{ V} - 3.7 \text{ V}) - (8 \text{ mA} \times 30 \Omega)}{8 \text{ mA}} = 194 \Omega$$

この解析ではワースト・ケース条件を想定しています。システムで電源電圧レベルに広範囲の変動がない場合は、状況に応じてこれらの計算を調整できます。

MAX II デバイスの 5.0 V デバイス許容差を実現するには、PCI クランプを使用する必要があります、このクランプはパワー・アップ後にのみアクティブになるため、5.0 V 信号はデバイスがコンフィギュレーションされるまで、デバイスにドライブできない場合があります。PCI クランプ・ダイオードは、EPM1270 および EPM2210 デバイスの I/O バンク 3 でのみサポートされます。外部保護ダイオードは、EPM1270 および EPM2210 デバイスの他の I/O バンクと、EPM240 および EPM570 デバイスのすべての I/O ピンに必要です。

5.0 V 互換を実現するための推奨動作条件

前述のとおり、5.0 V 許容差は、外付け直列 / プルアップ抵抗でイネーブルされる PCI クランプ・ダイオードでサポートできます。デバイスの I/O バッファの長期の信頼性を保証するために、最大クランプ電流に基づいて MAX II I/O をドライブする信号デューティ・サイクルに制約があります。表 8-3 に、PCI クランプ電流の処理機能を備えた 3.3 V の V_{CCIO} に対する最大信号デューティ・サイクルを示します。

| 表 8-3. 最大信号デューティ・サイクル (1 / 2) | | |
|---------------------------------|-------------------|------------------|
| V_{IN} (V) (1) | I_{CH} (mA) (2) | 最大デューティ・サイクル (%) |
| 4.0 | 5.00 | 100 |
| 4.1 | 11.67 | 90 |
| 4.2 | 18.33 | 50 |
| 4.3 | 25.00 | 30 |
| 4.4 | 31.67 | 17 |
| 4.5 | 38.33 | 10 |

表 8-3. 最大信号デューティ・サイクル (2 / 2)

| V_{IN} (V) (1) | I_{CH} (mA) (2) | 最大デューティ・サイクル (%) |
|------------------|-------------------|------------------|
| 4.6 | 45.00 | 5 |

表 8-3 の注：

- (1) V_{IN} はパッケージ・ピンでの電圧です。
- (2) I_{CH} は 3.3 V の V_{CCIO} を使用して計算されます。 V_{IN} の値が同じであれば、 V_{CCIO} の値が高くなるほど、 I_{CH} の値は低くなります。

MAX II の入力ピンでデューティ・サイクルが 30% を超える信号に対して、アルテラは長期の I/O 信頼性を保証するために、3.0 V の V_{CCIO} 電圧を推奨しています。デューティ・サイクルが 30% 未満の信号に対しては、 V_{CCIO} 電圧は 3.3 V にすることができます。

ホット・ソケット

ホット・ソケットについては、「MAX II デバイスのホット・ソケットおよびパワー・オン・リセット」の章を参照してください。

パワー・アップ・シーケンス

MAX II デバイスは、パワー・シーケンスの制御が困難な多電圧環境でも動作するように設計されています。したがって、MAX II デバイスはどのパワー・シーケンスにも対応できるように設計されています。 V_{CCINT} または V_{CCIO} のいずれかで最初にデバイスに電源を供給でき、3.3 V、2.5 V、1.8 V、または 1.5 V の入力信号で、 V_{CCINT} または V_{CCIO} が印加される前に、特別な注意なしでデバイスをドライブできます。MAX II デバイスは、 V_{CCINT} レベルよりも高い V_{CCIO} 電圧レベルで動作できます。

異なる電源から MAX II デバイスに V_{CCIO} および V_{CCINT} が供給された場合、 V_{CCIO} と V_{CCINT} との間の遅延が生じることがあります。両方の電源が推奨動作範囲内になるまで、ユーザ・モードには入りません。 V_{CCINT} がパワー・アップされると、IEEE Std. 1149.1 JTAG (Joint Test Action Group) 回路がアクティブになります。TMS および TCK が V_{CCIO} に接続されても、 V_{CCIO} がパワー・アップされていない場合、JTAG 信号はフローティング状態のままです。このように、TCK が変化すると、ステート・マシンは未知の JTAG ステートに遷移し、 V_{CCIO} が最終的にパワー・アップされたときに誤動作することがあります。パワー・アップ・シーケンス中に JTAG ステートをディセーブルするには、TCK をプル・ダウンして、TCK に偶発的な立ち上がりエッジが発生しないようにしなければなりません。

パワー・オン・リセット

パワー・オン・リセット (POR) については、「MAX II デバイスのホット・ソケットおよびパワー・オン・リセット」の章を参照してください。

まとめ

MAX II デバイスは MultiVolt I/O をサポートしているため、1.5 V、1.8 V、2.5 V、および 3.3 V デバイスは、電圧の衝突を生じることなく、MAX II デバイスと直接インタフェースできます。さらに、MAX II デバイスは、外部ハードウェア・インタフェースを多少変更し、Quartus II 開発ソフトウェアで PCI クランプ・ダイオードをイネーブリングすることによって、5.0 V デバイスとインタフェースできます。この MultiVolt 機能により、デバイス・コアは他のデバイスとの I/O ピンの互換性を維持しながら、コア電圧 V_{CCINT} で動作することも可能になります。アルテラは、 V_{CCINT} および V_{CCIO} を任意のシーケンスでパワー・アップ可能なデバイスを設計したり、ホット・ソケットのサポートを組み込むことによって、システム・デザインをさらに容易にする手法を開発しました。

