

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

MI151002-2.1

### はじめに

この章は、MAX II デバイスのアーキテクチャを説明しており、以下の項で構成されています。

- 2-1 ページの「機能の説明」
- 2-5 ページの「ロジック・アレイ・ブロック」
- 2-8 ページの「ロジック・エレメント」
- 2-16 ページの「MultiTrack インタコネクト」
- 2-22 ページの「グローバル信号」
- 2-24 ページの「ユーザ・フラッシュ・メモリ・ブロック」
- 2-29 ページの「MultiVolt コア」
- 2-30 ページの「I/O 構造」

### 機能の説明

MAX® II デバイスは、カスタム・ロジックを実装する二次元のロウおよびカラム・ベースのアーキテクチャを備えています。ロウおよびカラム・インタコネクトは、ロジック・アレイ・ブロック (LAB) 間の信号の相互接続を提供します。

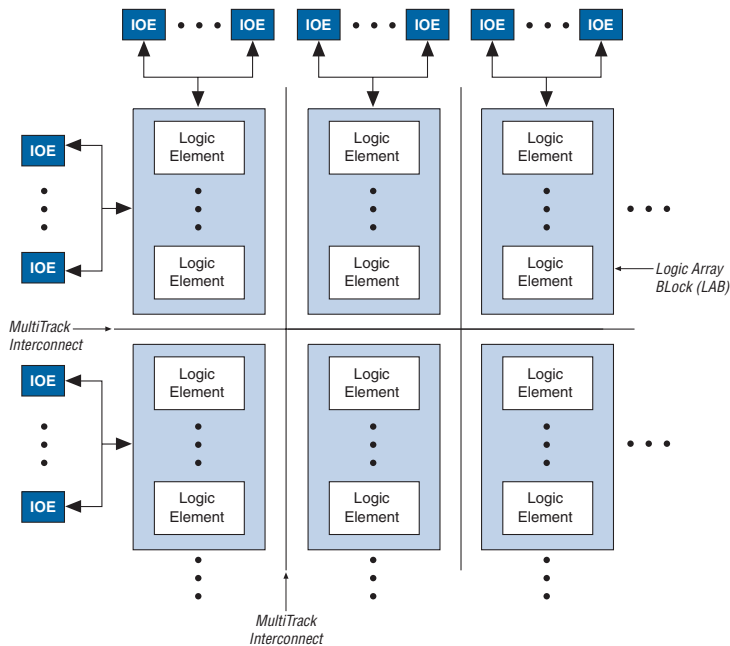
ロジック・アレイは、それぞれに 10 個のロジック・エレメント (LE) がある LAB で構成されています。LE は、ユーザ・ロジック・ファンクションを効率的に実現するロジックの最小単位です。LAB は、デバイス全域に配置されたロウとカラムにグループ化されています。MultiTrack インタコネクトは、LAB 間に高速な精密タイミング遅延を提供します。インタコネクト構造はグローバルに配線されますが、追加ロジック・レベルに対するタイミング遅延は、LE 間的高速配線によって最小化されます。

MAX II デバイスの I/O ピンは、デバイス周辺の LAB ロウおよびカラムの末端に配置された I/O エレメント (IOE) から信号が供給されます。各 IOE には、いくつかの高度な機能を備えた双方向 I/O バッファが内蔵されています。I/O ピンは、シュミット・トリガ入力と 66 MHz、32 ビット PCI、および LVTTTL などの様々なシングル・エンド規格をサポートしています。

MAX II デバイスは、グローバル・クロック・ネットワークを提供しています。グローバル・クロック・ネットワークは、デバイス全体を通じてドライブする 4 本のグローバル・クロック・ラインで構成され、デバイス内部のすべてのリソースにクロックを供給します。グローバル・クロック・ラインは、クリア、プリセット、または出力イネーブルなどのコントロール信号に使用することもできます。

図 2-1 に、MAX II デバイスの機能ブロック図を示します。

図 2-1. MAX II デバイスのブロック図



各 MAX II デバイスは、フロアプラン内にフラッシュ・メモリ・ブロックを内蔵しています。EPM240 デバイスでは、このブロックはデバイスの左側に配置されています。EPM570、EPM1270、および EPM2210 デバイスでは、フラッシュ・メモリ・ブロックは左下側の領域に配置されています。このフラッシュ・メモリ・ストレージの大部分は、専用コンフィギュレーション・フラッシュ・メモリ (CFM) ブロックとして分割されます。CFM ブロックは、すべての RAM コンフィギュレーション情報の不揮発性ストレージを提供します。CFM は、パワーアップ時にロジックおよび I/O を自動的にダウンロードおよびコンフィギュレーションして、インスタント・オン動作を実現します。



パワーアップ時のコンフィギュレーションについて詳しくは、「MAX II デバイス・ハンドブック」の「MAX II デバイスのホット・ソケットおよびパワー・オン・リセット」の章を参照してください。

MAX II デバイス内部のフラッシュ・メモリの一部分は、ユーザ・データ用の小ブロックに分割されます。このユーザ・フラッシュ・メモリ (UFM) ブロックは、8,192 ビットの汎用ユーザ・ストレージになります。UFM は、読み出しおよび書き込み用にロジック・アレイへのプログラマブルなポート接続を提供します。このブロックには3つの LAB ロウが隣接していますが、カラム数はデバイスによって異なります。

表 2-1 に、各デバイスの LAB ロウおよびカラム数、EPM570、EPM1270、および EPM2210 デバイスのフラッシュ・メモリ領域に隣接する LAB ロウおよびカラム数を示します。ロング LAB ロウは、ロウ I/O ブロックの一方のサイドから他方のサイドに延びる完全な LAB ロウです。ショート LAB ロウは、UFM ブロックに隣接する LAB ロウで、その長さはカラム幅として示されます。

表 2-1. MAX II デバイスのリソース					
デバイス	UFM ブロック数	LAB カラム数	LAB ロウ数		合計 LAB 数
			ロング LAB ロウ数	ショート LAB ロウ数 (幅) (1)	
EPM240	1	6	4	—	24
EPM570	1	12	4	3 (3)	57
EPM1270	1	16	7	3 (5)	127
EPM2210	1	20	10	3 (7)	221

表 2-1 の注：

(1) 幅は LAB カラム数を長さで示したものです。

図 2-2 に、MAX II デバイスのフロアプランを示します。

図 2-2. MAX II デバイスのフロアプラン 注 (1)

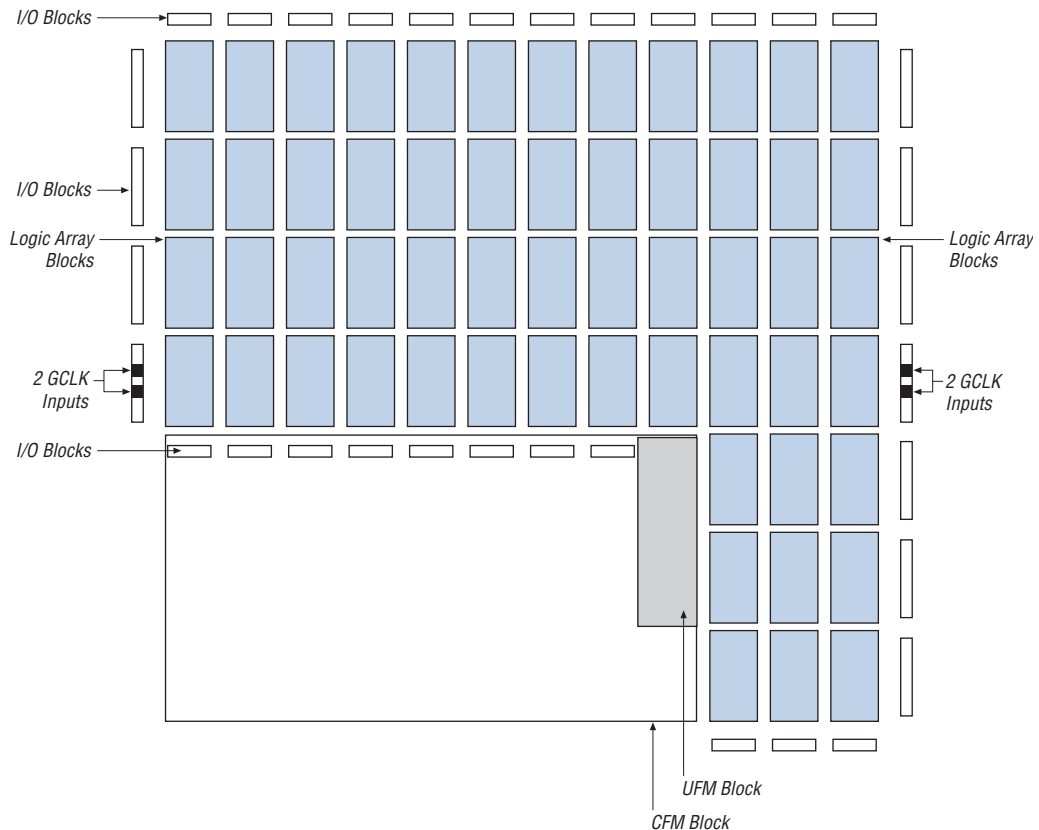


図 2-2 の注：

- (1) 図は EPM570 デバイスです。EPM1270 および EPM2210 デバイスは同様のフロアプランを備えていますが、より多くの LAB で構成されます。EPM240 デバイスの場合、CFM および UFM ブロックはデバイスの左側に配置されています。

## ロジック・ アレイ・ ブロック

各 LAB は 10 個の LE、LE キャリー・チェーン、LAB コントロール信号、ローカル・インタコネクト、ルック・アップ・テーブル (LUT) チェイン、およびレジスタ・チェーン接続ラインによって構成されています。1 つの LAB には 26 の固有入力が可能で、同じ LAB の LE 出力からさらに 10 本のローカル・フィードバック入力ラインが供給されます。ローカル・インタコネクトは、同一 LAB 内で LE 間の信号を転送します。LUT チェイン接続は 1 つの LE の LUT 出力を隣接する LE に転送し、同じ LAB 内で高速シーケンシャル LUT 接続を実現します。レジスタ・チェーン接続は、LAB 内の 1 つの LE のレジスタ出力を隣接する LE のレジスタに転送します。Quartus® II ソフトウェアは、1 つの LAB または隣接する LAB 内に関連ロジックを配置し、ローカル・インタコネクト、LUT チェイン接続、およびレジスタ・チェーン接続の使用を可能にして、性能と面積効率を向上させます。図 2-3 に、MAX II LAB を示します。

図 2-3. MAX II の LAB 構造

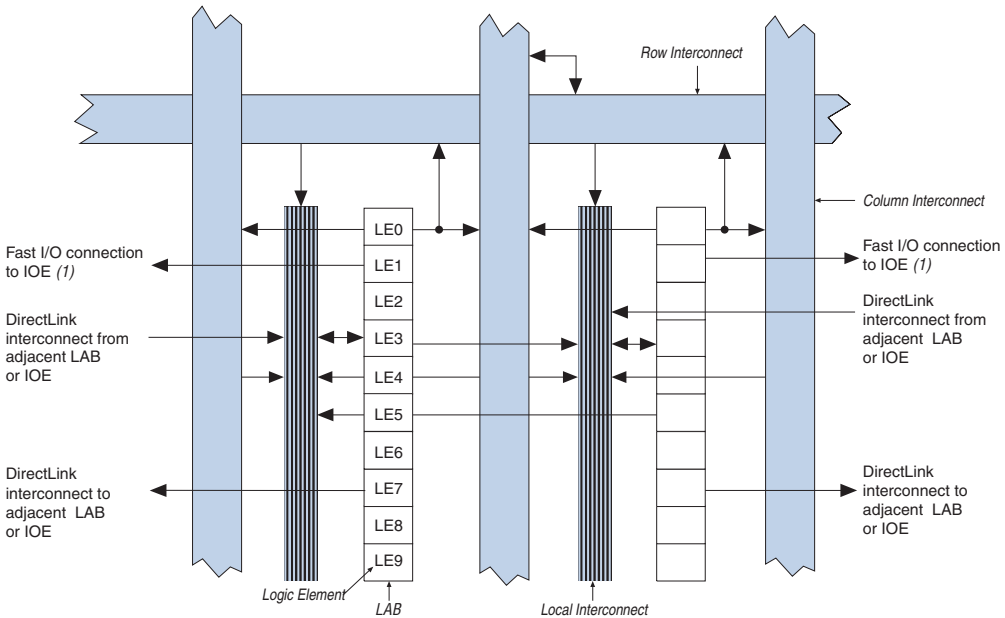


図 2-3 の注:

(1) IOE に隣接する LAB からのみ。



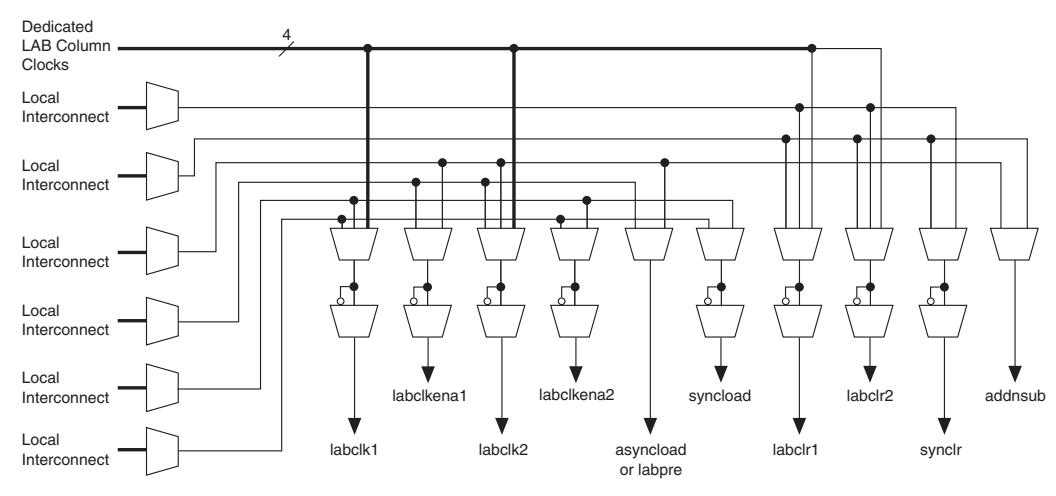
各 LAB では、2 本のクロック信号と 2 本のクロック・イネーブル信号を使用することができます。各 LAB のクロック信号とクロック・イネーブル信号はリンクされています。例えば、1abc1k1 信号を使用する特定の LAB の LE は、1abc1k1 信号も使用します。クロックの立ち上がりとしち下がりの双方のエッジを LAB 内で使用する場合、LAB ワイドの双方のクロック信号を 2 つとも使用します。クロック・イネーブル信号がディ asserts されると、LAB ワイドのクロック信号はオフになります。

各 LAB は 2 本の非同期クリア信号と 1 本の非同期ロード / プリセット信号を使用できます。デフォルトでは、Quartus II ソフトウェアはプリセットを実現するために NOT gate push-back テクニックを使用します。NOT ゲート・プッシュバック・オプションをディセーブルするか、Quartus II ソフトウェアを使用して特定のレジスタの電源投入時の初期値を High に指定した場合、プリセットは非同期ロード・データ入力を High にした状態で、非同期ロード信号を使用して行われます。

LAB ワイドの addnsb コントロール信号により、1 つの LE で 1 ビット加算器および減算器を構成できます。これにより、LE リソースが節約され、相関器やデータに応じて加算と減算を切り換える符号付き乗算器などのロジック・ファンクションの性能が向上します。

グローバル・クロック・ネットワークによってドライブされる LAB カラム・クロック [3.0]、および LAB ローカル・インタコネクタは、LAB ワイド・コントロール信号を生成します。MultiTrack 配線構造は、非グローバル・コントロール信号を生成するための LAB ローカル・インタコネクタをドライブします。MultiTrack インタコネクタ固有の低スキューにより、データに加えてクロックおよびコントロール信号を分配することができます。図 2-5 に、LAB コントロール信号の生成回路を示します。

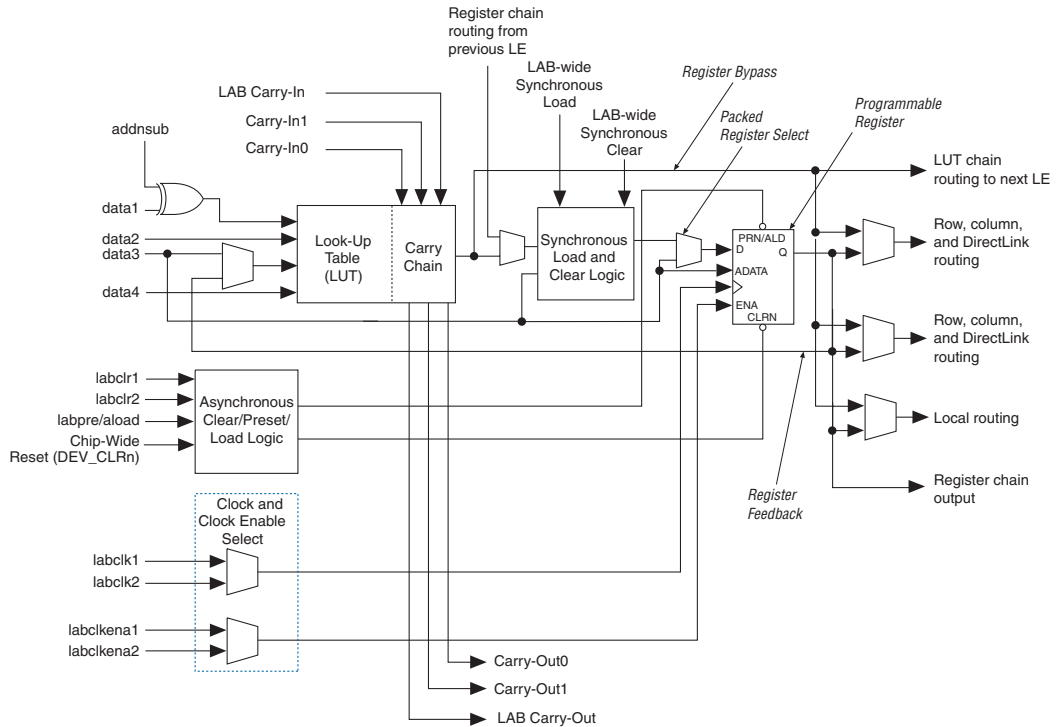
図 2-5. LAB ワイド・コントロール信号



## ロジック・エレメント

MAX II アーキテクチャのロジックの最小単位である LE はコンパクトであり、効率的なロジック利用により高度な機能を提供します。各 LE には、4 入力 LUT、つまり 4 変数からなる任意の機能を実装できるファンクション・ジェネレータが搭載されています。さらに、各 LE にはプログラマブル・レジスタおよびキャリー選択機能を備えたキャリー・チェーンも内蔵されています。また、1 つの LE で、LAB ワイドのコントロール信号で選択可能なダイナミック・シングル・ビット加算または減算モードもサポートします。各 LE は、すべてのタイプのインタコネクト（ローカル、ロウ、カラム、LUT チェイン、レジスタ・チェーン、および DirectLink インタコネクト）をドライブします。図 2-6 を参照してください。

図 2-6. MAX II LE



各 LE のプログラマブル・レジスタは、D、T、JK、または SR 動作にコンフィギュレーションできます。各レジスタには、データ、真の非同期ロード・データ、クロック、クロック・イネーブル、クリア、および非同期ロード/プリセット入力があります。グローバル信号、汎用 I/O ピン、または任意の LE で、レジスタのクロック・コントロール信号とクリア・コントロール信号をドライブすることができます。汎用 I/O ピンまたは LE のいずれかによって、クロック・イネーブル、プリセット、非同期ロード、および非同期データをドライブできます。非同期ロード・データ入力は、LE の data3 入力から供給されます。組み合わせファンクションでは、LUT 出力はレジスタをバイパスし、LE 出力に直接ドライブします。

各 LE には、ローカル、ロウ、およびカラム配線リソースをドライブする 3 本の出力があります。LUT またはレジスタ出力は、これらの出力を個別にドライブできます。2 本の LE 出力がカラムまたはロウ、および DirectLink 配線接続をドライブし、1 本の出力がローカル・インタコネクト・リソースをドライブします。これにより、レジスタがある出力を

ドライブしている状態で、LUT が別の出力をドライブすることが可能になります。このレジスタ・パッキング機能によって、デバイスはレジスタと LUT を別々の機能に使用できるため、デバイスの稼働率が向上します。別の特殊パッキング・モードでは、レジスタ出力を同じ LE の LUT にフィードバックさせて、レジスタを自身のファンアウト LUT とパッキングできます。これにより、フィッティング機能を向上させる別のメカニズムが実現します。また、LE はラッチされた出力およびラッチされていない出力の両方の LUT 出力もドライブ・アウト可能です。

## LUT チェインおよびレジスタ・チェーン

3 本の一般配線出力に加えて、LAB 内の LE には LUT チェイン出力およびレジスタ・チェーン出力があります。LUT チェイン接続により、同一 LAB 内の LUT をカスケード接続して広範な入力ファンクションを実現できます。レジスタ・チェーン出力により、同一 LAB 内のレジスタをカスケード接続できます。レジスタ・チェーン出力により、LAB は LUT を 1 つの組み合わせファンクションに使用したり、レジスタを別のシフト・レジスタの実装に使用することができます。これらのリソースは LAB 間の接続を高速化し、同時にローカル・インタコネクトのリソースの節約を図ります。LUT チェイン接続およびレジスタ・チェーン接続について詳しくは、2-16 ページの「**MultiTrack インタコネクト**」を参照してください。

## addnsb 信号

LE のダイナミック加算器 / 減算器機能は、1 組の LE を使用して加算器と減算器の両方を実装するため、ロジック・リソースが節約されます。この機能は、LAB ワイド・コントロール信号 `addnsb` によって制御されます。`addnsb` 信号は、 $A + B$  または  $A - B$  を実行するように LAB を設定します。LUT は加算を実行し、減算は減算器の 2 の補数を加算して計算されます。LAB ワイドの信号は、LAB 内で B ビットを反転し、キャリー・インを 1 に設定して、最下位ビット (LSB) に 1 を加算して 2 の補数に変換されます。加算器 / 減算器の LSB は、LAB ワイドの `addnsb` 信号が自動的にキャリー・インを 1 に設定する最初の LE に配置する必要があります。Quartus II Compiler は、加算器 / 減算器のパラメータ化されたファンクションを使用する時に、加算器 / 減算器機能を自動的に配置して使用します。

## LE の動作モード

MAX II の LE は、次のいずれかのモードで動作します。

- 「ノーマル・モード」
- 「ダイナミック演算モード」

各モードでは、LE のリソースがそれぞれ異なる形で使用されます。各モードで、8つの LE への入力、つまり LAB ローカル・インタコネクタからの 4 つのデータ入力、前の LE からの carry-in0 および carry-in1、前のキャリー・チェイン LAB からの LAB キャリー・イン、そしてレジスタ・チェイン接続が異なるデスティネーションに転送され、目的のロジック機能が実装されます。LAB ワイドの信号として供給可能なものは、レジスタへのクロック、非同期クリア、非同期プリセット / ロード、同期クリア、同期ロード、およびクロック・イネーブル・コントロールの各信号です。このような LAB ワイドの信号は、すべての LE モードで使用できます。addnsub コントロール信号は演算モードで使用できません。

Quartus II ソフトウェアは、LPM (Library of Parameterized Modules) などのパラメータ化されたファンクションと併用することによって、カウンタ、加算器、減算器、および演算ファンクションなどの一般的なファンクションに対して適切なモードを自動的に選択します。

### ノーマル・モード

ノーマル・モードは、汎用のロジック・アプリケーションや組み合わせファンクションに適しています。ノーマル・モードでは、LAB ローカル・インタコネクタからの 4 本のデータ入力が 4 入力 LUT の入力になります (図 2-7 を参照)。Quartus II Compiler は、キャリー・インと data3 のいずれかを LUT への入力として自動的に選択します。各 LE は、LUT チェイン接続を使用して、組み合わせ出力から LAB 内の次の LE を直接ドライブできます。レジスタの非同期ロード・データは、LE の data3 入力から供給されます。ノーマル・モードの LE は、パッキングされたレジスタをサポートします。

図 2-7. ノーマル・モードの LE

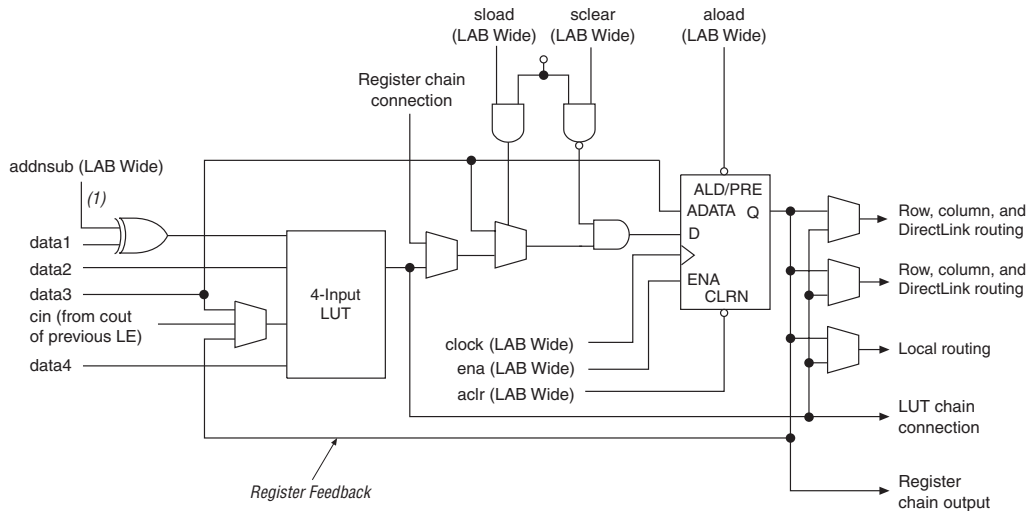


図 2-7 の注:

(1) LE が加算器 / 減算器チェーンの最終段にある場合は、この信号はノーマル・モードでのみ使用可能です。

### ダイナミック演算モード

ダイナミック演算モードは、加算器、カウンタ、アキュムレータ、幅広いパリティ・ファンクション、およびコンパレータの実装に最適です。ダイナミック演算モードの LE は、ダイナミック加算器 / 減算器としてコンフィギュレーション可能な 2 入力 LUT を 4 個使用します。最初の 2 個の 2 入力 LUT は、1 または 0 のいずれかのキャリー・インに基づいて 2 つの和を計算し、他の 2 個の LUT は、キャリー選択回路の 2 つのチェーンに対してキャリー出力を生成します。図 2-8 に示すように、LAB キャリー・イン信号は、carry-in0 または carry-in1 チェインのいずれかを選択します。選択されたチェーンのロジック・レベルによって、どのパラレル合計を組み合わせ出力またはレジスタ出力として生成するかが決まります。例えば、加算器を実装する場合、合計出力は次の 2 とおりの合計計算を選択したものです。

$$\text{data1} + \text{data2} + \text{carry in0}$$

または

$$\text{data1} + \text{data2} + \text{carry-in1}$$

他の 2 つの LUT は、data1 および data2 信号を使用して、carry 1 に対するキャリー・アウト信号と carry 0 に対するキャリー・アウト信号の 2 つのキャリー・アウト信号を生成します。carry-in0 信号は carry-out0 出力のキャリー・選択として機能し、carry-in1 信号は carry-out1 出力のキャリー・選択として機能します。また、演算モードの LE はラッチされた出力、またはラッチされていない出力のいずれの LUT 出力もドライブ・アウト可能です。

ダイナミック演算モードでは、クロック・イネーブル、カウンタ・イネーブル、同期アップ / ダウン・コントロールの各信号と、同期クリア、同期ロード、およびダイナミック加算器 / 減算器のオプション信号も提供されています。カウンタ・イネーブルと同期アップ / ダウン・コントロール信号は、LAB ローカル・インタコネクトからのデータ入力により生成されます。同期クリアと同期ロードのオプション信号は、LAB ワイドの信号であるため、LAB 内のすべてのレジスタに影響を与えます。Quartus II ソフトウェアは、カウンタに使用されていないレジスタを自動的に他の LAB に配置します。LAB ワイドの信号 addnsb は、LE が加算器として動作するか、または減算器として動作するかを制御します。

図 2-8. ダイナミック演算モードの LE

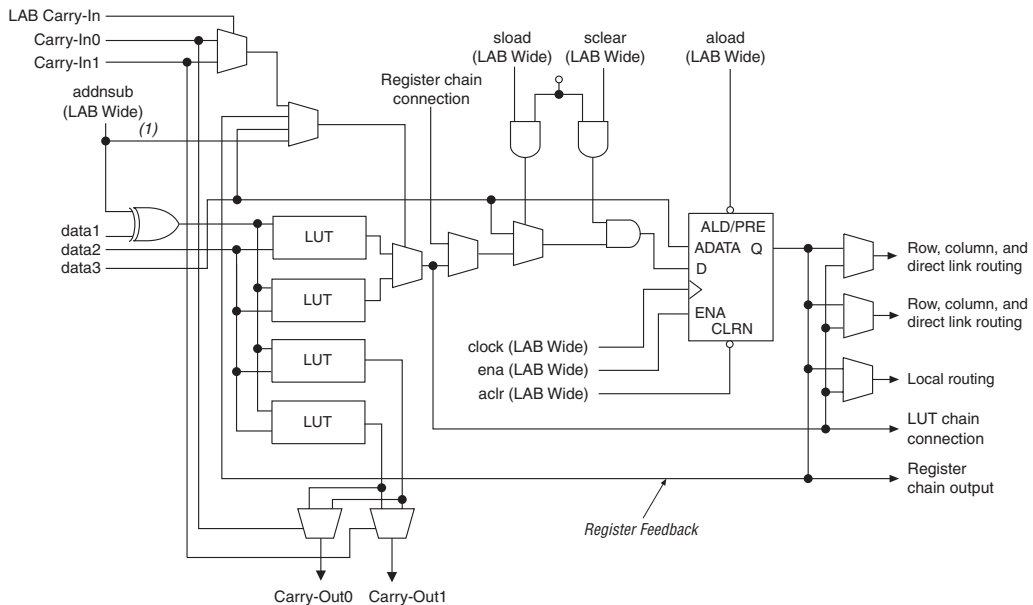


図 2-8 の注：

(1) addnsb 信号は、キャリー・チェーンの最初の LE でのみキャリー入力に接続されます。

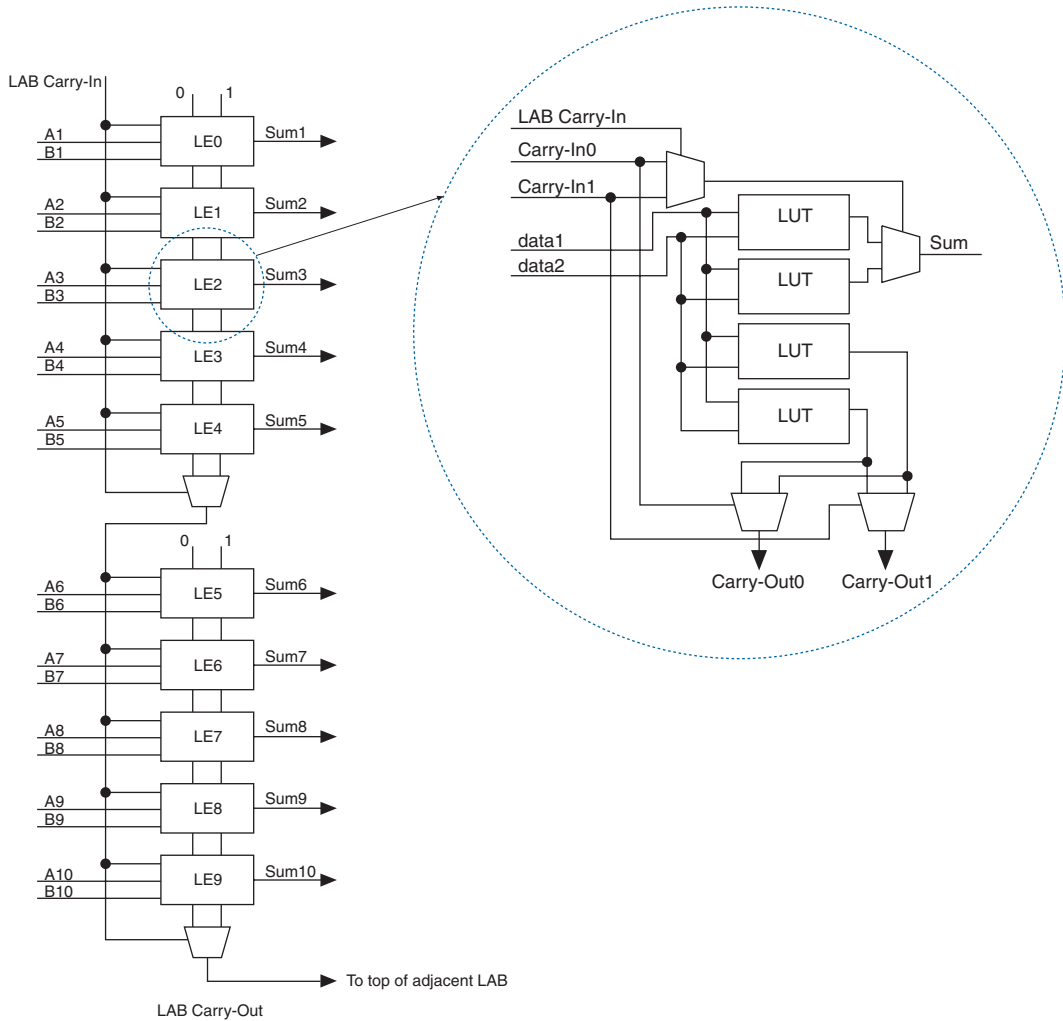
## キャリー選択チェーン

ダイナミック演算モードにおいて、キャリー選択チェーンは、LE 間でのキャリー選択ファンクションを大幅に高速化します。キャリー選択チェーンは、キャリー・ファンクションの速度を高めるために冗長キャリー計算を行います。LE は、0 のキャリー・インと 1 のキャリー・インの出力を並列に計算するようにコンフィギュレーションされています。下位のビットからの carry-in0 と carry-in1 信号は、パラレル・キャリー・チェーンを介して上位ビットに転送され、LUT とキャリー・チェーンの次の部分の両方に入力されます。キャリー選択チェーンは LAB 内のどの LE からでも開始できます。

キャリー選択チェーンの速度面での利点は、キャリー・チェーンを事前に並列計算することにあります。LAB キャリー・インは事前に計算されたキャリー・チェーンを選択するため、すべての LE がクリティカル・パスに含まれるわけではありません。LAB キャリー・イン生成 (LE 5 および LE 10) の間の伝播遅延のみがクリティカル・パスの一部となっています。この機能により、MAX II アーキテクチャはカウンタ、加算器、乗算器、パリティ・ファンクション、および任意の入力幅のコンパレータを高速で実行することができます。

図 2-9 に、10 ビットの全加算器を使用した場合の LAB におけるキャリー選択回路を示します。LUT の一部は、入力信号と適切なキャリー・イン・ビットを使用して 2 ビットの加算を行い、この結果は LE の出力に送信されます。レジスタは、単純な加算器を構成する場合にはバイパスすることができます、アキュムレータ機能に使用することもできます。LUT の他の部分はキャリー・アウト・ビットを生成します。LAB ワイドのキャリー・イン・ビットは、特定の入力に対する加算処理でどのチェーンを使用するかを選択します。各チェーンのキャリー・イン信号、carry-in0 または carry-in1 は、次の上位ビットのキャリー・イン信号に転送するキャリー・アウトを選択します。最後のキャリー・アウト信号は LE に接続され、そこでローカル、ロウ、カラムのいずれかのインタコネクタに供給されます。

図 2-9. キャリー選択チェーン



キャリー・チェーン・ロジックは、デザイン処理中に Quartus II ソフトウェアが自動的に作成しますが、ユーザがデザインの入力時に手動で作成することもできます。LPM ファンクションなどのパラメータ化されたファンクションは、キャリー・チェーンの利点を自動的に活用して、適切な機能を実現します。Quartus II ソフトウェアは、同じロウ内の隣接する複数の LAB を自動的にリンクさせることにより、10 個以上の LE で

構成される長いキャリア・チェーンを作成します。キャリア・チェーンは、1つの LAB ロウ全体まで水平に拡張できますが、LAB ロウの間で拡張することはできません。

### クリアおよびプリセット・ロジック・コントロール

レジスタのクリアとプリセットの信号を実現するロジックは、LAB ワイド信号によって制御されます。LE は非同期クリアおよびプリセット機能を直接サポートします。レジスタのプリセットは、非同期ロードを High レベルにすることで達成されます。MAX II デバイスは、同時プリセット / 非同期ロードおよびクリア信号をサポートします。両方の信号が同時にアサートされた場合、非同期クリア信号が優先されます。各 LAB は最大 2 本のクリア信号と 1 本のプリセット信号をサポートします。

MAX II デバイスは、クリアとプリセット・ポートの他に、デバイス内のすべてのレジスタをリセットするチップ・ワイドのリセット・ピン (DEV\_CLRn) を備えています。このピンは、Quartus II ソフトウェアでコンパイルを行う前に設定されたオプションによって制御されます。このチップ・ワイドのリセット信号は、他のすべてのコントロール信号よりも優先され、専用の配線リソースを使用します (つまり、4 つのグローバル・リソースのいずれも使用しません)。パワーアップ前またはパワーアップ中にこの信号を Low にドライブすると、デザイン内でクリアが解放されません。これによって、パワーアップ直後にデバイスでクリアが解放されるタイミングを制御できます。チップ・ワイドのリセット機能に設定されていない場合、DEV\_CLRn ピンは通常の I/O ピンになります。

デフォルトでは、MAX II デバイスのすべてのレジスタはパワーアップ時に Low に設定されます。ただし、Quartus II ソフトウェアを使用したデザイン入力時に、このパワーアップ・ステートは各レジスタで High に設定することができます。

## MultiTrack インタコネク

MAX II アーキテクチャでは、LE、UFM、およびデバイス I/O ピン間は MultiTrack 配線構造によって接続されます。MultiTrack インタコネクは、デザイン・ブロック間およびデザイン・ブロック内の接続に使用される性能が最適化された連続配線ラインで構成されます。Quartus II Compiler は、デザインのクリティカル・パスを自動的に高速ラインに配置して、デザイン・パフォーマンスを向上させます。

MultiTrack インタコネクは、一定間隔で配置されたロウとカラムのインタコネクで構成されています。この配線構造では、リソースの長さはすべてのデバイスに対して一定になるため、グローバル・ラインや長い配線ラインに見られる大きな遅延を生じることはなく、ロジック・レ

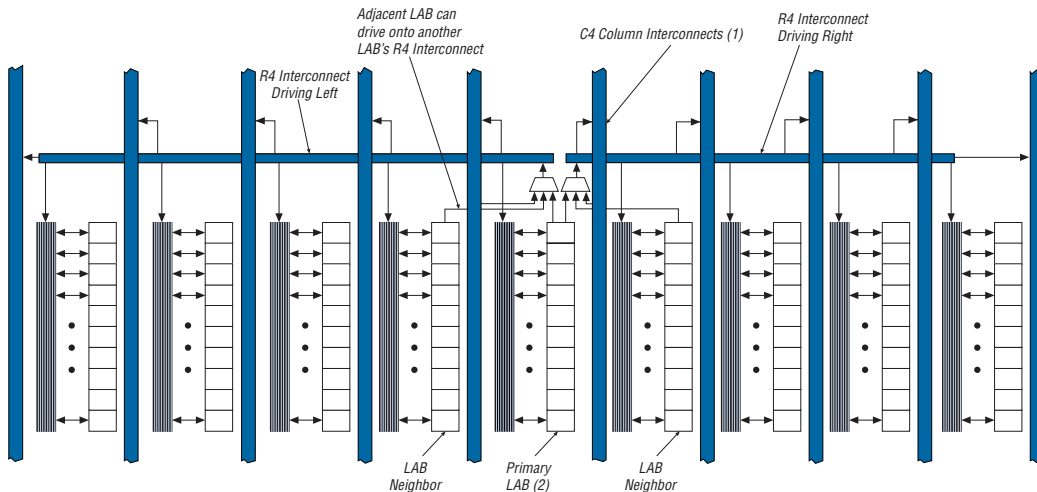
ベル間の遅延は予測可能な小さなものになります。専用のロウ・インタコネクトは、同一ロウ内の LAB との間で入出力される信号を配線します。これらのロウのリソースには以下のものがあります。

- LAB 間の DirectLink 接続
- 4 つの LAB を右または左に横断する R4 インタコネクト

DirectLink 接続によって、LAB は左または右に隣接するローカル・インタコネクトをドライブできます。DirectLink 接続は、ロウ・インタコネクトの配線リソースを使用することなく、隣接する LAB やブロック間での高速通信を実現します。

R4 インタコネクトは、4 つの LAB にまたがる長さとなり、4 つの領域内の高速ロウ接続に使用されます。どの LAB にも、左側または右側のいずれかにドライブする独自の R4 インタコネクトがあります。図 2-10 に、LAB からの R4 インタコネクト接続を示します。R4 インタコネクトはロウ IOE をドライブすることができ、またロウ IOE からドライブできます。LAB インタフェースの場合、基準となる LAB または隣接する水平方向の LAB が所定の R4 インタコネクトをドライブできます。右にドライブする R4 インタコネクトの場合、基準となる LAB および右の隣接 LAB がインタコネクトをドライブできます。左にドライブする R4 インタコネクトの場合、基準となる LAB および左の隣接 LAB がインタコネクトをドライブできます。R4 インタコネクトは、他の R4 インタコネクトをドライブして、ドライブ可能な LAB の範囲を拡張することができます。R4 インタコネクトは、1 つのロウを別のロウに接続するときに C4 インタコネクトをドライブすることも可能です。

図 2-10. R4 インタコネクト接続



## 図 2-10 の注:

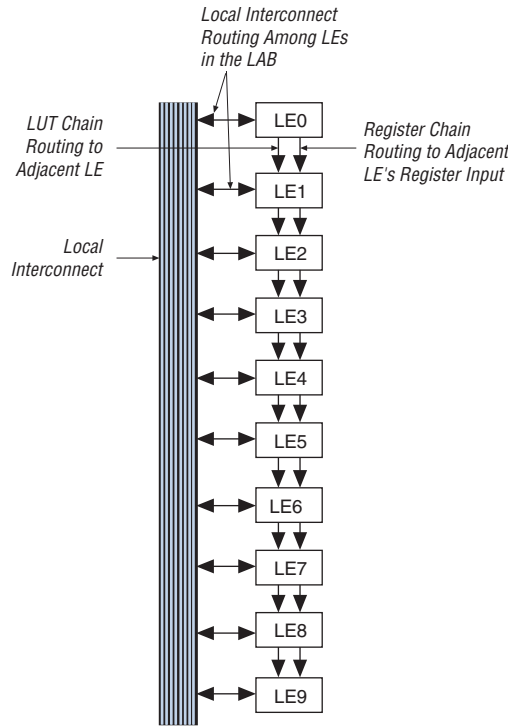
- (1) C4 インタコネクトは R4 インタコネクトをドライブできます。
- (2) このパターンは、LAB ロウ内の各 LAB に対して繰り返されています。

カラム・インタコネクトは、ロウ・インタコネクトに類似した機能を果たします。LAB の各カラムには、LAB とロウおよびカラム IOE に入出力する信号を、垂直に配線する専用のカラム・インタコネクトが使用されます。これらのカラムのリソースには以下のものがあります。

- LAB 内の LUT チェイン・インタコネクト
- LAB 内のレジスタ・チェイン・インタコネクト
- 4つの LAB の距離を上下方向に横断する C4 インタコネクト

MAX II デバイスは、LAB 内に拡張されたインタコネクト構造を搭載し、LUT チェイン接続およびレジスタ・チェイン接続を使用して LE 出力から LE 入力への配線を高速化しています。LUT チェイン接続では、LE の組み合わせ出力がローカル・インタコネクトをバイパスして、直下の LE の高速入力を直接ドライブします。これらのリソースは、同一 LAB 内の LE 1 から LE 10 へのワイドなファンイン機能を高速接続するのに使用できます。レジスタ・チェイン接続により、1つの LE のレジスタ出力を LAB 内の次の LE のレジスタ入力に直接接続し、高速シフト・レジスタを実現できます。Quartus II Compiler は、自動的にこれらのリソースを活用して利用率とパフォーマンスを向上させます。図 2-11 に、LUT チェインおよびレジスタ・チェインのインタコネクトを示します。

図 2-11. LUT チェインおよびレジスタ・チェーンのインタコネク



C4 インタコネクは、ソース LAB の上または下にある、4つの LAB に対応した長さの配線ラインとなっています。各 LAB には、上または下にドライブする独自の C4 インタコネクがあります。図 2-12 に、カラム内の LAB からの C4 インタコネク接続を示します。C4 インタコネクはカラムおよびロウ IOE をドライブすることができ、またカラムおよびロウ IOE からドライブできます。LAB インタコネクの場合、基準となる LAB または隣接する垂直方向の LAB が C4 インタコネクをドライブできます。C4 インタコネクは、ロウ・インタコネクをドライブしてカラム間接続を実現するだけでなく、互いをドライブして範囲を拡張することもできます。

図 2-12. C4 インタコネクト接続 注 (1)

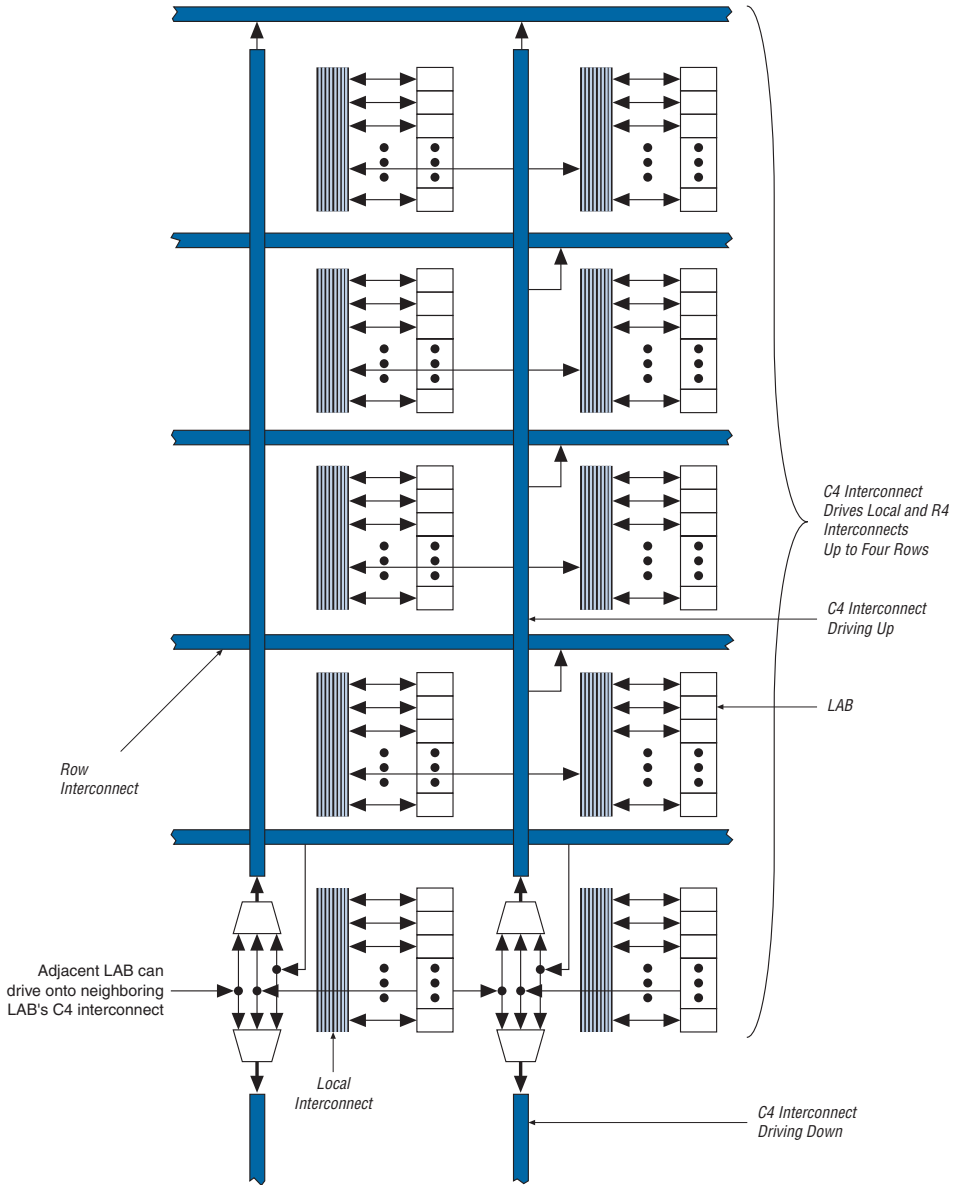


図 2-12 の注:

- (1) 各 C4 インタコネクトは、上または下にある 4 本のロウをドライブできます。

UFM ブロックは、LAB 間のインタフェースに類似したロジック・アレイと通信します。UFM ブロックは、ロウおよびカラム・インタコネクต์に接続し、ロウおよびカラム・インタコネクต์によってドライブされるローカル・インタコネクต์領域を備えています。このブロックは、隣接する LAB との間で高速接続を実現する DirectLink 接続も提供しています。ロジック・アレイへの UFM インタフェースについて詳しくは、2-24 ページの「ユーザ・フラッシュ・メモリ・ブロック」を参照してください。

表 2-2 に、MAX II デバイスの配線方式を示します。

ソース	デスティネーション										
	LUT チェーン	レジスタ・ チェーン	ローカル (1)	DirectLink (1)	R4 (1)	C4 (1)	LE	UFM ブロック	カラム IOE	ロウ IOE	高速 I/O 接続 (1)
LUT チェーン	—	—	—	—	—	—	√	—	—	—	—
レジスタ・ チェーン	—	—	—	—	—	—	√	—	—	—	—
ローカル・ インタコネクต์	—	—	—	—	—	—	√	√	√	√	—
DirectLink インタコネクต์	—	—	√	—	—	—	—	—	—	—	—
R4 インタコネクต์	—	—	√	—	√	√	—	—	—	—	—
C4 インタコネクต์	—	—	√	—	√	√	—	—	—	—	—
LE	√	√	√	√	√	√	—	—	√	√	√
UFM ブロック	—	—	√	√	√	√	—	—	—	—	—
カラム IOE	—	—	—	—	—	√	—	—	—	—	—
ロウ IOE	—	—	—	√	√	√	—	—	—	—	—

表 2-2 の注：

(1) これらのカテゴリはインタコネクต์です。

## グローバル信号

図 2-13 に示すように、各 MAX II デバイスは、グローバル・クロック・ラインをクロッキングのためにドライブする 4 本の兼用クロック・ピン (GCLK [3..0]、左サイドの 2 本のピンと右サイドの 2 本のピン) を備えています。これらの 4 本のピンは、グローバル・クロック・ネットワークのドライブに使用しない場合は、汎用 I/O として使用することもできます。

グローバル・クロック・ネットワークの 4 本のグローバル・クロック・ラインは、デバイス全体をドライブします。グローバル・クロック・ネットワークは、LE、LAB ローカル・インタコネクタ、IOE、および UFM ブロックなど、デバイス内のすべてのリソースにクロックを提供できます。また、グローバル・クロック・ラインは、クロック・イネーブル、同期または非同期クリア、プリセット、出力イネーブル、または PCI 用の TRDY や IRDY などのプロトコル・コントロール信号など、グローバル・コントロール信号用に使用することも可能です。内部ロジックは、内部で生成されるグローバル・クロック・ネットワークおよびコントロール信号用に、グローバル・ネットワークをドライブできます。図 2-13 に、グローバル・クロック・ネットワークへの様々なクロックリソースを示します。

図 2-13. グローバル・クロックの生成

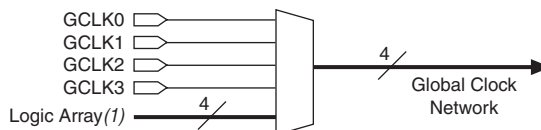
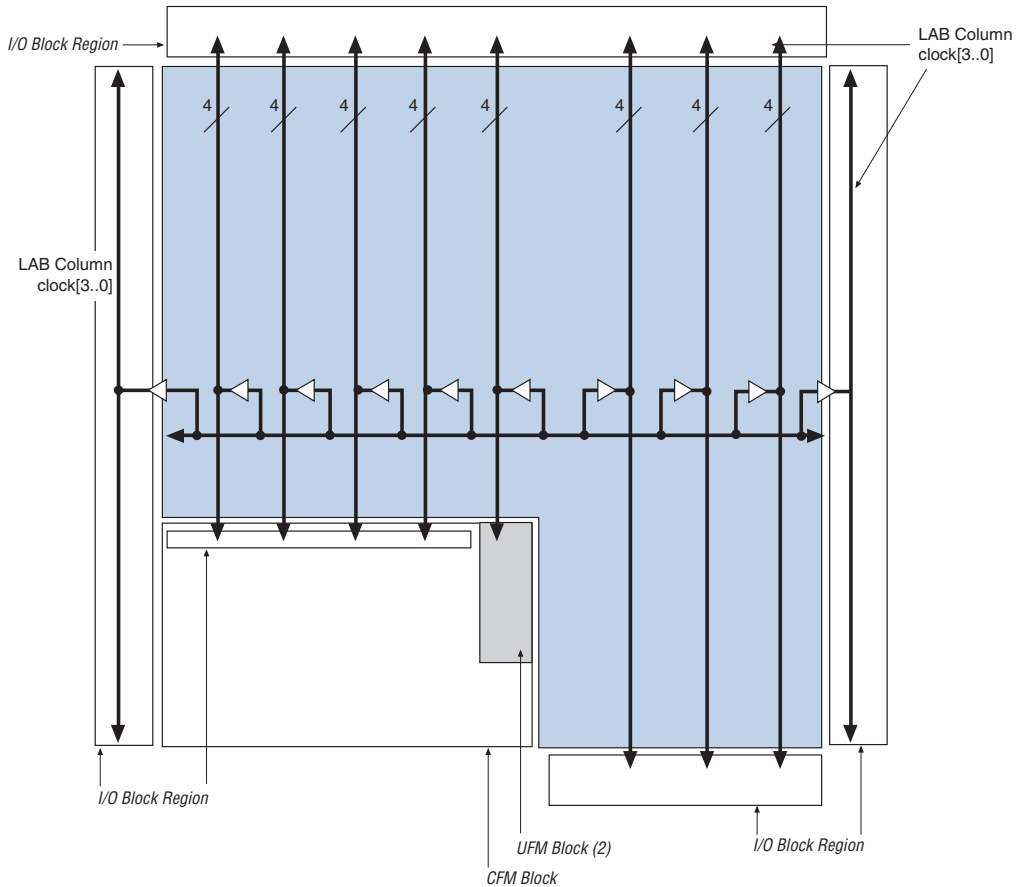


図 2-13 の注:

- (1) どの I/O ピンも MultiTrack インタコネクタを使用して、ロジック・アレイで生成されたグローバル・クロック信号として配線できます。

グローバル・クロック・ネットワークは、デバイスの上から下まで LAB カラム全体に広がる個々の LAB カラム信号、LAB カラム・クロック [3..0] をドライブします。LAB カラム内の未使用のグローバル・クロックまたはコントロール信号は、図 2-14 に示す LAB カラム・クロック・バッファでオフにされます。LAB カラム・クロック [3..0] は、2 つの LAB クロック信号と 1 つの LAB クリア信号に多重化されます。その他のコントロール信号タイプは、グローバル・クロック・ネットワークから LAB ローカル・インタコネクタに配線されます。詳細は、2-6 ページの「LAB コントロール信号」を参照してください。

図 2-14. グローバル・クロック・ネットワーク 注 (1)



## 図 2-14 の注:

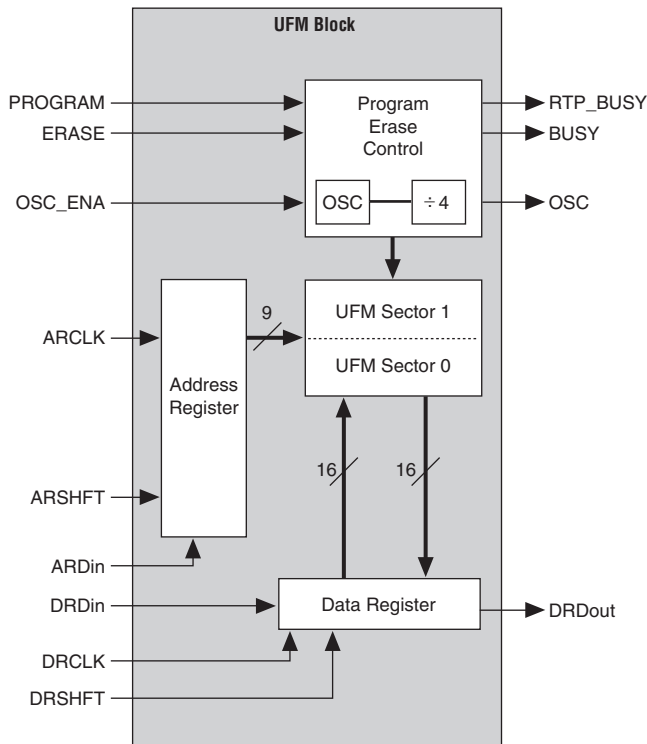
- (1) I/Oブロック領域のLABカラム・クロックは、ファンアウトの大きい出力イネーブル信号を供給します。
- (2) LABカラム・クロックはUFMブロックにドライブされます。

## ユーザ・ フラッシュ・ メモリ・ ブロック

MAX II デバイスは、1つの UFM ブロックを備えており、この UFM ブロックをシリアル EEPROM のように使用して、最大 8,192 ビットの不揮発性情報を格納できます。UFM ブロックは、MultiTrack インタコネクタを介してロジック・アレイに接続されるため、どの LE も UFM ブロックにインタフェースすることができます。図 2-15 に、UFM ブロックとインタフェース信号を示します。ロジック・アレイは、UFM ブロック・データをデバイス外部にインタフェースするためのカスタマ・インタフェースまたはプロトコル・ロジックの作成に使用されます。UFM ブロックは、以下の機能を提供しています。

- 最大 16 ビット幅、合計 8,192 ビットの不揮発性ストレージ
- 分割されたセクタを消去するための 2 つのセクタ
- オプションによってロジック・アレイをドライブする内蔵オシレータ
- プログラム、消去、およびビジー信号
- 自動インクリメント・アドレス指定
- プログラマブル・インタフェースを備えたロジック・アレイへのシリアル・インタフェース

図 2-15. UFM ブロックおよびインタフェース信号



## UFM ストレージ

各デバイスは、UFM ブロック内に最大 8,192 ビットのデータを格納します。表 2-3 に、UFM ブロックのデータ・サイズ、セクタ数、およびアドレス・サイズを示します。

デバイス	トータル・ビット数	セクタ数	アドレス・ビット	データ幅
EPM240 EPM570 EPM1270 EPM2210	8,192	2 (4,096 ビット / セクタ)	9	16

000h～1FFhの範囲にわたって512ビットの空間があり、9ビットでアドレス指定されます。セクタ0のアドレス空間は000h～0FFh、セクタ1のアドレス空間は100h～1FFhです。データ幅は最大16ビット・データです。Quartus II ソフトウェアは、より小さなリード・データまたはプログラム・データ幅に対応するロジックを自動的に作成します。UFMを消去するには、セクタを個別に消去する必要があります(つまり、UFMブロック全体を消去するにはセクタ0を消去し、セクタ1を消去しなければならない)。セクタ消去はプログラム前または書き込み前に必要なので、2つのセクタを用意しておく、一方のデータのセクタ・サイズ分は消去して新しいデータをプログラムしながら、他方のセクタはそのまま維持することが可能です。

## 内蔵オシレータ

図 2-15 に示すように、UFM ブロック内の専用回路にはオシレータが内蔵されています。専用回路は、このオシレータを内部で読み出しとプログラム動作に使用します。このオシレータの4分周出力は、UFM ブロックからインタフェース・ロジック・クロック・ソース用または汎用ロジック・クロッキング用のロジック・アレイにドライブ・アウトできます。osc 出力信号の周波数の範囲は、3.3 MHz ～ 5.5 MHz であり、厳密な動作周波数はプログラムできません。

## プログラム、消去、およびビジー信号

UFM ブロックの専用回路は、PROGRAM または ERASE 入力信号がアサートされると、必要な内部プログラムおよび消去アルゴリズムを自動的に生成します。PROGRAM または ERASE 信号は、busy 信号がデアサートされて UFM 内部プログラムまたは消去動作が完了したことを示すまで、アサートしておく必要があります。UFM ブロックは、JTAG をプログラミングや読み出し用のインタフェースとしてもサポートします。



UFM ブロックのプログラミングおよび消去については、「MAX II デバイス・ハンドブック」の「MAX II デバイスにおけるユーザ・フラッシュ・メモリの使用」の章を参照してください。

## 自動インクリメント・アドレス指定

UFM ブロックは、標準的なリード動作またはストリーム・リード動作をサポートします。ストリーム・リードは、自動インクリメント・アドレス機能によりサポートされます。ARCLK をクロックしている間に ARSHIFT 信号をデアサートすると、アドレス・レジスタ値がインクリメントされて、UFM アレイから連続した位置が読み出されます。

## シリアル・インタフェース

UFM ブロックは、シリアル・アドレスおよびデータ信号を使用してシリアル・インタフェースをサポートします。UFM ブロック内のアドレス用およびデータ用の内部シフト・レジスタは、それぞれ 9 ビット幅と 16 ビット幅です。Quartus II ソフトウェアは、LE 内でパラレル・アドレスおよび UFM ブロックへのデータ・インタフェース用にインタフェース・ロジックを自動的に生成します。また、SPI などのその他の標準プロトコル・インタフェースも、Quartus II ソフトウェアによって LE ロジック内で自動的に生成されます。



UFM インタフェース信号および Quartus II LE ベースの代替インタフェースについて詳しくは、「MAX II デバイス・ハンドブック」の「MAX II デバイスにおけるユーザ・フラッシュ・メモリの使用」の章を参照してください。

## UFM ブロックからロジック・アレイへのインタフェース

図 2-1 および 2-2 に示すとおり、UFM ブロックは CFM ブロックを内蔵したフラッシュ・メモリの小さなパーティションです。EPM240 デバイスの UFM ブロックは、左端の LAB カラムに隣接するデバイスの左側に配置されています。EPM570、EPM1270、および EPM2210 デバイスの UFM ブロックは、デバイスの左下側の部分に配置されています。UFM の入力および出力信号は、すべてのタイプのインタコネクタ (R4 インタコネクタ、C4 インタコネクタ、および隣接 LAB ロウとの間の DirectLink インタコネクタ) にインタフェースします。UFM 信号は、グローバル・クロック GCLK[3..0] からドライブできます。図 2-16 に、EPM240 デバイスのインタフェース領域を示します。図 2-17 に、EPM570、EPM1270、および EPM2210 デバイスのインタフェース領域を示します。

図 2-16. EPM240 UFM ブロックの LAB ロウ・インタフェース 注 (1)

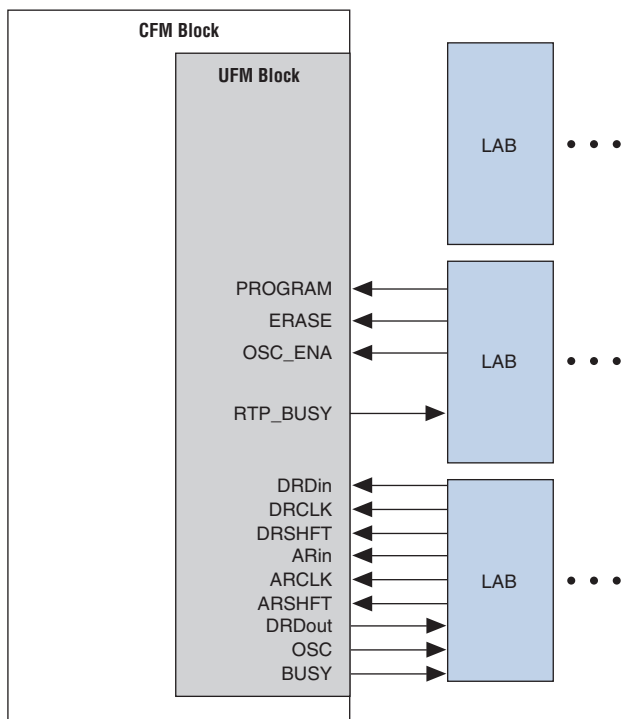
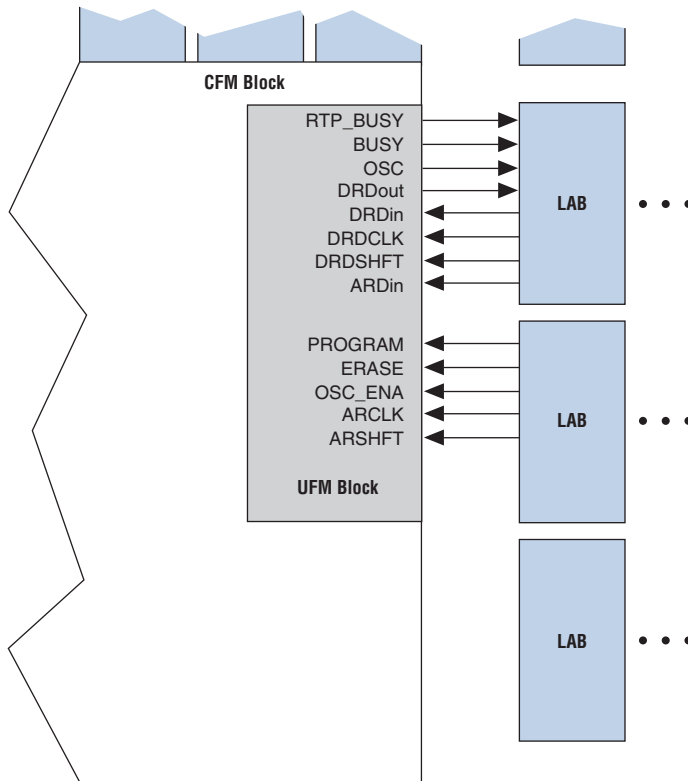


図 2-16 の注:

- (1) UFM ブロックの入力および出力は、隣接するロウ LAB からの DirectLink 接続だけでなく、すべてのタイプのインタコネクトとの間で相互にドライブできます。

図 2-17. EPM570、EPM1270、および EPM2210 UFM ブロックの LAB ロウ・インタフェース

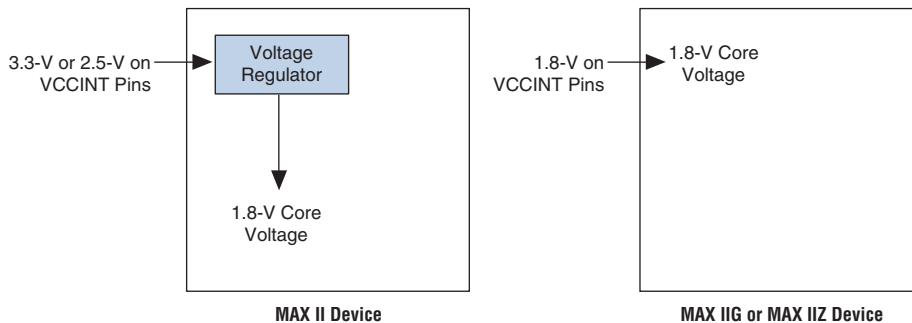


## MultiVolt コア

MAX II アーキテクチャは MultiVolt コア機能をサポートし、この機能によって、MAX II デバイスは  $V_{CCINT}$  電源で複数の  $V_{CC}$  レベルをサポートできます。内蔵リニア・ボルテージ・レギュレータは、必要な 1.8 V の内部電源電圧をデバイスに供給します。図 2-18 に示すように、ボルテージ・レギュレータは入力で 3.3 V または 2.5 V 電源をサポートし、1.8 V の内部電圧をデバイスに供給します。ボルテージ・レギュレータは、最大推奨動作電圧 2.5 V と最小推奨動作電圧 3.3 V の間の電圧に対しては保証されません。

MAX IIG および MAX IIZ デバイスは、外部 1.8 V 電源を使用します。1.8 V の  $V_{CC}$  外部電源は、デバイス・コアに直接電源供給します。

図 2-18. MAX II デバイスの MultiVolt コア機能



## I/O 構造

IOE は以下のような多数の機能をサポートしています。

- LVTTTL および LVCMOS I/O 規格
- 3.3 V、32 ビット、66 MHz PCI 仕様に準拠
- JTAG (Joint Test Action Group) バウンダリ・スキャン・テスト (BST) のサポート
- プログラマブル・ドライブ強度コントロール
- パワーアップおよびイン・システム・プログラミング時のウィーク・プルアップ抵抗
- スルー・レート・コントロール
- 個別出力イネーブル・コントロール付きトライ・ステート・バッファ
- バス・ホールド回路
- ユーザ・モードのプログラマブル・プルアップ抵抗
- ピンごとの固有出力イネーブル
- オープン・ドレイン出力
- シュミット・トリガ入力
- 高速 I/O 接続
- プログラマブル入力遅延

MAX II デバイスの IOE には、双方向 I/O バッファが内蔵されています。図 2-19 に、MAX II IOE 構造を示します。隣接する LAB からのレジスタは、IOE の双方向 I/O バッファにドライブでき、またこのバッファからドライブすることもできます。Quartus II ソフトウェアは、高速 I/O 接続を使用する隣接 LAB に自動的にレジスタを配置して、「Clock-to-Output」およびラッチされた出力イネーブルのタイミングを可能な限り高速化します。入力レジスタに対しては、Quartus II ソフトウェアは自

動的にレジスタを配線して、ゼロ・ホールド・タイムを保証します。Quartus II ソフトウェアでは、タイミング・アサインメントを設定して、目的の I/O タイミングを実現できます。

## 高速 I/O 接続

隣接する LAB から I/O ブロック内の IOE への専用高速 I/O 接続によって、「Clock-to-Output」の出力遅延および  $t_{PD}$  伝播遅延が低減されます。この接続は、データ出力信号用であり、出力イネーブル信号や入力信号用ではありません。図 2-20、2-21、および 2-22 に、高速 I/O 接続を示します。

図 2-19. MAX II の IOE 構造

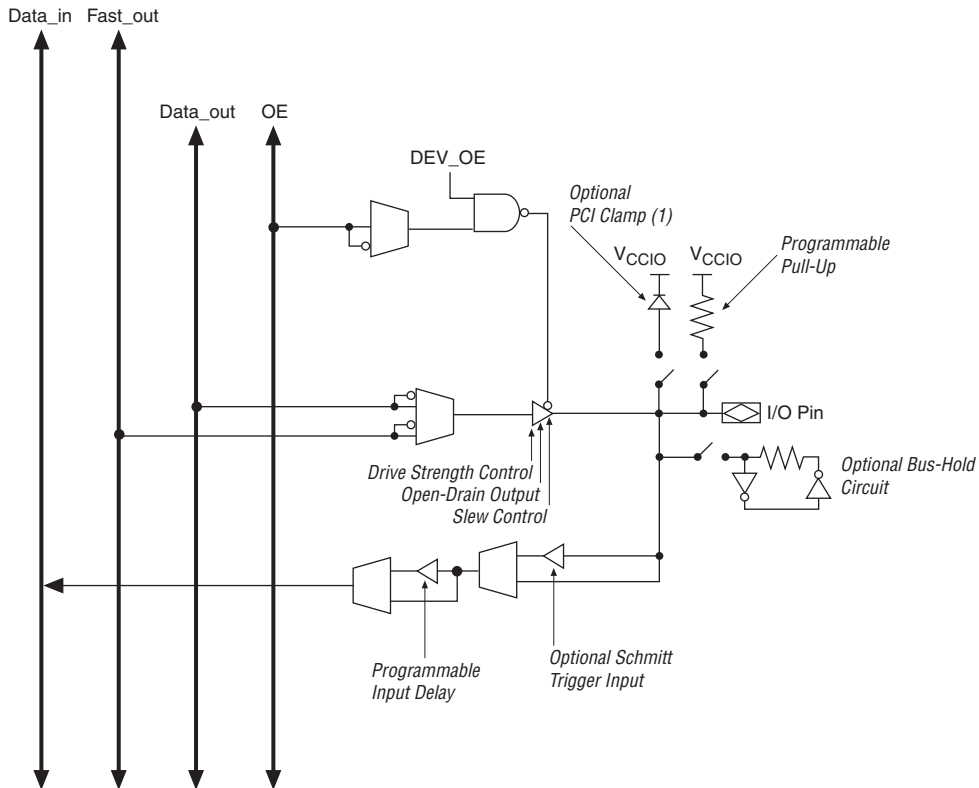


図 2-19 の注:

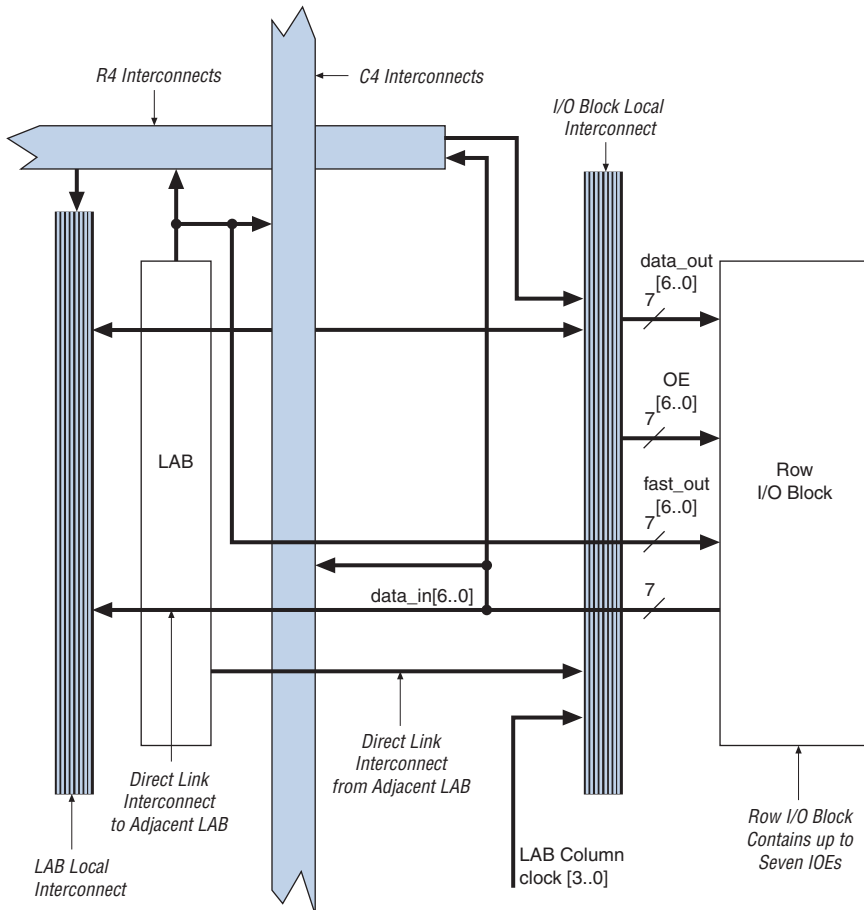
(1) EPM1270 および EPM2210 デバイスのみ利用可能。

## I/O ブロック

IOE は、MAX II デバイス周辺の I/O ブロック内に配置されています。ロウ I/O ブロックあたり最大 7 個の IOE（EPM240 デバイスでは最大 5 個）、およびカラム I/O ブロックあたり最大 4 個の IOE があります。各カラムまたはロウ I/O ブロックは、隣接する LAB および MultiTrack インタコネクタにインタフェースして、デバイス全体に信号を配信します。ロウ I/O ブロックは、ロウ、カラム、または DirectLink インタコネクタをドライブします。カラム I/O ブロックは、カラム・インタコネクタをドライブします。

図 2-20 に、ロウ I/O ブロックとロジック・アレイの接続方法を示します。

図 2-20. インタコネクต์へのロウ I/O ブロックの接続 注 (1)



## 図 2-20 の注:

- (1) ロウ I/O ブロックの 7 つの IOE はそれぞれ 1 つの data\_out または fast\_out 出力、1 つの OE 出力、および 1 つの data\_in 入力を持つことができます。

図 2-21 に、カラム I/O ブロックとロジック・アレイの接続方法を示します。

図 2-21. インタコネクต์へのカラム I/O ブロックの接続 注 (1)

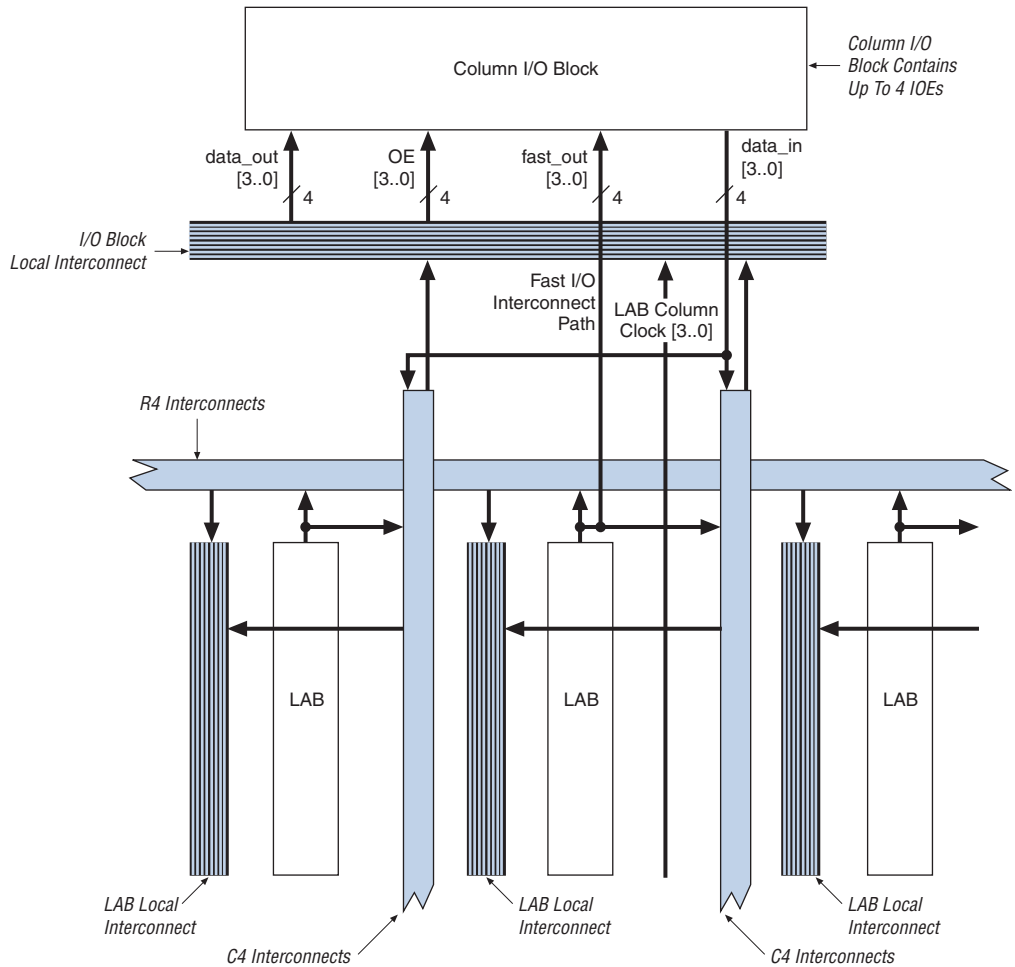


図 2-21 の注:

- (1) カラム I/O ブロックの 4 つの IOE はそれぞれ 1 つの data\_out または fast\_out 出力、1 つの OE 出力、および 1 つの data\_in 入力を持つことができます。

## I/O 規格およびバンク

MAX II デバイスの IOE は、以下の I/O 規格をサポートしています。

- 3.3-V LVTTTL/LVCMOS
- 2.5-V LVTTTL/LVCMOS
- 1.8-V LVTTTL/LVCMOS
- 1.5-V LVCMOS
- 3.3-V PCI

表 2-4 に、MAX II デバイスでサポートされる I/O 規格を示します。

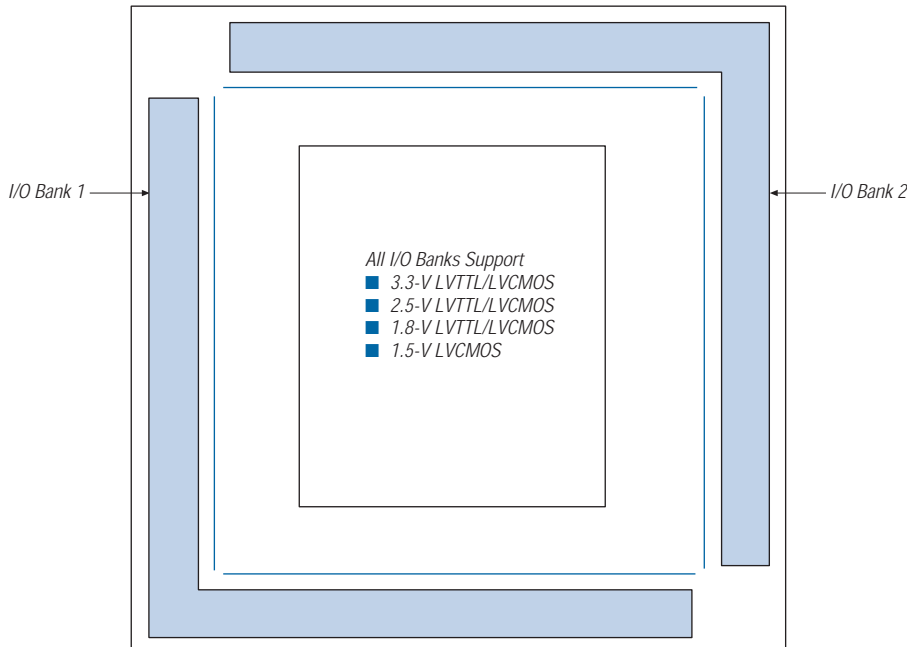
表 2-4. MAX II の I/O 規格		
I/O 規格	タイプ	出力電源電圧 ( $V_{CCIO}$ ) (V)
3.3-V LVTTTL/LVCMOS	シングル・エンド	3.3
2.5-V LVTTTL/LVCMOS	シングル・エンド	2.5
1.8-V LVTTTL/LVCMOS	シングル・エンド	1.8
1.5-V LVCMOS	シングル・エンド	1.5
3.3-V PCI (1)	シングル・エンド	3.3

表 2-4 の注：

- (1) 3.3-V PCI は、EPM1270 および EPM2210 デバイスのバンク 3 でサポートされています。

図 2-22 に示すように、EPM240 および EPM570 デバイスは 2 つの I/O バンクをサポートします。これらのバンクはそれぞれ、表 2-4 に示すすべての LVTTTL および LVCMOS 規格をサポートします。PCI I/O は、これらのデバイスおよびバンクではサポートされません。

図 2-22. EPM240 および EPM570 の MAX II I/O バンク 注 (1)、(2)



## 図 2-22 の注:

- (1) 図 2-22 は、シリコン・ダイの上面図です。
- (2) 図 2-22 は、説明図にすぎません。正確なピン配置については、ピン・リストおよび Quartus II ソフトウェアを参照してください。

図 2-23 に示すように、EPM1270 および EPM2210 デバイスは、4 つの I/O バンクをサポートします。これらのバンクはそれぞれ、表 2-4 に示すすべての LVTTTL および LVCMOS 規格をサポートします。PCI I/O はバンク 3 でサポートされます。バンク 3 は、入力の PCI クランプ・ダイオードおよび出力の PCI ドライブ準拠をサポートします。PCI 準拠の I/O ピンを必要とするデザインには、バンク 3 を使用する必要があります。Quartus II ソフトウェアは、PCI I/O 規格で割り当てられた場合、このバンクに自動的に I/O ピンを配置します。

図 2-23. EPM1270 および EPM2210 の MAX II I/O バンク 注 (1)、(2)

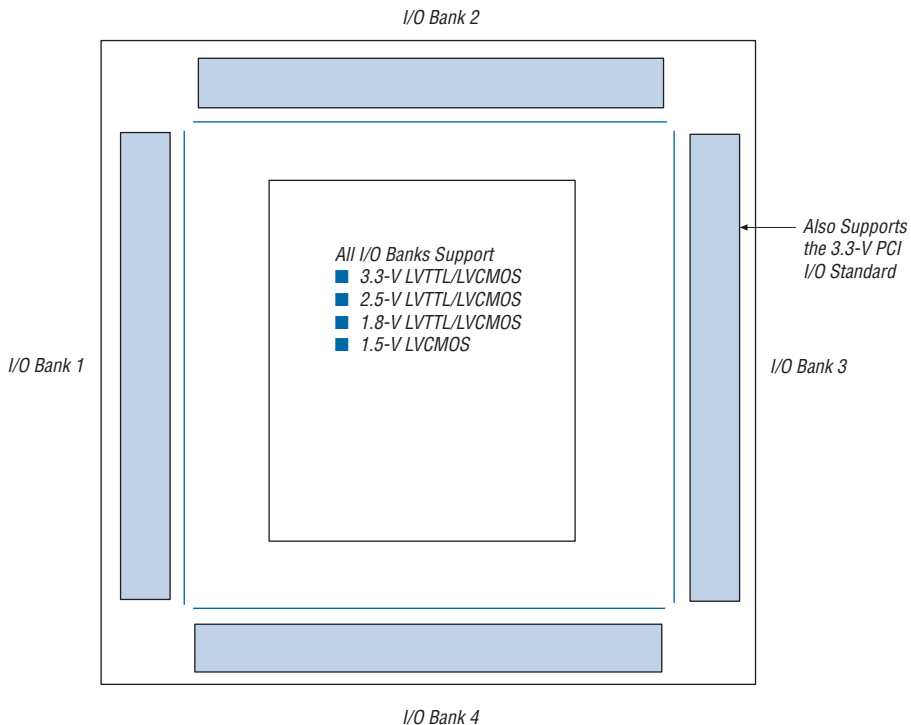


図 2-23 の注:

- (1) 図 2-23 は、シリコン・ダイの上面図です。
- (2) 図 2-23 は、説明図にすぎません。正確なピン配置については、ピン・リストおよび Quartus II ソフトウェアを参照してください。

各 I/O バンクには専用の  $V_{CCIO}$  ピンがあり、このピンによってバンクでの電圧規格のサポートが決定されます。1つのデバイスで、1.5 V、1.8 V、2.5 V、3.3 V のインタフェースをサポートできるため、各バンクは異なる規格を個別にサポートすることができます。各 I/O バンクは、入力および出力ピンに同じ  $V_{CCIO}$  を使用する複数の規格をサポートすることができます。例えば、 $V_{CCIO}$  が 3.3 V の場合、バンク 3 は LVTTTL、LVCMOS、および 3.3-V PCI をサポートできます。 $V_{CCIO}$  は、MAX II デバイスの入力バッファと出力バッファの両方に電力を供給します。

MAX II デバイスの JTAG ピンは、通常の I/O ピンとしては使用できない専用ピンです。TMS、TDI、TDO、および TCK は、PCI 以外のページ 2-35 の表 2-4 に示すすべての I/O 規格をサポートします。すべての MAX II デバイスで、これらのピンはバンク 1 に存在し、I/O 規格のサポートはバンク 1 の V<sub>CCIO</sub> 設定によって制御されます。

### PCI 準拠

MAX II EPM1270 および EPM2210 デバイスは、PCI アプリケーションに準拠し、さらに「PCI Local Bus Specification Revision 2.2」のすべての 3.3 V 電氣的仕様に準拠しています。また、これらのデバイスは、PCI IP (Intellectual Property) コアをサポートするだけの十分なサイズがあります。表 2-5 に、PCI タイミング仕様に適合する MAX II デバイスのスピード・グレードを示します。

表 2-5. MAX II デバイスおよび 3.3-V PCI 電氣的仕をサポートし、PCI タイミングに適合するスピード・グレード		
デバイス	33-MHz PCI	66-MHz PCI
EPM1270	すべてのスピード・グレード	-3 スピード・グレード
EPM2210	すべてのスピード・グレード	-3 スピード・グレード

### シュミット・トリガ

MAX II デバイスの I/O ピンに対する入力バッファは、オプションで 3.3 V および 2.5 V 規格に対応するシュミット・トリガ設定を備えています。シュミット・トリガを使用すると、入力バッファは高速出力エッジ・レートで低速入力エッジ・レートに応答できます。最も重要な点は、シュミット・トリガによって入力バッファにヒステリシス特性が与えられ、立ち上がりが低速でノイズの多い入力信号がロジック・アレイにドライブされる入力信号上でリングングしたり発振することを防止することです。これによって、MAX II 入力のシステム・ノイズ耐性が確保されますが、入力遅延もわずかに増加します。

JTAG 入力ピン (TMS、TCK、および TDI) には、シュミット・トリガ・バッファがあり、これらは常にイネーブルされています。



入力信号の立ち下がり時間が 200 ns を超える場合、I/O 規格によらず TCK 入力ピンは High パルス・グリッチの影響を受けやすくなります。

## 出力イネーブル信号

各 MAX II IOE 出力バッファは、トライ・ステート・コントロール用の出力イネーブル信号をサポートします。出力イネーブル信号は、GCLK[3..0] グローバル信号または MultiTrack インタコネクタから生成できます。MultiTrack インタコネクタは、出力イネーブル信号を配信し、各出力または双方向ピンに対する固有の出力イネーブルを可能にします。

MAX II デバイスには、チップ・ワイドの出力イネーブル・ピン (DEV\_OE) もあるため、デザインのすべての出力ピンに対して出力イネーブルを制御できます。このピンは、Quartus II ソフトウェアでコンパイルを行う前に設定されたオプションによって制御されます。このチップ・ワイドの出力イネーブルは、自身の配線リソースを使用し、4 つのグローバル・リソースのいずれも使用しません。このオプションをオンにした場合、DEV\_OE がアサートされると、チップ上のすべての出力が通常どおり動作します。ピンがディアサートされると、すべての出力はトライ・ステートになります。このオプションをオフにした場合、DEV\_OE ピンはデバイスがユーザ・モードで動作するときはディセーブルされ、ユーザ I/O ピンとして使用可能になります。

## プログラマブル・ドライブ強度

MAX II デバイスの各 I/O ピンの出力バッファは、LVTTTL および LVCMOS I/O 規格のそれぞれに対応する 2 つのレベルのプログラマブル・ドライブ強度コントロールを備えています。プログラマブル・ドライブ強度によって、システム・ノイズ低減コントロールを提供し、高性能 I/O デザインを実現します。独立したスルー・レート・コントロール機能も存在しますが、より低いドライブ強度設定を使用すれば、スルー・レート・コントロール機能に伴う大きな遅延を追加しないで、信号のスルー・レートを制御して、システム・ノイズや信号オーバーシュートを低減できます。表 2-6 に、ドライブ強度コントロール付き I/O 規格に対する設定を示します。Quartus II ソフトウェアでは、デフォルト設定は最大電流強度です。PCI I/O 規格は常に 20 mA で設定され、別の設定はありません。

表 2-6. プログラマブル・ドライブ強度 注 (1) (1 / 2)

I/O 規格	$I_{OH}/I_{OL}$ の設定電流値 (mA)
3.3-V LVTTTL	16
	8
3.3-V LVCMOS	8
	4

表 2-6. プログラマブル・ドライブ強度 注 (1) (2 / 2)

I/O 規格	$I_{OH}/I_{OL}$ の設定電流値 (mA)
2.5-V LVTTTL/LVCMOS	14
	7
1.8-V LVTTTL/LVCMOS	6
	3
1.5-V LVCMOS	4
	2

表 2-6 の注:

- (1) ここに示す電流強度の値  $I_{OH}$  は、 $V_{OUT} = \text{最小 } V_{OH}$  の条件に対するもので、最小  $V_{OH}$  は I/O 規格によって規定されます。ここに示す電流強度の値  $I_{OL}$  は、 $V_{OUT} = \text{最大 } V_{OL}$  の条件に対するもので、最大  $V_{OL}$  は I/O 規格によって規定されます。2.5-V LVTTTL/LVCMOS の場合、 $I_{OH}$  の条件は  $V_{OUT} = 1.7 \text{ V}$  で、 $I_{OL}$  の条件は  $V_{OUT} = 0.7 \text{ V}$  です。

## スルー・レート・コントロール

MAX II デバイスの各 I/O ピンの出力バッファは、プログラム可能なスルー・レート・コントロール機能を備えており、この機能は低ノイズまたは高速性能を実現するようにコンフィギュレーションできます。高速スルー・レートを指定した場合は、高性能システムに対応した高速転送が行われます。しかし、このような高速転送によりシステムにノイズ・トランジェントが生じる可能性があります。低速スルー・レートを指定した場合は、システム・ノイズが低減しますが、立ち上がりおよび立ち下がりエッジにわずかな出力遅延が追加されます。電圧規格が低い電圧 (1.8-V LVTTTL など) になるほど、低速スルーがイネーブルされたときの出力遅延が増大します。各 I/O ピンは個別にスルー・レート・コントロール機能が提供されているため、設計者はピン単位でスルー・レートを指定することができます。スルー・レート・コントロールは、立ち上がりと立ち下がりエッジの両方に影響を与えます。

## オープン・ドレイン出力

MAX II デバイスは、各 I/O ピンに対しオプションでオープン・ドレイン (オープン・コレクタと同等) 出力を提供します。このオープン・ドレイン出力により、複数のデバイスのいずれかでアサートされるシステム・レベルのコントロール信号 (インタラプト信号やライト・イネーブル信号など) を発信します。この出力は、追加の優先 OR プレーンも提供できます。

## プログラマブル・グラウンド・ピン

MAX II デバイスの未使用 I/O ピンは、それぞれ追加グラウンド・ピンとして使用できます。このプログラム可能なグラウンド機能には、デバイス内の関連 LE を使用する必要はありません。Quartus II ソフトウェアでは、未使用ピンはグローバル・デフォルト・ベースでプログラマブル GND として設定するか、または個別に割り当てることができます。未使用ピンには、トライ・ステート入力ピンとして設定するオプションも用意されています。

## バス・ホールド

MAX II デバイスの各 I/O ピンは、オプションのバス・ホールド機能を備えています。バス・ホールド回路は、I/O ピンの信号を最後にドライブされた状態に保持します。バス・ホールド機能は、次の入力信号が現れるまで、最後にドライブされた状態にピンを保持するため、バスがトライ・ステートになったとき、信号レベルを保持するための外部プルアップまたはプルダウン抵抗が不要になります。

バス・ホールド回路は、ノイズによって高周波数スイッチングが予定外に発生しそうな場合、ドライブされていないピンを入力スレッショルド電圧から離します。この機能は、設計者が各 I/O ピンに対して個別に選択できます。バス・ホールド出力のドライブは、 $V_{CCIO}$  を超えることはなく、信号のオーバードライブが防止されます。バス・ホールド機能がイネーブルにされている場合、デバイスではプログラマブル・プルアップ・オプションを使用できません。

バス・ホールド回路は抵抗を使用して、信号レベルを最後にドライブされた状態にします。「MAX II デバイス・ハンドブック」の「DC およびスイッチング特性」の章では、この抵抗を通してドライブされる各  $V_{CCIO}$  電圧レベルの具体的な保持電流、および次にドライブされる入力レベルの識別に使用されるオーバードライブ電流について説明しています。

バス・ホールド回路は、デバイスが完全に初期化された後にのみアクティブになります。バス・ホールド回路は、ユーザ・モードへの移行時にピンに与えられた値をキャプチャします。

## プログラマブル・プルアップ抵抗

MAX II デバイスの各 I/O ピンは、ユーザ・モードで使用されるプログラマブル・プルアップ抵抗をオプションで提供します。この機能を 1 本の I/O ピンに対してイネーブルにすると、プルアップ抵抗は出力ピンが存在するバンクの  $V_{CCIO}$  レベルに出力を保持します。



プログラマブル・プルアップ抵抗機能は、I/O ピンのバス・ホールド機能と同時に使用してはなりません。

## プログラマブル入力遅延

MAX II の IOE は、プログラム可能な入力遅延を備えており、アクティブにするとゼロ・ホールド・タイムが保証されます。ピンでレジスタを直接ドライブするパスでは、ピンとレジスタ間の配線が最短な場合、ゼロ・ホールド・タイムを確保するために遅延が必要なことがあります。ただし、長い配線または組み合わせロジックを通してピンがレジスタをドライブするパスでは、ゼロ・ホールド・タイムを実現するための遅延は必要ありません。Quartus II ソフトウェアは、この遅延を使用し、必要に応じてゼロ・ホールド・タイムを保証します。

## MultiVolt I/O インタフェース

MAX II アーキテクチャは、MultiVolt I/O インタフェース機能をサポートしており、すべてのパッケージの MAX II デバイスは電源電圧の異なるシステムとインタフェースすることができます。デバイスは、内部ロジック動作の電源ピン ( $V_{CCINT}$ ) を 1 セットと、デバイス内で使用可能な I/O バンク数に応じて (I/O バンクでは電源ピンの各セットで 1 個の I/O バンクを駆動)、入力バッファおよび I/O 出力ドライバ・バッファ用の電源ピン ( $V_{CCIO}$ ) を最大 4 セット備えています。EPM240 および EPM570 デバイスにはそれぞれ 2 個の I/O バンクが、EPM1270 および EPM2210 デバイスにはそれぞれ 4 個の I/O バンクがあります。

$V_{CCIO}$  ピンは、要求される出力のレベルに応じて、1.5 V、1.8 V、2.5 V、または 3.3 V のいずれかの電源に接続することができます。出力レベルは電源と同じ電圧のシステムと互換性を持ちます (つまり、 $V_{CCIO}$  ピンが 1.5 V 電源に接続されている場合、出力レベルは 1.5 V のシステムと互換性があります)。 $V_{CCIO}$  ピンを 3.3 V 電源に接続した場合、出力の High レベルは 3.3 V になり、3.3 V または 5.0 V のシステムと互換性を持つようになります。表 2-7 に、MAX II の MultiVolt I/O サポートを示します。

表 2-7. MAX II の MultiVolt I/O サポート 注 (1) (1 / 2)

$V_{CCIO}$ (V)	入力信号					出力信号				
	1.5 V	1.8 V	2.5 V	3.3 V	5.0 V	1.5 V	1.8 V	2.5 V	3.3 V	5.0 V
1.5	√	√	√	√	—	√	—	—	—	—
1.8	√	√	√	√	—	√(2)	√	—	—	—
2.5	—	—	√	√	—	√(3)	√(3)	√	—	—

表 2-7. MAX II の MultiVolt I/O サポート 注 (1) (2 / 2)

V <sub>CCIO</sub> (V)	入力信号					出力信号				
	1.5 V	1.8 V	2.5 V	3.3 V	5.0 V	1.5 V	1.8 V	2.5 V	3.3 V	5.0 V
3.3	—	—	√ (4)	√	√ (5)	√ (6)	√ (6)	√ (6)	√	√ (7)

表 2-7 の注：

- (1) オーバシュートを含めて、V<sub>CCIO</sub> より高く、4.0 V より低い電圧に入力をドライブするには、PCI クランプ・ダイオードをディセーブルにします。ただし、デバイスの 5.0 V 入力をドライブするには、PCI クランプ・ダイオードをイネーブルにして、V<sub>I</sub> が 4.0 V を超えないようにします。
- (2) V<sub>CCIO</sub> = 1.8 V のとき、MAX II デバイスは許容入力電圧が 1.8 V の 1.5 V デバイスをドライブできます。
- (3) V<sub>CCIO</sub> = 2.5 V のとき、MAX II デバイスは許容入力電圧が 2.5 V の 1.5 V または 1.8 V デバイスをドライブできます。
- (4) V<sub>CCIO</sub> = 3.3 V で、2.5 V 入力信号が入力ピンに供給される場合、V<sub>CCIO</sub> 供給電流は予想値よりわずかに高くなります。
- (5) MAX II デバイスは、EPM1270 および EPM2210 デバイスに外部抵抗および内部 PCI クランプ・ダイオードを使用して、5.0 V 耐圧を実現できます。
- (6) V<sub>CCIO</sub> = 3.3 V の場合、MAX II デバイスは許容入力電圧が 3.3 V の 1.5 V、1.8 V、または 2.5 V デバイスをドライブできます。
- (7) V<sub>CCIO</sub> = 3.3 V のとき、5.0-V TTL 入力のデバイスはドライブできますが、5.0-V CMOS 入力のデバイスはドライブできません。5.0-V CMOS の場合、PCI クランプ・ダイオード (EPM1270 および EPM2210 デバイスのみ内蔵) 付きオープン・ドレイン設定と外部抵抗が必要です。



出力ピンのソースおよびシンク電流のガイドラインについては、「AN 428: MAX II CPLD のデザイン・ガイドライン」を参照してください。

## 参考資料

この章では以下のドキュメントを参照しています。

- 「AN 428: MAX II CPLD のデザイン・ガイドライン」
- 「MAX II デバイス・ハンドブック」の「MAX II デバイスのホット・ソケットおよびパワー・オン・リセット」の章
- 「MAX II デバイス・ハンドブック」の「MAX II デバイスにおけるユーザ・フラッシュ・メモリの使用」の章

## 改訂履歴

表 2-8 に、本資料の改訂履歴を示します。

表 2-8. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 12 月 v2.0	<ul style="list-style-type: none"> <li>● 「クリアおよびプリセット・ロジック・コントロール」の項を更新。</li> <li>● 「MultiVolt コア」の項を更新。</li> <li>● 「MultiVolt I/O インタフェース」の項を更新。</li> <li>● 表 2-7 を更新。</li> <li>● 「参考資料」の項を追加。</li> </ul>	MAX IIZ 情報の追加による更新。
2006 年 12 月 v1.7	「内蔵オシレータ」の項をマイナー・アップデート。改訂履歴を追加。	—
2006 年 8 月 v1.6	機能の説明と I/O 構造の項を更新。	—
2006 年 7 月 v 1.5	コンテンツおよび表のマイナー・アップデート。	—
2006 年 2 月 v1.4	<ul style="list-style-type: none"> <li>● 「LAB コントロール信号」の項を更新。</li> <li>● 「クリアおよびプリセット・ロジック・コントロール」の項を更新。</li> <li>● 「内蔵オシレータ」の項を更新。</li> <li>● 表 2-5 を更新。</li> </ul>	—
2005 年 8 月 v1.3	表 2-7 から注 2 を削除。	—
2004 年 12 月 v1.2	ページ 2-15 にパラグラフを追加。	—
2004 年 6 月 v1.1	CFM の頭字語を追加。図 2-19 を修正。	—