

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

MI151001-1.7

はじめに

インスタント・オン、不揮発性 CPLD の MAX® II ファミリは、0.18 μm 、6 層メタル・フラッシュ・プロセスをベースとし、240 ~ 2,210 ロジック・エレメント (LE) (128 ~ 2,210 等価マクロセル数) の集積度と 8 K ビットの非揮発性ストレージを備えています。MAX II デバイスは、多数の I/O、高速性能、およびその他の CPLD アーキテクチャと比べ信頼性の高いフィッティングを提供します。MAX II デバイスは、MultiVolt コア、ユーザ・フラッシュ・メモリ (UFM) ブロック、および機能拡張されたイン・システム・プログラマビリティ (ISP) 機能を備えており、バス・ブリッジ、I/O 拡張、パワー・オン・リセット (POR) およびシーケンス・コントロール、デバイス・コンフィギュレーション・コントロールなどのアプリケーションに対するプログラマブル・ソリューションを提供するとともに、コストや消費電力を低減します。

特長

MAX II CPLD は以下の特長を備えています。

- 低コスト、低消費電力 CPLD
- インスタント・オン、不揮発性アーキテクチャ
- わずか 29 μA の待機時電流
- 高速伝播遅延および Clock-to-Output タイムを実現
- ロジック・アレイ・ブロック (LAB) ごとに 2 つのクロックを使用できる 4 つのグローバル・クロックを提供
- 不揮発性ストレージ用の最大 8 K ビット UFM ブロック
- 3.3 V/2.5 V または 1.8 V のデバイスへの外部電源電圧の供給を可能にする MultiVolt コア
- 3.3 V、2.5 V、1.8 V、および 1.5 V のロジック・レベルをサポートする MultiVolt I/O インタフェース
- プログラマブル・スルー・レート、ドライブ強度、バス・ホールド、およびプログラマブル・プルアップ抵抗など、バスを扱いやすいアーキテクチャ
- 耐ノイズ性に優れた入力を可能にするシュミット・トリガ (ピンごとにプログラム可能)
- 66 MHz での 3.3 V 動作を規定した Peripheral Component Interconnect Special Interest Group (PCI SIG) の PCI Local Bus Specification, Revision 2.2 に完全準拠
- ホット・ソケットのサポート
- IEEE Std. 1149.1-1990 準拠の JTAG (Joint Test Action Group) バウンダリ・スキャン・テスト (BST) 回路を内蔵

■ IEEE Std. 1532 準拠の ISP 回路

表 1-1 に、MAX II ファミリの一覧を示します。

特長	EPM240 EPM240G	EPM570 EPM570G	EPM1270 EPM1270G	EPM2210 EPM2210G	EPM240Z	EPM570Z
LE 数	240	570	1,270	2,210	240	570
標準等価マクロセル数	192	440	980	1,700	192	440
等価マクロセルの範囲	128 ~ 240	240 ~ 570	570 ~ 1,270	1,270 ~ 2,210	128 ~ 240	240 ~ 570
UFM サイズ (ビット)	8,192	8,192	8,192	8,192	8,192	8,192
最大ユーザ I/O ピン数	80	160	212	272	80	160
t_{PD1} (ns) (1)	4.7	5.4	6.2	7.0	7.5	9.0
f_{CNT} (MHz) (2)	304	304	304	304	152	152
t_{SU} (ns)	1.7	1.2	1.2	1.2	2.3	2.2
t_{CO} (ns)	4.3	4.5	4.6	4.6	6.5	6.7

表 1-1 の注：

- (1) t_{PD1} は、デバイスを対角線上に横切るパスを使用し、単一 LUT と出力ピンに隣接する LAB に組み合わせロジックを実装したワースト・ケースの I/O 配置に対するピン間遅延を表します。
- (2) 最大周波数は、クロック入力ピンに対する I/O 規格によって制限されます。16 ビット・カウンタのクリティカル遅延は、この値よりも高速になります。



等価マクロセルについて詳しくは、「MAX II Logic Element to Macrocell Conversion Methodology」ホワイトペーパーを参照してください。

MAX II および MAX IIG デバイスは、-3、-4、-5 の 3 つのスピード・グレードで提供されており、-3 が最も高速です。同様に、MAX IIZ デバイスは、-6、-7 の 2 つのスピード・グレードで提供されており、-6 が最も高速です。これらのスピード・グレードは、全体的な相対性能を表すもので、特定のタイミング・パラメータを表すものではありません。各スピード・グレードおよび集積度における伝播遅延タイミングの数値については、「MAX II デバイス・ハンドブック」の「DC およびスイッチング特性」の章を参照してください。

表 1-2 に、MAX II デバイスのスピード・グレードを示します。

表 1-2. MAX II スピード・グレード					
デバイス	スピード・グレード				
	-3	-4	-5	-6	-7
EPM240 EPM240G	√	√	√	—	—
EPM570 EPM570G	√	√	√	—	—
EPM1270 EPM1270G	√	√	√	—	—
EPM2210 EPM2210G	√	√	√	—	—
EPM240Z	—	—	—	√	√
EPM570Z	—	—	—	√	√

MAX II デバイスは、実装スペースを節減する FineLine BGA®、Micro FineLine BGA、および薄型クワッド・フラット・パック (TQFP) パッケージで提供されています (表 1-3 および表 1-4 を参照)。MAX II デバイスは、同一パッケージにおけるバーティカル・マイグレーションをサポートしています (例えば、256ピン FineLine BGA パッケージの EPM570、EPM1270、EPM2210 デバイス間でマイグレーションが可能です)。バーティカル・マイグレーションとは、専用ピンおよび JTAG ピンが同じで、電源ピンが各デバイス集積度において、特定のパッケージに対するサブセットまたはスーパーセットとなるデバイスにマイグレーションできることを意味します。どのパッケージにおいても、集積度が最大のデバイスが電源ピンを最も多く備えています。したがって、マイグレーションに必要な電源ピンを供給するには、該当するパッケージの計画最大集積度に対応してレイアウトすることが必要です。I/O ピンのマイグレーションでは、I/O ピンがマイグレーション可能かを確認するために所定のパッケージ・タイプの計画されるすべての集積度に対するデバイスのピン配置を利用して、使用可能な I/O ピンを照合させる必要があります。Quartus® II ソフトウェアは、デバイスのマイグレーション・リストが指定されると、自動的に相互参照を行ってすべてのピンをマイグレーションに対応させて配置します。

表 1-3. MAX II のパッケージおよびユーザ I/O ピン数

デバイス	68 ピン Micro FineLine BGA (1)	100 ピン Micro FineLine BGA (1)	100 ピン FineLine BGA (1)	100 ピン TQFP	144 ピン TQFP	144 ピン Micro FineLine BGA (1)	256 ピン Micro FineLine BGA (1)	256 ピン FineLine BGA	324 ピン FineLine BGA
EPM240 EPM240G	—	80	80	80	—	—	—	—	—
EPM570 EPM570G	—	76	76	76	116	—	160	160	—
EPM1270 EPM1270G	—	—	—	—	116	—	212	212	—
EPM2210 EPM2210G	—	—	—	—	—	—	—	204	272
EPM240Z	54	80	—	—	—	—	—	—	—
EPM570Z	—	76	—	—	—	116	160	—	—

表 1-3 の注:

(1) パッケージは鉛フリーのバージョンでのみ提供されています。

表 1-4. MAX II TQFP、FineLine BGA、Micro FineLine BGA パッケージ・サイズ

パッケージ	68 ピン Micro FineLine BGA	100 ピン Micro FineLine BGA	100 ピン FineLine BGA	100 ピン TQFP	144 ピン TQFP	144 ピン Micro FineLine BGA	256 ピン Micro FineLine BGA	256 ピン FineLine BGA	324 ピン FineLine BGA
ピッチ (mm)	0.5	0.5	1	0.5	0.5	0.5	0.5	1	1
面積 (mm ²)	25	36	121	256	484	49	121	289	361
長さ × 幅 (mm × mm)	5 × 5	6 × 6	11 × 11	16 × 16	22 × 22	7 × 7	11 × 11	17 × 17	19 × 19

MAX II デバイスは、3.3 V または 2.5 V の外部電源電圧をサポートする内部リニア電圧レギュレータを備えており、電源電圧を 1.8 V の内部動作電圧に安定化します。MAX IIG および MAX IIZ デバイスは、1.8 V のみを外部電源電圧として受け入れます。MAX IIZ デバイスは、MAX IIG デバイスと 100 ピン Micro FineLine BGA および 256 ピン Micro FineLine BGA パッケージにおいてピンコンパチブルです。外部電源電圧要件以外は、MAX II と MAX IIG デバイスのピン配置とタイミング仕様は同じです。表 1-5 に、MAX II ファミリがサポートする外部電源電圧を示します。

デバイス	EPM240 EPM570 EPM1270 EPM2210	EPM240G EPM570G EPM1270G EPM2210G EPM240Z EPM570Z (1)
MultiVolt コアの外部電源電圧 (V_{CCINT}) (2)	3.3 V、2.5 V	1.8 V
MultiVolt I/O インタフェースの電圧レベル (V_{CCIO})	1.5 V、1.8 V、2.5 V、3.3 V	1.5 V、1.8 V、2.5 V、3.3 V

表 1-5 の注：

- (1) MAX IIG および MAX IIZ デバイスは、内部電圧レギュレータを備えていないため、 V_{CCINT} ピンで 1.8 V のみ受け入れます。1.8 V V_{CCINT} 外部電源は、デバイス・コアに直接電源供給します。
- (2) MAX II デバイスは、内部では 1.8 V で動作します。

参考資料

この章では以下のドキュメントを参照しています。

- 「MAX II デバイス・ハンドブック」の「DC およびスイッチング特性」の章
- 「MAX II Logic Element to Macrocell Conversion Methodology」ホワイトペーパー

改訂履歴

表 1-6 に、本資料の改訂履歴を示します。

表 1-6. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 12 月 v1.7	<ul style="list-style-type: none">● 表 1-1 ～表 1-5 を更新。● 「参考資料」の項を追加。	MAX IIZ 情報の追加による更新。
2006 年 12 月 v1.6	改訂履歴を追加。	—
2006 年 8 月 v1.5	特長のリストのマイナー・アップデート	—
2006 年 7 月 v1.4	表のマイナー・アップデート。	—
2005 年 6 月 v1.3	表 1-1 のタイミング値の更新。	—
2004 年 12 月 v1.2	表 1-1 のタイミング値の更新。	—
2004 年 6 月 v1.1	表 1-1 のタイミング値の更新。	—