

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

H51028-2.1

はじめに

Stratix® II FPGA デザインでは、完全に機能する製品を実現するために、完全かつ正確なタイミング制約セットが不可欠ではない場合がよくあります。FPGA のリコンフィギュレーション可能性は、ハードウェア・テストや検証中にタイミング関連の問題が発生しても、デバイスを再プログラムしてそれを修正できることを意味します。ASIC のリスピンのボード・レベルでの処置は不要で、タイムリでコスト効果の高い方法で修正を実装できます。

対照的に、HardCopy® II デザインでは、マスク・プログラムされたストラクチャード ASIC デバイスが得られます。タイミングの問題が生じると、デザイン変更に伴うターンアラウンド・タイムが長くなり、NRE コストが増加する可能性があります。Quartus® II ソフトウェアによるスムーズな移行およびアルテラの HardCopy Design Center (HCDC) におけるバックエンド・デザインを確実なものにするために、アルテラでは、Quartus II ソフトウェアに付属している TimeQuest タイミング・アナライザの使用と、この章に記載するタイミングに関する考慮事項およびタイミング制約に関する制約事項に従うことを強く推奨しています。HardCopy II デザイン・フローにおけるデザイン・レビュー 2 (DR2) への TimeQuest タイミング・アナライザの使用がまもなく必須になる予定です。

TimeQuest タイミング・アナライザは、アルテラ FPGA およびストラクチャード ASIC 用のサインオフ・ツールとして使用できる完全なステータス・タイミング解析ツールです。FPGA デバイスは高集積化と高速化が進んだため、以前は ASIC に実装されていた複雑なデザインやアプリケーションのターゲットとなっています。これらの複雑なデザインは、従来のクラシック・タイミング・アナライザの限界を押し広げ、設計者の生産性に影響を及ぼしています。Quartus II TimeQuest タイミング・アナライザは、対照的に複雑なデザインで効果を発揮します。TimeQuest タイミング・アナライザの直感的なユーザ・インタフェース、業界標準の Synopsys Design Constraints (SDC) フォーマットのサポート、およびスクリプティング機能はすべて、生産性と効率の向上をもたらします。



TimeQuest タイミング・アナライザの特長と機能について詳しくは、「Quartus II ハンドブック Volume 3」の「TimeQuest タイミング・アナライザ」の章を参照してください。

この章は、以下の情報で構成されています。

- HardCopy II ストラクチャード ASIC と Stratix II FPGA のタイミング関連の相違点の説明
- TimeQuest タイミング・アナライザとクラシック・タイミング・アナライザの説明と比較
- HardCopy II Advisor およびデザイン・アシスタントによってレポートされる重要なタイミング関連のいくつかのチェックを含め、Quartus II ソフトウェアでのタイミング制約の使用についての説明
- HardCopy II プロジェクトに対するタイミング制約の推奨事項、および HardCopy II デザイン・フローでサポートされないタイミング制約を使用するレガシー・デザインの取り扱いに関する推奨事項

HardCopy II と Stratix II のタイミング

HardCopy II ストラクチャード ASIC のバックエンド・デザインには、Stratix II FPGA のプロトタイプおよび HardCopy II デバイス用に Quartus II ソフトウェアで達成されるタイミング仕様に準拠するタイミング・クロージャが含まれています。ただし、これは Stratix II FPGA における実際のパス・タイミングが HardCopy II デバイスで再現されることを意味しないことに注意してください。事実、Stratix II デバイスと HardCopy II デバイスのアーキテクチャの違いにより、内部パスおよび I/O パスのタイミングが適用されるタイミング制約の範囲内にある場合でも、実際のパス遅延は異なるものと考えする必要があります。

Stratix II デバイスと HardCopy II デバイスのタイミングの違いに影響を与える主な要因を以下に示します。

- HardCopy II のダイは、Stratix II のダイよりもはるかに小さい。
- Stratix II デバイスの粒度の粗いアダプティブ・ロジック・モジュール (ALM) が HardCopy II デバイスの微細な HCell マクロにマッピングされている。
- デザインの接続が HardCopy II デバイス内のカスタム・メタル配線を使用して実装される。
- HardCopy II には、SRAM でコンフィギュレーション可能なプログラマブル接続ポイントがない。
- HardCopy II のグローバル・クロック・ネットワーク内のリーフ・サブツリーがカスタム配線されている。

次の項では、これらの要因が HardCopy II のタイミング特性に及ぼす影響について簡単に説明します。

内部レジスタ間のタイミング

内部タイミングとは、コア・ロジック内のレジスタからレジスタへのパスのタイミングです。内部タイミングは、レジスタ間パスにおけるロジック・エレメントの伝達遅延、およびそれらのロジック・エレメント間の配線接続における寄生キャパシタンス、寄生抵抗、クロストークの総合的な作用に依存します。

HardCopy II デバイスでのユーザ・ロジックの実装は、Stratix II FPGA と比較して、面積効率が高く、多くの場合はタイミングも改善されています。これらの利点は、Stratix II デバイスの粒度の粗いプログラマブル ALM を HardCopy II デバイスの微細な HCell マクロに再マッピングして得られたものです。すべての ALM ファンクションが HardCopy II デバイスの HCell に再マッピングされています。微細な HCell の使用により、Stratix II ALM ブロック内のプログラマブル配線マルチプレクサ (MUX) が不要になっています。これによって、Stratix II デバイスからの ALM ファンクションの実装に必要なロジック・レベル数が減少します。その結果、Stratix II FPGA でレジスタ間パスにおける ALM に関連する伝達、すなわち伝播遅延は、HardCopy II デバイスでは小さくなります。

HardCopy II デバイスにはコンフィギュレーション SRAM が不要なので、対応する Stratix II デバイスの場合と比較して、ダイ・サイズが大幅に小さくなっています。ダイ・サイズが縮小された効果の1つは、全体的な配線の長さが短くなることです。さらに、HardCopy II デバイスはメタル層 5 および 6 のカスタマイゼーションを使用して、ユーザ・ロジック接続を実装しています。コンフィギュレーション SRAM が不要なため、タイミングに悪影響を与える、SRAM のコンフィギュレーション可能な配線スイッチやプログラマブル接続ポイントが不要になります。したがって、HardCopy II デバイスでは、多くの場合、寄生キャパシタンス、寄生抵抗、およびクロストーク・レベルが全体的に低下し、Stratix II FPGA の場合よりも接続が高速化されます。

HardCopy II デバイスでの高速ロジック・エレメントの実装と配線の高速化によって、通常はレジスタ間パスが高速化され、全体的なクロック周波数が高くなります。ただし、ソフトウェア配置配線ツールがタイミング結果に大きな影響を与えるため、Stratix II のレジスタ間パスの方が HardCopy II デバイスの対応するパスよりも高速な場合もあります。

Stratix II FPGA とそれに対応する HardCopy II デバイスでのデジタル信号処理 (DSP) ファンクションの内部タイミング性能はほぼ同じです。Stratix II FPGA では、DSP ファンクションは通常、エンベデッド DSP ブロックに実装されます。これらの DSP ブロックは、DSP ファンクションに対して最適な面積と性能を提供します。HardCopy II デバイスでは、

同じ DSP ファンクションが、Stratix II デバイスの DSP ブロックと同じ機能およびタイミングを持つように設計された HCell DSP マクロに実装されます。ただし、DSP ファンクションとその他のコア・ロジック間のパスのタイミング性能は、HardCopy II デバイスの方が Stratix II FPGA よりも一般に高速です。

RAM ブロック・アクセス時間は、Stratix II FPGA とそれに対応する HardCopy II デバイスではほぼ同じです。ただし、DSP ファンクションに関しては、RAM ブロックとその他のコア・ロジック間のパスのタイミング性能は一般に、HardCopy II デバイスの方が Stratix II FPGA よりも高速です。

I/O パスのタイミング

HardCopy II デバイスの I/O セルの実際のタイミングおよびパラメータ特性は、Stratix II デバイスの場合と非常に似ています。ただし、I/O 信号パスのタイミングに違いがあることを認識しておく必要があります。これらの違いは主に、コアから I/O までのパスおよびクロック分配におけるタイミングの相違によるものです。

コアから I/O のタイミングに関しては、「内部レジスタ間のタイミング」の項で説明したように、信号パスのタイミング動作が影響を与える最大の要因の 1 つとなっています。一般に、コアから I/O および I/O からコアのタイミングは、HardCopy II デバイスと Stratix II デバイスの間で異なります。

その他の I/O タイミングに大きな影響を与える要因は、HardCopy II デバイスと Stratix II デバイス間におけるクロック分配の違いです。HardCopy II でのより短く高速なクロック・ツリー、カスタム・クロック・ツリー・バッファリング、およびリーフ・サブツリーのカスタム配線は、挿入遅延、レイテンシ、スキュー特性、ジッタ、および PLL 補正が Stratix II FPGA とは異なることを意味します。この影響については、「クロック分配の影響」の項で説明します。

クロック分配の影響

HardCopy II ストラクチャード ASIC は、Stratix II FPGA とほぼ同じクロック分配方式を備えていますが、以下に示すとおりいくつか顕著な違いがあります。

- SRAM プログラマブル・スイッチおよび配線接続がない。
- ダイ・サイズが小さくなると、クロック・ツリー全体における配線長が短くなる。

- クロック・ネットワークのリーフ・サブツリーが、カスタマイズされたメタル・マスク・レイヤを使用してカスタム配線されている。

これらの物理的な相違がデバイス全体におけるクロック分配特性に影響を及ぼします。最も大きく影響を受けるタイミング特性は、以下のとおりです。

- クロック・ツリー・レイテンシおよびクロック挿入遅延
- クロック・スキュー
- クロック・ジッタ
- PLL 補正遅延

一般に、HardCopy II デバイスでは、配線の長さが短く SRAM プログラマブル・スイッチがないため、クロック・ツリー・レイテンシが小さくなっています。その結果、モデル化されたどのクロック挿入遅延も小さくなると考える必要があります。

クロック・ツリー・レイテンシが減少する最も大きな影響は、コアから I/O および I/O からコアのタイミングが変化することです。例えば、クロック・レイテンシの低減によって I/O レジスタが早期にクロックされると、レジスタ出力がデバイス・ピンに到着する時間が短縮されます。同様に、入力レジスタが早期にクロックされると、そのレジスタのセットアップ時間も早くなり、ホールド時間要件が緩和されます。

Quartus II ソフトウェアは、これらの違いに対応してタイミング要求が確実に満足されるようにします。ただし、クロック挿入遅延の低減によって、Stratix II FPGA プロトタイプと HardCopy II ストラクチャード ASIC との間に I/O タイミングの相違が生じることに注意してください。

PLL 特性

「**クロック分配の影響**」の項で説明した影響の多くは、Stratix II デバイスと HardCopy II デバイス間の PLL からのクロック出力にも当てはまります。Quartus II ソフトウェアは、HardCopy II デバイスで PLL のための補正遅延を実装して、PLL クロック分配における違いに対応しています。これによって、Stratix II FPGA で使用される補正モードを HardCopy II ストラクチャード ASIC でも使用できるようになります。

HardCopy II タイミング・ クロージャ 手法

HardCopy II ストラクチャード ASIC のタイミング・クロージャを達成するには、フロー全体で正確なタイミング制約の完全なセットを使用することが不可欠です。Stratix II FPGA プロトタイプの場合、タイミングおよび機能をハードウェアで検証できますが、タイミング制約の完全なセットを使用して、Quartus II ソフトウェアでデザインをコンパイルお

よび検証することが不可欠です。これらの制約は、プロジェクトの HardCopy II リビジョンに、そして最終的に HardCopy Design Center (HCDC) にフィード・フォワードされます。

HCDC でのストラクチャード ASIC のバックエンド・デザインは、Quartus II ソフトウェアでいかなるタイミング制約にも適合することを保証するものです。Quartus II のタイミング制約を遵守する一方で、ハードウェアで観測される実際の Stratix II FPGA プロトタイプのタイミングは HardCopy II ストラクチャード ASIC では再現されないことに留意することが重要です。Stratix II デバイスと HardCopy II ストラクチャード ASIC 間のタイミングの相違は、両者がタイミング制約の完全なセットと照合してチェックされる限り重要ではありません。

HardCopy II タイミング・クロージャ・フロー

HardCopy II タイミング・クロージャ手法は、包括的で Quartus II ソフトウェアでの TimeQuest タイミング・アナライザとクラシック・タイミング・アナライザの両方、サードパーティ・スタティック・タイミング・アナライザとのインタフェース、およびハードウェアでの FPGA プロトタイプ・タイミング検証を含んでいます。

アルテラでは、TimeQuest タイミング・アナライザの使用を推奨しています。Quartus II ソフトウェアが、デフォルトのクラシック・タイミング・アナライザではなく、TimeQuest タイミング・アナライザを使用するように規定することができます。

TimeQuest タイミング・アナライザは、業界標準の制約、解析、およびレポート手法を使用して、デザイン内のすべてのロジックのタイミング性能の正当性を確認します。TimeQuest タイミング・アナライザは、高性能デザインの徹底したタイミング解析を可能にする強力なタイミング解析機能を備えています。タイミング解析に TimeQuest を使用する利点には、以下の機能が含まれます。

- **SDCのネイティブ・サポート**—この強力な業界標準のタイミング制約フォーマットを利用して、SDC および Tcl ベースのスクリプトを使用または再使用して、より高い生産性を達成することができます。
- **オン・デマンドでインタラクティブな高速データ・レポート**—この機能は、クリティカル・パスのみについてより詳細なタイミング解析を要求でき、時間を節約します。強力な GUI は、オン・デマンドの高速データ・レポートを補足する直感的なグラフィカル・フォーマットでタイミング解析データをレポートし、生産性をさらに向上させます。

クラシック・タイミング・アナライザは、HardCopy II タイミング解析をサポートします。しかし、TimeQuestの方がより強力なタイミング解析機能を備えています。クラシック・タイミング・アナライザのタイミング制約は、デザインがHCDCに転送されるときに、Quartus 設定ファイルからSDCフォーマットの制約に変換されない可能性があります。これは、これらの制約の変換が困難でエラーを起こしやすく、また制約が使用される特定の状況について詳細な解析を必要とする場合がよくあるからです。

図 7-1 に、Quartus II ソフトウェアで HardCopy II デザインに使用されるタイミング・クロージャ手法を示します。この図は、TimeQuest タイミング・アナライザまたはクラシック・タイミング・アナライザ用の、FPGA から始まるスタティック・タイミング解析フローを示しています。HardCopy II から始まるフローの場合、HardCopy II コンパイルが Stratix II コンパイルの前に実行されることを除いて、手法は同じです。

図 7-1. Stratix II から始まるタイミング・クロージャ・フロー 注 (1)

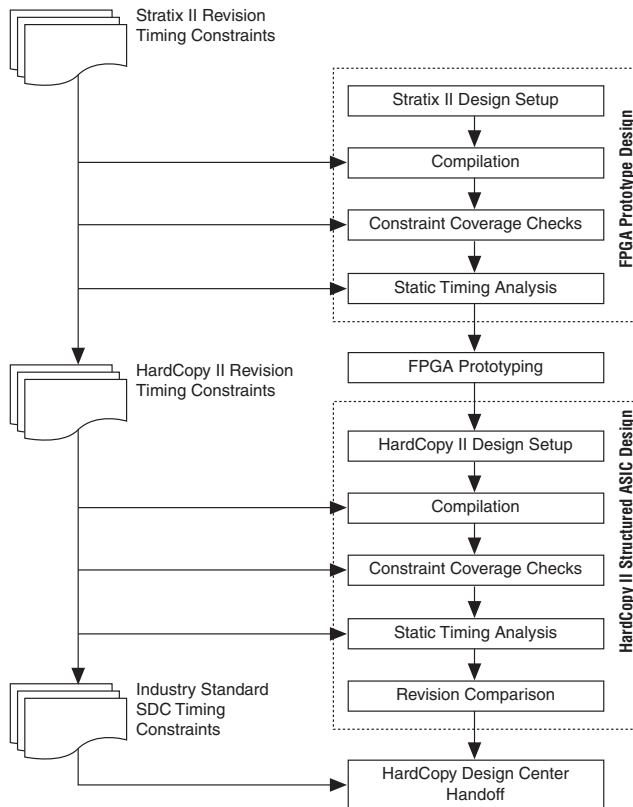


図 7-1 の注：

- (1) Stratix II リビジョンおよび HardCopy II リビジョンではタイミング制約が必要です。TimeQuest タイミング・アナライザは業界標準の SDC ファイル (.sdc) をサポートし、クラシック・タイミング・アナライザは Quartus 設定ファイル (.qsf) をサポートします。

図 7-1 から分かるように、タイミング制約は Quartus II デザイン・フローの極めて早い段階で使用されます。Stratix II FPGA プロトタイプのコンパイル時には、これらの制約はタイミング・ドリブン・コンパイルのタイミング・ターゲットとして使用されます。コンパイルが完了すると、TimeQuest タイミング・アナライザまたはクラシック・タイミング・アナライザは、デザインのタイミング結果をレポートします。タイミング・レポートが失敗した場合は、タイミング制約を変更するか、コンパイル設定を変更してリコンパイルするか、あるいはその両方を行う必要があります。さらに、TimeQuest およびクラシック・タイミング・アナライザのいずれのタイミング制約チェックも、制約条件が与えられていないタイミング・パスをレポートします。詳細については、7-10 ページ

の「[TimeQuest タイミング・アナライザの使用](#)」を参照してください。Quartus II ソフトウェアは、サードパーティ・ツールでのタイミング検証のために、Synopsys PrimeTime ツールで使用するためのスタティック・タイミング解析スクリプトを生成することができます。さらに、サードパーティのタイミング・ドリブン・シミュレーション・ツールで、さらにタイミングを検証することができます。

Stratix II プロトタイプ FPGA のソフトウェア・タイミング検証が完了すると、プロトタイプをハードウェアで検証することができます。HardCopy II デザイン・フローでは、Stratix II FPGA プロトタイプのタイミングを、デザインが晒される動作条件の全範囲にわたって十分に検証することが要求されます。

次のステップは、HardCopy II デザイン・リビジョンの作成とコンパイルです。デフォルトでは、Stratix II FPGA のコンパイルおよび検証時に使用された同じタイミング制約を用いて、HardCopy II コンパイルが実行されます。HardCopy II リビジョンのターゲット・タイミング仕様を変更したい場合は、コンパイルの前に HardCopy II タイミング制約を変更して行うことができます。HardCopy II コンパイルが完了すると、Stratix II コンパイル後と同様に、TimeQuest またはクラシック・タイミング・アナライザを実行して、タイミングの結果をチェックします。レポートされるすべてのタイミングの違反を検討し、解決する必要があります。

Quartus II ソフトウェアでの HardCopy II デザイン・フローの最終ステップの 1 つは、リビジョンの比較チェックです。このチェックの一部で、プロジェクトの Stratix II リビジョンと HardCopy II リビジョンのタイミング制約および設定が比較されます。両者間のすべての相違がレポートされます。Stratix II FPGA のプロトタイプ作成の完了後にタイミング制約を変更する場合は、リビジョン比較ツールにより変更がレポートされ、デザイン・レビューでこの相違を放棄するよう求められます。

Quartus II デザインが HCDC に転送される時、デザインには HardCopy II タイミング制約の業界標準 (SDC) バージョンが含まれます。このバージョンは、Quartus II ソフトウェアの **sdc** パッケージからのコマンドのみを含む、デザインのための正当なタイミング制約セットです。HardCopy II デザイン・フローの場合、Quartus II ソフトウェアの **sdc** パッケージに含まれるコマンドを除き、いかなるコマンドも使用できません。さらに、Quartus II ソフトウェアの警告メッセージを生成するすべてのタイミング制約を修正する必要があります。



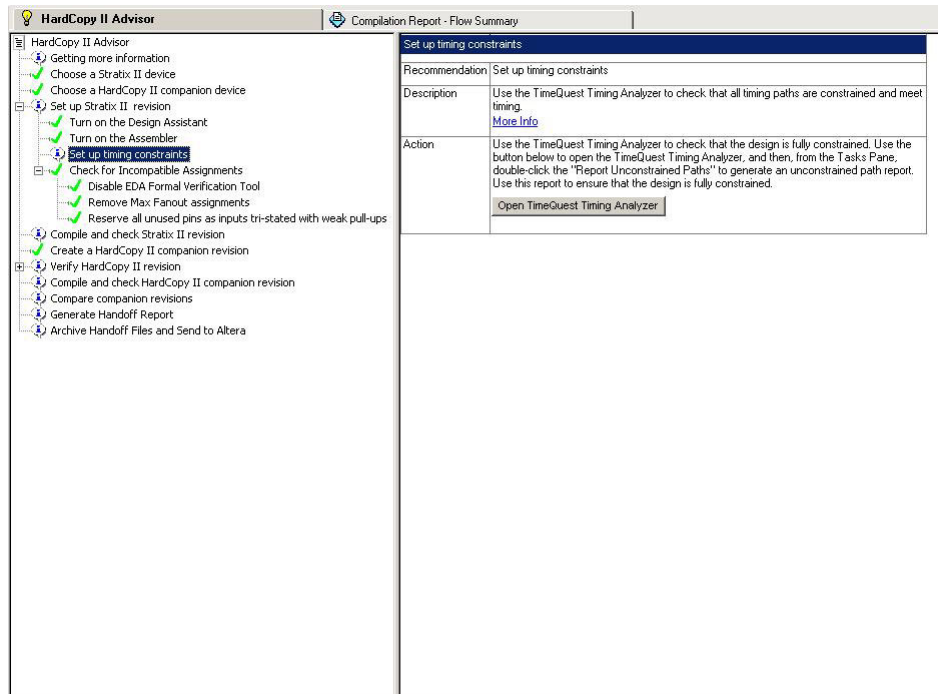
Quartus II **sdc** パッケージについて詳しくは、「[Quartus II Scripting Reference Manual](#)」の「[Tcl Packages and Commands](#)」の章にある **sdc** パッケージの項を参照してください。

TimeQuest タイミング・アナライザの使用

TimeQuest タイミング・アナライザは、タイミング制約の規定からデザイン要件の検証に至るまで、Quartus II HardCopy II タイミング・クロージャ・フローにおいて重要な役割を果たしています。

TimeQuest タイミング・アナライザは、HardCopy II デザイン・フローで多数のタイミング・チェックを行います。HardCopy II Advisor は、これらのタイミング・チェックのために TimeQuest タイミング・アナライザを起動し、図 7-2 に示すように、デザインが十分に制約されるようガイドします。

図 7-2. HardCopy II Advisor における TimeQuest のタイミング関連の設定



すべてのタイミング・パスを十分に制約する必要があります。TimeQuest report_ucp コマンド(または TimeQuest GUI の **Tasks** ペイン・オプションの **Report Unconstrained Paths**) で、デザインで制約条件が与えられていないすべてのパスの詳細を示す一連のレポートが生成されます。これらのレポートは、デザインで制約条件が与えられていないセットアップ、ホールド、リカバリ、およびリムーバル・タイミング・パスのリス

トを示します。スタティック・タイミング解析を実行する前に、追加の制約を適用して、レポートに示されたすべてのデザイン・エラーを修正しなければなりません。

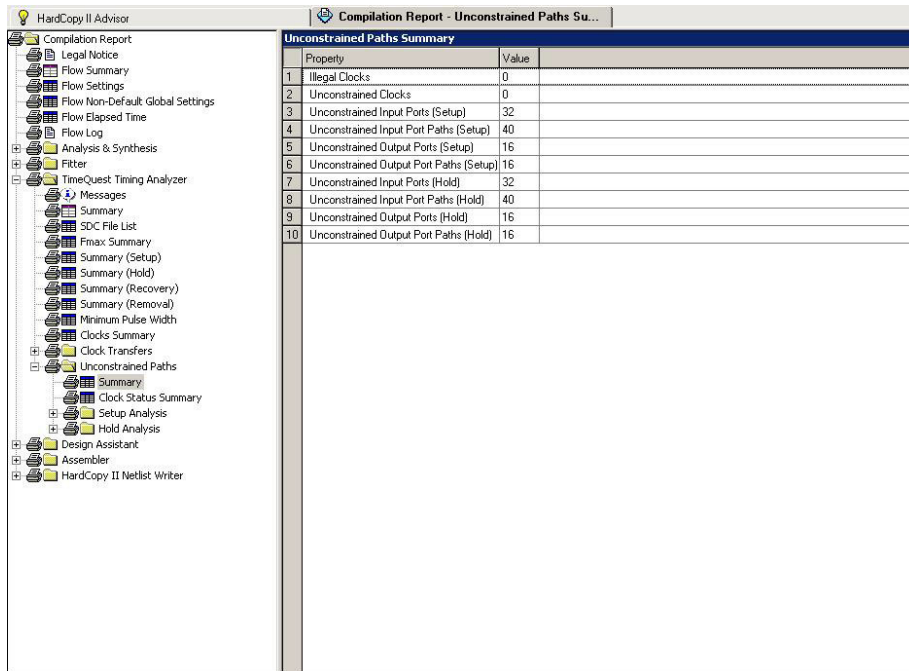
TimeQuest タイミング・アナライザは、大部分の制約を HardCopy シリーズ・デバイス向け SDC フォーマットでサポートしています。TimeQuest タイミング・アナライザの制約は、Quartus II ソフトウェアの 2 つの Tcl パッケージからのコマンドで規定されます。これらのパッケージは、**sdc** パッケージと **sdc_ext** パッケージです。HardCopy II デザイン・フローでは、すべてのタイミング制約を **sdc** パッケージで提供される SDC バージョン 1.5 仕様のコマンドで規定する必要があります。Quartus II ソフトウェアは、SDC ファイルに **sdc_ext** パッケージで提供される SDC バージョン 1.5 仕様の TimeQuest 拡張のコマンドを使用する制約が含まれている場合、HardCopy II デザイン・フロー向けコンパイルの早期段階で警告メッセージを返します。バックエンド・デザインのために、SDC ファイルが HCDC (HardCopy Design Center) にスムーズに転送されるようにするために、**sdc_ext** パッケージからのコマンドおよびオプションの使用を避ける必要があります。



Quartus II **sdc** および **sdc_ext** パッケージについて詳しくは、「Quartus II Scripting Reference Manual」の「Tcl Packages and Commands」の章にある **sdc** パッケージの項、および「SDC and TimeQuest API Reference Manual」を参照してください。

これらのタイミング関連のチェックに加えて、コンパイル・レポートの Quartus II タイミング・レポート・セクションを検討し、レポートされるすべてのタイミング違反を解決する必要があります (図 7-3)。

図 7-3. TimeQuest での制約条件が与えられていないタイミング・パスのレポート



Unconstrained Paths Summary	
Property	Value
1 Illegal Clocks	0
2 Unconstrained Clocks	0
3 Unconstrained Input Ports (Setup)	32
4 Unconstrained Input Port Paths (Setup)	40
5 Unconstrained Output Ports (Setup)	16
6 Unconstrained Output Port Paths (Setup)	16
7 Unconstrained Input Ports (Hold)	32
8 Unconstrained Input Port Paths (Hold)	40
9 Unconstrained Output Ports (Hold)	16
10 Unconstrained Output Port Paths (Hold)	16



TimeQuest タイミング・アナライザの特長と機能について詳しくは、「Quartus II ハンドブック Volume 3」の「TimeQuest タイミング・アナライザ」の章を参照してください。

クラシック・タイミング・アナライザの使用

クラシック・タイミング・アナライザは、正しい回路動作を達成するために、デザインのすべてのパスの遅延、およびすべてのタイミング要件を解析します。QuartusII ソフトウェアは、コンパイル・フローの一環として自動的にスタティック・タイミング解析を実行します。そのため、特にタイミング解析ツールを起動する必要はありません。クラシック・タイミング・アナライザは、デザイン内のすべてのパスにおいてタイミング違反の有無をタイミング制約と照合してチェックし、結果をタイミング解析レポートに反映して、すぐにタイミング解析レポートにアクセスできるようにします。

Quartus II のタイミング関連のチェックおよび設定

クラシック・タイミング・アナライザは、HardCopyII デザイン・フローにおいて、多数のタイミング関連のチェックを行います。HardCopy II Advisor は、設計者がこれらのチェックを通過して、HardCopy II デザインを正常に完成させるのに必要なすべてのステップを実行するようにガイドできます。



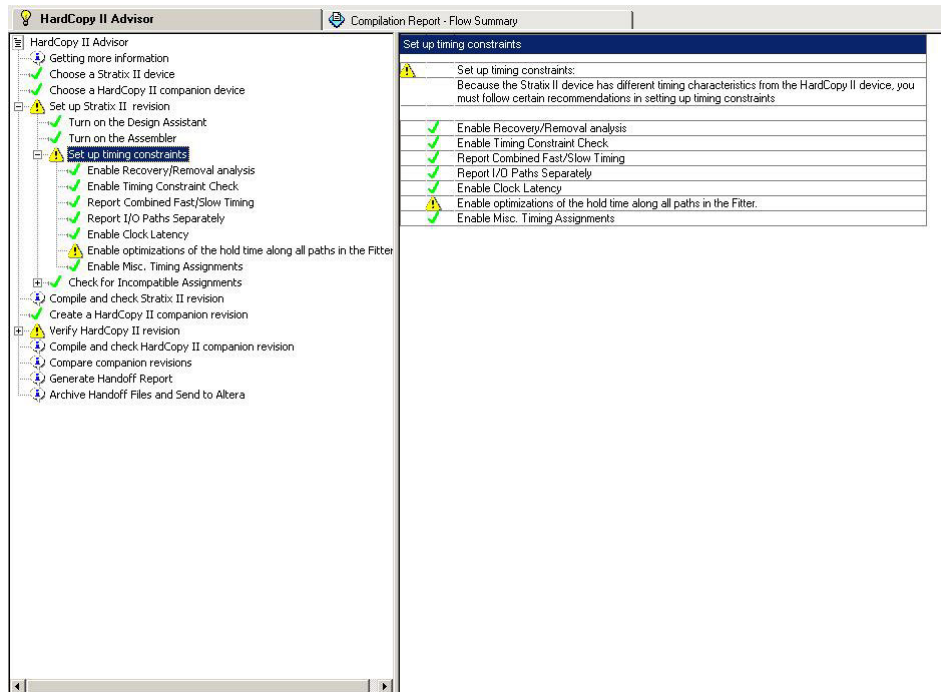
HardCopy II Advisor および Design Assistant によって実行されるチェックについて詳しくは、「HardCopy シリーズ・ハンドブック」の「Hardware Design Considerations」にある「Design Guidelines for HardCopy Series Devices」の章を参照してください。

HardCopy II Advisor は、タイミング解析のための正しい Quartus II の設定に関するアドバイスを提供します (図 7-4)。これらの設定は、正確かつ完全なタイミング・レポートを確実に生成するために必要です。設定リストには、以下の項目が含まれます。

- Enable Recovery/Removal Analysis (リカバリ / リムーバル解析のイネーブル)
- Enable Timing Constraints Check (タイミング制約チェックのイネーブル)
- Report Combined Fast/Slow Timing (高速 / 低速組み合わせタイミングのレポート)
- Report I/O Paths Separately I/O (I/O パスの個別レポート)
- Enable Clock Latency (クロック・レイテンシのイネーブル)
- Enable Misc. Timing Assignments (各種タイミング・アサインメントのイネーブル)

クラシック・タイミング解析フローでは、CUT_OFF_PATHS_BETWEEN_CLOCK_DOMAINS の値を **OFF** に設定しなければなりません。そうしないと、すべてのクロック・ドメイン・クロス・パスが、無制約パス・レポート (UCP レポート) に制約条件が与えられていないパスとしてリストされます。このレポートは、同じ PLL から送出されていないクロックからのタイミングを切断する ON 設定は無視します。

図 7-4. HardCopy II Advisor におけるクラシックのタイミング関連の設定



クラシック・タイミング・アナライザは、TimeQuest タイミング・アナライザと異なり、HardCopy II デザインと互換性のないいくつかのタイミング制約をサポートしています。HardCopy II Advisor で、**Check for Incompatible Assignments** リストの **Remove Unsupported Global Timing Assignments** オプションと **Remove Unsupported Instance Timing Assignments** オプション (図 7-5) をともに選択すると、HardCopy II デザイン・フローと互換性のないすべてのタイミング制約が一覧表示されます。これらの制約については、7-23 ページの「サポートされていないクラシック・タイミング・アナライザ用 HardCopy II タイミング制約」で説明しています。

Quartus II はこれらのタイミング制約を削除しなくてもタイミング解析を正常に完了しますが、HardCopy II デザインを HCDC に転送する前に、サポートされていないすべてのタイミング・アサインメントを修正することがきわめて重要です。これらの互換性のない制約条件の削除を怠ると、バックエンドでのタイミング・クロージャの際に遅延が生じることがあります。

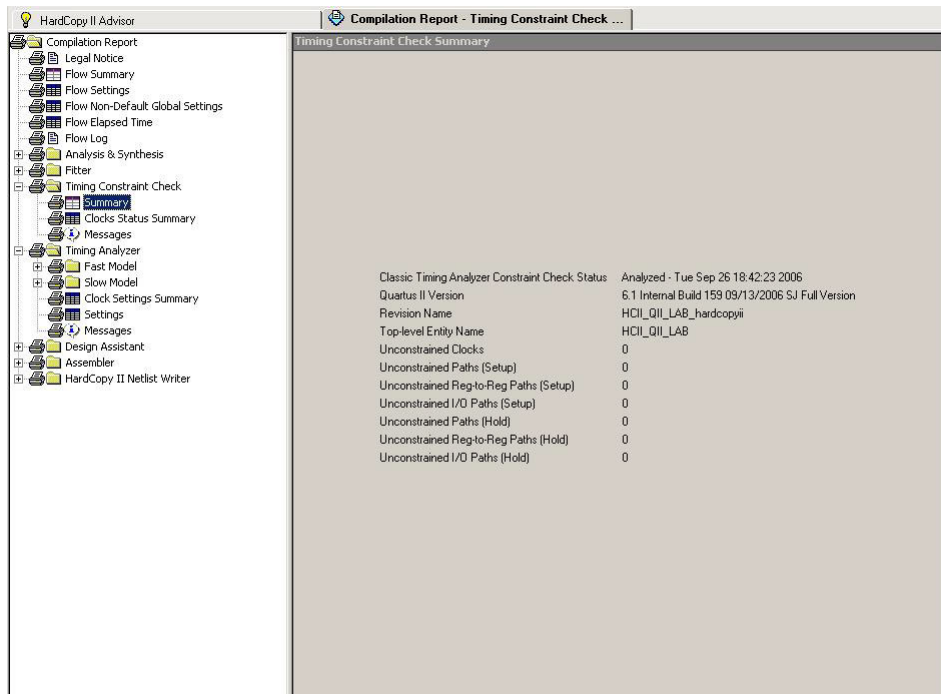
図 7-5. HardCopy II Advisor において、クラシック・タイミング・アナライザでサポートされていないタイミング・アサインメント

The screenshot shows the HardCopy II Advisor window. The left pane lists various tasks, with 'Remove Unsupported Instance Timing Assignments' highlighted. The right pane displays the details for this recommendation.

Remove Unsupported Instance Timing Assignments	
Recommendation	Remove Unsupported Instance Timing Assignments
Description	The instance timing assignments listed in the table are not supported for HardCopy II development and must be removed. Please use the supported assignments as described in the HardCopy II chapter of the Quartus II Handbook. More Info
Action	Remove the instance timing assignments listed in the table using the Assignment Editor (Assignments menu). Please use the supported assignments as described in the Quartus II Handbook. No action is needed for this recommendation. The recommended setting has been made. Open Assignment Editor - Timing category

プロジェクトのStratix IIリビジョンおよびHardCopy IIリビジョンの両方のコンパイル・レポートに、**Timing Constraints Check** セクション (図 7-6) が含まれています。このセクションでは、デザインで使用されるタイミング制約で提供されるカバリッジに基づいて、制約条件が与えられていないすべてのパスがレポートされます。このレポートを検討して、すべての内部パスと I/O パス、およびすべてのクロック・ドメインが、セットアップ・チェックおよびホールド・チェックに関して制約されていることを確認する必要があります。

図 7-6. コンパイル・レポートにおけるクラシック・タイミング・アナライザの制約チェック



クラシック・タイミング・アナライザを使用するときは、TimeQuest タイミング・アナライザを使用する場合と同様に、コンパイル・レポートの Quartus II タイミング・レポート・セクションを検討し、レポートされたすべてのタイミング違反を解決する必要があります。

HardCopy シリーズ・ デバイスの タイミングの 制約

HardCopy デバイスのタイミングが性能目標を満足するよう保証するために、HardCopy Design Center はデザイン・データベースでスタティック・タイミング解析を実行します。このタイミング解析を意味あるものにするには、FPGA 実装のデザインに適用したすべてのタイミング制約およびタイミング例外を、HardCopy の実装にも使用する必要があります。デザインにタイミング制約を使用しなかった場合、または一部のタイミング制約しか使用しなかった場合は、制約を追加してデザインを十分に制約し、フローでは FPGA リビジョンと HardCopy リビジョンの両方に同じ制約を使用しなければなりません。これを行わなかった場合は、HardCopy シリーズ・デバイスが最終ターゲット・システムの所要タイミングを満足するかどうか判断できません。SDC フォーマットのタイミング制約は、ラインの番号付け、構文の色付け、および呼び出しのヒントを提供する Quartus II SDC File Editor を使用して生成できます。タイミング制約およびタイミング例外は、直接入力するか、Constraints メニューから規定できます。SDC コマンドの例を以下の項に示します。

以下の制約を含める必要があります。

- クロック定義
- プライマリ入力ポートのタイミング
- プライマリ出力ポートのタイミング
- 組み合わせタイミング
- タイミング例外



SDC エディタについて詳しくは、「Quartus II ハンドブック Volume 3」の「TimeQuest タイミング・アナライザ」の章を参照してください。



TimeQuest タイミング・アナライザのタイミング制約について詳しくは、「Quartus II ハンドブック Volume 3」の「TimeQuest タイミング・アナライザ」の章を参照してください。

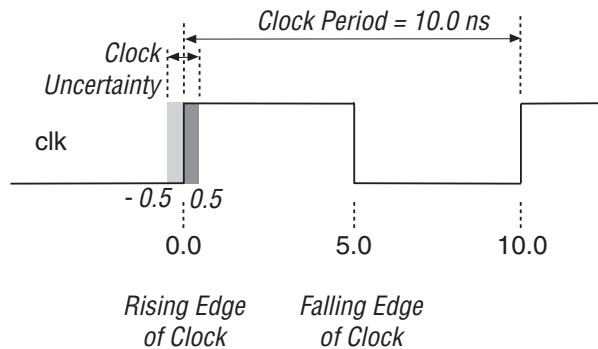


クラシック・タイミング・アナライザのタイミング・アサインメントについて詳しくは、「Quartus II ハンドブック Volume 3」の「クラシック・タイミング・アナライザ」の章を参照してください。

クロック定義


これらの定義は、デザインのすべてのクロック・ドメインのパラメータを記述するのに使用できます。定義する必要があるクロック・パラメータは、周波数、クロック・エッジの立ち上がり時間、クロック・エッジの立ち下がり時間、クロックの不確実性（例えば、ジッタ、ノイズ、タイミング・マージン内での設計）、およびクロック名です。図 7-7 にクロック条件を示します。

図 7-7. クロック条件



PLL クロックのクロック設定は、PLL 設定およびリファレンス・クロック特性に基づいて自動的に得られます。PLL の入力クロック・ポートのクロック設定を規定することによって、タイミング解析のためのデフォルトの PLL クロック設定を無効にすることもできます。


PLL クロック出力におけるクロックの不確実性は、デフォルトではモデル化されません。set_clock_uncertainty コマンドを使用して、該当する PLL クロックのジッタおよびその他すべての不確実性およびマージンをモデル化する必要があります。

 デザインに対する PLL クロックの不確実性の計算については、アルテラのフィールド・アプリケーション・エンジニア (FAE) にお問い合わせいただくか、MySupport をご利用ください。

SDC フォーマットは、最も単純なデザインから最も複雑なデザインまでのデザインを制約するためのシンプルかつ簡単な方法を提供します。以下の例は、クロック（ポートまたはピン）用およびデザインの PLL 出力ピンにおける生成クロック用の最もシンプルな SDC コマンドを示します。

```
# ベース・クロックを制約
create_clock -period 10.000 [get_ports clk_in]
```

```
# PLL 出力クロックを制約
derive_pll_clocks
```

 `derive_pll_clocks` は `sdc_ext` パッケージにあります。これは HardCopy II デザイン・フローにおけるすべてのタイミング制約が `sdc` パッケージに含まれていなければならないという要求条件に対する唯一の例外です。このコマンドは、HCDC への転送の前に、`sdc` パッケージ・コマンド `generated_pll_clock` に自動的に変換されます。



入手可能なレポート API の全リストについては、「SDC and TimeQuest API Reference Manual」を参照してください。

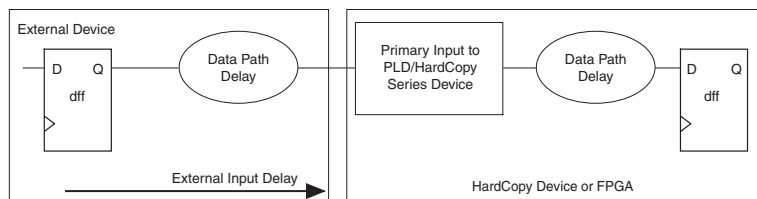
プライマリ入力ポートのタイミング

デザイン内のすべてのプライマリ入力ポート（およびすべての双方向ポートの入力パス）に対して、プライマリ入力ポートのタイミング制約を規定しなければなりません。以下の2つのサブセクションでは、入力ポートのタイミングを制約する方法について説明します。

外部入力遅延の規定

入力ポートのタイミングを制約するには、HardCopy シリーズ・デバイスまたはFPGAのプライマリ入力ポートをドライブする外部信号の最大および最小到着時間で、外部タイミング環境を記述します。図 7-8 にプライマリ入力ポートをドライブする外部タイミング制約を示します。スタティック・タイミング解析ツールは、この外部入力遅延時間を使用して、データがデバイスの内部ノードに伝播するのに十分な時間があるかどうかをチェックします。十分な時間がない場合は、タイミング違反が発生します。

図 7-8. プライマリ入力ポート・ドライブ時の外部タイミング制約



内部入力遅延の規定

この手法では、デザインに対して許容される最大オンチップ遅延が記述されます。例えば、この手法を使用して、特定のクロックを基準にして、デザインのプライマリ入力から任意のレジスタまでのセットアップ時間を記述することができます。図 7-9 に、各クロック・ドメインごとに異なる可能性のあるオンチップ・セットアップ時間制約を持つ一般的な回

路を示します。入力ホールド時間要求条件を記述するために、任意のプライマリ入力ポートからの最小オンチップ遅延を規定することができます。

図 7-9. 内部入力遅延の規定（セットアップ）

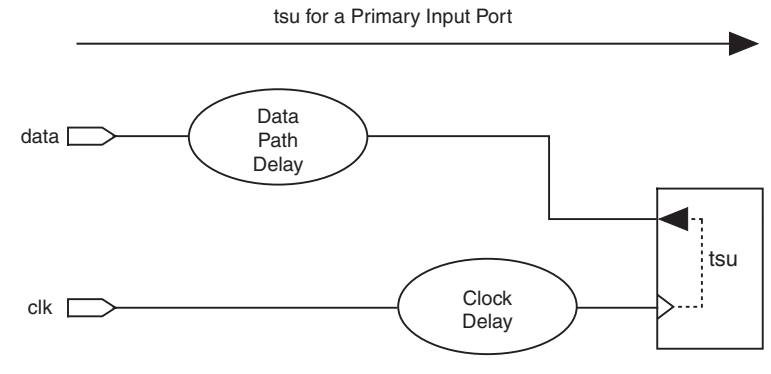
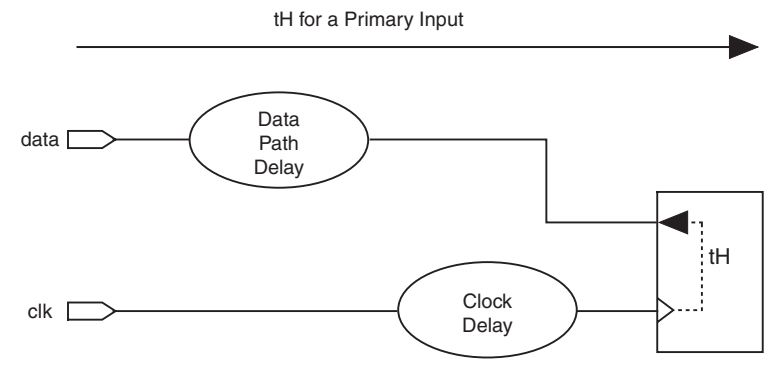


図 7-10 に、オンチップ・ホールド時間制約を持つ一般的な回路を示します。

図 7-10. 内部入力遅延の規定（ホールド）



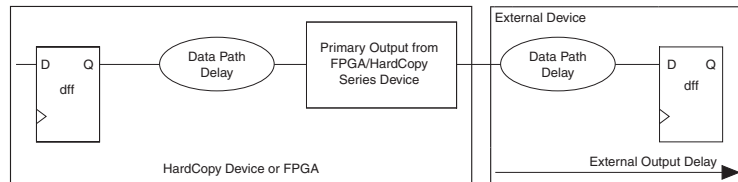
プライマリ出力ポートのタイミング

デザイン内のすべてのプライマリ出力ポートおよびすべての双方向ポートの出力パスに対し、出力ポートのタイミング制約を規定しなければなりません。以下の2つの項で説明するように、出力ポートのタイミングをキャプチャする方法は2通りあります。

外部出力遅延の規定

出力ポートのタイミングをキャプチャする 1 つの方法は、HardCopy シリーズ・デバイスのプライマリ出力ポートでドライブされる外部信号の最大および最小遅延時間である外部タイミング環境を記述することです。図 7-11 に、プライマリ出力ポートでドライブされる外部タイミング制約を示します。スタティック・タイミング解析ツールは、この情報を使用して出力信号のオンチップ・タイミングが希望の仕様の範囲内にあるかどうかチェックします。

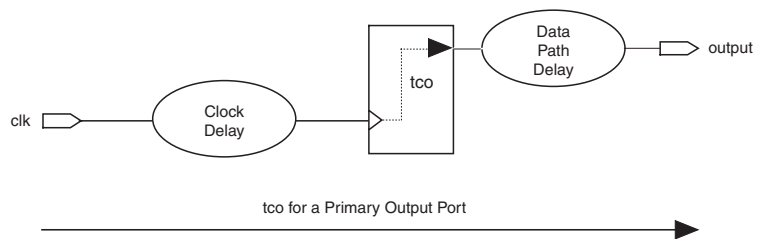
図 7-11. プライマリ出力ポートに対する外部タイミング制約



内部出力遅延 (T_{CO}) の規定

この手法では、許容される最大および最小オンチップ「Clock-to-Output」(T_{CO}) 遅延が記述されます。例えば、この手法を使用して、クロックのアクティブ・エッジからデータがプライマリ出力ポートに到着するまでに要する時間を記述することができます。図 7-12 に、オン・チップ T_{CO} 時間制約を持つ一般的な回路を示します。また、最小 T_{CO} の要求条件もあります。

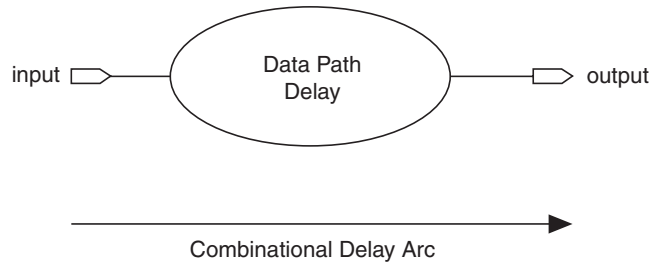
図 7-12. オンチップの「Clock-to-Output (T_{CO})」遅延時間制約



組み合わせタイミング

組み合わせタイミング回路には、プライマリ入力ポートからプライマリ出力ポートへのパスがあります。このタイプの回路には、レジスタはありません。したがって、制約仕様に対してクロックは必要ありません。タイミング要求に対してパスを制約するのに必要なものは、プライマリ入力ポートからプライマリ出力ポートまでの最大および最小遅延だけです。図 7-13 に、一般的な回路における組み合わせ遅延アーク制約に関する配置要件を示します。

図 7-13. 組み合わせタイミング制約



タイミングの例外

一部の回路構造は特別な条件を保証しています。例えば、デザインに複数のクロック・ドメインがあり、それらに関連性がない場合、2つのクロック・ドメイン間のタイミング・パスはすべて無視できます。スタティック・タイミング解析ツールを使用するすべてのタイミング・パスは、あるクロック・ドメインから別のクロック・ドメインに入るすべての信号に対してフォルス・パスを指定することによって無視できます。さらに、単一クロック・サイクルで動作しない回路もあります。これらの回路には、マルチ・サイクル・クロックの例外を指定する必要があります。

情報がキャプチャされた後のテープ・アウトまでに、アルテラ HCDC は HardCopy シリーズ・デバイスのすべてのタイミングを直接チェックします。過剰なタイミング制約のために、HardCopy シリーズ・デバイスでタイミング違反が生じた場合は、アルテラが修正するか顧客が放棄しなければなりません。

サポートされていない クラシック・ タイミング・ アナライザ用 HardCopy II タイミング 制約

Quartus II ソフトウェアは、様々なタイミング制約をサポートしています。ただし、HardCopy II デザインにクラシック・タイミング・アナライザを使用する場合、デザインが HCDC に転送される際には、これらの制約のいくつかは SDC フォーマット制約に変換されません。HardCopy II に対してサポートされていないタイミング制約を以下に示します。

- クロック・イネーブル・マルチサイクル・パス
- 反転クロック
- TSU、Th、TCO、および Min T_{CO}
- 内部 T_{PD}
- 仮想クロック
- 最大クロックおよびデータ・スキュー
- 最大および最小遅延

これらの制約を使用する場合、Quartus II ソフトウェアでさらにタイミング解析を実行し、正しい結果を生成することができます。ただし、ハンドオフのための HardCopy II アーカイブが作成される際には、これらの制約は無視されます。Quartus II タイミング制約の SDC 制約への変換では、サポートされていない制約は無視されるだけで、HCDC にフィード・フォワードされません。デザイン内のサポートされていない制約はすべて、HardCopy II Advisor の **Incompatible Assignments** セクションに一覧表示されます (図 7-5 参照)。

サポートされていない制約をサポートされている制約に変換することは可能ですが、そのプロセスは困難でエラーが生じやすく、制約が使用される特定の状況についての詳細な解析を要する場合があります。

このため、アルテラでは、業界標準の SDC フォーマットのタイミング制約を TimeQuest タイミング・アナライザと併用するか、HardCopy II プロジェクトの最初からクラシック・タイミング・アナライザ用にサポートされたタイミング制約のみを使用することを推奨しています。この方法により、プロジェクトの後半で発生する可能性がある変換または制約範囲の問題と、結果として必然的に生じる遅延やリスクを回避することができます。

場合によっては、Quartus II ソフトウェアの HardCopy II プロジェクトがサポートされていない制約をすでに使用している場合があり、そのときは既存のサポートされていない制約を変換するか、それらを推奨される HardCopy II タイミング・アサインメントのみを使用する新しい制約セットに置き換えることを選択できます。多くの場合は、既存の制約を変換するよりも、制約を再構築する方が簡単に分かります。その理由は、サポートされていない多くのタイミング制約があいまいな性質を持ち、変換を適切に解決する前に、Quartus II ソフトウェア外部の追

加情報を必要とすることがよくあるためです。変換によって、同じタイミング制約範囲と同じタイミング解析結果が生成されることを確認することも、手間のかかるエラーを生じやすい作業です。

どうしても既存のサポートされていないタイミング制約を推奨される制約に変換したい場合は、大まかな指針として表 7-1 を使用してください。この表は、TCO、Th、TSU、および Min T_{CO} アサインメントで使用される値が通常、HardCopy II の推奨アサインメントで使用される値にどのように変換されるかを示しています。この表の左側のカラムに、サポートされていない制約が示されています。推奨される制約は、一番上の行に示されています。この表を使用するには、変換したいサポートされていない制約と推奨される制約を相互参照します。クロス・リファレンス・セルには、推奨される新しい制約とともに使用する必要がある、元のサポートされていない制約値の変換値が示されています。これらの変換がすべてのデザイン・シナリオで有効であるとは限らない点に十分注意してください。

	setup_relationship	set_input_delay	hold_relationship	set_output_delay
TSU Req	TSU	-max <TCK-TSU>		
Th Req		-min Th	-Th	
TCO Req	TCO			-max <TCK-TCO>
Min T _{CO} Req			Min T _{CO}	-min <- Min T _{CO} >

表 7-1 の注：

- (1) TSU = TSU 要件のアサインメントに使用される値
- (2) TCO = TCO 要件のアサインメントに使用される値
- (3) Th = Th 要件のアサインメントに使用される値
- (4) Min T_{CO} = Min T_{CO} 要件のアサインメントに使用される値
- (5) TCK = TSU および TCO 要件に関連するレジスタに対するクロックの周期

まとめ

この章では、HardCopy II プロジェクト向けの、タイミングに関する考慮事項および Quartus II タイミング制約の推奨事項について説明しました。これらの考慮事項を理解し、デザインの推奨事項に従うことにより、Quartus II ソフトウェアを介したスムーズな移行と、それに続くストラクチャード ASIC のバックエンド・デザインのためのアルテラ HardCopy Design Center への転送が確実なものになります。この章の推奨事項は、HardCopy II プロジェクトの成功に役立ちます。

改訂履歴

表 7-2 に、本資料の改訂履歴を示します。

表 7-2. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 6 月 v2.1	テキストのマイナーな編集。	
2006 年 12 月 v2.0	<p>Quartus II ソフトウェア・バージョン 6.1.0 のための大きなアップデート</p> <ul style="list-style-type: none"> ● Quartus II ソフトウェア・バージョン 6.1.0 で新たに提供され、HardCopy II デザインのタイミング解析での使用が推奨される TimeQuest タイミング・アナライザに関する情報を追加。 ● “TimeQuest タイミング・アナライザの使用”の項を追加。 ● 以前は第 22 章にあった “HardCopy シリーズ・デバイスのタイミングの制約” の項を導入。 ● “HardCopy II タイミング・クロージャ手法” の項を更新。 ● 変更履歴を追加。 	<p>Quartus II ソフトウェア・バージョン 6.1 リリースの変更に伴う大規模な更新。特に TimeQuest タイミング・アナライザの組み込みでは、変更の大部分が “HardCopy II タイミング・クロージャ手法” の項に集中しており、また “TimeQuest タイミング・アナライザの使用” および “HardCopy シリーズ・デバイスのタイミングの制約” の項が追加されました。</p>
2006 年 3 月 v1.0	HardCopy シリーズ・ハンドブックにドキュメントを追加。	

