

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

H51024-1.3

はじめに

アルテラの HardCopy® II デバイスおよび Stratix® II デバイスは、いずれも 1.2 V、90 nm プロセス・テクノロジーで製造され、多数の類似機能を備えています。設計者は、Quartus® II ソフトウェアを使用して、Stratix II デザインを HardCopy II デバイスに移行することができます。Quartus II ソフトウェアにより、HardCopy II デバイスをターゲットとするデザイン・リビジョンは、オリジナルの Stratix II デザインと同じ機能を保持することができます。

Quartus II ソフトウェア・バージョン 5.0 以降から、**Device Settings** ダイアログ・ボックス (Device メニュー) で HardCopy II コンパニオン・デバイスを選択することができます。コンパニオン・デバイスとして HardCopy II デバイスを選択することは、別の Stratix II デバイスをマイグレーション・デバイス・チェーンに追加することに似ています。Quartus II ソフトウェアはデザインをコンパイルして、選択したすべての Stratix II デバイスおよび HardCopy II デバイスで利用可能な共有リソースを使用します。Quartus II プロジェクト・コンパイルの後半で、この Stratix II フローから HardCopy II フローに切り替える場合、HardCopy II コンパニオン・デバイスがターゲット・デバイスになります。



Quartus II ソフトウェアを使用した Stratix II および HardCopy II コンパニオン・リビジョンのコンパイルについて詳しくは、「HardCopy シリーズ・デバイス・ハンドブック」の「Quartus II による HardCopy II デバイスのサポート」の章を参照してください。

HardCopy II コンパニオン・デバイスを選択する場合、Quartus II Compiler を設定して、デザインで利用可能なメモリ・ブロックのリソースおよび Stratix II または HardCopy II コンパニオン・デバイスのデジタル信号処理 (DSP) に使用可能なロジックを最小限に制限することができます。その他、I/O ピン・アサインメントや PLL (Phase-Locked Loops) も制限されます。本資料は、Stratix II デザインを HardCopy II デバイスに移行する設計者のための手引きです。選択した Stratix II および HardCopy II コンパニオン・デバイス・ペアでサポートされないリソースまたは Stratix II デバイスと HardCopy II デバイスのリソースの違いについて説明しています。

本資料では、次の項目について説明します。

- Stratix II と HardCopy II のマイグレーション・オプション
- I/O サポートおよびプランニング
- 外部メモリ・インタフェース・サポート
- On-Chip Termination (チップ内終端)
- Stratix II と HardCopy II のコンパニオン・メモリ・ブロック
- PLL のプランニングと利用
- グローバル信号とローカル信号
- Stratix II ALM の HardCopy II ロジックへの適応
- Stratix II DSP ブロックからの HardCopy II DSP の実装
- JTAG BST および拡張ファンクション
- パワーアップおよびコンフィギュレーションの互換性

Stratix II と HardCopy II の マイグレーション・ オプション

Quartus II ソフトウェアでは、同じパッケージの異なる Stratix II デバイス間でデザインを移行できます。Quartus II ソフトウェアで Stratix II デザインをコンパイルする場合、1つの Stratix II ターゲット・デバイスと1つまたは複数の Stratix II マイグレーション・デバイスを指定ができます。移行デバイスを1つ以上指定すると、Quartus II Compiler はデザイン全体の I/O ピンおよびその他のリソース・アサインメントを選択した移行デバイスのいずれかで使用可能な最小リソースに制限します。この機能により、同じパッケージのフットプリントを使用するデバイス間のパーティカル・マイグレーションが可能になります。マイグレーション・デバイス・メニューで選択された Stratix II デバイスの1つに対して適切なコンフィギュレーション・ファイルを作成するには、そのデバイスをターゲット・デバイスとして選択します。

HardCopy II の製品化により、Stratix II デバイスに対してシームレスなマイグレーション・パスが追加されます。特定の Stratix II デバイスを選択した後、Quartus II ソフトウェアの **Settings** ダイアログ・ボックスでマイグレーション・オプションが提供されます。例えば、デザインが 1,020 ピン FineLine BGA[®] パッケージの EP2S130 デバイスをターゲットとする場合、Quartus II ソフトウェアは 1,020 ピン FineLine BGA パッケージの EP2S90、EP2S180 デバイス、および HC230 デバイスをマイグレーション・オプションとして提供します。

逆に、HardCopy II アーキテクチャでは、広範囲の Stratix II デバイスでストラクチャード ASIC およびプロトタイプを設計することができます。ターゲット・デバイスが 780 ピン FineLine BGA パッケージの HardCopy II HC220 デバイスの場合、780 ピン FineLine BGA パッケージの Stratix II EP2S90 または EP2S130 デバイスをプロトタイプ・デバイスとして選択することができます。表 8-1 に、パッケージごとのパーティカル・マイグレーション・オプションを示します。

表 8-1. Stratix II と HardCopy II のマイグレーション・オプション 注 (1)

デバイス	FineLine BGA パッケージ					
	484 ピン	672 ピン	780 ピン	1,020 ピン	1,020 ピン	1,508 ピン
HardCopy II	HC210	HC220	HC220	HC230	HC240	HC240
Stratix II	EP2S30 EP2S60 EP2S90 (2)	EP2S60	EP2S90 EP2S130	EP2S90 EP2S130 EP2S180	EP2S180	EP2S180

表 8-1 の注：

- (1) 表 8-1 には HC210W デバイスは含まれません。HC210W デバイスについて詳しくは、アルテラ・アプリケーション・グループにお問い合わせください。
- (2) これは Hybrid FineLine BGA パッケージです。詳細については、「Stratix ハンドブック Volume 2」の「Stratix II デバイスのパッケージ情報」の章を参照してください。

Quartus II ソフトウェアのバージョン 5.0 以降から、HardCopy II デバイスをターゲットとするデザインをコンパイルするとき、コンパイルにはターゲットの Stratix II デバイスおよび HardCopy II コンパニオン・デバイスを選択する必要があります。表 8-2 に使用可能な HardCopy II および Stratix II コンパニオン・ペアを示します。これらのペアは、コンパニオン・ペアのいずれかのデバイスでサポートされる利用可能な最大リソースを示すこの章の大部分のリソース可用性テーブルで保持されます。

表 8-2. Stratix II および HardCopy II コンパニオン・デバイス (1/2) 注 (1)

パッケージ	コンパニオン・ペア	
	HardCopyII デバイス	Stratix II デバイス
484 ピン FineLine BGA	HC210	EP2S30
484 ピン FineLine BGA	HC210	EP2S60
484 ピン Hybrid FineLine BGA	HC210	EP2S90 (2)
672 ピン FineLine BGA	HC220	EP2S60
780 ピン FineLine BGA	HC220	EP2S90
780 ピン FineLine BGA	HC220	EP2S130
1,020 ピン FineLine BGA	HC230	EP2S90
1,020 ピン FineLine BGA	HC230	EP2S130

表 8-2. Stratix II および HardCopy II コンパニオン・デバイス (2 / 2)
注 (1)

パッケージ	コンパニオン・ペア	
	HardCopyII デバイス	Stratix II デバイス
1,020 ピン FineLine BGA	HC230	EP2S180
1,020 ピン FineLine BGA	HC240	EP2S180
1,508 ピン FineLine BGA	HC240	EP2S180

表 8-2 の注：

- (1) 表 8-2 には HC210W デバイスは含まれません。HC210W デバイスについて詳しくは、アルテラ・アプリケーション・グループにお問い合わせください。
- (2) これは Hybrid FineLine BGA パッケージです。詳細については、「Stratix ハンドブック Volume 2」の「Stratix II デバイスのパッケージ情報」の章を参照してください。

Quartus II ソフトウェアがデザインを正常にコンパイルすると、Fitter Compilation Report の HardCopy II Device Resource Guide に HardCopy II デバイスへのマイグレーション互換性に関する情報が表示されます。この情報を使用して、リソース要件およびパッケージ特性に基づき、プロトタイプ Stratix II デバイスに最適な HardCopy II デバイスを選択します。

表 8-3 に、HardCopy II デバイスを選択するとき、Stratix II デバイスのプロトタイプ作成に使用可能なリソースを示します。この章では各リソースの可用性を詳細に検討します。

表 8-3. Stratix II および HardCopy II コンパニオン・デバイスのリソース可用性ガイド (1 / 2)
注 (1)

Stratix II および HardCopy II コンパニオン・ デバイス	パッケージ	Stratix II ALM(2)	HardCopy II プロトタイプ作成リソース						
			ロジック用 ASIC ゲート数	ユーザ I/O ピン数 (3)	M4K ブロック数	M-RAM ブロック数	トータル RAM ビット数	18 × 18 乗算器	PLL
EP2S30 HC210	484 ピン FineLine BGA	13,552	360K	334	144	0	663,552	64	4
EP2S60 HC210	484 ピン FineLine BGA	24,176	720K	334	190	0	875,520	144	4
EP2S90 HC210	484 ピン FineLine BGA	36,384	1 M	308	190	0	875,520	192	4

表 8-3. Stratix II および HardCopy II コンパニオン・デバイスのリソース可用性ガイド (2 / 2)
注 (1)

Stratix II および HardCopy II コンパニオン・ デバイス	パッケージ	Stratix II ALM(2)	HardCopy II プロトタイプ作成リソース						
			ロジック用 ASIC ゲート数	ユーザ I/O ピン数 (3)	M4K ブロック数	M-RAM ブロック数	トータル RAM ビット数	18 × 18 乗算器	PLL
EP2S60 HC220	672 ピン FineLine BGA	24,176	720K	492	255	2	2,354,688	144	4
EP2S90 HC220	780 ピン FineLine BGA	36,384	1 M	494	408	2	3,059,712	192	4
EP2S130 HC220	780 ピン FineLine BGA	53,016	1.6 M	494	408	2	3,059,712	252	4
EP2S90 HC230	1,020 ピン FineLine BGA	36,384	1 M	698	408	4	4,239,360	192	8
EP2S130 HC230	1,020 ピン FineLine BGA	53,016	1.6 M	698	609	6	6,345,216	252	8
EP2S180 HC230	1,020 ピン FineLine BGA	71,760	2.2 M	698	614	6	6,368,256	384	8
EP2S180 HC240	1,020 ピン FineLine BGA	71,760	2.2 M	742	768(4)	9	8,847,360	384	12
EP2S180 HC240	1,508 ピン FineLine BGA	71,760	2.2 M	951	768(4)	9	8,847,360	384	12

表 8-3 の注:

- (1) 表 8-3 には HC210W デバイスは含まれません。HC210W デバイスについては、アルテラ・アプリケーション・グループにお問い合わせください。
- (2) ALM: アダプティブ・ロジック・モジュール
- (3) ユーザ I/O ピン数は暫定仕様です。Quartus II ソフトウェアの I/O ピン数は、このピン数に含まれない 1 本の追加ピン PLL_ENA を含みます。
- (4) EP2S180 デバイスでプロトタイプを作成する場合、マイグレーション互換性を確保するために、使用可能な M4K ブロックの総数は 768 に制限されます。

I/O サポート および プランニング

HardCopy II コンパニオン・デバイスは、Stratix II プロトタイプ・デバイスとのピン互換性を提供する、FPGA のドロップ・イン置換デバイスとなっています。したがって、プロトタイプ作成およびフィールド試験用に開発された同じシステム・ボードの HardCopy II デバイスとソフトウェアを使用して、量産製品の早期市場投入を可能にします。

HardCopy II デバイスは、最大 951 本のユーザ I/O ピンを提供します。表 8-4 に、HardCopy II コンパニオン・デバイスを選択し、Stratix II デバイスを割り当てるときに使用可能なすべての I/O ピンを示します。Stratix II デザインで、Stratix II デバイスと HardCopy II コンパニオン・デバイスの両方で提供されていない I/O ピンを使用する場合、Quartus II ソフトウェアは no fitter エラーを発行します。したがって、Stratix II デバイスおよび HardCopy II コンパニオン・デバイスに基づいて、ピン・アサインメントをモニタすることが重要です。

表 8-4. Stratix II および HardCopy II コンパニオン・デバイスのパッケージ・オプションおよび I/O ピン数 注 (1)、(2)

Stratix II デバイス	HC210	HC220		HC230 (3)	HC240 (4)	
	484 ピン FineLine BGA	672 ピン FineLine BGA	780 ピン FineLine BGA	1,020 ピン FineLine BGA	1,020 ピン FineLine BGA	1,508 ピン FineLine BGA
EP2S30	334					
EP2S60	334	492				
EP2S90	308		494	698		
EP2S130			494	698		
EP2S180				698	742	951

表 8-4 の注：

- (1) ユーザ I/O ピン数は暫定仕様です。Quartus II ソフトウェアの I/O ピン数には、このピン数には含まれていない 1 本の追加ピン PLL_ENA が含まれます。PLL_ENA ピンは、汎用 I/O ピンとして使用できず、このデバイスの PLL をイネーブルするためだけに使用できます。
- (2) I/O ピンの総数には、データ入力に使用可能な 8 個のクロック入力専用ピン (clk1p、clk1n、clk3p、clk3n、clk9p、clk9n、clk11p、および clk11n) が含まれます。
- (3) すべての HC230 の組み合わせの I/O ピン数には、データ入力に使用可能な 4 本の fastPLL クロック入力 (FPLL7CLKp/n、FPLL8CLKp/n) が含まれます。
- (4) HC240 の組み合わせの I/O ピン数には、データ入力に使用可能な 8 個の専用 fast PLL クロック入力 (FPLL7CLKp/n、FPLL8CLKp/n、FPLL9CLKp/n、および FPLL10CLKp/n) が含まれます。

HardCopy II デバイスは、Stratix II IOE に適合するさまざまな I/O 機能をサポートする 3 種類の I/O エlement (IOE) を提供します。これらはメモリ・インタフェース IOE、高速 IOE、および汎用 IOE です。

メモリ・インタフェース IOE は、LVTTTL、LVCMOS から SSTL へのシングル・エンド規格および HSTL リファレンス電圧 (V_{REF}) タイプの I/O 規格など、外部メモリ・デバイスで使用される一般的な I/O 規格をサポートします。また、メモリ・インタフェース IOE は、PCI をサポートするための PCI クランプ回路も備えています。

高速 IOE は、LVDS および HyperTransport テクノロジーを利用した差動アプリケーションをサポートします。また、シングル・エンド LVTTTL および LVCMOS I/O 規格もサポートしますが、 V_{REF} I/O 規格はサポートしません。

汎用 IOE は、LVTTTL および LVCMOS I/O 規格をサポートしています。ボトム I/O バンク（バンク 7 および 8）の汎用 IOE は、HardCopy II デバイスの PCI インタフェースをサポートする PCI クランプ回路も搭載しています。



HardCopy II IOE について詳しくは、「HardCopy シリーズ・ハンドブック」の「HardCopy II のアーキテクチャおよび特長の概要」の章を参照してください。

HardCopy II I/O バンク

HardCopy II デバイスは、8 個の汎用 I/O バンクと最大 4 個の enhanced PLL 外部クロック出力バンク（バンク 9、10、11、および 12）を内蔵しています。HC210 および HC220 デバイスは、PLL 出力バンク 9 および 10 のみ備えています。図 8-1 に、HardCopy II I/O バンクおよび PLL の相対的な位置を示します。

すべての HardCopy II デバイスで、左側にある I/O バンク 1 および 2 は高速 IOE バンクです。HC210、HC220、および HC230 の各デバイスで、右側にある I/O バンク 5 および 6 は汎用 IOE ですが、HC240 デバイスでは高速 IOE です。

すべての HardCopy II デバイスで、トップ I/O バンク 3 および 4 はメモリ・インタフェース IOE です。HC210 および HC220 デバイスではボトム I/O バンク 7 および 8 は汎用 IOE ですが、HC230 および HC240 デバイスではメモリ・インタフェース IOE です。デバイスのボトムにある汎用 IOE は PCL クランプをサポートしますが、デバイスの右側にある汎用 IOE はサポートしません。

図 8-1. HardCopy II HC240 の I/O バンク 注 (1)、(2)、(3)、(4)

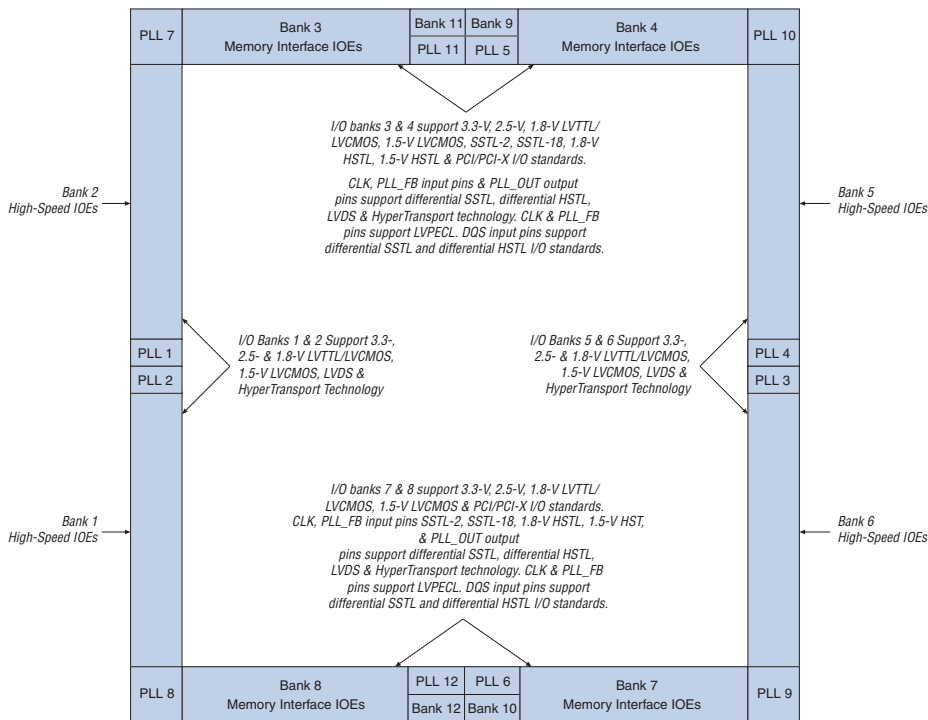


図 8-1 の注:

- (1) 図 8-1 はシリコン・ダイの上面図で、フリップ・チップ・パッケージの裏面図に相当します。これは参考図です。正確なピン配置については、ピン・リストおよび Quartus II ソフトウェアを参照してください。
- (2) 差動 HSTL および差動 SSTL 規格は、DQS ピンでの双方向動作および PLL クロック入力ピンでの入力専用動作に使用できます。また、LVDS、LVPECL、および HyperTransport 規格は PLL クロック入力ピンでの入力専用動作に使用できます。詳しくは、8-22 ページの「差動 I/O 終端」を参照してください。
- (3) HardCopy II デバイスと Quartus II ソフトウェアは、左側 / 右側の I/O バンクでは差動 SSTL および差動 HSTL 規格をサポートしていません。サイド I/O バンクには、 V_{REF} ピンはありません。
- (4) 図 8-1 に、HC240 デバイスを示します。他の HardCopy II デバイスでは、PLL ブロック数が少なくなっています。

IOE のタイプおよびバンク位置ごとのユーザ I/O 数

表 8-5 に、IOE タイプごとの最大 I/O 数を示します。これにより、I/O 規格のサポート要件に基づき、HardCopy II デバイスを選択することができます。

デバイス	パッケージ	メモリ・インタフェース IOE		汎用 IOE		高速 IOE	
		トップ	ボトム	右	ボトム	左	右
HC210	484 ピン FineLine BGA	87		84	79	84	
HC220	672 ピン FineLine BGA	126		124	118	124	
HC220	780 ピン FineLine BGA	126		124	120	124	
HC230 (3)	1,020 ピン FineLine BGA	180	178	152		188	
HC240 (4)	1,020 ピン FineLine BGA	184	182			188	188
HC240 (4)	1,508 ピン FineLine BGA	238	233			240	240

表 8-5 の注：

- (1) ユーザ I/O ピン数は暫定仕様です。Quartus II ソフトウェアの I/O ピン数には、このピン数には含まれていない 1 本の追加ピン PLL_ENA が含まれます。PLL_ENA ピンは、汎用 I/O ピンとして利用できず、このデバイスの PLL をイネーブルするためだけに使用できます。
- (2) I/O ピンの総数には、データ入力に使用可能な 8 個のクロック入力専用ピン (clk1p、clk1n、clk3p、clk3n、clk9p、clk9n、clk11p、および clk11n) が含まれます。
- (3) すべての HC230 の組み合わせの I/O ピン数には、データ入力に使用可能な 4 本の fastPLL クロック入力 (FPLL7CLKp/n、FPLL8CLKp/n) が含まれます。
- (4) HC240 の組み合わせの I/O ピン数には、データ入力に使用可能な 8 個の専用 fast PLL クロック入力 (FPLL7CLKp/n、FPLL8CLKp/n、FPLL9CLKp/n、および FPLL10CLKp/n) が含まれます。

HardCopy II でサポートされる I/O 規格

表 8-6 に、HardCopy II デバイスがサポートする I/O 規格を、IOE のタイプごとに示します。このリストはユーザ I/O ピンのみを対象にしています。

I/O 規格	タイプ	V _{CCIO} Level (V)		メモリ・ インタフェース IOE	汎用 IOE	高速 IOE
		入力	出力			
3.3-V LVTTTL/LVCMOS	シングル・エンド	3.3/2.5	3.3	√	√	√
2.5-V LVTTTL/LVCMOS	シングル・エンド	3.3/2.5	2.5	√	√	√
1.8-V LVTTTL/LVCMOS	シングル・エンド	1.8/1.5	1.8	√	√	√
1.5-V LVCMOS	シングル・エンド	1.8/1.5	1.5	√	√	√
SSTL-2 Class I および II	リファレンス電圧	2.5	2.5	√		
SSTL-18 class I and II	リファレンス電圧	1.8	1.8	√		
1.8-V HSTL Class I および II	リファレンス電圧	1.8	1.8	√		
1.5-V HSTL Class I および II	リファレンス電圧	1.5	1.5	√		
PCI / PCI-X	シングル・エンド	3.3	3.3	√	(1)	
差動 SSTL-2 Class I および II 入力	擬似差動 (3)	3.3/2.5/ 1.8/1.5		(2)		
差動 SSTL-2 Class I および II 出力	擬似差動 (3)		2.5	(2)		
差動 SSTL-18 Class I および II 入力	擬似差動 (3)	3.3/2.5/ 1.8/1.5		(2)		
差動 SSTL-18 Class I および II 出力	擬似差動 (3)		1.8	(2)		
1.8-V 差動 HSTL Class I および II 入力	擬似差動 (3)	3.3/2.5/ 1.8/1.5			1.8/1.5	(2)
1.8-V 差動 HSTL Class I および II 出力	擬似差動 (3)		1.8	(2)		
1.5-V 差動 HSTL Class I および II 入力	擬似差動 (3)	3.3/2.5/ 1.8/1.5		(2)		
1.5-V 差動 HSTL Class I および II 出力	擬似差動 (3)		1.5	(2)		

表 8-6. Hardcopy II のユーザ I/O ピンでサポートされる I/O 規格 (2 / 2)

I/O 規格	タイプ	V _{CCIO} Level (V)		メモリ・ インタフェース IOE	汎用 IOE	高速 IOE
		入力	出力			
LVDS	差動	2.5	2.5			√
HyperTransport™ テクノロジー	差動	2.5	2.5			√

表 8-6 の注:

- (1) Stratix II デバイス同様、オプションの PCI クランプはカラム I/O ピンでのみ使用可能です。右側のロウ I/O ピンの汎用 IOE は、PCI クランプをサポートしません。
- (2) Stratix II デバイス同様、これらの I/O 規格は、すべての HardCopy II デバイスの I/O バンク 9、10、11、および 12 の入力クロック・ピン、出力クロック・ピン、およびトップ I/O バンク 3、4 の DQS ピン、および HC230 および HC240 デバイスのボトム I/O バンク 7 および 8 の DQS ピンでのみ使用可能です。
- (3) 擬似差動 HSTL および SSTL 入力は、高速バスで正の極性入力のみ使用します。負入力は内部接続されません。擬似差動 HSTL および SSTL 出力は、2 番目の出力が反転するようプログラムされた 2 つのシングル・エンド出力を使用します。これは Stratix II デバイスの実装に似ています。

表 8-7 に、HardCopy II デバイスがサポートする I/O 規格を示します。
表 8-7 は、クロック入力、クロック出力、および PLL フィードバック・
ピンで構成されています。

表 8-7. Hardcopy II でサポートされる I/O 規格 (入力クロック、クロック出力、および PLL フィードバック) (1 / 3)

I/O 規格	タイプ	V _{CCIO} レベル (V)		CLK [0..3, 8..11]	CLK [4.0.7, 12.0.15]	FPLL_CLK (3)	PLL_OUT (4)	PLL_FB (5)
		入力	出力	(1)	(2)			
3.3-V LVTTTL / LVCMOS	シングル・ エンド	3.3/2.5	3.3	√	√	√	√	√
2.5-V LVTTTL / LVCMOS	シングル・ エンド	3.3/2.5	2.5	√	√	√	√	√
1.8-V LVTTTL / LVCMOS	シングル・ エンド	1.8/1.5	1.8	√	√	√	√	√
1.5-V LVCMOS	シングル・ エンド	1.8/1.5	1.5	√	√	√	√	√
SSTL-2 class I	リファレンス 電圧	2.5	2.5		√		√	√
SSTL-2 class II	リファレンス 電圧	2.5	2.5		√		√	√
SSTL-18 class I	リファレンス 電圧	1.8	1.8		√		√	√

表 8-7. Hardcopy II でサポートされる I/O 規格 (入力クロック、クロック出力、および PLL フィードバック) (2 / 3)

I/O 規格	タイプ	V _{CCIO} レベル (V)		CLK [0..3, 8..11]	CLK [4.0.7, 12.0.15]	FPLL_CLK (3)	PLL_OUT (4)	PLL_FB (5)
		入力	出力	(1)	(2)			
SSTL-18 class II	リファレンス電圧	1.8	1.8		√		√	√
1.8-V HSTL Class I	リファレンス電圧	1.8	1.8		√		√	√
1.8-V HSTL Class II	リファレンス電圧	1.8	1.8		√		√	√
1.5-V HSTL Class I	リファレンス電圧	1.5	1.5		√		√	√
1.5-V HSTL Class II	リファレンス電圧	1.5	1.5		√		√	√
PCI / PCI-X	シングル・エンド	3.3	3.3		√		√	√
差動 SSTL-2 Class I および II 入力	擬似差動 (6)	3.3/2.5/ 1.8/1.5			√			√
差動 SSTL-2 Class I および II 出力	擬似差動 (6)		2.5				√	√
差動 SSTL-18 Class I および II 入力	擬似差動 (6)	3.3/2.5/ 1.8/1.5			√			√
差動 SSTL-18 Class I および II 出力	擬似差動 (6)		1.8				√	√
1.8-V 差動 HSTL Class I および II 入力	擬似差動 (6)	3.3/2.5/ 1.8/1.5			√			√
1.8-V 差動 HSTL Class I および II 出力	擬似差動 (6)		1.8				√	√
1.5-V 差動 HSTL Class I および II 入力	擬似差動 (6)	3.3/2.5/ 1.8/1.5			√			√
1.5-V 差動 HSTL Class I および II 出力	擬似差動 (6)		1.5				√	√
LVDS 入力	差動	2.5		√	√	√		√
LVDS 出力	差動		2.5				√	√
HyperTransport テクノロジ入力	差動	2.5		√	√	√		√
HyperTransport テクノロジ出力	差動		2.5V				√	√

表 8-7. Hardcopy II でサポートされる I/O 規格 (入力クロック、クロック出力、および PLL フィードバック) (3 / 3)

I/O 規格	タイプ	V _{CCIO} レベル (V)		CLK [0..3, 8..11]	CLK [4.0.7, 12.0.15]	FPLL_CLK (3)	PLL_OUT (4)	PLL_FB (5)
		入力	出力	(1)	(2)			
LVPECL 入力	差動	3.3/2.5/ 1.8/1.5	(7)		√		√	√

表 8-7 の注:

- (1) HC210、HC220、および HC230 デバイスの CLK8 および CLK10 ピンは、差動規格 LVDS および HyperTransport テクノロジをサポートしません。これらのデバイスの CLK ピンでは、LVTTTL のみサポートされます。
- (2) HC210 および HC220 デバイスの CLK[4..7] ピンは、SSTL、HSTL、差動 SSTL、および HSTL 入力または出力をサポートしません。
- (3) HC230 は、2 本の高速 PLL クロック、FPLL[7..8]CLK のみ備えています。HC240 は、4 本の FPLL クロック、FPLL[7..10]CLK を備えています。
- (4) HC210 および HC220 デバイスの PLL6_OUT ピンは、SSTL、HSTL、差動 SSTL、および HSTL 入力または出力をサポートしません。
- (5) HC210 および HC220 デバイスの PLL6_FB ピンは、SSTL、HSTL、差動 SSTL、および HSTL 入力または出力をサポートしません。
- (6) 擬似差動 HSTL および SSTL 入力は、高速バスで正の極性入力のみ使用します。負入力は内部接続されません。擬似差動 HSTL および SSTL 出力は、2 番目の出力が反転するようプログラムされた 2 つのシングル・エンド出力を使用します。これは Stratix II デバイスの実装に似ています。
- (7) これはサポートされていません。

外部メモリ・ インタフェー ス・サポート

Stratix II デバイス同様、HardCopy II の I/O ピンは、DDR および DDR2 SDRAM、QDR II SRAM、RLDRAM II、SDR SDRAM など、外部メモリにインタフェースするための専用位相シフト回路を内蔵しています。各 DQS ピンで補正される遅延エレメントは、自動的に入力 DQS 同期化信号に対応する DQ データ信号のデータ・ウィンドウに整合させます。

すべての HardCopy II デバイスにおいて、トップ I/O バンク (3 および 4) は、DQ 信号および DQS 信号を $\times 4$ 、 $\times 8/\times 9$ 、 $\times 16/\times 18$ および最大 $\times 32/\times 36$ の DQ バス・モードでサポートします。トップ・バンクは、トップ・バンクにあるすべての DQS ピンに対する補正遅延エレメントをコントロールする位相シフト・リファレンス回路を内蔵しています。

HC230 および HC240 HardCopy II デバイスにおいて、ボトム I/O バンク (7 および 8) は、DQ および DQS 信号を $\times 4$ 、 $\times 8/\times 9$ 、 $\times 16/\times 18$ および $\times 32/\times 36$ の DQ バス・モードでサポートします。トップ・バンク同様、これらのデバイスのボトム I/O バンクもボトム DQS ピンの遅延エレメントを制御する位相シフト・リファレンス回路を内蔵しています。

表 8-8 に、各コンパニオン・デバイス・ペアでサポートされる DQ バスおよび DQS バスの数を示します。(3)

表 8-8. Stratix II および HardCopy II コンパニオン・デバイスでサポートされる DQ および DQS バス・モード 注 (1)					
Stratix II および HardCopy II コンパニオン・デバイス	パッケージ	×4 グループ数	×8/×9 モードの グループ数	×16/×18 モードの グループ数	×32/×36 モードの グループ数
EP2S30 HC210 (2)	484 ピン FineLine BGA	4	2		
EP2S60 HC210 (2)	484 ピン FineLine BGA	4	2		
EP2S90 HC210 (2)	484 ピン FineLine BGA	4	2		
EP2S60 HC220 (2)	672 ピン FineLine BGA	9	4	2	
EP2S90 HC220 (2)	780 ピン FineLine BGA	9	4	2	
EP2S130 HC220 (2)	780 ピン FineLine BGA	9	4	2	
EP2S90 HC230 (3)	1,020 ピン FineLine BGA	36	18	8	4
EP2S130 HC230 (3)	1,020 ピン FineLine BGA	36	18	8	4
EP2S180 HC230 (3)	1,020 ピン FineLine BGA	36	18	8	4
EP2S180 HC240	1,020 ピン FineLine BGA	36	18	8	4
EP2S180 HC240	1,508 ピン FineLine BGA	36	18	8	4

表 8-8 の注：

- (1) DQ および DQS の数は暫定仕様です。
- (2) HardCopy II デバイス HC210 および HC220 は、トップ I/O バンクでのみメモリ・インタフェースをサポートします。対応する Stratix II コンパニオンと異なり、これらのデバイスは DIMM をサポートできません。
- (3) 対応する Stratix II コンパニオン同様、これらのデバイスおよびパッケージの組み合わせは、×4 および ×8/×9 モードで 2 つの 64 または 72 ビット DIMM をサポートできます。

LVDS、SERDES、および DPA の互換性

HardCopy II デバイスは、最大 116 のトランスミッタ / レシーバ・ペアを提供します。Stratix II デバイス同様、これらの差動 I/O ピンはロウ I/O ピン上に配置されています。HC240 デバイスの左および右バンクは、差動伝送をサポートする高速 IOE です。HC210、HC220、および HC230 デバイスは、左側にあるバンクで差動伝送のみサポートします。SERDES および DPA を含む LVDS および HyperTransport テクノロジー・インタフェース機能は、Stratix II デバイスと同じです。

表 8-9 に、HardCopy II と Stratix II のコンパニオン・ペアでサポートされる最大差動チャンネルを示します。

Stratix II および HardCopy II コンパニオン・デバイス	パッケージ	トランスミッタ	レシーバ
EP2S30 HC210 (2)	484 ピン FineLine BGA	19	21
EP2S60 HC210 (2)	484 ピン FineLine BGA	19	21
EP2S90 HC210 (2)	484 ピン FineLine BGA	19	21
EP2S60 HC220 (2)	672 ピン FineLine BGA	29	31
EP2S90 HC220 (2)	780 ピン FineLine BGA	29	31
EP2S130 HC220 (2)	780 ピン FineLine BGA	29	31
EP2S90 HC230 (2)	1,020 ピン FineLine BGA	44	46
EP2S130 HC230 (2)	1,020 ピン FineLine BGA	44	46
EP2S180 HC230 (2)	1,020 ピン FineLine BGA	44	46
EP2S180 HC240 (3)	1,020 ピン FineLine BGA	88	92

**表 8-9. Stratix II および HardCopy II コンパニオン・デバイスでの差
動チャンネル (2 / 2) 注 (1)**

Stratix II および HardCopy II コンパニオン・デバイス	パッケージ	トランスミッタ	レシーバ
EP2S180 HC240 (3)	1,508 ピン FineLine BGA	116	116

表 8-9 の注：

- (1) ピン数には専用 PLL 入力および出力ピンは含まれていません。
- (2) HC210、HC220、および HC230 デバイスのレシーバ・チャンネルの総数には、オプションでデータ・チャンネルとして使用可能な 2 本の非専用クロック・チャンネルが含まれます。
- (3) HC240 デバイスのレシーバ・チャンネルの総数は、オプションでデータ・チャンネルとして利用可能な 4 本の非専用クロック・チャンネルが含まれます。

プログラマブルなドライブ強度のサポート

最大電流強度の設定は Quartus II ソフトウェアにおけるデフォルト設定で、最大 I/O 性能を達成します。Stratix II デバイスの各 I/O ピンの出力バッファには、特定の I/O 規格に適合させるためのプログラマブルなドライブ強度コントロール機能が内蔵されています。

HardCopy II によるこれらの設定のサポートは、Stratix II デバイスとは異なります。表 8-10 に示すように、HardCopy II HC210 および HC220 デバイスの互換性のために、Stratix II コンパニオン・デバイスの I/O ドライブ設定を制限する必要があります。

表 8-10. HC210 および HC220 デバイスのプログラマブル・ドライブ強度

I/O 規格	トップ・カラム I/O ピンに対する I_{OH} および I_{OL} の設定電流値 (mA)	ボトム・カラム I/O ピンに対する I_{OH} および I_{OL} の設定電流値 (mA)	左のロウ I/O ピンに対する I_{OH} および I_{OL} の設定電流値 (mA)	右のロウ I/O ピンに対する I_{OH} および I_{OL} の設定電流値 (mA)
3.3-V LVTTTL	24, 20, 12, 8, 4 (1)	12, 8, 4 (1)	12, 8, 4	12, 8, 4
3.3-V LVCMOS	24, 20, 12, 8, 4 (1)	8, 4 (1)	8, 4	8, 4
2.5-V LVTTTL/LVCMOS	16, 12, 8, 4	12, 8, 4 (1)	12, 8, 4	12, 8, 4
1.8-V LVTTTL/LVCMOS	12, 10, 8, 6, 4, 2	8, 6, 4, 2 (1)	8, 6, 4, 2	8, 6, 4, 2
1.5-V LVCMOS	8, 6, 4, 2	4, 2 (1)	4, 2	4, 2
SSTL-2 class I	12, 8	(2)	(3)	(3)
SSTL-2 class II	24, 20, 16	(2)	(3)	(3)
SSTL-18 class I	12, 10, 8, 6, 4	(2)	(3)	(3)
SSTL-18 class II	20, 18, 16, 8	(2)	-	-
HSTL-18 class I	12, 10, 8, 6, 4	(2)	-	-
HSTL-18 class II	20, 18, 16	(2)	-	-
HSTL-15 class I	12, 10, 8, 6, 4	(2)	-	-
HSTL-15 class II	20, 18, 16	(2)	-	-

表 8-10 の注:

- (1) HardCopy II デバイスは、Stratix II プロトタイプ・デバイスで使用可能な設定の一部をサポートしません。詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix II デバイス・ファミリ・データシート」を参照してください。
- (2) HC220 および HC210 デバイスは、ボトム I/O ピンのメモリ・インタフェース規格をサポートしません。
- (3) ロウ I/O ピンは、SSTL I/O 規格をサポートしません。

同様に、表 8-11 に示すように、HardCopy II HC230 および HC240 デバイスをコンパニオン・デバイスとして使用するときは、I/O ドライブ設定を制限する必要があります。

I/O 規格	カラム I/O ピンに対する I_{OH} および I_{OL} の設定電流値 (mA)	ロウ I/O ピンに対する I_{OH} および I_{OL} の設定電流値 (mA)
3.3-V LVTTTL	24, 20, 16, 12, 8, 4 (1)	12, 8, 4
3.3-V LVCMOS	24, 20, 16, 12, 8, 4 (1)	8, 4
2.5-V LVTTTL/LVCMOS	16, 12, 8, 4	12, 8, 4
1.8-V LVTTTL/LVCMOS	12, 10, 8, 6, 4, 2	8, 6, 4, 2
1.5-V LVCMOS	8, 6, 4, 2	4, 2
SSTL-2 class I	12, 8	(2)
SSTL-2 class II	24, 20, 16	(2)
SSTL-18 class I	12, 10, 8, 6, 4	(2)
SSTL-18 class II	20, 18, 16, 8	-
HSTL-18 class I	12, 10, 8, 6, 4	-
HSTL-18 class II	20, 18, 16	-
HSTL-15 class I	12, 10, 8, 6, 4	-
HSTL-15 class II	20, 18, 16	-

表 8-11 の注：

- (1) HardCopy II デバイスは、Stratix II プロトタイプ・デバイスで使用可能な設定の一部をサポートしません。詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix II デバイス・ファミリー・データシート」を参照してください。
- (2) ロウ I/O ピンは、SSTL I/O 規格をサポートしません。

On-Chip Termination (チップ内 終端)

Stratix II デバイス同様、HardCopy II デバイスは、I/O インピーダンス・マッチングおよび終端機能を提供する On-Chip Termination (OCT) を内蔵しています。Stratix II プロトタイプ・デバイスとの互換性を維持するため、HardCopy II デバイスはシングル・エンド I/O 規格向け直列 On-Chip Termination (RS) および差動 I/O 規格向け差動 On-Chip Termination (RD) をサポートします。ただし、一部の HardCopy II ピンは、同じ Stratix II ピンで使用可能な On-Chip Termination をサポートしません。この項では、HardCopy II デバイスがサポートする終端方法について説明します。

直列 On-Chip Termination

Stratix II および HardCopy II デバイスは、シングル・エンド I/O 規格に対するドライブ強度コントロール機能により、I/O ドライバ直列 On-Chip TerminationRS をサポートします。Stratix II および Hardcopy II デバイ스에 RS を実装する方法は次の 2 つです。

- ロウおよびカラム I/O ピンに対するキャリブレーションなし RS
- カラム I/O ピン専用キャリブレーション付き RS

キャリブレーションなし直列 On-Chip Termination

HardCopy II デバイスは、伝送線路のインピーダンスを厳密に一致させるための出力ドライバ・インピーダンス・マッチングをサポートします。マッチング・インピーダンスを選択すると、プログラマブル電流ドライブ強度は選択不能になります。表 8-12 に、キャリブレーションなし直列 On-Chip Termination をサポートする HardCopy II HC230 および HC240 出力規格を示します。

表 8-12. HC230 および HC240 のキャリブレーションなし直列 On-Chip Termination 付き選択可能な I/O ドライブ 注 (1)

I/O 規格	カラム I/O ピン数	ロウ I/O ピン数
3.3-V LVTTTL	25 または 50 Ω	25 または 50 Ω
3.3-V LVCMOS	25 または 50 Ω	25 または 50 Ω
2.5-V LVTTTL	25 または 50 Ω	25 または 50 Ω
2.5-V LVCMOS	25 または 50 Ω	25 または 50 Ω
1.8-V LVTTTL	25 または 50 Ω	50 Ω
1.8-V LVCMOS	25 または 50 Ω	50 Ω
1.5-V LVTTTL	50 Ω	
1.5-V LVCMOS	50 Ω	
2.5-V SSTL class I	50 Ω	(2)
2.5-V SSTL class II	25 Ω	(2)
1.8-V SSTL class I	50 Ω	(2)
1.8-V SSTL class II	25 Ω	
1.8-V HSTL Class I	50 Ω	(2)
1.8-V HSTL Class II	25 Ω	
1.5-V HSTL Class I	(3)	

表 8-12 の注:

- (1) シリコン特性評価まで、これらの数値は暫定仕様です。
- (2) HardCopy II HC230 および HC240 デバイスのこれらのピンの I/O 規格では、直列 On-Chip Termination をサポートしません。
- (3) サポートは HardCopy II の特性評価待ちです。

表 8-13 に、キャリブレーションなし直列 On-Chip Termination をサポートする HardCopy II HC210 および HC220 出力規格を示します。

I/O 規格	トップ・カラム I/O ピン数	ボトム・カラム I/O ピン数	左のロウ I/O ピン数	右のロウ I/O ピン数
3.3-V LVTTTL	25 または 50 Ω	25 または 50 Ω	25 または 50 Ω	25 または 50 Ω
3.3-V LVCMOS	25 または 50 Ω	25 または 50 Ω	25 または 50 Ω	25 または 50 Ω
2.5-V LVTTTL	25 または 50 Ω	25 または 50 Ω	25 または 50 Ω	25 または 50 Ω
2.5-V LVCMOS	25 または 50 Ω	25 または 50 Ω	25 または 50 Ω	25 または 50 Ω
1.8-V LVTTTL	25 または 50 Ω	50 Ω	50 Ω	50 Ω
1.8-V LVCMOS	25 または 50 Ω	50 Ω	50 Ω	50 Ω
1.5-V LVTTTL	(3)	(2)		
1.5-V LVCMOS	(3)	(2)		
2.5-V SSTL class I	50 Ω	(2)	(2)	(2)
2.5-V SSTL class II	25 Ω	(2)	(2)	(2)
1.8-V SSTL class I	50 Ω	(2)	(2)	(2)
1.8-V SSTL class II	25 Ω	(2)		
1.8-V HSTL Class I	50 Ω	(2)	(2)	(2)
1.8-V HSTL Class II	25 Ω	(2)		
1.5-V HSTL Class I	(3)	(2)		

表 8-13 の注:

- (1) シリコン特性評価まで、これらの数値はすべて暫定使用です。
- (2) HardCopy II HC210 および HC220 デバイスのこれらのピンの I/O 規格は、直列 On-Chip Termination をサポートしません。
- (3) サポートは HardCopy II の特性評価待ちです。

キャリブレーション付き直列 On-Chip Termination

Stratix II デバイスは、トップおよびボトム・バンクでカラム I/O ピンのキャリブレーション付き直列 On-Chip Termination をサポートします。HC230 および HC240 デバイスも、トップおよびボトム・バンクでカラム I/O ピンのキャリブレーション付き直列 On-Chip Termination をサポートしますが、HC220 および HC210 デバイスは、トップ I/O バンクでのみこの機能をサポートします。表 8-14 に、キャリブレーションされた直列終端をサポートする HardCopy II デバイスで使用可能な I/O 規格を示します。

表 8-14. HardCopy II のキャリブレーション付き直列 On-Chip Termination 付き選択可能な I/O ドライバ 注 (1)

I/O 規格	HC230、HC240 の カラム I/O ピン	HC210、HC220 の トップ・カラム I/O ピン (2)
3.3-V LVTTTL	25 または 50 Ω	25 または 50 Ω
3.3-V LVCMOS	25 または 50 Ω	25 または 50 Ω
2.5-V LVTTTL	25 または 50 Ω	25 または 50 Ω
2.5-V LVCMOS	25 または 50 Ω	25 または 50 Ω
1.8-V LVTTTL	25 または 50 Ω	25 または 50 Ω
1.8-V LVCMOS	25 または 50 Ω	25 または 50 Ω
1.5-V LVTTTL	(3)	50 Ω
1.5-V LVCMOS	(3)	50 Ω
2.5-V SSTL class I	50 Ω	50 Ω
2.5-V SSTL class II	25 Ω	50 Ω
1.8-V SSTL class I	50 Ω	50 Ω
1.8-V SSTL class II	25 Ω	25 Ω
1.8-V HSTL Class I	50 Ω	50 Ω
1.8-V HSTL Class II	25 Ω	25 Ω
1.5-V HSTL Class I	(3)	50 Ω

表 8-14 の注：

- (1) シリコン特性評価まで、これらの数値は暫定仕様です。
- (2) HardCopy II HC210 および HC220 デバイスは、ボトム I/O ピンでキャリブレーション付き直列 On-Chip Termination をサポートしません。
- (3) サポートは HardCopy II の特性評価待ちです。

差動 I/O 終端

FPGA 同様、HardCopy II デバイスは、LVDS および HyperTransport テクノロジ規格用の各差動レシーバ・チャネルのオンチップ 100 Ω 差動終端オプションを提供します。HC240 デバイスをコンパニオン・デバイスとして使用すると、差動終端が LVDS および HyperTransport テクノロジ規格をサポートするすべてのロウ I/O ピンでサポートされます。

HC230、HC220、および HC210 デバイスを使用する場合、左のロウ I/O ピンのみが差動終端をサポートします。右のロウ I/O ピンは、LVDS および HyperTransport テクノロジ規格をサポートしません。

表 8-15 に、差動終端のサポートを示します。

I/O 規格	HC240 の左 および右バンク (1、2、5、6)	HC240 のトップ および ボトム・バンク (3、4、7～12)	HC230、HC210、 HC220 の 左側のバンク (1 および 2)	HC230、HC210、 HC220 の その他のバンク (3～12)
LVDS	√		√	
HyperTransport テクノロジー	√		√	
クロック入力 (3)	√		√	

表 8-15 の注：

- (1) HC230、HC220、および HC210 デバイスの左のクロック・ピン CLK0 および CLK2 は、差動 On-Chip Termination をサポートします。
- (2) FPLL[7..10]CLK を含む他のクロック・ピンは、差動 On-Chip Termination をサポートしません。
- (3) HardCopy II HC240 デバイスのクロック・ピン CLK0、CLK2、CLK8、および CLK10 は、Stratix II デバイス同様、差動 On-Chip Termination をサポートします。

Stratix II および HardCopy II コンパニオン・ メモリ・ ブロック

HardCopy II デバイスの RAM ビット範囲は、663 k ビット～8.8 M ビットです。HardCopy II メモリ・ブロックの機能は、Stratix II メモリ・ブロックと同等です。HardCopy II メモリ・ブロックは、シンプルおよびトウラー・デュアル・ポート・モード、FIFO、パリティ・ビット、ROM モード、およびその他の機能を含む「HardCopy シリーズ・ハンドブック」の「HardCopy II のアーキテクチャおよび特長の概要」の章に記載されている各種 Stratix II デバイス・メモリ・コンフィギュレーションを実装できます。HardCopy II デバイスと Stratix II デバイスの違いの 1 つは、HardCopy II デバイスは M512 ブロックをサポートしないことです。また、HardCopy II M4K ブロックを RAM として使用する場合、メモリ初期化ファイル (.mif) で事前にロードすることはできません。

表 8-16 に、Stratix II FPGA を HardCopy II コンパニオン・デバイスと一緒にコンパイルするときのメモリ・ブロックの全機能を示します。選択した Stratix II および HardCopy II ペアのメモリ要件を最適化する場合、表 8-16 をガイドとして使用してください。

表 8-16. Stratix II および HardCopy II コンパニオン・デバイスの トータル RAM ブロック数				
Stratix II および HardCopy II コンパニオン・ デバイス	パッケージ	M4K ブロック数	M-RAM ブロック数	トータル RAM ビット数
EP2S30 HC210	484 ピン FineLine BGA	144	0	663,552
EP2S60 HC210	484 ピン FineLine BGA	190	0	875,520
EP2S90 HC210	484 ピン FineLine BGA	190	0	875,520
EP2S60 HC220	672 ピン FineLine BGA	255	2	2,354,688
EP2S90 HC220	780 ピン FineLine BGA	408	2	3,059,712
EP2S130 HC220	780 ピン FineLine BGA	408	2	3,059,712
EP2S90 HC230	1,020 ピン FineLine BGA	408	4	4,239,360
EP2S130 HC230	1,020 ピン FineLine BGA	609	6	6,345,216
EP2S180 HC230	1,020 ピン FineLine BGA	614	6	6,368,256
EP2S180 HC240	1,020 ピン FineLine BGA	768(1)	9	8,847,360
EP2S180 HC240	1,508 ピン FineLine BGA	768(1)	9	8,847,360

表 8-16 の注:

- (1) 使用可能なトータル M4K ブロック数は、EP2S180 デバイスを使用してプロトタイプを作成する場合のマイグレーション互換性のために 768 に制限されています。

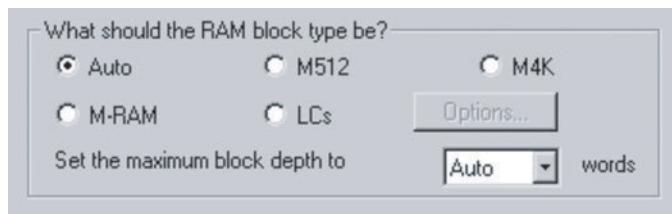
M512 ブロックは HardCopy II デバイスではサポートされないため、表 8-16 には記載されていません。また、HC210 デバイスは M-RAM ブロックを内蔵していません。互換性ガイドラインの一部については、次の項で説明します。

M512 オプション

HardCopy II デバイスは M512 ブロックをサポートしません。Quartus II ソフトウェアを使用して、HardCopy II コンパニオン・デバイスで Stratix II デザインをコンパイルする場合、**Device Settings** ダイアログ・ボックス (Assignments メニュー) の **Limit DSP and RAM to HardCopy II Resources** ボックスをチェックする必要があります。これにより、すべてのメモリ・ブロックが使用可能な HardCopy II のリソースに自動的に配置されます。このボックスをチェックしないと、Quartus II ソフトウェアが M512 ブロックなどの HardCopy II デバイスで使用できず、Stratix II デバイスで使用可能なメモリ・リソースを使用する場合があります。ただし、HardCopy II デバイスへの移行は許可されず、このことは Quartus II フィッタ・レポートに示されます。


HardCopy II デザインでは、M512 ブロックの代わりに M4K メモリ・ブロックを使用してメモリ・デザインを実装できます。Quartus II メガファンクションは、M4K ブロックを使用する各種メモリ実装を提供します。Quartus II MegaWizard® Plug-In Manager を使用してメガファンクションをコンフィギュレーションする場合、アルテラでは **Auto** オプションを選択して、Quartus II ソフトウェアでデザインをメモリ・ブロックに実装する方法を決定することを推奨しています (図 8-2)。これにより、Quartus II ソフトウェアで、選択した HardCopy II および Stratix II コンパニオン・ペアのメモリ・サイズおよび使用可能なメモリ・ブロックへの配置要件に基づき、メモリ選択を最適化することができます。

図 8-2. Quartus II メガファンクション RAM 選択



メガファンクションでロジック・セルを選択して、デザインに小さなメモリ・ブロックを実装することができます。これにより、メモリ・デザインが Stratix II ALM または HardCopy II HCells に実装されます。しか

し、M4K または M-RAM ブロック、あるいは ALM（または HCell）のいずれを選択するかにより、消費電力と性能のトレード・オフが発生することがあります。HardCopy II デバイスは、未使用の M4K ブロック、M-RAM ブロック、および HCell をパワー・ダウンします。

 **図 8-2** にあるとおり、ロジック・セルを使用してメモリ・ブロックを実装することで、M512 ブロックと同等のメモリ実装機能またはリソースを保存するための不等価オプションを選択することができます。アルテラでは、M512 ブロックと機能的に同等のバージョンのオプションを選択することを推奨しています。

8 × 16 シングル・ポート RAM などの非常に小さなメモリを実装する場合、M4K または M-RAM ブロックは利用率が低く、少数の HCell を実装する場合と比較して電力効率が低下する場合があります。ロジック・セル・オプションを選択する場合、Stratix II デバイスで必要となる ALM はわずかであり、ALM は HardCopy II デバイスで使用される少数の HCell に変換されます。しかし、性能が重要な要素であるか、他のロジックを実装するためにデザインで ALM が必要な場合、M4K ブロックを使用の方がより効率的であることがあります。アルテラでは、Quartus II ソフトウェアを使用して、与えられたオプション間の性能トレード・オフを解析することを推奨しています。

M4K の使用

HardCopy II M4K ブロックの機能は、Stratix II M4K ブロックの機能に類似しています。HardCopy II M4K ブロックを RAM として使用する場合、メモリ初期化ファイル (.mif) で事前にロードすることはできません。また、Stratix II デバイスと異なり、HardCopy II M4K RAM の内容および出力レジスタは、パワーアップ後は不定です。ただし、HardCopy II M4K ブロックを ROM として指定すると、ROM の内容によりパワーアップされます。M4K ブロックを RAM として設計する場合、アルテラでは不定の初期パワーアップ・データ条件の読み出しを回避するために、M4K ブロックから読み出しを行う前に書き込みを実行することを推奨しています。Stratix II RAM ブロックを上回る利点の 1 つが、未使用の M4K ブロックを電源レールから切り離され、全体の消費電力を最適化できることです。

M-RAM の互換性

HardCopy II M-RAM ブロックの機能は、Stratix II M-RAM ブロックの機能と同じです。HardCopy II M-RAM ブロックの主要な機能の 1 つが、M-RAM ブロックが使用されない場合の電力最適化です。未使用の M-RAM ブロックは電源レールから切り離され、全体の消費電力が最適化されます。



一部の Stratix II デバイス（エンジニアリング・サンプル・デバイスおよびリビジョン A 製造デバイス）の M-RAM 機能は、現在の Stratix II 製造デバイスとは多少異なります。HardCopy II M-RAM の機能は、現在の Stratix II デバイスの M-RAM 機能とのみ一致します。したがって、適切な互換性を維持するために、現在の Stratix II 製造デバイスに対してのみコンパイルがサポートされています。Stratix II M-RAM の詳細な正誤表は、アルテラ・ウェブサイト (www.altera.co.jp) にある Stratix II FPGA Family Errata Sheet を参照してください。

表 8-17 に、M4K および M-RAM ブロックでサポートされている機能を示します。この情報は、「HardCopy シリーズ・ハンドブック」の「HardCopy II のアーキテクチャおよび特長の概要」の章でも参照することができます。

特長	M4K ブロック数	M-RAM ブロック数
トータル RAM ビット数 (パリティ・ビットを含む)	4,608	589,824
構成	4K × 1 2K × 2 1K × 4 512 × 8 512 × 9 256 × 16 256 × 18 128 × 32 128 × 36	64K × 8 64K × 9 32K × 16 32K × 18 16K × 32 16K × 36 8K × 64 8K × 72 4K × 128 4K × 144
パリティ・ビット	√	√
バイト・イネーブル	√	√
バック・モード	√	√
アドレス・クロック・イネーブル	√	√
シングル・ポート・メモリ	√	√
シングル・デュアル・ポート・メモリ	√	√
トータル・デュアル・ポート・メモリ	√	√
エンベデッド・シフト・レジスタ	√	—
ROM	√	—

特長	M4K ブロック数	M-RAM ブロック数
FIFO バッファ	√	√
シンプル・デュアル・ポートの異なるデータ幅のサポート	√	√
トゥルー・デュアル・ポートの異なるデータ幅のサポート	√	√
メモリ初期化ファイル (.mif)	(1)	—
混合クロック・モード	√	√
パワーアップ条件	出力は不定	出力は不定
レジスタ・クリア	出力レジスタのみ	出力レジスタのみ
同一ポートに対する Read-During-Write	正クロック・エッジで新しいデータ利用可能	正クロック・エッジで新しいデータ利用可能
混在ポートに対する Read-During-Write	出力は不定または旧データに設定	不定の出力
未使用 RAM ブロックのパワーダウン (2)	√	√

表 8-17 の注:

- (1) Stratix II M4K ブロックは、.mif ファイルのロードをサポートします。
- (2) Stratix II メモリ・ブロックは、使用されないときでもパワーアップされた状態のままです。

PLL プランニング および利用

Stratix II デバイスは、enhanced PLL および fast PLL をサポートします。HardCopy II デバイスも enhanced PLL および fast PLL をサポートしますが、Stratix と 2 つの点で異なります。

- HardCopy II デバイスの PLL 数は、Stratix II デバイスと異なります。
- HardCopy II デバイスは、より少ないクロック入力および出力用 I/O 規格をサポートします。これについては、本章後半の I/O 規格のサポートの項で説明します。

表 8-18 に、各 HardCopy II および Stratix II デバイスがサポートする PLL を示します。Stratix II リファレンス・コラムは、集積度ではなくパッケージに基づいて分類されています。図 8-3 から 8-5 に、PLL の番号指定を示します。Stratix II デバイスは、デバイスの集積度ではなくパッケージに応じて 6 個または 12 個の PLL をサポートします。HardCopy II PLL が 4 つすべてのサイドから対称的に除去されることはありません。

一般に、サイドでの fast PLL の主な用途は高速 I/O インタフェース・ファンクション用であるため、fast PLL は高速 IOE をサポートしないサイドからは除去されます。

表 8-18. Stratix II / HardCopy II コンパニオン・デバイスの PLL 利用ガイド

Stratix II および HardCopy II コンパニオン・デバイス	パッケージ	fast PLL								enhanced PLL				
		1	2	3	4	7	8	9	10	5	6	11	12	
EP2S30 HC210 (1)	484 ピン FineLine BGA	√	√								√	√		
EP2S60 HC210 (1)	484 ピン FineLine BGA	√	√								√	√		
EP2S90 HC210 (1)	484 ピン FineLine BGA	√	√								√	√		
EP2S60 HC220 (1)	672 ピン FineLine BGA	√	√								√	√		
EP2S90 HC220 (1)	780 ピン FineLine BGA	√	√								√	√		
EP2S130 HC220 (1)	780 ピン FineLine BGA	√	√								√	√		
EP2S90 HC230 (2)	1,020 ピン FineLine BGA	√	√			√	√				√	√	√	√
EP2S130 HC230 (2)	1,020 ピン FineLine BGA	√	√			√	√				√	√	√	√
EP2S180 HC230 (2)	1,020 ピン FineLine BGA	√	√			√	√				√	√	√	√
EP2S180 HC240	1,020 ピン FineLine BGA	√	√	√	√	√	√	√	√	√	√	√	√	√
EP2S180 HC240	1,508 ピン FineLine BGA	√	√	√	√	√	√	√	√	√	√	√	√	√

表 8-18 の注:

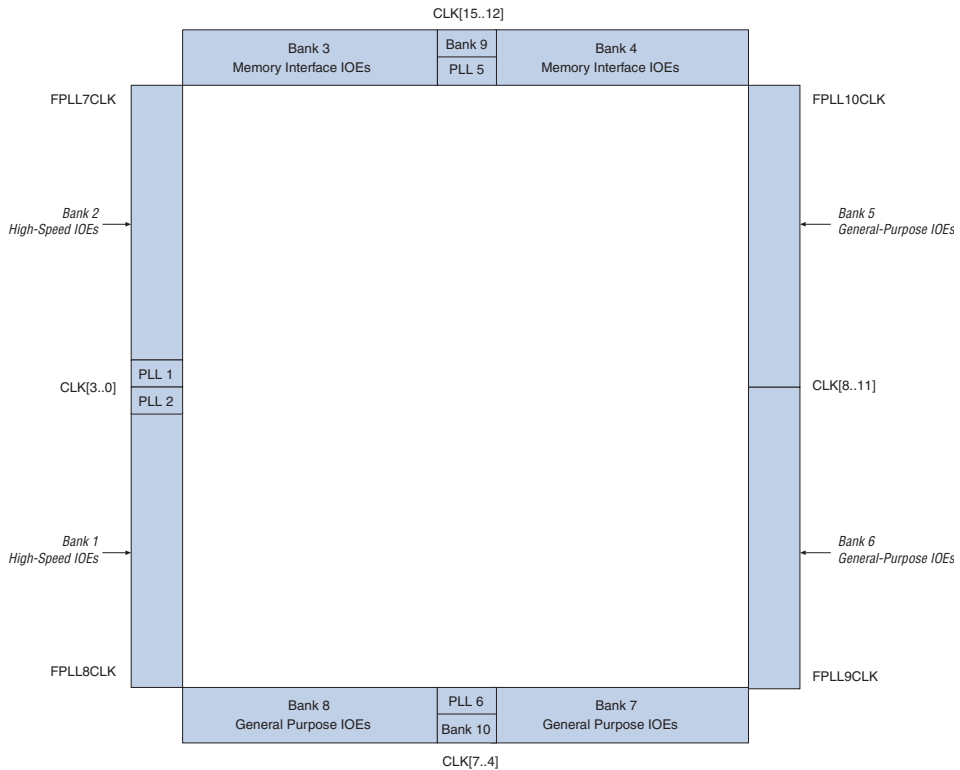
- (1) HC210 および HC220 デバイスは、Stratix II デバイスとは異なり fast PLL 3、4、9 および 10 をサポートしません。
- (2) HC230 デバイスは、Stratix II デバイスとは異なり fast PLL 3、4 をサポートしません。

HardCopy II の PLL の機能は、Stratix II の PLL と同じです。HardCopy II enhanced PLL および fast PLL は、リコンフィギュレーションをサポートし、帯域幅および位相シフトのリコンフィギュレーションも可能です。

図 8-3 から 8-5 に、各 HardCopy II デバイスでの PLL の位置を示します。

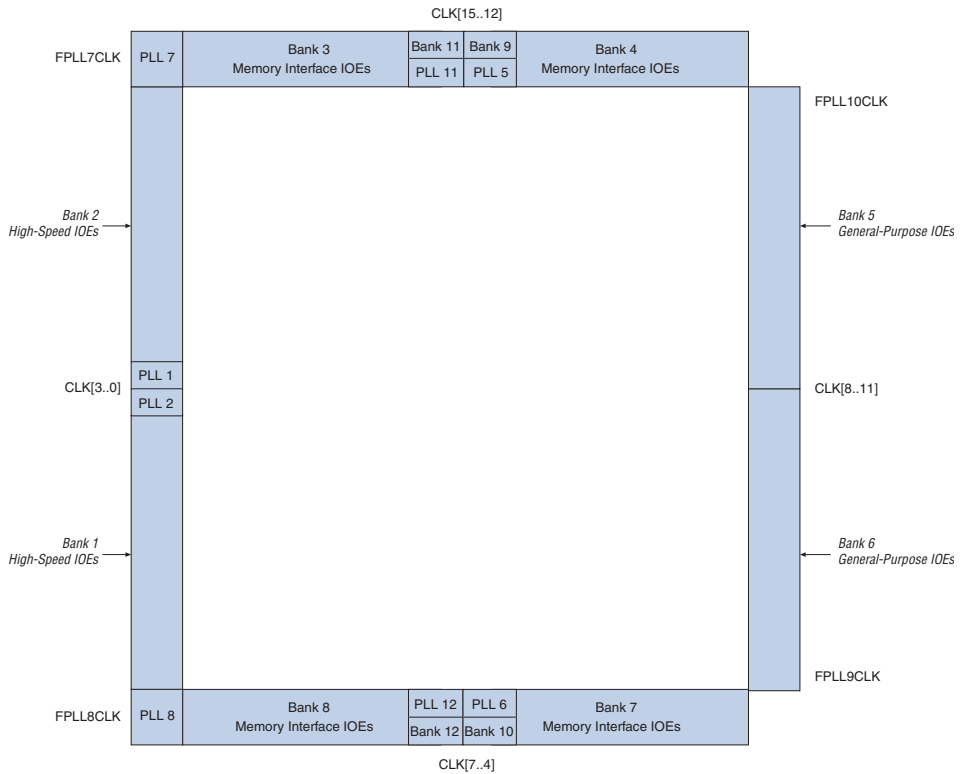
HC210 および HC220 デバイスでは、fast PLL 1 および 2 は、デバイスのロジック・アレイに配置され、enhanced PLL 5 および 6 は、デバイスのトップおよびボトム I/O バンク周辺に配置されます。

図 8-3. HC210 および HC220 の PLL の位置



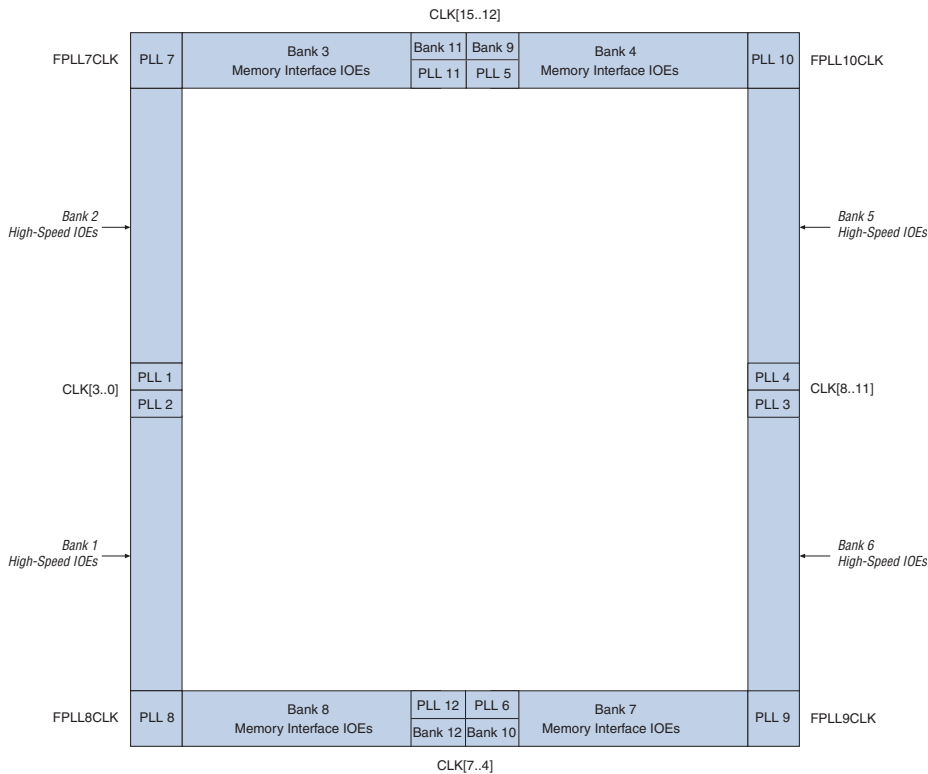
HC230 デバイスの fast PLL 1、2、7、および 8 は、デバイスの左側の高速 IOE に隣接するロジック・アレイに配置されます。HC230 デバイスの enhanced PLL 5、6、11 および 12 もトップおよびボトム・メモリ・インタフェース IOE に隣接するロジック・アレイに配置されます。

図 8-4. HC230 の PLL の位置



HC240 デバイスの fast PLL 1、2、7、および 8 は、デバイスの左側の高速 IOE に隣接するロジック・アレイに配置されます。HC240 デバイスの fast PLL 3、4、9、および 10 は、右側の高速 IOE に隣接するロジック・アレイに配置されます。HC240 デバイスの enhanced PLL 5、6、11、および 12 は、トップおよびボトム・メモリ・インタフェース IOE に隣接するロジック・アレイに配置されます。

図 8-5. HC240 の PLL の位置



グローバル信号およびローカル信号

HardCopy II デバイスには、グローバル・クロック・ネットワークまたはローカル・クロック・ネットワークをドライブする 16 本のクロック・ピン (CLK[15..0]) があります。4 本のクロック・ピンがデバイスの各サイドをドライブします。これは Stratix II デバイスに似ています。したがって、Stratix II デバイスおよび HardCopy II コンパニオン・デバイスのデザインをコンパイルする場合、制限はありません。

内部ロジックと enhanced および fast PLL 出力は、グローバル・クロック・ネットワークおよびリージョナル・クロック・ネットワークもドライブできます。各グローバル・クロック・ネットワークおよびリージョナル・クロック・ネットワークには、クロック・ソースの選択をコントロールし、クロック・ネットワークをダイナミックにイネーブル/ディセーブルすることにより消費電力を低減するクロック・コントロール・ブロックがあります。

表 8-19 に、HardCopy II デバイスで利用できるクロック・リソースを示します。

表 8-19. HardCopy II デバイスで利用できるクロック・ネットワークのリソースおよび機能	
リソースおよび機能	対応の可否
グローバル・クロック・ネットワーク数	16
リージョナル・クロック・ネットワーク数	32
グローバル・クロック入力ソース	クロック入力ピン、PLL 出力、ロジック・アレイ
リージョナル・クロック入力ソース	クロック入力ピン、PLL 出力、ロジック・アレイ
エリア内の独自のクロック・リソース数	24 (16 グローバル・クロック および 8 リージョナル・クロック)
デバイス全体の独自のクロック・リソース数	48 (16 グローバル・クロック および 32 リージョナル・クロック)
パワーダウン・モード	グローバル & リージョナル・クロック・ネットワーク、デュアル・リージョナル・クロック領域
高ファンアウト・アプリケーション向けクロック領域	グローバル・クロック・ネットワークまたはリージョナル・クロック・ネットワーク経由のエリア領域、デュアル・リージョナル、デバイス全体

Stratix II ALM の HardCopy II ロジックへの適応

Stratix II アーキテクチャのロジックの基本的なビルディング・ブロックは ALM です。各 ALM には、多様なルック・アップ・テーブル (LUT) ベースのリソース、2 個のプログラマブル・レジスタ、2 個の専用フル・アダー、ALM からまたは ALM への各種配線リソースが含まれています。

HardCopy II デバイスは、ALM ブロックを内蔵していませんが、HCell と呼ばれるマイクロ・アーキテクチャを使用しています。HCell は、Stratix II の ALM と DSP ロジックのすべての組み合わせを実装できます。各 HardCopy II コンパニオン・デバイスには、利用可能なすべての ALM を使用して Stratix II デザインを実装するための豊富な HCell が含まれています。したがって、HardCopy II デバイスをコンパイルする場合、互換性の制約はありません。

Stratix II デザインを HardCopy II コンパニオン・デバイスにコンパイルする場合、Quartus II ソフトウェアは Stratix II で使用される ALM ブロックを定義済み HCell マクロに置き換えます。未使用の ALM リソースは、HardCopy II デバイスに実装されません。これにより、HardCopy II フロア・プランの最適な配置が可能になり、消費電力が大幅に削減されます。

図 8-6 に、1 個のレジスタのみ使用した Stratix II の ALM ブロックの実装例を示します。この Stratix II デザインを HardCopy II コンパニオン・デバイスに対してコンパイルする場合、Quartus II コンパイラは、ALM ブロックを HCell マクロの HardCopy II ライブラリからのレジスタを実装する事前に決定された HCell マクロに置き換えます。このマクロ・エントリには、事前に決定されたタイミングがあります。

図 8-6. Stratix II ALM のシンプルなレジスタ付き入力および出力

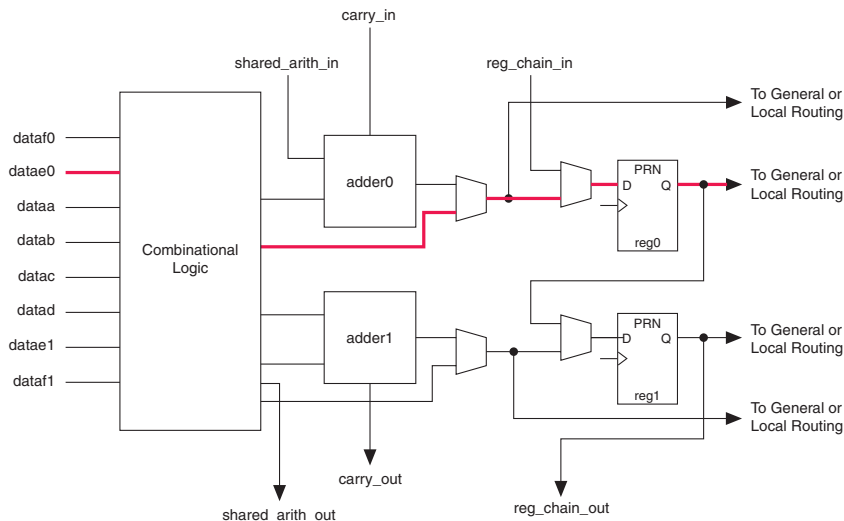
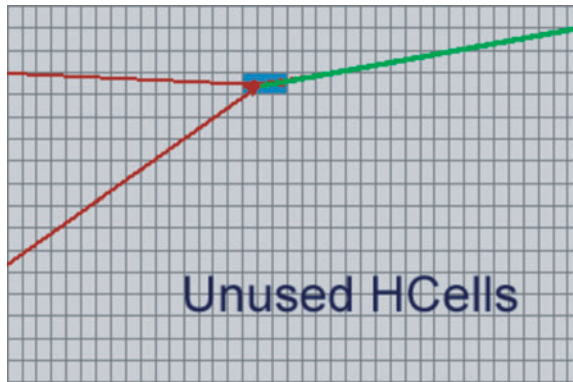


図 8-7 に、HCell の小さなクラスタからの Clock、Data In、および Data Out を示す HardCopy II ALM レジスタ実装を示します。未使用の HCell は、他のロジックの実装またはパワーダウンのために予約されています。

図 8-7. HardCopy II の未使用 HCell



Stratix II DSP ブロックから のHardCopy II DSP の実装

Stratix II FPGA は、各種 DSP ファンクションを実装するための専用 DSP ブロックを内蔵しています。Stratix II DSP ブロックは、乗算器、加算器 / 減算器 / 乗算累積器、およびサマーション・ブロック、入力および出力インタフェース、および入力および出力レジスタを備えています。Quartus II ソフトウェアは、HCell マクロのライブラリから事前に決定されたロジック実装を使用する HCell で HardCopy II デバイスに DSP ファンクションを実装します。HCell マクロはすべて事前に決定されたタイミングを備えています。

Stratix II デザインで使用されない DSP ブロックは、Hardcopy II デバイスに実装されません。これにより、他の実装に使用する HardCopy II のロジックが保存され、リソースと消費電力が節約されます。さらに、HardCopy II デザインに課されたタイミング制約要件を満たすように、HardCopy II DSP ブロックの配置を最適化することができます。

HardCopy II DSP の実装は、Stratix II DSP ブロックと機能的に同等であり、ダイナミック・モード切り替えを除くすべての機能がサポートされます。Stratix II DSP ブロックを、以下の3つのモードでダイナミックに切り替わるようにセットアップできます。

- 最大4個の独立した18ビット乗算器
- 最大2個の18ビット乗算アキュムレータ
- 1個の36ビット乗算器

HardCopy II DSP 実装は、ダイナミック切り替え機能をサポートしません。この機能を使用する場合、Quartus II ソフトウェアは DSP 実装をフラグし、デザインの移行を許可しません。フィッタは、すべての

HardCopy II デバイスがこのデザインと互換性があるわけではないことをレポートします。Stratix II デザインを HardCopy II コンパニオン・デバイスに移行するには、DSP ブロックのダイナミック切り替え機能をディセーブルします。

DSP ブロックの総数は、選択した Stratix II デバイスに応じて異なります。HardCopy II デバイスは、Stratix II デバイスの使用可能な DSP ブロック・リソースと一致します。表 8-20 に、選択した Stratix II デバイスごとの使用可能な DSP 実装を示します。

表 8-20. Stratix II および HardCopy II コンパニオン・デバイスで使用できる DSP 乗算器

Stratix II デバイス	HC210			HC220			HC230			HC240		
	9 × 9	18 × 18	36 × 36	9 × 9	18 × 18	36 × 36	9 × 9	18 × 18	36 × 36	9 × 9	18 × 18	36 × 36
EP2S30	128	64	16									
EP2S60	288	144	36	288	144	36						
EP2S90 (1)	384	192	48	384	192	48	384	192	48			
EP2S130 (1)				504	252	63	504	252	63			
EP2S180 (1)							768	384	96	768	384	96

表 8-20 の注：

- (1) これらの Stratix II デバイスをより小さな HardCopy II コンパニオン・デバイスで選択すると、すべての Stratix II ALM ブロックを使用しフルに活用した場合は、すべての Stratix II DSP リソースを利用できないことがあります。HardCopy II デバイスでコンパイルする場合、Quartus II は DSP および ALM 実装に使用できるリソースを決定します。

図 8-8 に、8つの使用可能な 9×9 乗算器ブロックのうち 1つと 1つのアキュムレータ・ブロックを使用して、クロック・レイテンシを持つ 8×8 ビット乗算ファンクションを実装する Stratix II DSP ブロックの一例を示します。この DSP ブロックを HardCopy II デザインに実装するとき、Quartus II コンパイラはマクロ・ライブラリから適切なエントリを選択して、9×9 乗算器とアキュムレータ・ブロックを実装し、最適化されたロジック利用率および配置の柔軟性が得られます。

図 8-8. 8 × 8 DSP ブロックの HardCopy II フロアプラン

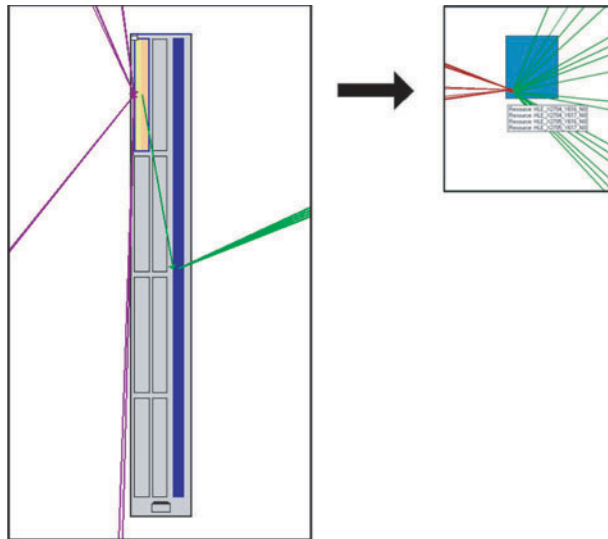
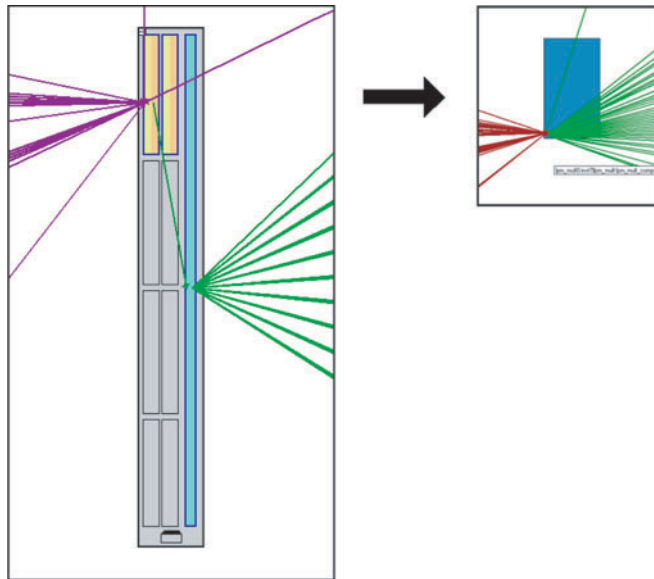


図 8-9 は、左側に Stratix II DSP ブロックの Quartus II フロアプランを、右側に HardCopy II DSP の実装を示しており、いずれも累算ファンクションを持つ 18×18 乗算器でコンフィギュレーションされています。HardCopy II の実装では、Quartus II ソフトウェアはマクロ・ライブラリから適切な DSP ロジックの実装を選択しました。これにより HardCopy II デバイスの HCell が最適に利用されます。Stratix II DSP ブロックの未使用部分はパワーアップされたままですが、HardCopy II デバイスには実装されません。HardCopy II デバイスの未使用ロジックはパワーダウンされます。

図 8-9. 18 × 18 DSP ブロックの HardCopy II フロアプラン



JTAG BST および拡張 ファンクション

HardCopy II デバイスは、Stratix II デバイスと同じバウンダリ・スキラン・テスト (BST) 機能をサポートします。しかし、HardCopy II デバイスはマスク・プログラム・デバイスなので、リコンフィギュレーションを行うことはできません。したがって、HardCopy II デバイスは JTAG ピンを通してデバイスをリコンフィギュレーションする命令をサポートしていません。サポートされている機能および命令コードについて詳しくは、「HardCopy シリーズ・ハンドブック」の「バウンダリ・スキランのサポート」の章を参照してください。

JTAG ピンを使用する Stratix II の機能の 1 つに、Signal Tap II エンベデッド・ロジック・アナライザ (ELA) があります。HardCopy II デバイスは、JTAG ELA 機能をサポートします。しかし、この機能を使用して設計を行う場合は、追加リソースを使用するため Stratix II および HardCopy II デバイスでの最大性能が低下する場合があります。デザインの最終バージョンをコンパイルする前に、この機能を削除できる Stratix II デバイスとは異なり、HardCopy II デバイスはマスク・プログラム・デバイスなのでこの機能を削除できません。したがって、デザインで最適な性能およびリソース利用率を達成する必要がある場合、アルテラでは Stratix II プロトタイプ・デバイスでこの機能を使用して、HardCopy II デバイスのデザインをリコンパイルする前に削除することを推奨しています。

パワーアップ および コンフィギュ レーションの 互換性

Stratix II プロトタイプ・デバイスと HardCopy II コンパニオン・デバイスでボードを設計する場合、Stratix II デバイスに必要な大部分のコンフィギュレーション・ピンは、HardCopy II デバイスでは必要ありません。HardCopy II デバイスで使用するピン数を増やすために、アルテラでは Stratix II デバイスから HardCopy II デバイスに移行されないパワーアップ・ピンおよびコンフィギュレーション・ピンを最小にすることを推奨しています。表 8-21 に、Stratix II デバイスで使用できる専用およびオプションのコンフィギュレーション・ピン、およびそれらのオプション機能が HardCopy II デバイスで使用されるかどうかを示します。

HardCopy II デバイスで、Stratix II デバイスにあるピンのオプション機能を使用できる場合、Quartus II ソフトウェアでこれらのピンを兼用ピンとして設定できます。兼用ピンの場合は、パワーアップ、リコンフィギュレーション、および初期化後に I/O 機能を持ちます。これらのピンは、デバイスがユーザ・モードに入る (INIT_DONE がアサートされる) ときにのみ、対応する I/O 指定に切り替わります。デザインでは、デバイスがユーザ・モードに移行したときに一部の信号が必要になる場合があります。HardCopy II デバイスと Stratix II デバイスの両方ともパワーアップ後には動作が不安定になる可能性があるため、兼用ピンを使用してはなりません。

表 8-21. パワーアップおよびコンフィギュレーション・ピンの互換性 (1 / 2)

Stratix II のピン名		I/O バンク	HardCopy II の使用	
主な機能	オプション機能		主な機能	オプション機能
MSEL3		B4		
MSEL2		B4		
MSEL1		B4		
MSEL0		B4		
VCCSEL		B8	√	√
nCONFIG		B8	√	√
nSTATUS		B3	√	√
CONF_DONE		B3	√	√
nCE		B3	√	√
nCEO		B7	√	√
PORSEL		B7	√	√
nIO_PULLUP		B7	√	√

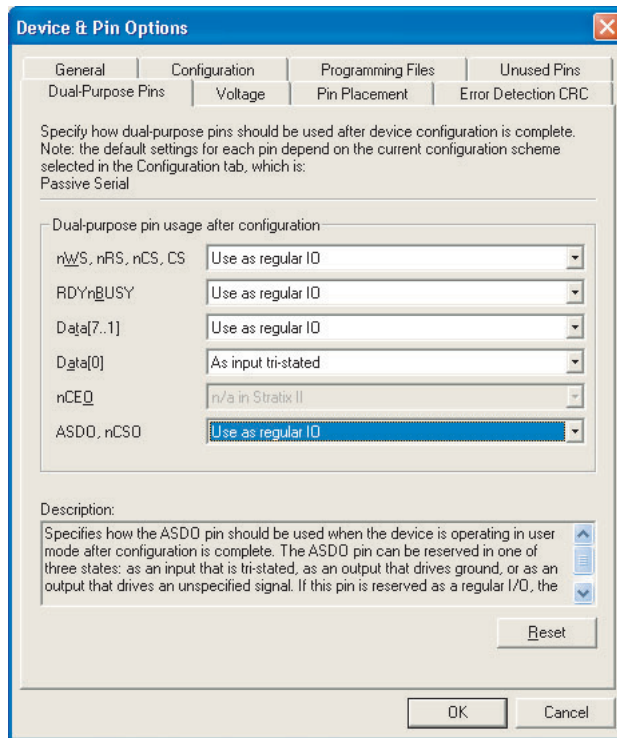
表 8-21. パワーアップおよびコンフィギュレーション・ピンの互換性 (2 / 2)

Stratix II のピン名		I/O バンク	HardCopy II の使用	
主な機能	オプション機能		主な機能	オプション機能
PLL_ENA		B7	√	√
I/O ピン	CLKUSR	B8	√	
I/O ピン	DEV_OE	B8	√	√
I/O ピン	DEV_CLRn	B8	√	√
I/O ピン	INIT_DONE	B3	√	√
DCLK		B3	√	
I/O ピン	DATA0	B3	√	
I/O ピン	DATA1	B3	√	
I/O ピン	DATA2	B3	√	
I/O ピン	DATA3	B3	√	
I/O ピン	DATA4	B3	√	
I/O ピン	DATA5	B3	√	
I/O ピン	DATA6	B3	√	
I/O ピン	DATA7	B3	√	
I/O ピン	RDYnBSY	B3	√	
I/O ピン	CRC_ERROR	B3	√	
I/O ピン	CS	B8	√	
I/O ピン	nCS	B8	√	
I/O ピン	nRS	B8	√	
I/O ピン	nWS	B8	√	
I/O ピン	RUnLU	B8	√	
I/O ピン	PGM2	B3	√	
I/O ピン	PGM1	B3	√	
I/O ピン	PGM0	B3	√	
I/O ピン	ASDO	B3	√	
I/O ピン	nCSO	B3	√	

表 8-21 に示すオプションのコンフィギュレーション・ピンの多くは、Stratix II FPGA で使用できるさまざまなコンフィギュレーション手法をサポートしています。パラレル・プログラミングおよびリモート・アップデート・コンフィギュレーション・モードでは、表 8-21 に示すピンの大部分が使用されます。HardCopy II デバイスは、コンフィギュレーション不能で、コンフィギュレーション・エミュレーション・モードをサポートしません。したがって、アルテラでは、パッシブ・シリアル・コンフィギュレーション・モードを使用するなどして、Stratix II デザインでのコンフィギュレーション・ピンの必要性を低減することを推奨しています。

Stratix II FPGA のコンフィギュレーションに必要な兼用ピンの一部を、コンフィギュレーション後には使用しない場合、これらのピンは HardCopy II デバイスでは一切使用されません。したがって、Stratix II デバイスから HardCopy II デバイスにデザインを移行する場合、これらのピンをボード上で設計するときに注意が必要です。これらのピンをユーザが安定レベルまでドライブするために外部手段を用いることなく入力として割り当てた場合、Stratix II デバイスおよび対応するコンフィギュレーション・デバイスを取り除くと、これらのピンは HardCopy II デバイスでフロート状態になります。Stratix II デバイスおよびそのデバイス・オプションを選択するときは、これらのピンのコンフィギュレーション後の要件を考慮して、Quartus II ソフトウェアで適切に設定します (図 8-10)。

図 8-10. デバイスおよびピン・オプション



HardCopy II パワーアップ・モードについて詳しくは、「HardCopy シリーズ・ハンドブック」の「HardCopy シリーズ・デバイスのパワーアップ・モードおよびコンフィギュレーション・エミュレーション」の章を参照してください。

まとめ

HardCopy II デバイスは、Stratix II デバイスのシームレスなマイグレーション・パスを提供し、Stratix II デバイスで提供される PLL、メモリ、ロジック、および I/O 機能をサポートします。HardCopy II デバイス・アーキテクチャにより、プロトタイプ作成に幅広い Stratix II デバイスを使用することができます。HardCopy II デバイスは Stratix II FPGA とのピン互換性を提供しており、HardCopy II デバイスは Quartus II ソフトウェアで設計され、Stratix II および HardCopy II コンパニオン・デバイスを使用するシステム上でのドロップ・イン置換デバイスとなっています。Quartus II ソフトウェアを使用してデザインをコンパイルし、使用可能なリソースを決定して、Stratix II および HardCopy II コンパニオン・デバイスのフィッティングおよび機能の互換性を保証してください。

詳細情報

Stratix II デザインの HardCopy II デバイスへの移行について詳しくは、以下を参照してください。

- 「HardCopy シリーズ・ハンドブック」の「HardCopy II デバイス・ファミリ・データ・シート」
- QuartusII による HardCopyII デバイスのサポート
- 「HardCopy シリーズ・ハンドブック」の「HardCopy シリーズ・デバイスのパワーアップ・モードおよびコンフィギュレーション・エミュレーション」の章

改訂履歴

表 8-22 に、本資料の改訂履歴を示します。

日付 & ドキュメント・バージョン	変更内容	概要
2007 年 6 月 v1.3	表 8-17 の “8K × 64” ~ “16K × 36” を変更。	
	誤字・誤植の更新を完了。	
2006 年 12 月 v1.2	変更履歴を追加。	
2006 年 3 月	以前の 19 章です。内容は変更されていません。	
2005 年 10 月 v1.1	マイナー・アップデート。	
2005 年 5 月 v1.0	HardCopy シリーズ・ハンドブックにドキュメントを追加。	

