

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

H51022-2.4

HardCopy II デバイスの サポート

アルテラの HardCopy® II デバイスは、1.2 V、90 nm プロセス・テクノロジーを採用しており、コストのかかる数百万ゲートの ASIC デザインに代わるストラクチャード ASIC を提供します。HardCopy II デザイン手法は製品の早期市場投入を実現し、ASIC の設計者に長期間の ASIC 開発サイクルに対するソリューションを提供します。Quartus® II ソフトウェアを使用することで、Stratix® II FPGA をプロトタイプとして利用し、生産のための HardCopy II デバイスにデザインをシームレスに移行することができます。

本資料では、以下の項目について説明します。

- 5-3 ページの「HardCopy II 開発フロー」
- 5-7 ページの「HardCopy II Device Resource Guide」
- 5-12 ページの「Quartus II ソフトウェアの推奨 HardCopy II 設定」
- 5-26 ページの「HardCopy II Utilities メニュー」



HardCopy II、HardCopy Stratix、および HardCopy APEX™ デバイスについて詳しくは、「HardCopy シリーズ・ハンドブック」の各デバイスのデータシートを参照してください。

HardCopy II デザインの利点

HardCopy II ストラクチャード ASIC デザインには、他のストラクチャード ASIC を超える優れた利点があります。

- Stratix II FPGA を使用して機能検証およびシステム開発のためのプロトタイプを作成し、プロジェクトのトータル開発時間を短縮
- Stratix II FPGA プロトタイプから HardCopy II デバイスへのシームレスなマイグレーションにより、製品の市場投入までの時間とリスクを低減
- Stratix II FPGA デザインと HardCopy II デザインの統一されたデザイン手法により、ASIC 開発ソフトウェアの必要性を低減
- HardCopy II デバイスの低い先行投資コストにより、プロジェクトの財務的リスクを低減

HardCopy II プランニングのための Quartus II 機能

Quartus II ソフトウェアでは、Stratix II デバイスをプロトタイプとして利用し、HardCopy II デバイスを設計することができます。Quartus II ソフトウェアは、HardCopy II デバイス・プランニングのための以下の拡張機能を備えています。

- **HardCopy II Companion Device Assignment**— 選択されている Stratix II デバイスに対して、マイグレーションのための互換性のある HardCopy II デバイスを識別します。



この機能は、HardCopy II デバイスとの互換性を保つために、Stratix II FPGA プロトタイプのピン数を制限します。また、HardCopy II デバイスで利用できるリソースを制限し、Stratix II FPGA デザインの互換性が失われないようにします。さらに、HardCopy II デバイスを対象とするデザインをコンパイルして、デザインがフィットし、配線され、タイミングを満たすようにする必要があります。

- **HardCopy II Utilities**—HardCopy II Utilities 機能は、HardCopy II コンパニオン・リビジョンの作成または上書き、使用するリビジョンの変更、およびリビジョンの等価性比較を行います。
- **HardCopy II Advisor**—HardCopy II Advisor は、HardCopy II デザインをアルテラの HardCopy Design Center に提出するために必要なステップをガイドします。



HardCopy II Advisor は、Resource Optimization Advisor および Timing Optimization Advisor に類似しています。HardCopy II Advisor は、開発時に行うべきガイドラインを提供し、完了したタスクと完了させる必要があるタスクを提示します。

- **HardCopy II Floorplan**—Quartus II ソフトウェアは、HardCopy II デザインのフィッパ配置結果の暫定フロアプラン・ビューを表示できます。
- **HardCopy II Design Archiving**—Quartus II ソフトウェアは、デザインを HardCopy Design Center にハンドオフするために必要な HardCopy II デザイン・プロジェクト・ファイルをアーカイブします。



この機能は、HardCopy Stratix ファミリおよび HardCopy APEX ファミリで使用される Quartus II ソフトウェアの HardCopy Files Wizard に類似しています。

- **HardCopy II Device Preliminary Timing**—Quartus II ソフトウェアは、暫定タイミング・モデルおよびフィッタ配置に基づき、HardCopy II デバイスのタイミング解析を実行します。HardCopy II デバイスの最終的なタイミング結果は、HardCopy Design Center から提供されます。
- **HardCopy II Handoff Report**—Quartus II ソフトウェアは、デザイン・レビュー・プロセスにおいて HardCopy Design Center で使用される、HardCopy II デザインに関する情報のハンドオフ・レポートを生成します。
- **Formal Verification**—Cadence Encounter Conformal ソフトウェアは、ソース RTL デザイン・ファイルと HardCopy II デザインからのコンパイル後のゲート・レベル・ネットリスト間のフォーマル検証を実行できるようになりました。

HardCopy II 開発フロー

Quartus II ソフトウェアでは、Stratix II FPGA と HardCopy II コンパニオン・デバイスを 1 つの Quartus II プロジェクトで設計するための方法が 2 つあります。

- 最初に HardCopy II デバイスを設計する。次に Stratix II FPGA コンパニオン・デバイスを作成し、イン・システム検証のためのプロトタイプを構築する。
- 最初に Stratix II FPGA を設計し、次に HardCopy II コンパニオン・デバイスを作成する。

図 5-1 に、両フローを示します。HardCopy II Utilities メニューに追加された機能は、HardCopy II デザインを完成させて、バックエンド実装のためにアルテラの HardCopy Design Center に提出するのを支援します。

図 5-1. Quartus II ソフトウェアの HardCopy II フロー

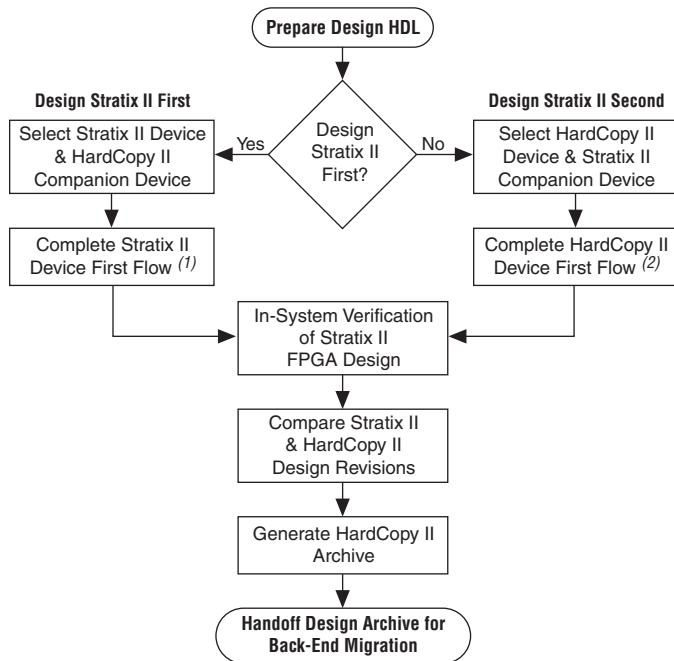


図 5-1 の注：

- (1) このプロセスの詳細は、図 5-2 を参照してください。
- (2) このプロセスの詳細は、図 5-3 を参照してください。

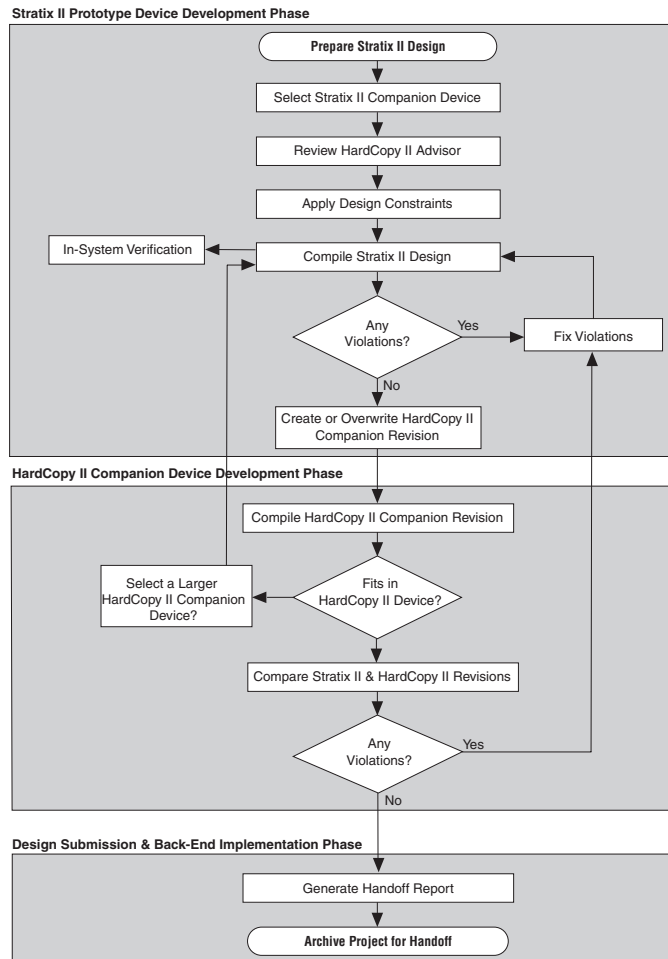
Stratix II FPGA を最初に設計

Stratix II FPGA プロトタイプで始まる HardCopy II 開発フローは、従来の Stratix II FPGA デザイン・フローに非常に類似していますが、デザインを HardCopy II コンパニオン・デバイスに移行するための追加タスクを実行する必要があります。Stratix II FPGA をプロトタイプとして使用して HardCopy II デバイスを設計するには、以下のタスクを完了します。

- マイグレーションのための HardCopy II デバイスを指定
- Stratix II FPGA デザインをコンパイル
- HardCopy II コンパニオン・リビジョンを作成およびコンパイル
- HardCopy II コンパニオン・リビジョンのコンパイルを Stratix II デバイスのコンパイルと比較

図 5-2 は、最初に Stratix II FPGA を設計し、次に HardCopy II コンパニオン・デバイスを作成する開発プロセスの概要を示しています。

図 5-2. Stratix II デバイスを最初に設計する場合のフロー



Quartus II ソフトウェアで、Stratix II デバイスを選択してコンパイルし、HardCopy II デザインのプロトタイプを作成します。

Stratix II デザインを正しくコンパイルした後、HardCopy II Device Resource Guide を Quartus II ソフトウェアの Fitter レポートに表示して、どの HardCopy II デバイスがデザインのリソース要件に適合しているか

を評価できます。コンパイル結果と Stratix II デバイスおよび HardCopy II デバイスの選択が確定したら、Assignments メニューの **Settings** をクリックします。**Category** リストで、**Device** を選択します。**Device** ページで、HardCopy II コンパニオン・デバイスを選択します。

HardCopy II コンパニオン・デバイスを選択した後で、以下を実行します。

- HardCopy II Advisor で、実行する必要があるタスクおよび推奨されるタスクを確認
- デザイン・アシスタントがコンパイル時に実行されるように設定
- タイミング・アサインメントおよびロケーション・アサインメントを追加
- Stratix II デザインをコンパイル
- HardCopy II コンパニオン・リビジョンを作成
- HardCopy II コンパニオン・デバイスのデザインをコンパイル
- HardCopy II Utilities を使用して、HardCopy II コンパニオン・デバイスのコンパイルを Stratix II FPGA リビジョンと比較
- HardCopy II Utilities を使用して、HardCopy II ハンドオフ・レポートを生成
- HardCopy II Utilities を使用して、HardCopy II ハンドオフ・アーカイブを生成
- バックエンド実装のための HardCopy II ハンドオフ・アーカイブをアルテラの HardCopy Design Center に提出するよう手配

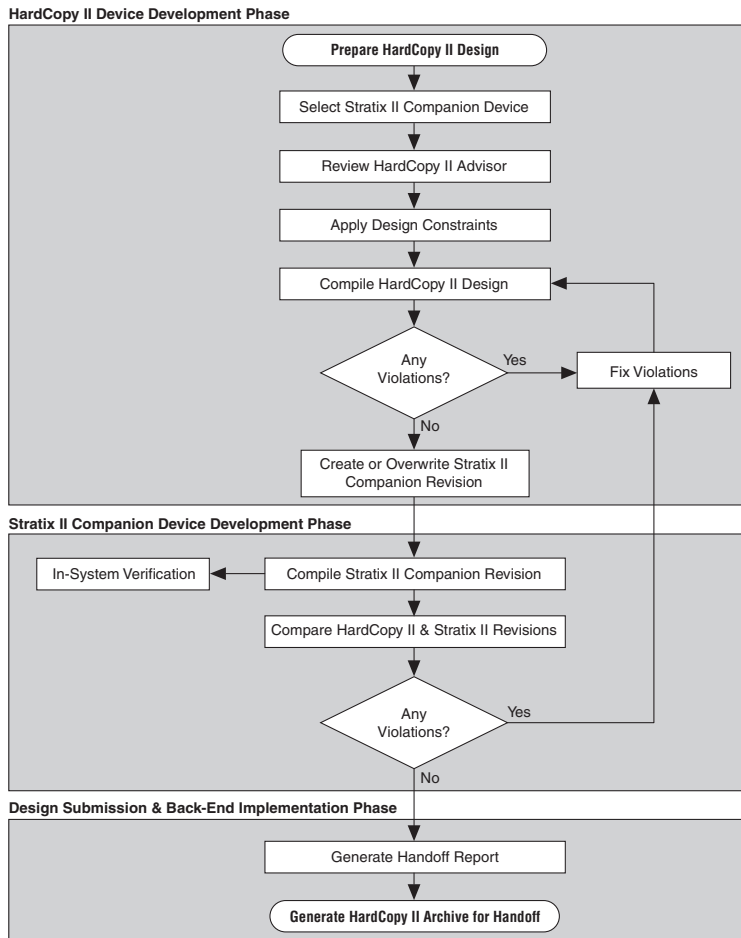


Quartus II ソフトウェアを使用した全体的なデザイン・フローについて詳しくは、アルテラのウェブサイト (www.altera.co.jp) にある「Introduction to Quartus II」マニュアルを参照してください。

HardCopy II デバイスを最初に設計

HardCopy II ファミリは、以前の HardCopy ファミリにはなかった新しいデザイン・オプションを提供します。Quartus II ソフトウェアで、最初に HardCopy II デバイスを設計し、次に Stratix II FPGA プロトタイプを作成できます。これにより、HardCopy II デバイスの潜在的な最大性能を開発中に即座に確認し、イン・システム検証のためにデザインの低速 FPGA プロトタイプを作成することができます。このデザイン・プロセスは、最初に FPGA を構築する従来の HardCopy II デザイン・フローに類似していますが、先行のデバイス・ファミリを変更するだけです。Stratix II デバイスと HardCopy II デバイスのデザインを完了するための残りのタスクは、ほとんど同じプロセスに従います (図 5-3)。HardCopy II Advisor は、先行のデバイス・ファミリ (Stratix II デバイスまたは HardCopy II デバイス) に基づいてタスクのリストを調整し、プロセスをシームレスに完了できるようにします。

図 5-3. HardCopy II デバイスを最初に設計する場合のフロー



HardCopy II Device Resource Guide

HardCopy II Device Resource Guide は、各種 HardCopy II デバイスで利用可能なリソースとデザインを正しくコンパイルするのに必要なリソースを比較します。各 HardCopy II デバイスおよび各デバイスのリソースがデザインにどの程度適合しているかを評価します。Quartus II ソフトウェアは、Stratix II デバイスに対して正しくコンパイルされたすべてのデザインの HardCopy II Device Resource Guide を生成し、コンパイル・レポートの Fitter セクションに表示します。図 5-4 に、HardCopy II Device Resource Guide の例を示します。図 5-4 の色分けの説明については、表 5-1 を参照してください。

図 5-4. HardCopy II Device Resource Guide

HardCopy II Device Resource Guide									
Color Legend: -- Green: -- Package Resource: The HardCopy II package can be migrated from the Stratix II FPGA selected package, and the design has been fitted with the target device migration enabled.									
Resource	Stratix II EP2S130	HC210W*	HC210	HC220	HC220	HC230	HC240	HC240	
1 Migration Compatibility		None	None	None	None	Medium	None	None	
2 Primary Migration Constraint		Package	Package	Package	Package	Package	Package	Package	
3 Package	FBGA - 1020	FBGA - 484	FBGA - 484	FBGA - 672	FBGA - 780	FBGA - 1020	FBGA - 1020	FBGA - 1508	
4 Logic	--	19%	19%	10%	10%	6%	4%	4%	
5 -- Logic cells	35572 ALUTs	--	--	--	--	--	--	--	
6 -- DSP elements	0	--	--	--	--	--	--	--	
7 Pins									
8 -- Total	515	515 / 302	515 / 335	515 / 493	515 / 495	515 / 699	515 / 743	515 / 952	
9 -- Differential Input	0	0 / 66	0 / 70	0 / 90	0 / 90	0 / 128	0 / 224	0 / 272	
10 -- Differential Output	0	0 / 44	0 / 50	0 / 70	0 / 70	0 / 112	0 / 200	0 / 256	
11 -- PCI / PCI-X	0	0 / 153	0 / 167	0 / 245	0 / 247	0 / 359	0 / 367	0 / 472	
12 -- DQ	0	0 / 20	0 / 20	0 / 50	0 / 50	0 / 204	0 / 204	0 / 204	
13 -- DQS	0	0 / 8	0 / 8	0 / 18	0 / 18	0 / 72	0 / 72	0 / 72	
14 Memory									
15 -- M-RAM	6	6 / 0	6 / 0	6 / 2	6 / 2	6 / 6	6 / 9	6 / 9	
16 -- M4K blocks & M512 blocks**	44	44 / 190	44 / 190	44 / 408	44 / 408	44 / 614	44 / 816	44 / 816	
17 PLLs									
18 -- Enhanced	2	2 / 2	2 / 2	2 / 2	2 / 2	2 / 4	2 / 4	2 / 4	
19 -- Fast	0	0 / 2	0 / 2	0 / 2	0 / 2	0 / 4	0 / 8	0 / 8	
20 DLLs	0	0 / 1	0 / 1	0 / 1	0 / 1	0 / 2	0 / 2	0 / 2	
21 SERDES									
22 -- RX	0	0 / 17	0 / 21	0 / 31	0 / 31	0 / 46	0 / 92	0 / 116	
23 -- TX	0	0 / 18	0 / 19	0 / 29	0 / 29	0 / 44	0 / 88	0 / 116	
24 Configuration									
25 -- CRC	0	0 / 0	0 / 0	0 / 0	0 / 0	0 / 0	0 / 0	0 / 0	
26 -- ASMI	0	0 / 0	0 / 0	0 / 0	0 / 0	0 / 0	0 / 0	0 / 0	
27 -- Remote Update	0	0 / 0	0 / 0	0 / 0	0 / 0	0 / 0	0 / 0	0 / 0	
28 -- JTAG	0	0 / 1	0 / 1	0 / 1	0 / 1	0 / 1	0 / 1	0 / 1	
* Device is preliminary. Overall performance is expected to be degraded. ** Design contains one or more M512 blocks, which cannot be migrated to HardCopy II devices.									

このレポートを使用して、Stratix II デザインをマイグレーションするための潜在的候補である HardCopy II デバイスを決定します。HardCopy II デバイス・パッケージは Stratix II デバイス・パッケージと互換性が必要です。ロジック・リソースの利用率が 100% を超えるか、いずれかのカテゴリで比率が 1/1 を超える場合、デザインはその HardCopy II デバイスには収まりません。

表 5-1. HardCopy II Device Resource Guide の色の凡例

色	パッケージ・リソース (1)	デバイスのリソース
グリーン (高)	デザインは HardCopy II パッケージに移行することができ、 HardCopy II Companion Device ダイアログ・ボックスでイネーブルになっているターゲット・デバイス・マイグレーションに一致しています。	このリソースの量は HardCopy II デバイスの範囲内であり、他のリソースがすべて収まれば、デザインの移行は可能です。 さらに、HardCopy II リビジョンをコンパイルして、デザインを配線し他のすべてのリソースを移行できるようにする必要があります。
オレンジ (中)	デザインは HardCopy II パッケージに移行することができます。しかし、デザインは HardCopy II Companion Device ダイアログ・ボックスでイネーブルされているターゲット・デバイス・マイグレーションと一致していません。	リソースの量は HardCopy II デバイスの範囲内です。しかし、リソースが HardCopy II パッケージの範囲を超える危険性があります。 ターゲットの HardCopy II デバイスがこのカテゴリに収まる場合、HardCopy II デバイスをターゲットとするデザインをできるだけ早い段階でコンパイルし、デザインがフィットしているか、他のすべてのリソースを配線および移行することが可能かどうかをチェックします。より大きなデバイスへの移行が必要な場合があります。
レッド (なし)	デザインは HardCopy II パッケージに移行できません。	リソースの量が HardCopy II デバイスの範囲を超えています。デザインはこの HardCopy II デバイスには移行できません。

表 5-1 の注：

- (1) パッケージ・リソースは、デザインがコンパイルされた Stratix II FPGA によって制限されます。HardCopy II デバイスへの移行は、同一のパッケージのパーティカル・マイグレーション・デバイスでのみ可能です。

HardCopy II アーキテクチャは、微細な HCell アレイで構成されています。HCell は、Stratix II のアダプティブ・ロジック・モジュール (ALM) およびデジタル信号処理 (DSP) ブロックに相当するロジックを構築するために使用されます。HardCopy II デバイスの DSP ブロックは、Stratix II の DSP ブロックと同じ機能を持ちますが、HCell マクロで構成されているため、タイミングは FPGA とは異なります。HardCopy II デバイスの M4K および M-RAM メモリ・ブロックは、Stratix II のメモリ・ブロックと同等です。HardCopy II デバイスの暫定タイミング・レポートは、Quartus II ソフトウェアから提供されます。HardCopy II デバイスの最終的なタイミング結果は、バックエンド・マイグレーションが完了した後、HardCopy Design Center から提供されます。



HardCopy II デバイスのリソースについては、「HardCopy シリーズ・ハンドブック」の「HardCopy II デバイス・ファミリー・データシート」セクションの「Introduction to HardCopy II Devices」および「Description, Architecture and Features」の章を参照してください。

図 5-4 のレポート例は、Stratix II EP2S130F1020 デバイスに対してコンパイルされたデザインのリソースの比較を示しています。レポートに基づくと、1,020 ピン FineLine BGA® パッケージの HC230F1020 デバイスが移行に適切な HardCopy II デバイスになります。HC230F1020 デバイスがコンパイル時にマイグレーション・ターゲットとして指定されなかった場合、そのパッケージおよびマイグレーション互換性はオレンジ、つまり「中」と評価されます。他の HardCopy II デバイスのマイグレーション互換性はレッド、つまり「なし」と評価されます。これは、パッケージ・タイプが Stratix II デバイスの互換性がないためです。1,020 ピン FBGA HC240 デバイスは、Stratix II EP2S180F1020 デバイスとしか互換性がないため、レッドと評価されます。

図 5-5 は、HardCopy II HC230F1020 デバイスをマイグレーション・ターゲットに指定して、(元のままの) デザインを再コンパイルした後のレポートです。今度はデバイスのパッケージとマイグレーション互換性がグリーン、つまり「高」と評価されています。

図 5-5. ターゲット・マイグレーションと一致している場合の HardCopy II Device Resource Guide

HardCopy II Device Resource Guide									
Color Legend: -- Green: -- Package Resource: The HardCopy II package can be migrated from the Stratix II FPGA selected package, and the design has been fitted with the target device migration enabled.									
Resource	Stratix II EP2S130	HC210w*	HC210	HC220	HC220	HC230	HC240	HC240	
1	Migration Compatibility	None	None	None	None	High	None	None	
2	Primary Migration Constraint	Package	Package	Package	Package		Package	Package	
3	Package	FBGA - 1020	FBGA - 484	FBGA - 484	FBGA - 672	FBGA - 780	FBGA - 1020	FBGA - 1020	FBGA - 1508

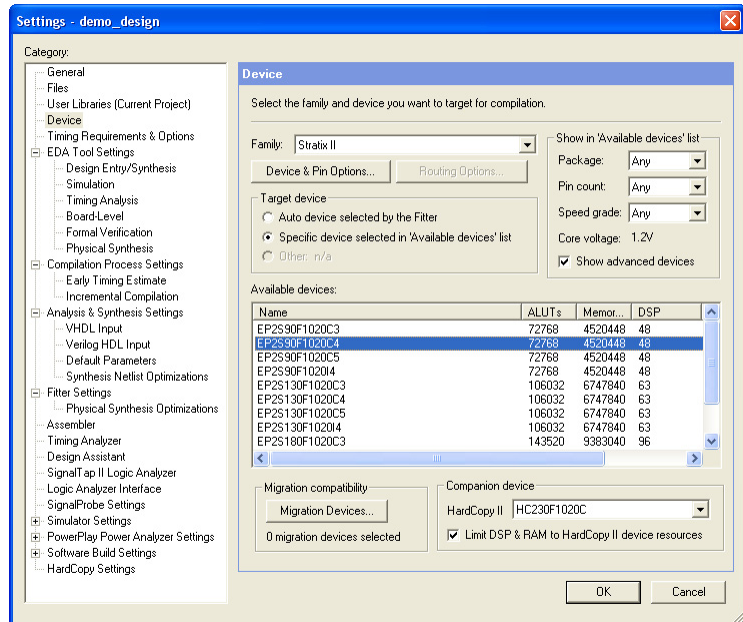
HardCopy II コンパニオン・ デバイスの 選択

Quartus II ソフトウェアでは、Stratix II デバイスから HardCopy II デバイスへの移行を目的としたデザインの構築を支援するために、HardCopy II コンパニオン・デバイスを選択することができます。HardCopy II コンパニオン・デバイスを選択するには、Assignments メニューの **Settings** をクリックします。**Settings** ダイアログ・ボックスの **Category** リストで、**Device** (図 5-6) を選択し、**Available devices** リストからコンパニオン・デバイスを選択します。

Stratix II プロトタイプに適合する HardCopy II コンパニオン・デバイスを選択すると、Stratix II デバイスと HardCopy II デバイスのマイグレーション・コンパチビリティを保つために、メモリ・ブロック、DSP ブ

ロック、およびピン・アサインメントが制限されます。ピン・アサインメントは、選択した HardCopy II デバイスのピン互換性を保つために、Stratix II デザイン・リビジョンで制限されます。Quartus II ソフトウェアは、Stratix II デザイン・リビジョンが M512 メモリを使用しないよう、または HardCopy II コンパニオン・デバイスの M-RAM ブロック数を超えないよう制限します。

図 5-6. Quartus II Settings ダイアログ・ボックス



以下の Tdl コマンドを使用しても、HardCopy II コンパニオン・デバイスを指定することができます。

```
set_global_assignment -name\
DEVICE_TECHNOLOGY_MIGRATION_LIST <HardCopy II Device Part Number>
```

例えば、EP25130F1020C4 Stratix II FPGA の HardCopy II コンパニオン・デバイスに HC230F1020 デバイスを選択するための Tdl コマンドは次のとおりです。

```
set_global_assignment -name\
DEVICE_TECHNOLOGY_MIGRATION_LIST HC230F1020C
```

Quartus II ソフトウェア の推奨 HardCopy II 設定

HardCopy II開発フローでは、標準のFPGAデザインと比べて、Quartus IIソフトウェアでの追加のプランニングと準備タスクが必要となります。これは、開発しているデザインがプロトタイプ（Stratix II プロトタイプ FPGA）とコンパニオン・リビジョン（生産のための HardCopy II デバイス）の2つで実装されるためです。Stratix II デザインと HardCopy II デバイスの互換性を保つために、追加の設定および制約が必要であり、場合によってはデザインから特定の設定を削除しなければならないこともあります。ここでは、デザインを Stratix II FPGA と HardCopy II ストラクチャード ASIC デバイスの両方に実装するのに必要な追加の設定および制約について説明します。

DSPおよびRAMをHardCopy IIデバイスのリソースに制限

Assignments メニューの **Settings** をクリックして、**Settings** ダイアログ・ボックスを表示します。**Category** リストで、**Device** を選択します。**Family** リストで、**Stratix II** を選択します。**Companion device** の **Limit DSP and RAM to HardCopy II device resources** がデフォルトでオンになっています（図 5-7）。選択された HardCopy II デバイスで利用できないリソースを Stratix II デバイスで使用しないようにすることによって、Stratix II デバイスと HardCopy II デバイスの互換性を維持します。


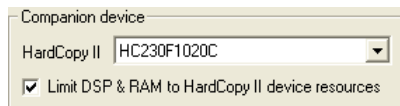

 SignalTap® II によるデバッグで追加のメモリ・ブロックまたは DSP ブロックが必要な場合は、この設定を一時的にオフにして、デザインをテスト環境でコンパイルして検証することができます。ただし、バックエンド・マイグレーションのためにアルテラに提出する最終的な Stratix II および HardCopy II デザインは、この設定をオンにした状態でコンパイルする必要があります。

図 5-7. Limit DSP and RAM to HardCopy II Device Resources
チェック・ボックス



デザイン・アシスタントがコンパイル時に実行されるように設定

デザインをアルテラの HardCopy Design Center に提出する前に、Quartus II Design Assistant を使用して、すべての HardCopy シリーズ・デザインがデザイン・ルールに違反していないかチェックする必要があります。さらに重大なエラーや上位レベルのエラーは修正しなければなりません。

 アルテラでは、開発中に修正すべき違反を確認できるよう、コンパイルのたびに Design Assistant が自動的に実行されるように設定しておくことを推奨しています。

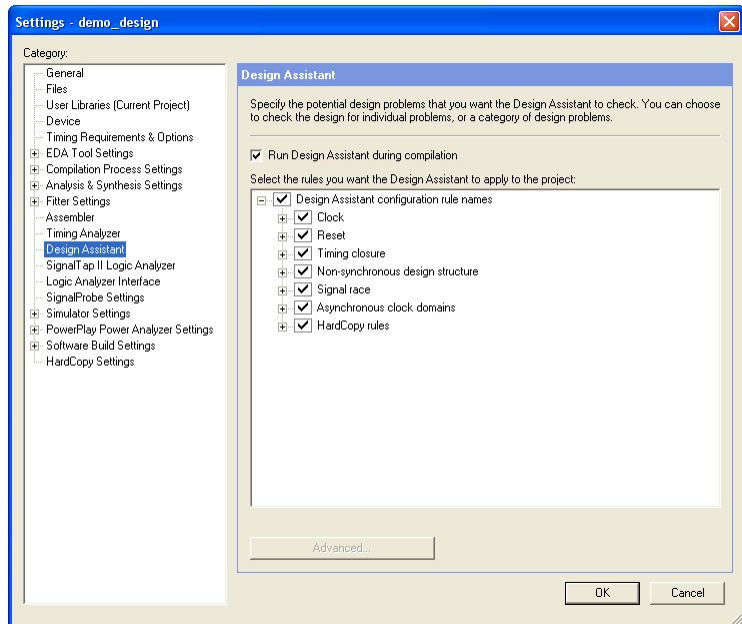


Design Assistant および使用するルールについて詳しくは、「HardCopy シリーズ・ハンドブック」の「Design Guidelines for HardCopy Series Devices」を参照してください。

Design Assistant がコンパイル時に実行されるように設定するには、Assignment メニューの **Settings** をクリックします。Category リストで **Design Assistant** を選択して、**Run Design Assistant during compilation** をオンにします (図 5-8)。または、Tcl Console で以下の Tcl コマンドを入力します。

```
set_global_assignment -name ENABLE_DRC_SETTINGS ON
```


図 5-8. Design Assistant の設定



タイミング設定

Quartus II ソフトウェア・バージョン 7.1 から、TimeQuest はすべてのデザインに対する推奨タイミング解析ツールとなります。現在、クラシック・タイミング・アナライザはサポートされておらず、HardCopy Design Center ではタイミング・クロージャにクラシック・タイミング・アナライザを使用したデザインを受け付けていません。

アルテラでは、まだクラシック・タイミング・アナライザを使用しているユーザに対して、TimeQuestに切り替えることを強く推奨しています。

 TimeQuest に移行する方法については、アルテラ・ウェブサイト (www.altera.co.jp) に掲載されている「Quartus II ハンドブック Volume 3」の「Switching to the TimeQuest Timing Analyzer」の章を参照してください。

TimeQuest アナライザをタイミング解析ツールとして指定すると、TimeQuest アナライザはフィッタをガイドし、コンパイル後のタイミング結果を解析します。

TimeQuest

TimeQuest タイミング・アナライザは、ASIC スタイルの強力なタイミング解析ツールで、業界標準の制約、解析、およびレポート手法によりデザインにおけるタイミングを検証します。TimeQuest タイミング・アナライザの GUI またはコマンド・ライン・インタフェースを使用して、デザインにおけるすべてのタイミング・パスを制約、解析、および結果をレポートすることができます。

TimeQuest タイミング・アナライザを実行する前に、クロック特性、タイミング例外、信号遷移の到達および所要時間を規定する初期タイミング制約を指定する必要があります。GUI またはコマンドライン・インタフェースを使用して、Synopsys Design Constraints (SDC) ファイル・フォーマットでタイミング制約を指定することができます。Quartus II フィットは、ロジックの配置を最適化して制約条件を満たします。

TimeQuest タイミング・アナライザは、タイミング解析時にデザインのタイミング・パスの解析、各パスでの伝播遅延の計算、タイミング制約違反のチェックを実行し、タイミング結果をスラックとして Report ペインおよび Console ペインでレポートします。TimeQuest タイミング・アナライザがタイミング違反をレポートした場合は、レポートをカスタマイズして特定のパスに関する正確なタイミング情報を表示し、それらのパスを制約して違反を修正することができます。デザインにタイミング違反がない場合、ロジックはターゲット・デバイスで意図したとおり動作します。

TimeQuest タイミング・アナライザは、アルテラ FPGA およびストラクチャード ASIC に対するサインオフ・ツールとして使用できる完全なステイック・タイミング解析ツールです。

TimeQuest タイミング・アナライザの設定

TimeQuest を使用するには、Quartus II ソフトウェアの Assignments タブで **Timing Analysis Settings** をクリックし、ポップアップ・ウィンドウで **Use TimeQuest Timing Analyzer during compilation** タブをクリックします。

TimeQuest をタイミング解析エンジンとして使用するには、次の Tcl コマンドを使用します。

```
set_global_assignment -name \
USE_TIMEQUEST_TIMING_ANALYZER ON
```

TimeQuest アナライザは、以下のいずれかのモードで起動することができます。

- Quartus II ソフトウェアから直接
- スタンドアロン・モード
- コマンドライン・モード

徹底したスタティック・タイミング解析を実行するには、すべてのタイミング要求を指定する必要があります。最も重要なタイミング要求は、クロックおよび生成されるクロック、入力および出力遅延、フォルス・パスおよびマルチサイクル・パス、最小および最大遅延です。

TimeQuest では、クロック・レイテンシ、リカバリおよびリムーバル解析はデフォルトで有効に設定されます。



TimeQuest について詳しくは、アルテラ・ウェブサイト (www.altera.co.jp) に掲載されている「Quartus II ハンドブック Volume 3」の「Quartus II TimeQuest Timing Analyzer」の章を参照してください。

クロック作用特性の制約

`create_clock`, `create_generated_clock` コマンドは理想的なクロックを生成し、ボードの影響を考慮しません。クロック作用特性を考慮するには、以下のコマンドを使用します。

- `set_clock_latency`
- `set_clock_uncertainty`




これらのコマンドの使用方法については、「Quartus II ハンドブック Volume 3」の「Quartus II TimeQuest Timing Analyzer」の章を参照してください。

Quartus IIバージョン7.1から、新しいコマンド`derive_clock_uncertainty`を使用して、クロック不確実性を自動的に得ることができるようになります。このコマンドは、クロック不確実性が何であるかを確認するときには有効です。計算されたクロック不確実性の値は、I/O バッファ、PLL のスタティック位相エラー (SPE) とジッタ、クロック・ネットワーク、およびコア・ノイズに基づきます。

`derive_clock_uncertainty` コマンドは、インター・クロック、イントラ・クロック、および I/O インタフェースの不確実性を適用します。このコマンドは、デザインにおける各クロック間転送に対するセットアップおよびホールド・クロックの不確実性を自動的に計算し、適用します。

I/O インタフェースの不確実性を求めるには、仮想クロックを作成し、その仮想クロックに対して `set_input_delay` および `set_output_delay` コマンドを使用して、入力/出力ポートに遅延を割り当てる必要があります。

 これらの不確実性は、`set_clock_uncertainty` コマンドを使用して指定した不確実性と併せて適用されます。ただし、ソースおよびデスティネーション・ペアに対するクロック不確実性アサインメントがすでに定義されている場合、新しいアサインメントは無視されます。この場合、`-overwrite` コマンドを使用して前のクロック不確実性コマンドを上書きするか、`remove_clock_uncertainty` コマンドを使用して手動で削除することができます。

`derive_clock_uncertainty` の構文は次のとおりです。

```
derive_clock_uncertainty [-h | -help] [-long_help]
[-dtw] [-overwrite]
```

ここで、表 5-2 に引数を示します。

表 5-2. <code>derive_clock_uncertainty</code> の引数	
オプション	説明
<code>-h -help</code>	ショート・ヘルプ
<code>-long_help</code>	使用例と可能な戻り値を提供するロング・ヘルプ
<code>-dtw</code>	PLLJ_PLLSPE_INFO.txt ファイルを作成する
<code>-overwrite</code>	前に実行したクロック不確実性アサインメントを上書きする

`dtw` オプションを使用すると、PLLJ_PLLSPE_INFO.txt ファイルが生成されます。このファイルには、デザインの PLL の名前とジッタおよび SPE 値が格納されています。このテキスト・ファイルは HCL_DTW_CU_Calculator で使用できます。このオプションを使用すると、クロック不確実性は計算されません。



derive_clock_uncertainty コマンドについて詳しくは、「Quartus II ハンドブック Volume 3」の「Quartus II TimeQuest Timing Analyzer」の章を参照してください。

アルテラは、HardCopy II リビジョンでは derive_clock_uncertainty コマンドを使用することを強く推奨しています。HardCopy Design Center は、derive_clock_uncertainty コマンド、または HardCopy II Clock Uncertainty Calculator と set_clock_uncertainty コマンドのいずれかを使用して、クロック不確実性制約が設定されていないデザインは受け付けません。

HardCopy II Clock Uncertainty Calculator の使用方法について詳しくは、アルテラ・ウェブサイト (www.altera.com) にある「HardCopy II Clock Uncertainty User Guide」を参照してください。

HardCopy II デザインに対してサポートされる Quartus II ソフトウェア機能

Quartus II ソフトウェアは、以下の HardCopy II プロトタイプ開発のための最適化機能をサポートしています。

- フィジカル・シンセシス最適化
- LogicLock 領域
- PowerPlay Power Analyzer
- インクリメンタル・コンパイル（合成およびフィッタ）
- 最大ファンアウト・アサインメント

フィジカル・シンセシス最適化

デザインの Stratix II FPGA リビジョンに対してフィジカル・シンセシス最適化機能を有効にするには、Assignments メニューの **Settings** をクリックします。**Settings** ダイアログ・ボックスの **Category** リストで、**Fitter Settings** を選択します。これらの最適化は、配置およびタイミング・クロージャのために HardCopy II コンパニオン・リビジョンに移行されます。最初に HardCopy II デバイスで設計するときには、HardCopy II デバイスに対するフィジカル・シンセシス最適化を有効にすることができ、これらのフィッティング後最適化は Stratix II FPGA リビジョンに移行されます。

LogicLock™ 領域

Stratix II FPGA における LogicLock 領域の使用は、HardCopy II に移行するデザインでサポートされています。ただし、LogicLock 領域は HardCopy II コンパニオン・リビジョンには渡されません。HardCopy II

デザインで LogicLock を使用することは可能ですが、HardCopy II コンパニオン・リビジョンで新しい LogicLock 領域を作成する必要があります。さらに、HardCopy II デバイスの LogicLock 領域では、プロパティを **Auto Size** に設定することはできません。ただし、フローティング LogicLock 領域はサポートされます。HardCopy II LogicLock 領域は、手動でサイズを設定し、フロアプランに配置しなければなりません。HardCopy II デバイスで LogicLock 領域を作成する場合、幅と高さの初期値は (1,1) に設定され、配置の原点座標はフロアプランの左下角の **X1_Y1** です。デザインをコンパイルする前に、HardCopy II デバイスで作成された LogicLock 領域のサイズと位置を調整する必要があります。



LogicLock 領域の使用について詳しくは、「Quartus II ハンドブック Volume 2」の「Quartus II Analyzing and Optimizing Design Floorplan」の章を参照してください。

PowerPlay Power Analyzer

PowerPlay Early Power Estimator を使用して、HardCopy II と Stratix II デバイスの消費電力の見積りおよび解析を行うことができます。デバイスの消費電力をより正確に見積るには、PowerPlay Power Analyzer を使用してください。PowerPlay Early Power Estimator は、Quartus II ソフトウェア・バージョン 5.1 以降で使用できます。PowerPlay Power Analyzer の HardCopy II デバイスのサポートは、Quartus II ソフトウェアのバージョン 6.0 以降で提供されています。



PowerPlay Power Analyzer について詳しくは、アルテラ・ウェブサイト (www.altera.co.jp) に掲載されている「Quartus II ハンドブック Volume 3」の「PowerPlay による電力解析」の章を参照してください。

インクリメンタル・コンパイル

デザインを HardCopy II デバイスに移行する場合、Stratix II FPGA で Quartus II インクリメンタル・コンパイルの使用がサポートされます。インクリメンタル・コンパイルは、Stratix II の最初のデザイン・フローまたは HardCopy II の最初のデザイン・フローでサポートされます。

Quartus II インクリメンタル・コンパイルを使用するには、合成およびフィッティング（または配置配線）のために、デザインを論理的および物理的パーティションに編成します。インクリメンタル・コンパイルは、デザインで変更されていないパーティションのコンパイル結果と性能を保持します。この機能により、新しいコンパイルを変更されたデザイン・パーティションにのみ集中することによって、デザインの繰り返し時間が大幅に短縮されます。新しいコンパイル結果は、変更されていないデ

ザイン・パーティションの前のコンパイル結果と併合されます。フィジカル・シンセシスなどの最適化手法を特定のパーティションに対してのみ実行し、他のパーティションはそのままにしておくこともできます。

また、以下のガイドラインも知っておってください。

- ユーザ・パーティションと合成結果は、コンパニオン・デバイスに移行します。
- ユーザ・パーティションには LogicLock 領域が推奨されますが、自動的に移行されません。
- コンパニオン・デバイスに移行した後の最初のコンパイルはフル・コンパイル (すべてのパーティションをコンパイル) が必要ですが、ソース RTL の変更が必要ない場合、以降のコンパイルはインクリメンタル・コンパイルでかまいません。例えば、ブロックが分割されている場合、PLL の位相変化はインクリメンタルに実装できます。
- デザイン全体を Stratix II および HardCopy II コンパニオン・デバイス間で移行する必要があります。Quartus II ソフトウェアは、コンパニオン・デバイス間のパーティションの移行をサポートしていません。
- ボトムアップ Quartus II インクリメンタル・コンパイルは、HardCopy II デバイスではサポートされていません。
- フィジカル・シンセシスは、元のデバイスの個別パーティションでのみ実行することができます。それによる最適化は、コンパニオン・デバイスへの移行時に保持されます。



Quartus II インクリメンタル・コンパイルの使用について詳しくは、「Quartus II ハンドブック Volume 1」の「階層ベースおよびチーム・ベースのデザインのためのインクリメンタル・コンパイル」の章を参照してください。

最大ファンアウト・アサインメント

この機能は Quartus II 6.1 からサポートされています。タイミングを満たすために、デザインのネットのファンアウト数を制限しなければならない場合があります。ネットの最大ファンアウト数は、この機能を使用して制限することができます。

例えば、以下の Tcl コマンドを使用して、最大ファンアウト設定を有効にできます。

```
set_instance_assignment -name MAX_FANOUT <number>
- to\ <net name>
```

例えば、m3122_combout_1 という名前のネットの最大ファンアウトを 25 に制限するための Tcl コマンドは、次のとおりです。

```
set_instance_assignment -name MAX_FANOUT 25 -to\  
m3122_combout_1
```

Change Manager および Chip Planner による ECO の 実行

デザインの集積度が増加するのに伴い、デザインの性能、配線の輻輳、ロジック配置、および ECO (Engineering Change Orders) の解析が重要になってきます。デザインの解析に加えて、さまざまなボトムアップおよびトップダウン・フローを使用してデザインの実装と管理を行うことができます。ECO は最終段階でのデザイン変更として実装されることがよくあるため、デザインの管理が困難になります。

アルテラの Chip Planner ツールを使用すれば、デザイン・サイクル・タイムを大幅に短縮できます。デザインを ECO として変更すると、Quartus II ソフトウェアでフル・コンパイルを実行する必要はありません。代わりに、配置配線後ネットリストを直接変更し、新しいプログラミング・ファイルを生成し、ゲート・レベルのシミュレーションおよびタイミング解析を実行することによって改訂されたデザインをテストし、システムの修正箇所を検証します (Stratix II FPGA をプロトタイプとして使用している場合)。Stratix II FPGA で修正箇所を検証したら、HardCopy II リビジョンに切り替えて同じ ECO を適用し、タイミング・アナライザおよびアセンブラを実行して、リビジョンを比較し、デザイン提出のために HardCopy II Netlist Writer を実行します。

マイグレーションの観点からは次の 3 つのシナリオがあります。

- 1 対 1 でマッピング可能な変更があります (つまり、同じ変更を Stratix II FPGA および HardCopy II の各アーキテクチャに実装可能)。
- 同じ結果になるように、2 つのアーキテクチャで別々の方法で実装しなければならない変更があります。
- 両方のアーキテクチャに実装できない変更がいくつかあります。

以下の項では、これらのタイプの各変更を移行する方法について概説します。

1 対 1 の変更の移行

1 対 1 の変更は、両方のアーキテクチャで同じコマンドを使用して実装されます。一般に、このような変更には I/O セルまたは PLL セルにのみ影響を与えるものが含まれます。1 対 1 の変更の例は、ピンの作成、削除、または移動、ピンまたは PLL 特性の変更、あるいはピンの接続性 (接続変更のソースおよびデスティネーションが I/O または PLL の場合) などの変更です。これらは両方のアーキテクチャで同様に実装できます。

このような変更を Tcl にエクスポートした場合は、生成された Tcl スクリプト（テキストのマイナー編集を含む）をコンパニオン・リビジョンに直接再適用して、以下に示す適切な変更を実装しなければなりません。

- Change Manager から Tcl へ変更をエクスポートします。
- 生成された Tcl スクリプトを開いて、行「`project_open <project> -revision <revision>`」が適切なコンパニオン・リビジョンを参照するように変更します。
- Tcl スクリプトをコンパニオン・リビジョンに適用します。

以下に、このタイプの変更の例をいくつか示します。

- I/O の作成、削除、および移動
- I/O プロパティの変更（I/O 規格、遅延チェーンの設定など）
- PLL プロパティの変更
- 非 LCELL_COMB 素子同士の接続の変更（PLL から I/O、DSP から I/O など）

異なる方法で実装する必要がある変更の移行

変更によっては、2 つのアーキテクチャに異なる方法で実装しなければなりません。デザインのロジックに影響を与える変更は、このカテゴリに分類できます。例として、LUTMASK の変更、LC_COMB/HSADDER の作成と削除、および前の項で取り上げなかった接続の変更などが挙げられます。

他にも、Stratix II および HardCopy II リビジョンに対する異なる PLL の設定があります。



Stratix II および HardCopy II デバイスに対する異なる PLL の設定の使用方法について詳しくは、「AN432: Using Different PLL Settings Between Stratix II and HardCopy II Devices」を参照してください。

表 5-3 に、さまざまな変更に対して推奨される実装をまとめます。

表 5-3. さまざまな変更に対する実装の推奨事項	
変更のタイプ	推奨される実装
LUTMASK の変更	1つの Stratix II 素子が複数の HardCopy II 素子の実装を必要とする場合があるため、接続の追加や変更などの変更を実装するために、複数の HardCopy II 素子を変更しなければならないことがあります。
LC_COMB の作成 / 削除	Stratix II LC_COMB を拡張モード (7-LUT) で使用する場合、または SHARE チェインを使用する場合は、HardCopy II に同じロジック・ファンクションを実装するために、複数の素子を作成しなければなりません。また、基礎となるリソースが異なるため、コンパニオン・リビジョンでの LC_COMB セルの配置は無意味です。
LC_FF の作成 / 削除	基本的な作成と削除は、両方のアーキテクチャとも同じです。ただし、LC_COMB の作成と削除のように、HardCopy II リビジョンでの LC_FF の配置は、Stratix II リビジョンでは意味がなく、逆もまた同様です。
ロジック接続の編集	Stratix II LCELL_COMB 素子は複数の HardCopy II LCELL_COMB 素子に分割できるため、変更をコンパニオン・リビジョンで適切に実装するために、接続変更のソースまたはディスティネーション・ポートの解析が必要になる場合があります。

移行できない変更

マイナーな変更は他のアーキテクチャでは無意味なため、これを他のアーキテクチャに実装することはできません。これを最もよく示している例として、デザインにおけるロジックの移動が挙げられます。2つのアーキテクチャ間でロジック・ファブリックが異なるため、Stratix II におけるロジックの位置は HardCopy II では無意味であり、逆もまた同様です。

全体的な移行フロー

この項では、デザインを HardCopy Design Center に提出するうえでリビジョンの比較が正しく行われるように、両方のリビジョンに変更を実装するための移行フローと推奨手順の概要を示します。

リビジョンの準備

Stratix II から HardCopy II への移行、あるいはその逆の場合でも、デバイス間で変更を移行するための一般的な手順は同じです。大まかな手順は以下のとおりです。

1. 初期デバイスでデザインをコンパイルする。
2. デザインを初期デバイスからコンパニオン・リビジョンのターゲット・デバイスに移行する。
3. コンパニオン・リビジョンをコンパイルする。
4. Revision Compare 操作を実行する。2つのリビジョンでは Revision Compare がパスする必要があります。

テストにより ECO の変更を必要とする問題が検出された場合、次の項で説明するとおり、Stratix II および HardCopy II リビジョンに同等の変更を適用することができます。

ECO 変更の適用

同等の変更をコンパニオン・リビジョンに適用するための一般的な流れは次のとおりです。

1. Chip Planner ツール (Chip Planner、Resource Property Editor、および Change Manager) を使用して 1 つのリビジョンに変更を加え、これらの変更を検証してエクスポートします。これを実行するための手順は以下のとおりです。
 - a. Chip Planner ツールを使用して、変更を加える。
 - b. Check and Save All Netlist Changes コマンドを使用して、ネットリスト・チェックを実行する。
 - c. タイミング解析、シミュレーション、およびプロトタイプ作成を使用して正確性を検証する (Stratix II のみ)。さらに変更を加える必要がある場合は、a～b を繰り返します。
 - d. 変更レコードを、Change Manager から Tcl スクリプト、あるいは .csv または .txt ファイル・フォーマットのいずれかにエクスポートする。

エクスポートされたファイルは、コンパニオン・リビジョンで同等の変更を加えるのを支援するために使用されます。

2. Quartus II ソフトウェアで、コンパニオン・リビジョンを開く。

3. エクスポートされたファイルを使用し、Chip Planner ツールを使用して変更を手動で再適用します。

前述のとおり、変更にはコンパニオン・リビジョンに直接再適用できる（手動または Tcl コマンドを適用して）ものと、変更を必要とするものがあります。

4. Revision Compare 操作を実行する。ここで、リビジョンを再度一致させる。
5. すべての変更の正確性を検証する（場合によってはタイミング解析を実行する）。
6. デザインをハンドオフ・ファイルと一緒に提出するために、HardCopy II Assembler および HardCopy II Netlist Writer を実行する。

HardCopy II Assembler を実行するための Tcl コマンドは次のとおりです。

```
execute_module -tool asm -args "--
read_settings_files=\ off --write_settings_files=off"
```

HardCopy II Netlist Writer を実行するための Tcl コマンドは次のとおりです。

```
execute_module -tool cdb -args "--
generate_hardcopyii_files"\
```



Chip Planner の使用について詳しくは、アルテラ・ウェブサイト (www.altera.co.jp) にある「Quartus II ハンドブック Volume 3」の「Quartus II Engineering Change Management with Chip Planner」の章を参照してください。

Stratix II および HardCopy II リビジョンの フォーマル 検証

サードパーティのフォーマル検証ソフトウェアを HardCopy II デザインに使用できます。Cadence Encounter Conformal 検証ソフトウェアは、Stratix II ファミリや HardCopy II ファミリだけでなく、アルテラの他の製品ファミリでも使用されます。

Stratix II および HardCopy II デザイン・リビジョンで、Conformal ソフトウェアを Quartus II ソフトウェア・プロジェクトと一緒に使用する場合は、**EDA Netlist Writer** をイネーブルにする必要があります。EDA Netlist Writer をオンにして、Conformal ソフトウェアの実行に必要なネットリストとコマンド・ファイルを生成しなければなりません。Stratix II および HardCopy II デザイン・リビジョンのコンパイル中に EDA Netlist Writer を自動的に実行するには、以下のステップを実行します。


1. Assignments メニューの **EDA Tool Settings** をクリックします。**Settings** ダイアログ・ボックスが表示されます。
2. **EDA Tool Settings** リストで **Formal Verification** を選択し、**Tool name** リストで **Conformal LEC** を選択します。
3. EDA Netlist Writer が自動的に実行されるように、EDA Tool Settings と Conformal LEC を両方ともオンにして、Stratix II および HardCopy II デザイン・リビジョンをコンパイルします。

Quartus II EDA Netlist Writer が Stratix II リビジョンで実行されると、そのリビジョンに対して 1 つのネットリストが生成され、HardCopy II リビジョンで実行されると別のネットリストが生成されます。EDA Netlist Writer で生成されたスクリプトを使用して、Stratix II のコンパイル後のネットリストを RTL ソース・コードと比較することができます。同様に、EDA Netlist Writer から提供されるスクリプトを使用して、HardCopy II のコンパイル後のネットリストを RTL ソース・コードと比較できます。



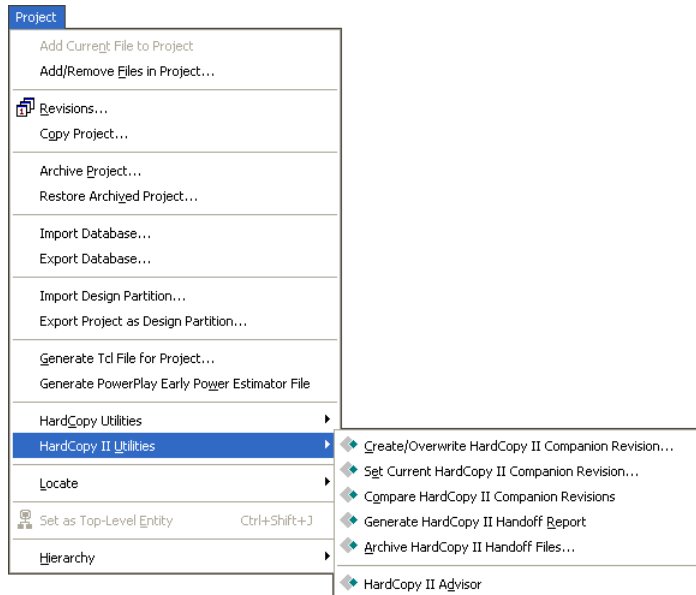
Cadence Encounter Conformal 検証ソフトの使用について詳しくは、「Quartus II ハンドブック Volume 3」の「Cadence Encounter Conformal Support」の章を参照してください。

HardCopy II Utilities メニュー

Quartus II ソフトウェアの **HardCopy II Utilities** メニューを  5-9 に示します。このメニューにアクセスするには、Project の **HardCopy II Utilities** をクリックします。このメニューには、HardCopy II デザインと Stratix II FPGA プロトタイプ・コンパニオン・リビジョンの開発で使用する主要な機能が含まれています。HardCopy II Utilities メニューから、以下を行うことができます。

- HardCopy II コンパニオン・リビジョンを作成または更新
- 現在の HardCopy II コンパニオン・リビジョンの設定
- デザイン・レビューのための HardCopy II ハンドオフ・レポートの生成
- HardCopy Design Center に提出するための HardCopy II ハンドオフ・ファイルのアーカイブ
- コンパニオン・リビジョンの機能等価性の比較
- HardCopy II Advisor によるデザインの進行状況の追跡

図 5-9. HardCopy II Utilities メニュー




HardCopy II Utilities メニューの各機能を表 5-4 に要約します。これらの機能を使用するプロセスについては、以下の項で説明します。

メニュー	説明	適用される デザイン・リビジョン	制約
Create/Overwrite HardCopy II Companion Revision	Stratix II および HardCopy II デザインの新しいコンパニオン・リビジョンを作成したり、既存のコンパニオン・リビジョンを更新します。	Stratix II プロトタイプ・デザインと HardCopy II コンパニオン・リビジョン	<ul style="list-style-type: none"> ● 自動デバイス選択を無効にすること ● Stratix II デバイスと HardCopy II コンパニオン・デバイスを設定すること
Set Current HardCopy II Companion Revision	現在のデザイン・リビジョンに関連付けるコンパニオン・リビジョンを設定します。	Stratix II プロトタイプ・デザインと HardCopy II コンパニオン・リビジョン	コンパニオン・リビジョンが既存のものであること
Compare HardCopy II Companion Revisions	Stratix II デザイン・リビジョンと HardCopy II コンパニオン・デザイン・リビジョンを比較して、レポートを生成します。	Stratix II プロトタイプ・デザインと HardCopy II コンパニオン・リビジョン	両方のリビジョンのコンパイルが完了していること
HardCopy II ハンドオフ・ レポートの生成	Quartus II コンパイルで生成される重要なデザイン情報ファイルとメッセージを含むレポートを生成します。	Stratix II プロトタイプ・デザインと HardCopy II コンパニオン・リビジョン	<ul style="list-style-type: none"> ● 両方のリビジョンのコンパイルが完了していること ● HardCopy II コンパニオン・リビジョンの比較が実行されていること
Archive HardCopy II Handoff Files	デザインを HardCopy Design Center に提出するための Quartus II アーカイブ・ファイルを生成します。HardCopy Stratix および HardCopy APEX で使用される HardCopy Files Wizard に類似しています。	HardCopy II コンパニオン・リビジョン	<ul style="list-style-type: none"> ● 両方のリビジョンのコンパイルが完了していること ● HardCopy II コンパニオン・リビジョンの比較が実行されていること ● HardCopy ハンドオフ・レポートの生成が実行されていること
HardCopy II Advisor	Resource Optimization Advisor に類似した Advisor を開きます。HardCopy II プロジェクトを作成するステップを支援します。	Stratix II プロトタイプ・デザインと HardCopy II コンパニオン・リビジョン	なし

コンパニオン・リビジョン

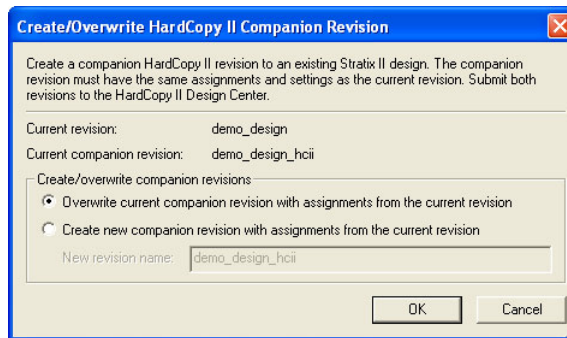
HardCopy II デザインは、以前の HardCopy ファミリとは異なる Quartus II ソフトウェア開発フローに従います。Stratix II プロトタイプ・デザインの複数のリビジョンを作成し、また HardCopy II デバイスのデザイン・リビジョンも作成することができます。Quartus II ソフトウェアは、プロジェクトの通常のリビジョンと併せてプロジェクトの特定の

HardCopy II デザイン・リビジョンを作成します。並行して作成されるこれらの HardCopy II デバイスのデザイン・リビジョンをコンパニオン・リビジョンと呼びます。

 複数のプロジェクト・リビジョンを作成することができますが、HardCopy II コンパニオン・リビジョンを作成したら、Stratix II FPGA リビジョンは1つだけ残しておくことを推奨します。

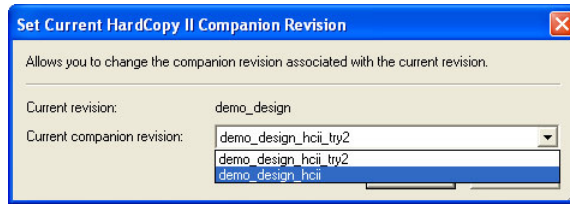
Stratix II プロトタイプ FPGA のコンパイルが成功したら、デザインの HardCopy II コンパニオン・リビジョンを作成して、HardCopy II コンパニオン・リビジョンのコンパイルに進みます。コンパニオン・リビジョンを作成するには、Project メニューの HardCopy II Utilities をポイントし、**Create/Overwrite HardCopy II Companion Revision** をクリックします。ダイアログ・ボックスを使用して、新しいコンパニオン・リビジョンを作成するか、または既存のコンパニオン・リビジョンを上書きします (図 5-10)。

図 5-10. HardCopy II コンパニオン・リビジョンの作成または上書き



1 つの Stratix II リビジョンは 1 つの HardCopy II コンパニオン・リビジョンにのみ関連づけることができます。複数のリビジョンまたは複数のコンパニオン・リビジョンを作成した場合は、現在のコンパニオンを作業するリビジョンのコンパニオンに設定します。Project メニューの HardCopy II Utilities をポイントし、**Set Current HardCopy II Companion Revision** をクリックします (図 5-11)。

図 5-11. 現在の HardCopy II コンパニオン・リビジョンの設定

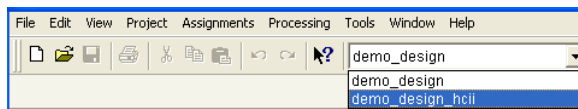


HardCopy II コンパニオン・リビジョンのコンパイル

Quartus II ソフトウェアでは、暫定タイミング情報を使用して、HardCopy II デザインをコンパイルすることができます。HardCopy II コンパニオン・リビジョンのタイミング制約は、リビジョンの作成に使用された Stratix II デザインと同じにすることができます。Quartus II ソフトウェアには、HardCopy II デバイス用の暫定タイミング・モデルが含まれており、Stratix II FPGA と比較して HardCopy II デバイスでどの程度の性能向上が達成されるか測定できます。アルテラは、HardCopy II コンパニオン・デバイスのタイミング要件が満たされているか HardCopy Design Center で検証します。

コンパイルされた Stratix II デザインから HardCopy II コンパニオン・リビジョンを作成したら、Quartus II ソフトウェアのデザイン・リビジョンのドロップダウン・ボックス (図 5-12) または **Revisions** リストでコンパニオン・リビジョンを選択します。HardCopy II コンパニオン・リビジョンをコンパイルします。Quartus II ソフトウェアでデザインをコンパイルした後、HardCopy II コンパニオン・リビジョンと Stratix II プロトタイプ・リビジョンの比較チェックを実行します。


図 5-12. 現在のリビジョンの変更



HardCopy II と Stratix II コンパニオン・リビジョンの比較

アルテラは、Stratix II FPGA から HardCopy II ストラクチャード ASIC へのデザインのシームレスなマイグレーションを維持するために、1 つの Quartus II プロジェクトでのコンパニオン・リビジョンを使用します。この手法では、Stratix II FPGA と HardCopy II ストラクチャード ASIC の両方で使用される 1 組のレジスタ転送レベル (RTL) コードによって、機能等価性を保証します。

コンパニオン・リビジョンを変更するときは、Compare HardCopy II Companion Revisions 機能を使用して、Stratix II デザインが HardCopy II デザインの機能およびコンパイル設定と一致するようにします。コンパニオン・リビジョンを比較するには、Project メニューの HardCopy II Utilities をポイントし、Compare HardCopy II Companion Revisions をクリックします。

 デザインをアルテラの HardCopy Design Center にハンドオフするために、この比較は Stratix II デザインと HardCopy II デザインの両方をコンパイルした後で実行する必要があります。

コンパニオン・リビジョンの要約がコンパイル・レポートに表示され、リビジョン間でアサインメントが変更されたか、またコンパイル設定の相違によりロジック・リソース数に変更があるかが識別されます。

HardCopy II ハンドオフ・レポートの生成

デザインを HardCopy Design Center に提出するには、HardCopy Design Center でレビューするデザインについての重要な情報を提供する HardCopy II ハンドオフ・レポートを生成しなければなりません。HardCopy II ハンドオフ・レポートを提出するには、以下を実行する必要があります。

- デザインの Stratix II リビジョンと HardCopy II リビジョンの両方を正しくコンパイルする
- HardCopy II コンパニオン・リビジョンの比較ユーティリティを正しく実行する

HardCopy II ハンドオフ・レポートを生成した後、5-32 ページの「HardCopy II ハンドオフ・ファイルのアーカイブ」で説明する Archive HardCopy II Handoff Files ユーティリティを使用して、デザインをアーカイブできます。

HardCopy II ハンドオフ・ファイルのアーカイブ

HardCopy II デザイン手法の最後のステップは、バックエンド・マイグレーションのために HardCopy Design Center に提出する HardCopy II プロジェクトをアーカイブすることです。HardCopy II のアーカイブ・ユーティリティでは、標準の Quartus II プロジェクト・アーカイブ・ユーティリティが生成するものとは異なる Quartus II アーカイブ・ファイルが作成されます。このアーカイブには、HardCopy Design Center でデザインを実装するのに必要な Quartus II プロジェクトの必要データのみが含まれています。

Archive HardCopy II Handoff Files ユーティリティを使用するには、以下を完了する必要があります。

- デザインの Stratix II リビジョンと HardCopy II リビジョンの両方をコンパイル
- HardCopy II リビジョンの比較ユーティリティを実行
- HardCopy II ハンドオフ・レポートを生成

このオプションを選択するには、Project メニューの HardCopy II Utilities をポイントし、**Archive HardCopy II Handoff File** ユーティリティをクリックします。

HardCopy II Advisor

HardCopy II Advisor は、Stratix II プロトタイプと HardCopy II デザインを開発するために従うべきタスクのリストを提供します。HardCopy II Advisor を実行するには、Project メニューの HardCopy II Utilities をポイントし、**HardCopy II Advisor** をクリックします。以下のリストは、HardCopy II Advisor によって確認されるチェックポイントを示しています。このリストはデザイン・プロセスの主要なチェックポイントを列挙したもので、Stratix II および HardCopy II デザインを完了するプロセスのすべてのステップを網羅しているわけではありません。

1. Stratix II デバイスを選択する。
2. HardCopy II デバイスを選択する。
3. **Design Assistant** をオンにする。
4. タイミング制約をセットアップする。
5. 互換性のないアサイメントがないかチェックする。

6. Stratix II デザインをコンパイルおよびチェックする。
7. コンパニオン・リビジョンを作成または上書きする。
8. HardCopy II コンパニオンリビジョンをコンパイルし、結果をチェックする。
9. コンパニオン・リビジョンを比較する。
10. ハンドオフ・レポートを生成する。
11. ハンドオフ・ファイルをアーカイブして、アルテラに送付する。

HardCopy II Advisor は、現在選択されているデバイスに関連するステップを示します。Stratix II が選択されているときと HardCopy II が選択されているときでは、表示されるビューは多少異なります。

Quartus II ソフトウェアでは、最初に HardCopy II デバイスを選択してデザインを開始し、次に Stratix II コンパニオン・リビジョンを構築することができます。この方法を使用すると、HardCopy II Advisor のタスク・リストがユーザを HardCopy II 開発から Stratix II FPGA プロトタイプ作成までガイドするように自動的に調整され、ついで比較のアーカイブを完了して、アルテラのハンドオフが行われます。

デザインの開始を Stratix II FPGA にした場合には、Stratix II FPGA のための Advisor ガイドラインに従って、プロトタイプ・リビジョンを完成することを推奨します。

Stratix II FPGA デザインが完成したら、HardCopy II コンパニオン・リビジョンを作成して切り替え、リビジョンで示される Advisor ステップに従って HardCopy II コンパニオン・リビジョンを終了し、バックエンド・マイグレーションのためにデザインをアルテラに提出できる状態にします。

HardCopy II Advisor リストのカテゴリごとに、推奨される設定と制約の説明、および各セクションに必要な Quartus II ソフトウェア機能へのクイック・リンクが表示されます。HardCopy II Advisor では、以下が表示されます。

- 1つのステップを正常に完了したときの緑色のチェック・ボックス
- HardCopy 開発のためにデザインをアルテラに提出する前に完了しなければならないステップを表す黄色の注意記号
- 検証が必要な項目の情報コールアウト


 HardCopy II フロー・メニュー内の項目を選択すると、タスクの説明と推奨される処理が表示されます。HardCopy II Advisor のビューは、選択するデバイスによって異なります。

図 5-13 は、Stratix II デバイスが選択されているときの HardCopy II Advisor の例です。

図 5-13. Stratix II デバイスが選択されているときの HardCopy II Advisor

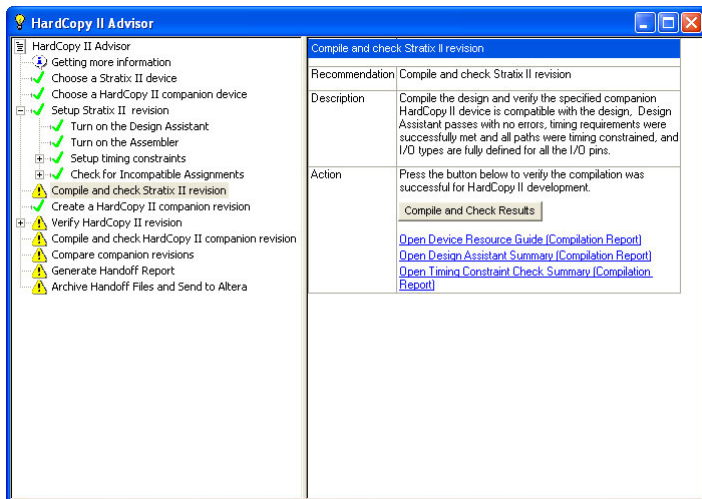
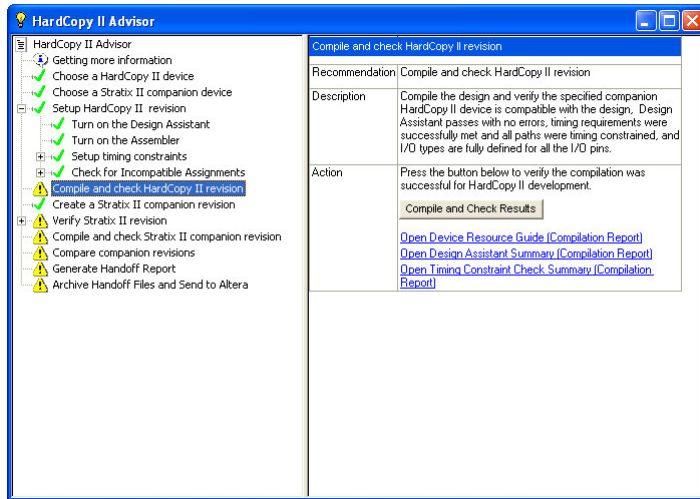


図 5-14 は、HardCopy II デバイスが選択されているときの HardCopy II Advisor の例です。

図 5-14. HardCopy II デバイスが選択されているときの HardCopy II Advisor



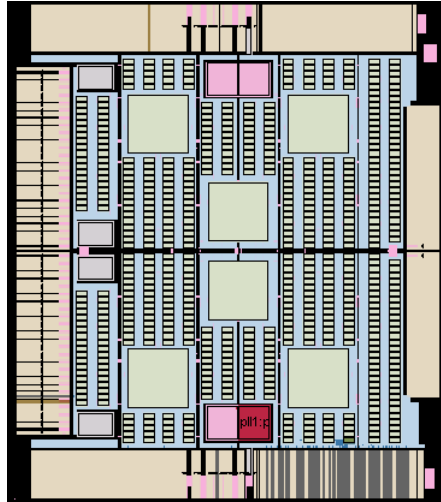
HardCopy II フロアプラン・ビュー

Quartus II ソフトウェアは、HardCopy II コンパニオン・リビジョンの暫定タイミング・クロージャ・フロアプランと配置を表示します。フロアプランでは、すべての I/O ピン、PLL、メモリ・ブロック、HCell マクロ、および DSP HCell マクロの暫定的な配置と接続が表示されます。

Layers Setting ダイアログ・ボックス (View メニュー) の設定を使用して、配線接続の輻輳マッピングを表示することができます。これは、フロアプラン内でデザインの最大性能を低下させる可能性がある高密度の領域を解析する場合に役立ちます。HardCopy Design Center は、タイミング・クロージャが達成されていることを保証するために、最終的な HCell マクロのタイミングと配置を検証します。

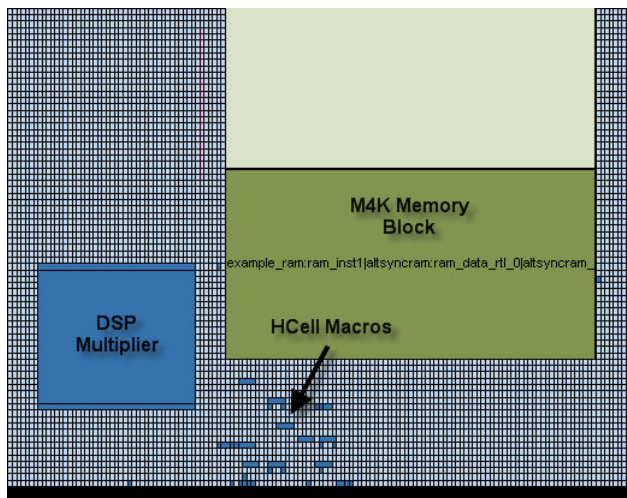
図 5-15 に、HC230F1020 デバイスのフロアプランを示します。

図 5-15. HC230F1020 デバイスのフロアプラン



この小さなデザイン例では、下端近くにロジックが配置されています。HCell マクロで構築される DSP ブロック、各種のロジック HCell マクロ、および M4K メモリ・ブロックの配置を見ることができます。図 5-16 は、この領域を拡大してラベルを付けたものです。

図 5-16. フロアプランの拡大表示



HardCopy Design Center は、Stratix II デザインのタイミング制約に基づいて、HardCopy II デザインの最終的な配置とタイミング・クロージャを実行します。



HardCopy Design Center のプロセスについて詳しくは、「HardCopy シリーズ・デバイス・ハンドブック Volume 1」の「Back-End Design Flow for HardCopy Series Devices」の章を参照してください。

まとめ

Quartus II ソフトウェアでは、HardCopy II デバイスを設計し、Stratix II FPGA を使用してプロトタイプを開発することができます。これは、標準の FPGA 開発プロセスに、HardCopy II Device Resource Guide、HardCopy II コンパニオン・デバイス・アサインメント、HardCopy II Utilities、および HardCopy II Advisor を追加して行われます。

Quartus II ソフトウェアに追加された HardCopy II Advisor は、HardCopy II および Stratix II デバイス・デザインを完成するための有効な開発ガイドになります。Quartus II ソフトウェアに含まれる HardCopy II Utilities は、Stratix II FPGA プロトタイプおよび HardCopy II ストラクチャード ASIC デザインを完成させるために必要なツールを提供します。プロセスに HardCopy II コンパニオン・リビジョン機能を追加することによって、迅速な開発および HardCopy II デザインと Stratix II FPGA プロトタイプとの機能等価性の検証が可能になります。

改訂履歴

表 5-5 に、本資料の改訂履歴を示します。

表 5-5. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 6 月 v2.4	現在の Quartus II ソフトウェア・バージョン 7.1 の情報を更新	
2006 年 12 月 v2.3	Quartus II ソフトウェア・バージョン 6.1.0 のためのマイナー・アップデート <ul style="list-style-type: none"> 「Change Manager および Chip Planner による ECO の実行」および「全体的な移行フロー」の項を追加 HardCopy II デザインに対してサポートされる Quartus II ソフトウェア機能の項を更新 	Quartus II ソフトウェア・バージョン 6.1 のリリースの変更に対応したアップデート。大部分の変更は、「Change Manager および Chip Planner による ECO の実行」および「全体的な移行フロー」の項で実施。
2006 年 5 月 v2.2	Quartus II ソフトウェア・バージョン 6.0 における HardCopy II デバイスのサポート情報を追加	
2006 年 3 月	18 章から 5 章に変更。内容の変更はありません。	
2005 年 10 月 v2.1	<ul style="list-style-type: none"> 「Hardcopy シリーズ・デバイス・ハンドブック 3.2」の 17 章「Quartus II による HardCopy II デバイスのサポート」を 18 章に移動。 図を更新。 「Quartus II 5.1 による HardCopy II デバイスのサポート」の技術内容を更新。 	
2005 年 5 月 v2.0	Quartus II ソフトウェア・バージョン 5.0 による HardCopy II デバイスのサポート情報を追加。	
2005 年 1 月 v1.0	「HardCopy シリーズ・ハンドブック」にドキュメントを追加。	